

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94121406

※申請日期：94.6.27

※IPC 分類：G11C 16/02

## 一、發明名稱：(中文/英文)

相變記憶體存取技術

ACCESSING PHASE CHANGE MEMORIES

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

英特爾公司/INTEL CORPORATION

代表人：(中文/英文)

塞門 大衛/SIMON, DAVID

住居所或營業所地址：(中文/英文)

美國加州聖塔克萊拉市密遜大學道2200號

2200 Mission College Blvd., Santa Clara, CA 95052, USA

國籍：(中文/英文)

美國/USA

## 三、發明人：(共 3 人)

姓名：(中文/英文)

1. 帕金森 瓦德/PARKINSON, WARD

2. 丹尼森 查理斯/DENNISON, CHARLES

3. 修根斯 史蒂芬/HUDGENS, STEPHEN

國籍：(中文/英文)

美國/USA

四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國; 2004,06,30; 10/882,860

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明一般有關於一種相變記憶體技術，尤其是有關於一種相變記憶體裝置。

### 5 【先前技術】

發明背景

相變記憶體裝置使用相記憶體材料，即此材料其可以在一般非晶與一般結晶狀態之間電性切換，而用於電子記憶體應用。此使用相變材料之一種記憶體元件在一種應用  
10 中，可以在一般非晶結構狀態與一般結晶局部等級之結構狀態間電性切換，或在此完全非晶與完全結晶狀態間跨此整個範圍之局部等級之可偵測不同狀態之間電性切換。此相變材料之狀態亦為非依電性，因為當在代表電阻值之結晶、半結晶、非晶、或半非晶狀態中設定時，此值會保留  
15 一直至由另一規劃事件將其改變為止，因為該值代表此材料之相或實體狀態(結晶或非晶)。此狀態並不會由於將電功率去除而影響。

電晶體或二極體可以連接至相變材料，以及可以作為選擇裝置而在規劃或讀取操作期間存取此相變材料。電晶  
20 體或二極體典型地形成於單晶矽基板中或其頂表面上。此等電晶體會佔用記憶體晶片相當大之部份，因而可能會增加記憶體晶胞大小。因此，不利地影響此記憶體晶片之記憶容量與成本/位元。

### 【發明內容】

依本發明之一實施例，係提出一種裝置，其包含有：  
一相變記憶體元件；一串聯之第一選擇裝置；以及一串聯  
之第二選擇裝置，具有較該第一選擇裝置更高電阻與更大  
臨界電壓。

5 以下亦將揭示本發明之其他實施例。

圖式簡單說明

第1圖為概要圖其說明根據本發明實施例之記憶體；

第2圖說明存取裝置之電流-電壓特徵；

第3圖說明組合式存取裝置之電流-電壓特徵；

10 第4圖為橫截面圖其說明根據本發明實施例之第1圖中  
記憶體之一部份；以及

第5圖為方塊圖說明根據本發明實施例之系統之一部  
份。

### 【實施方式】

15 較佳實施例之詳細說明

請參考第1圖，其說明記憶體100之實施例。記憶體100  
可以包括記憶體晶胞111-119之3x3陣列，其中記憶體晶胞  
111-119各包括：選擇裝置120、選擇裝置125、以及記憶體  
元件130。雖然，在第1圖中說明3x3陣列，但本發明之範圍  
20 並不受限於此。記憶體100可以具有記憶體晶胞之較大陣  
列。

在一實施例中，記憶體元件130可以包括相變材料。在  
此實施例中，記憶體100可以稱為相變記憶體。相變材料可  
以為一種材料，其電氣特性(例如：電阻、電容等)可以藉由

施加能量像是例如：熱、光、電壓、或電流而改變。此等相變材料之例可以包括硫族化合物材料。

此硫族化合物合金可以使用於記憶體元件或電子開關中。此硫族化合物材料可以為一種材料其包括：週期表之第VI行之至少一元素，或可以為一種材料其包括：一或多個硫族元素，例如：碲、硫、或硒中之任何元素。

記憶體100可以包括行線141-143與列線151-153，而在寫入或讀取操作期間選擇此陣列之特定記憶體晶胞。行線141-143與列線151-153亦可以稱為定址線，因為在規劃與讀取期間可以使用此等線將記憶體晶胞111-119定址。行線141-143亦可稱為位元線，列線151-153亦可以稱為字元線。

記憶體元件130可以經由選擇裝置120、125連接至列線151-153，以及可以連接至行線141-143。雖然只說明兩個裝置120、125，可以使用更多個選擇裝置。因此，當選擇特定之記憶體晶胞(例如：記憶體晶胞115)時，可以將電位施加至：此記憶體晶胞有關之行線(例如：142)與列線(例如：152)，而跨此記憶體晶胞施加電壓。

在記憶體元件130之規劃或讀取期間可以使用串聯之選擇裝置120、125以存取記憶體元件130。此選擇裝置可以為由硫族化合物合金所製成之雙向開關半導體元件(ovonic)臨界開關，其並不顯示由非晶至結晶狀態之相變，且其導電性經受快速電場所啟始之改變，其只持續此維持電壓所存在長之時間。此等選擇裝置120、125可以操作為開關，其取決於下列因素而“切斷”或“導通”：跨此記憶體晶胞所

施加之電壓大小，以及更尤其是否此流經選擇裝置之電流或電壓超過其臨界電流或電壓，其然後觸發此裝置為導通狀態。此切斷狀態可以為實質上不導電狀態，且其導通狀態可以為實質上導電狀態，而具有較切斷狀態為小之電阻。在導通狀態中，此跨選擇裝置之電壓等於其維持電壓  $V_H$  加上  $I \times R_{on}$ ，而  $R_{on}$  為來自  $V_H$  之動態電阻。

例如，選擇裝置120、125可以具有臨界電壓、而如果此跨選擇裝置120、125所施加之電壓小於選擇裝置120、125之臨界電壓，則此選擇裝置120、125至少之一是保持在“切斷”狀態、或是在相當高之電阻狀態中，以致於很少或沒有電流流經記憶體晶胞，且此從所選擇列至所選擇行之電壓降是跨此選擇裝置之電壓降。以替代方式，如果此跨選擇裝置120、125所施加之電壓大於選擇裝置120、125之臨界電壓，則此兩個選擇裝置120、125均“導通”，即在非常低之電阻狀態中操作，以致於電流流經此記憶體晶胞。換句話說，如果此跨選擇裝置120、125所施加之電壓小於此預先設定之電壓、例如臨界電壓，則此選擇裝置120、125可以在實質上不導電狀態中。如果此跨選擇裝置120、125所施加之電壓大於此預先設定之電壓，則此選擇裝置120、125可以在實質上導電狀態中。此選擇裝置120、125亦可以稱為：存取裝置、隔離裝置、或者開關。

在一實施例中，各選擇裝置120、125可以包括切換材料像是，例如：硫族化合物合金，以及可以稱為：雙向開關半導體元件(ovonic)臨界開關，或僅稱為雙向開關半導體

元件(ovonic)開關。此等選擇裝置120、125之切換材料可以為設置在兩電極之間實質上非晶狀態中之材料，其可以藉由施加預先確定之電流或電壓、而在較高電阻“切斷”狀態(例如，大於大約十個 $10^6$ 歐姆)與相當低電阻“導通”狀態(例如，與 $V_H$ 之串聯之大約 $10^3$ 歐姆)間，重覆且可逆地切換。

5 在此實施例中，各選擇裝置120、125可以為兩終端裝置，其可以具有類似於在非晶狀態中相變記憶體元件之電流-電壓(I-V)特徵。然而，不同於此相變記憶體元件，此等選擇裝置120、125之切換材料不能改變相。這即是，此等選擇裝置120、125之切換材料不是可規劃材料，以及因此，

10 此等選擇裝置120、125並不是能夠儲存資訊之記憶體裝置。例如，選擇裝置120、125之切換材料可以永久地保持非晶，以及在其整個操作壽命期間，此I-V特徵可以保持相同。在第2與3圖中顯示：選擇裝置120、125之I-V特徵之代表例。

15

參考第2圖，在低電壓或低電場模式中，即當此跨選擇裝置120所施加電壓小於臨界電壓(標示為 $V_{TH}$ )時，此選擇裝置120可以為“切斷”或非導電，且顯示相當高之電阻、例如大於大約 $10^6$ 歐姆。此選擇裝置120可以保持在切斷狀態

20 一直至施加足夠電壓例如 $V_{TH}$ 或足夠之電流 $I_{TH}$ 為止，其可以將此選擇裝置120切換至導電相當低電阻之導通狀態。在跨選擇裝置120施加大於大約 $V_{TH}$ 之電壓後，此跨選擇裝置120之電壓可以降低(“突返”)(snapback)至標示為 $V_H$ 之維持電壓。此突返可以稱為選擇裝置 $V_{TH}$ 與 $V_H$ 間之電壓差。

在導通狀態中，當流經此選擇裝置120之電流增加時，則跨此選擇裝置120之電壓可以保持接近維持電壓 $V_H$ 。選擇裝置120可以保持在導通狀態一直至流經此選擇裝置120之電流降低至標示為 $I_H$ 之維持電流以下為止。在此值之下，

5 此選擇裝置120可以切斷且回至相當高之電阻不導電之切斷狀態，一直至再度超過 $V_{TH}$ 與 $I_{TH}$ 為止。

在一實施例中，選擇裝置120(第2圖)可以具有較裝置125為高之電阻與較高之臨界電壓( $V_{TH}$ )(第3圖)。此裝置120亦可以具有較高之活性能量。裝置125之臨界電壓與維持電壓可以實質上相等，且在一實施例中，此突返電壓小於

10 0.25V。裝置125可以具有較裝置120為高之漏電，且其 $V_{TH}$ 實質上小於或等於 $V_H$ 。如果 $V_{TH}$ 小於 $V_H$ ，則將突返電壓最小化。裝置125之維持電壓 $V_H$ 較佳大於裝置120之突返電壓。當此兩個裝置120與125均導通時，此串聯之兩個裝置

15 之 $V_H$ 等於：當此兩個裝置均導通時，跨各裝置維持電壓之和。此經組合裝置120、125所具有之 $V_H$ 可以與裝置120之突返電壓相比較。然後，藉由調整裝置120之臨界電流相當小於裝置125之臨界電流，可以在觸發裝置120時將跨裝置125之電壓最小化，其將突返電壓最小化。如果裝置125之 $V_H$

20 大於裝置120之突返電壓，且大約等於裝置125之臨界電壓，則當所施加之電流大於此對(pair)中之較高臨界電流時、其在一些實施例中可以為裝置125之臨界電流、而此組合從切斷切換至導通時，則裝置120與125可以小的突返電壓一起操作。在一實施例中，在裝置120被切換導通時，裝

置120之電阻可以為裝置125電阻之十倍，因此大部份之電壓降為跨裝置120之電壓降。

請參考第4圖，其為在本發明一實施例中、配置成垂直堆疊之記憶體100之記憶體晶胞(例如：115)之實施例。然而，亦可使用其他之結構，其包括此等結構，其中此等裝置之順序改變，且包括此等結構其具有繞線串聯之兩或三個離散堆疊。記憶體晶胞115可以包括：基板240、覆蓋基板240之絕緣材料260、以及覆蓋絕緣材料260之導電材料270。導電材料270為定址線(例如：列線152)。在導電材料270之上，可以在絕緣材料280之部份之間形成電極340。在電極340上可以沉積由以下材料所構成之序列層，以形成垂直之記憶體晶胞結構：記憶體材料350；電極材料360；切換材料920、例如不可規劃之硫族化合物、其具有相對其 $V_H$ 較低之臨界電流與較高之臨界電壓；電極材料930；切換材料940，例如不可規劃之硫族化合物，其具有較高臨界電流與大約等於 $V_H$ 之較低臨界電壓；電極材料950；以及導電材料980。導電材料980為定址線(例如：行線142)。

基板240可以例如為半導體基板(例如：矽基板)，雖然，本發明之範圍並不受限於此。其他適當基板可以使用但並不受限於：陶瓷材料、有機材料、或玻璃材料之基板。

在基板240上可以形成一層絕緣材料260且與其接觸。絕緣材料260可以為介電材料其可以為熱性及/或電性絕緣材料，像是例如二氧化矽，雖然本發明之範圍並不受限於此。絕緣材料260之厚度可以從大約 $300\text{\AA}$ 至大約 $10,000\text{\AA}$ ，

雖然本發明之範圍並不受限於此。可以使用化學或化學機械拋光(CMP)技術將絕緣材料260平坦化。

5 可以使用例如物理氣相沉積(PVD)製程以形成：覆蓋此絕緣材料260之導電材料270之薄膜。可以使用微影術與蝕刻技術將導電材料270圖案化，而在y-方向(垂直於第4圖中所顯示之圖)中形成小的寬度。導電材料270之膜厚度可以從大 $20\text{\AA}$ 至大約 $2000\text{\AA}$ 。在一實施例中，導電材料270之厚度可以從大 $200\text{\AA}$ 至大約 $1000\text{\AA}$ 。在另一實施例中，導電材料270之厚度可以大約為 $500\text{\AA}$ 。

10 導電材料270可以為記憶體100之定址線(例如：列線151、152、或153)。導電材料270可以例如為：鎢薄膜、摻雜多晶矽薄膜、鈦薄膜、氮化鈦薄膜、鎢化鈦薄膜、鋁薄膜、銅薄膜、或此等薄膜之一些組合。在一實施例中，導電材料270可以為多晶矽薄膜，其具有在其頂部表面上之耐火矽化物之電阻降低之條片，雖然本發明之範圍並不受限於此。

20 可以使用例如“電漿增強化學氣相沉積”(PECVD)製程、高密度電漿(HDP)製程、或旋塗與膠烤製程，形成絕緣材料280以覆蓋導電材料270。絕緣材料280可以為介電材料，其可以為熱性及/或電性絕緣材料，像是例如二氧化矽，雖然本發明之範圍並不受限於此。絕緣材料280之厚度可以從大 $100\text{\AA}$ 至大約 $4000\text{\AA}$ ，雖然本發明之範圍並不受限於此。在一實施例中，絕緣材料280之厚度可以從大 $500\text{\AA}$ 至大約 $2500\text{\AA}$ 。在另一實施例中，絕緣材料280之厚度可以

大約為 $1200\text{\AA}$ 。

雖然本發明之範圍並不受限於此，可以使用化學或CMP技術將絕緣材料280平坦化。絕緣材料280所產生之厚度可以從大 $20\text{\AA}$ 至大約 $4000\text{\AA}$ 。在一實施例中，在絕緣材料280平坦化之後，此絕緣材料280之厚度可以從大約 $200\text{\AA}$ 至大約 $2000\text{\AA}$ 。在另一實施例中，絕緣材料280之厚度可以大約為 $900\text{\AA}$ 。

記憶體材料350可以為相變可程式材料，其可以藉由以下方式而規劃成至少兩種記憶體狀態之一：施加電流至記憶體材料350以改變而將此記憶體材料350之相在實質上結晶狀態與實質上非晶狀態間改變；其中此記憶體材料350在實質上非晶狀態中之電阻大於：此記憶體材料350在實質上結晶狀態中之電阻。

規劃此記憶體材料350以改變此材料之狀態或相，其可以藉由將電壓施加至導電材料340與980而達成，因此產生跨選擇裝置120、125與記憶體元件130之電壓。當此電壓大於選擇裝置120、125與記憶體元件130之臨界電壓時，則電流會流經記憶體材料350，以響應所施加之電壓，且會導致記憶體材料350之變熱。

此變熱會改變記憶體材料350之記憶體狀態或相。改變此記憶體材料350之相或狀態會改變：此記憶體材料350之電氣特性，例如，此材料之電阻可以藉由改變此記憶體材料350之相而改變。記憶體材料350亦可稱為：可規劃電阻材料。

在“重設”狀態中，此記憶體材料350可以在非晶或半-非晶狀態中，以及在“設定”狀態中，此記憶體材料350可以在結晶或半-結晶狀態中。此在非晶或半-非晶狀態中記憶體材料350之電阻大於：在結晶或半-結晶狀態中記憶體材料350之電阻。應瞭解此重設與設定對非晶與結晶狀態之關聯各為一種常軌慣例(convention)，其可以採用至少一相反之常軌慣例。

使用電流可以將記憶體材料350加熱至相當高之溫度，而將記憶體材料350“非晶化”，且將記憶體材料350“重新設定”(例如：規劃此記憶體材料350至邏輯“0”之值)。將記憶體材料350之體積加熱至相當低之結晶溫度，且將記憶體材料350“設定”(例如：規劃此記憶體材料350至邏輯“1”之值)。可以藉由改變流經此記憶體材料350之體積之電流數量與期間，以達成記憶體材料350之各種電阻以儲存資訊。

如同於第4圖中所示，選擇裝置125可以包括底部電極360、與覆蓋此底部電極360之切換材料920。換句話說，切換材料920可以形成於底部電極360之上且與其接觸。此外，選擇裝置125可以包括：覆蓋此切換材料920之頂部電極930。

雖然本發明之範圍並不受限於此，此底部電極360可以為薄膜材料其薄膜厚度為：從大約 $20\text{\AA}$ 至大約 $2000\text{\AA}$ 。在一實施例中，此電極360之厚度可以為從大約 $100\text{\AA}$ 至大約 $1000\text{\AA}$ 。在另一實施例中，此電極360之厚度可以大約為

300Å。此用於底部電極360之適當材料可以包括由以下材料所構成之薄膜：鈦(Ti)、氮化鈦(TiN)、鎢化鈦(TiW)、碳(C)、碳化矽(SiC)、鈦鋁氮化物(TiAlN)、鈦矽氮化物(TiSiN)、多晶矽、氮化鉭(TaN)，此等薄膜之一些組合，或與切換材料5 940相容之其他適當導體或電阻導體。

雖然本發明之範圍並不受限於此，此切換材料920可以為一種薄膜材料，其厚度為從大約20Å至大約2000Å。在一實施例中，此切換材料920之厚度可以為從大約200Å至大約1000Å。在另一實施例中，此切換材料920之厚度可以大約10 為500Å。

可以使用薄膜沉積技術像是例如：化學氣相沉積(CVD)製程或物理氣相沉積(PVD)製程，形成此覆蓋底部電極360之切換材料920。切換材料920可以為：在實質上非晶狀態中之硫族化合物材料或雙向開關半導體材料之薄膜，其可以藉由施加預先設定電流或電壓，而在較高電阻“切斷狀態”與較低電阻“導通”狀態之間重覆地且可逆地切換。切換材料920可以為非可規劃材料。15

雖然本發明之範圍並不受限於此，在一例中，切換材料920之成份可以包括：大約14%Si濃度、大約39%Te濃度、大約37%As濃度、大約9%Ge濃度、以及大約1%In濃度。在20 另一例中，切換材料940之成份可以包括：大約14%Si濃度、大約39%Te濃度、大約37%As濃度、大約9%Ge濃度、以及大約1%P濃度。在此等例中，此等比例為在構成元素之總原子100%中之原子百分比。

在另一實施例中，此切換材料920之成份可以包括以下元素之合金：砷(As)、碲(Te)、硫(S)、鍺(Ge)、硒(Se)、以及銻(Sb)，而其各原子百分比為：10%、21%、2%、15%、50%、以及2%。

- 5 雖然本發明之範圍並不受限於此，在其他實施例中，此切換材料920可以包括：矽(Si)、碲(Te)、砷(As)、鍺(Ge)、硫(S)、以及硒(Se)。作為例子，此切換材料940之成份可以包括以下元素：大約5%Si濃度、大約34%Te濃度、大約28%As濃度、大約11%Ge濃度、大約21%S濃度、以及大約
- 10 1%Se濃度。

- 頂部電極930可以為薄膜材料其厚度為大約20Å至大約2000Å。在一實施例中，電極930之厚度可以為從大約100Å至大約1000Å。在另一實施例中，電極930之厚度可以大約為300Å。此用於頂部電極230之適當材料可以包括由以下材
- 15 料所構成之薄膜：鈦(Ti)、氮化鈦(TiN)、鎢化鈦(TiW)、碳(C)、碳化矽(SiC)、鈦鋁氮化物(TiAlN)、鈦矽氮化物(TiSiN)、多晶矽、氮化鉭(TaN)，此等薄膜之一些組合，或與切換材料920相容之其他適當導體或電阻導體。

- 在一實施例中，此頂部電極與底部電極可以包括碳，
- 20 且可以具有大約500 Å之厚度。此頂部電極930可以稱為上部電極，且此底部電極360可以稱為下部電極。在此實施例中，選擇裝置125可以稱為垂直結構，因為電流可以垂直地流經頂部電極930與底部電極360間之切換材料920。如果使用薄膜用於切換材料920與電極930以及360，則選擇裝置

125可以稱為薄膜選擇裝置。

選擇裝置125之臨界電流( $I_{TH}$ )可以小於：設定於高電阻非晶狀態中用於雙向開關半導體元件記憶體裝置之臨界電流。在此等選擇裝置切換導通時，選擇裝置120、125之電阻可以較記憶體元件130之電阻大許多、例如大十倍，以致於當選擇裝置120或125切換導通時，跨此選擇裝置電壓之大部份將此選擇裝置切換時電壓中之變化最小化。選擇裝置125之臨界電壓( $V_{TH}$ )可以藉由改變製程變數而改變，其例如為：切換材料920之厚度或合金成份、以及接觸電極之活性面積。例如，增加切換材料920之厚度，則可以選擇裝置125之臨界電壓，其結果為如果此裝置之 $V_H$ 保持相同，則其突返電壓增加。選擇裝置125之維持電壓( $V_H$ )可以藉由以下方式改變或設定：藉由對切換裝置之接觸之型式，例如，電極360與930之組合可以決定選擇裝置125之維持電壓。

15 切換材料940以及電極930與950可以形成選擇裝置120。可以使用類似但不同材料以形成切換材料940，以及可以使用類似但不同製造技術以形成在此所說明之切換材料920。切換材料920與940可以由不同材料所構成。例如，在一實施例中，切換材料920可以由硫族化合物材料所構成，而切換材料940可以由不同之硫族化合物材料所構成。

20 選擇裝置120或125之臨界電壓可以由雙向開關半導體元件開關之切換材料之厚度或合金成份所決定，以及此雙向開關半導體元件開關之維持但壓藉由接觸此雙向開關半導體元件開關之切換材料之電極之成份而決定。因此，在

一實施例中，裝置125之突返電壓可以藉由：減少切換材料之厚度與使用特殊型式之電極而降低。

在一實施例中，此切換材料920之厚度可以薄於切換材料940之厚度以減少漏電。以替代方式，材料920可以由較低漏電合金製成，例如允許具有較高半導體能帶間隙之合金其範圍為0.8eV至1.0eV，其例如為具有20%至40%鍺之砷、碲、鍺合金。一種合適之合金包括(以原子之百分比)：10%砷、21%碲、2%硫、15%鍺、50%碲、以及2%銻，而具有大約0.85eV能帶間隙。作為另一例，此切換元件920可以具有在水平方向中所測量較小面積以減少漏電。

此裝置125可以使用不同合金作為切換材料940(例如：碲39%、砷37%、矽17%、鍺7%)製成，而在一實施例中具有10至20%添加之矽。此用於材料940之合金可以為較大漏電之合金。

在此實施例中，此選擇裝置120之臨界電壓可以大約為3V，以及選擇裝置120之維持電壓可以大約為1V。此選擇裝置125之臨界電壓可以大約為小於或等於1.1V，以及選擇裝置125之維持電壓可以大約為1V。裝置130之臨界電壓可以小於裝置120與125串聯組合之突返電壓，以致於當此選擇裝置突返時並不會超過記憶體裝置130之 $V_{TH}$ 。為了進一步降低突返電壓可以將一或多個像是裝置125之裝置與裝置120串聯。作為另一項選擇，裝置120可以由具有較大活性能量之材料製成。在某些實施例中，裝置120可以由具有較高玻璃轉換溫度之硫族化合物所形成。

此外，裝置120之漏電與臨界電流可以小於裝置125與記憶體元件130之漏電電流，以致於一直至裝置120觸發為止(當其電壓超過其臨界電壓時)，可以將跨裝置125與元件130之電壓最小化至相當小之電壓，以及當去除選擇時，將此進入此串聯組合之漏電最小化。在一實施例中，此跨裝置130之電壓會小於此跨裝置120之電壓之10%，一直至其被觸發為止。例如，此跨裝置125與元件130之電阻可以小於此跨裝置120之電阻十倍，一直至此對裝置120施加之電壓超過其臨界電壓而被觸發為止。此對於此裝置之組合串聯組臨界電壓之增加為：跨裝置120之電阻器分割器。這即是，此跨裝置120電壓之增加是、相對於跨此所選擇列與行之總電壓，是與跨裝置125與元件130之電壓降成正比，其可以藉由下列方式減少：在裝置120切換導通時，增加裝置125相對於裝置120之漏電與減少其電阻。可以在此兩裝置均切換導通後維持其電流大於 $I_H$ ，而確保將此串聯裝置120與125維持在 $V_H$ 導通狀態中，以及可以調整選擇裝置120與125之維持電流與臨界電流( $I_{TH}$ )至小於記憶體元件130之電流 $I_{TH}$ 。

例如，如果裝置120在此跨選擇裝置120與125以及記憶體元件130之3.3V被觸發至1V之維持電壓，這留下2.3V跨其餘裝置125與記憶體元件130之2.3V電壓。此2.3V之電壓足以觸發裝置125，且此裝置125與元件130之相對電阻為如此，以致於其電壓之大部份是跨裝置125，因此只有它被切換，而留下記憶體元件130未被切換，而具有跨其之電壓平

衡(裝置120上述之電壓+裝置125之 $V_H$ )，以致於將裝置125之維持電壓加至裝置120之維持電壓，而具有跨記憶體元件130之電壓平衡。此裝置120與130之組合所產生之突返電壓為：3.3V減去裝置120之 $V_H$ 、再減去裝置125之 $V_H$ 、再減去跨元件130之電壓例如1.3V。此電壓更可藉由以下方式進一步降低：增加任何此等裝置之維持電壓、降低裝置120或125之任何之臨界電壓、或藉由將裝置125添加至此串聯組合。

在將裝置120與125觸發後，此在列線即位元線上所發展之電壓平衡然後可以跨此記憶體元件130。當此行線由電流源驅動時此電壓增加，當元件130被重新設定時可讀取此電壓為1，因為此行線電壓保持增加且超過感測器或參考電壓。如果在合理之時間期間之後，此行線之電壓並未超過其參考電壓，則設定此位元且在較低電阻狀態中。

對於不具突返之組合式選擇裝置與記憶體元件，當增加之電流強迫進入此對時，此跨組合裝置120與125之總電壓增加。如果裝置120之臨界電壓等於：裝置120之維持電壓加上裝置125之維持電壓，且裝置125之臨界電壓等於裝置125之維持電壓，則此裝置120之突返電壓被吸收於跨此裝置125電壓之增加中，而裝置130不會產生臨界動作，然後，此等串聯之選擇裝置顯得不具有組合之突返電壓。為了吸收第一裝置之突返電壓，此裝置120之臨界電壓、減去裝置120之維持電壓，必須小於裝置125之臨界電壓，其較佳小於裝置125之維持電壓。

作為例子，如果裝置125之臨界電壓等於裝置125之維

持電壓、其在此例中為1.5V，則裝置120之臨界電壓為2.6V而具有1.5V之維持電壓，則在裝置120臨界時跨裝置125之電壓為0.4V。在臨界電流流經裝置120時之裝置125之電阻為：在臨界電壓之裝置120電阻之大約10%。因此，在裝置120  
5 產生臨界動作立即之前，此跨裝置120之電壓為2.6V，此跨裝置125之電壓為0.3V，且跨此兩裝置之總電壓為2.9V。

在此裝置120產生臨界動作之後，此跨裝置120之電壓等於裝置120之維持電壓或1.5V，而此跨裝置125之電壓為1.4V，其仍然低於記憶體元件之臨界電壓與維持電壓。此  
10 總電壓為2.9V而不會產生突返，因為在其突返之前必須跨裝置125施加額外之0.1V。

作為還有另一個例子，此裝置125之臨界電壓可以等於其維持電壓而為1.5V，且裝置120之臨界電壓為2.6V而具有維持電壓1.5V。然後，在裝置120產生臨界動作之立即之  
15 前，裝置120具有跨其之2.6V、裝置125具有跨其之0.7V，而產生跨此兩裝置之總3.3V，以及記憶體元件130具有跨其之0.2V，而產生列線與行線間總共3.5V。在裝置120產生臨界動作之後，裝置120具有1.5V之維持電壓( $V_H$ )，裝置125具有1.5V之維持電壓( $V_H$ )，記憶體元件130之維持電壓增加  
20 至0.5V，因此會有0.2V之突返電壓，因此記憶體元件130現在可以察覺跨其之電壓增加、而沒有從列至行電壓之增加。

因此，跨此記憶體元件130用以切換之電壓亦決定此突返電壓之數量，且此藉由當裝置120切換時之相對電阻而決定。然而，即使較厚之裝置可以被視為具有較大之電阻，

以及因此大部份之電壓降、在此裝置產生臨界動作立即之前之時刻，其具有跨其之完整臨界電壓，而裝置125僅具有跨其電壓之一部份。此組合裝置120與125之突返電壓數量然後跨元件130發展，且導致電流其可以超過裝置120與125之維持電流，以致於當在元件130中電流增加時，可以建立與維持穩定電壓。

因此，在一些實施例中，在裝置120中較佳有低漏電。此由裝置120所造成增加之突返電壓由裝置125對其產生相反作用。在一些實施例中，當將此串聯組合使用作為用於記憶體元件130之選擇裝置時，裝置120與125之組合造成：較低之漏電與較少之突返。

現在參考第5圖，其說明根據本發明實施例系統860之一部份。系統860可以使用於無線裝置，例如：個人數位助理(PDA)、具有無線能力之膝上型或可攜式電腦、網路數位板、無線電話、呼叫器、立即訊息裝置、數位音樂播放機、數位照相機、或其他裝置其可以適用於無線地傳送及/或接收資訊。系統860可以使用於任何以下系統中：無線區域網路(WLAN)系統、無線個人區域網路(WPAN)系統、蜂巢網路，雖然本發明之範圍並不受限於此。

系統860可以包括：控制器865、輸入/輸出(I/O)裝置870(例如：鍵盤、顯示器)、記憶體875、以及經由匯流排885連接至各其他裝置之無線介面880。應注意本發明之範圍並不受限於具有任何或所有此等元件之實施例。

控制器865可以包括例如：一或多個微處理器、數位信

號處理器、微控制器等。可以使用記憶體875以儲存傳輸至系統860或由其傳輸之訊息。亦可以選擇地使用記憶體875以儲存：在系統860操作期間由控制器865所執行之指令，以及可以被使用以儲存使用者資料。記憶體875可以由一或多個不同型式記憶體所提供。例如，記憶體875可以包括下列任何型式：隨機存取記憶體；依電性記憶體；非依電性記憶體、例如快閃式記憶體及/或記憶體例如在此所討論之記憶體100。

● 使用者可以使用輸入/輸出(I/O)裝置870以產生訊息。

10 系統860可以使用無線介面880以射頻(RF)信號，去/來無線通信網路以傳送與接收訊息。此無線介面880之例可以包括：天線或無線接收發射器，雖然，本發明之範圍並不受限於此。

雖然以上說明與描述本發明之某些特性，但對熟習此技術人士為明顯可以對其作許多修正、替代、改變、以及等效設計。因此，應瞭解所附之申請專利範圍之用意為包含符合本發明真實精神之所有此等修正與改變。

### 【圖式簡單說明】

- 第1圖為概要圖其說明根據本發明實施例之記憶體；
- 20 第2圖說明存取裝置之電流-電壓特徵；
- 第3圖說明組合式存取裝置之電流-電壓特徵；
- 第4圖為橫截面圖其說明根據本發明實施例之第1圖中記憶體之一部份；以及
- 第5圖為方塊圖說明根據本發明實施例之系統之一部

份。

## 【主要元件符號說明】

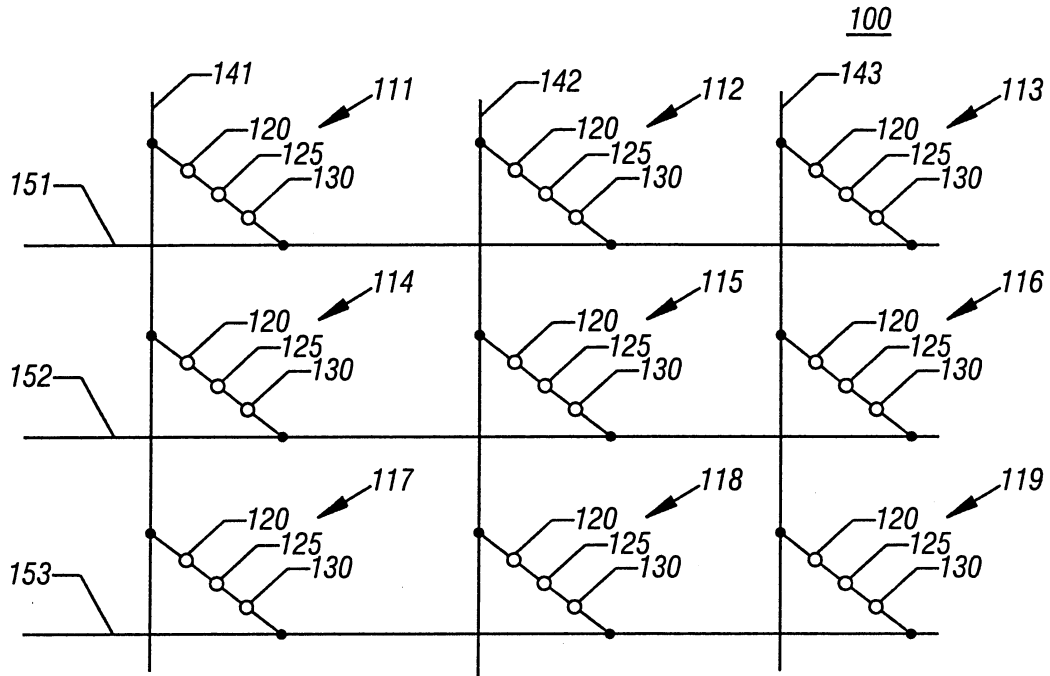
|               |             |
|---------------|-------------|
| 100…記憶體       | 360…電極材料    |
| 111-119…記憶體晶胞 | 860…系統      |
| 120…選擇裝置      | 865…控制器     |
| 125…選擇裝置      | 870…輸入/輸出裝置 |
| 130…記憶體元件     | 875…記憶體     |
| 141-143…位元線   | 880…無線介面    |
| 151-153…字元線   | 885…匯流排     |
| 240…基板        | 920…切換材料    |
| 260…絕緣材料      | 930…電極材料    |
| 270…導電材料      | 940…切換材料    |
| 280…絕緣材料      | 950…電極材料    |
| 340…電極        | 980…導電材料    |
| 350…記憶體材料     |             |

## 五、中文發明摘要：

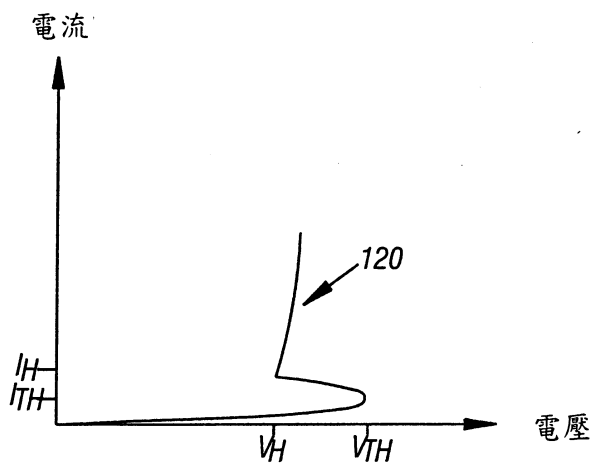
一種記憶體可包括相變記憶體元件與串聯之第一和第二選擇裝置。第二選擇裝置可以具有較第一選擇裝置為高之電阻與更大之臨界電壓。在一實施例中，第一選擇裝置所具有之臨界電壓實質上等於其維持電壓。在一些實施例中，此等選擇裝置與記憶體元件可由硫族化合物製成。在一些實施例中，此等選擇裝置是由不可規劃硫族化合物製成。具有較高臨界電壓之選擇裝置可以對其組合提供較小之洩漏作用，但亦可顯示增加之突返作用。此所增加之突返作用可以由具有較低臨界電壓之選擇裝置予以抵消，而在一些實施例中構成具有低洩漏與高性能表現之組合。

## 六、英文發明摘要：

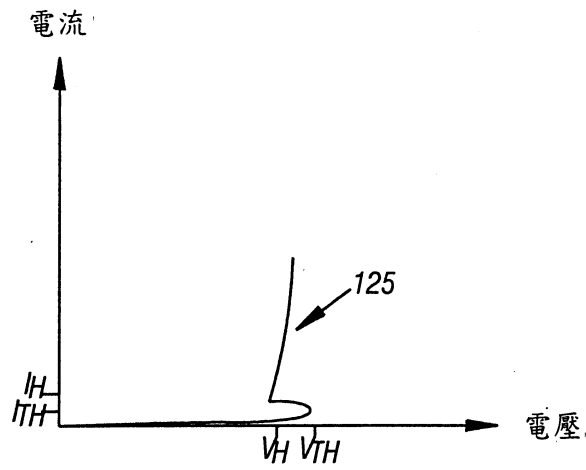
A memory may include a phase change memory element and series connected first and second selection devices. The second selection device may have a higher resistance and a larger threshold voltage than the first selection device. In one embodiment, the first selection device may have a threshold voltage substantially equal to its holding voltage. In some embodiments, the selection devices and the memory element may be made of chalcogenide. In some embodiments, the selection devices may be made of non-programmable chalcogenide. The selection device with the higher threshold voltage may contribute lower leakage to the combination, but may also exhibit increased snapback. This increased snapback may be counteracted by the selection device with the lower threshold voltage, resulting in a combination with low leakage and high performance in some embodiments.



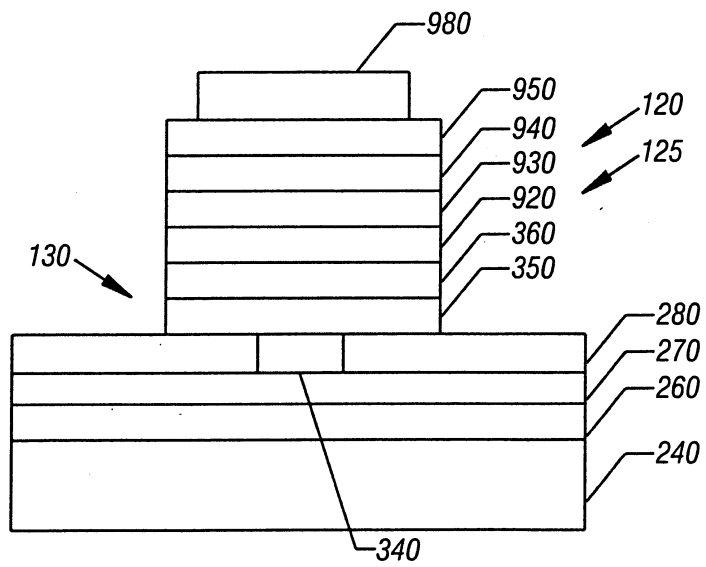
第 1 圖



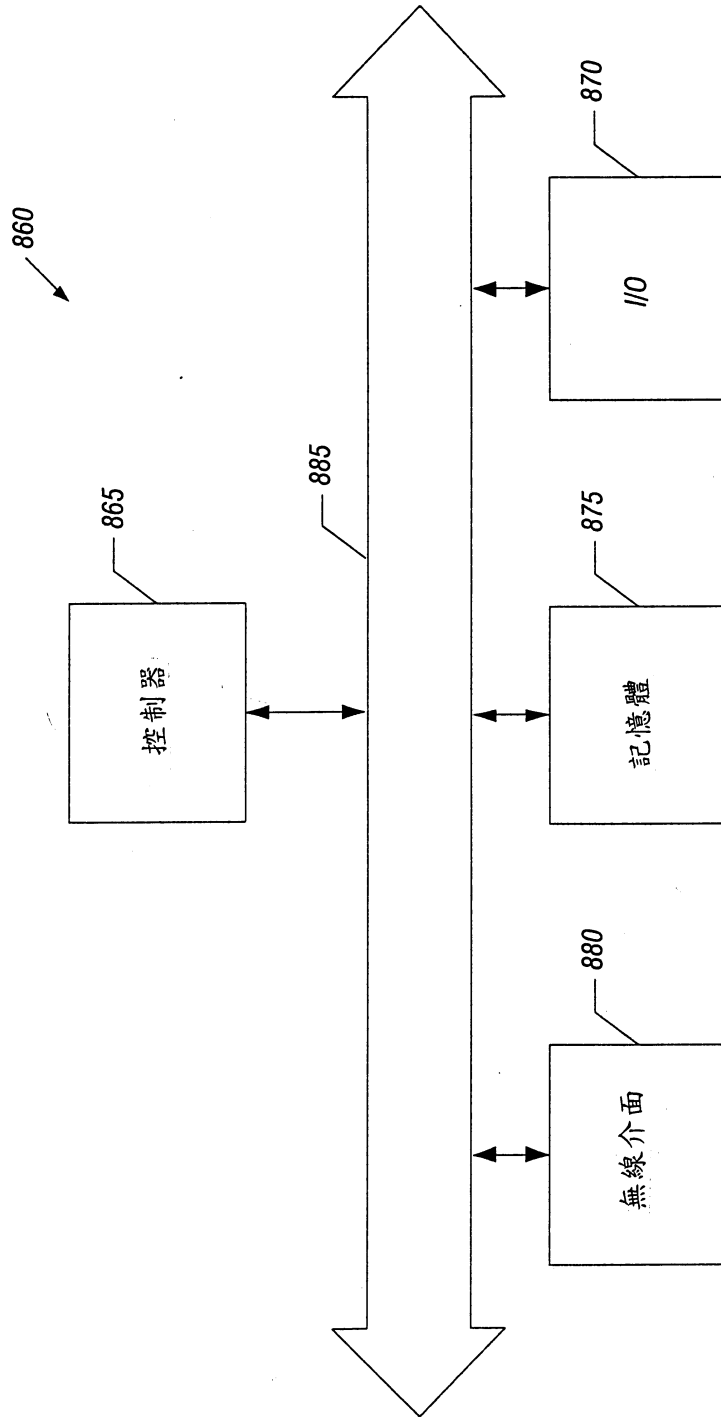
第 2 圖



第 3 圖



第 4 圖



第 5 圖

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

100...記憶體

111-119...記憶體晶胞

120...選擇裝置

125...選擇裝置

130...記憶體元件

141-143...位元線

151-153...字元線

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 十、申請專利範圍：

第94121406號申請案申請專利範圍修正本

96.01.24.

1. 一種記憶體裝置，包含：
  - 一相變記憶體元件；
  - 5 一串聯之第一選擇裝置；以及
  - 一串聯之第二選擇裝置，具有較該第一選擇裝置更高電阻與更大臨界電壓。
2. 如申請專利範圍第1項之裝置，其中該第一選擇裝置之維持電壓與臨界電壓實質上相等。
- 10 3. 如申請專利範圍第1項之裝置，其中該第一選擇裝置之突返(snapback)電壓小於0.25伏特。
4. 如申請專利範圍第1項之裝置，其中該第二選擇裝置具有較該第一選擇裝置更高之致動能量。
5. 如申請專利範圍第1項之裝置，其中該元件與該等選擇  
15 裝置係配置成一垂直堆疊。
6. 如申請專利範圍第5項之裝置，其中該等選擇裝置與該元件包括一種硫族化合物。
7. 如申請專利範圍第6項之裝置，其中該第二選擇裝置較該第一選擇裝置具有較大之突返電壓。
- 20 8. 如申請專利範圍第6項之裝置，其中該等第一與第二選擇裝置中之該硫族化合物為不可規劃材料。
9. 一種形成記憶體之方法，包含以下步驟：

將一第一選擇裝置與一第二選擇裝置和一相變記憶體元件串聯耦接，以使得該第一選擇裝置較該第二選

擇裝置具有較高電阻與較大臨界電壓。

10. 如申請專利範圍第9項之方法，更包括耦接具有實質上相等之一維持電壓與一臨界電壓之一第二選擇裝置。
11. 如申請專利範圍第9項之方法，更包括耦接具有小於0.25  
5 伏特之突返電壓之一第一選擇裝置。
12. 如申請專利範圍第9項之方法，更包括使用具有較該第二選擇裝置更高之致動能量之一第一選擇裝置。
13. 如申請專利範圍第9項之方法，更包括將該記憶體元  
10 件、該第一選擇裝置與該第一選擇裝置堆疊成一垂直堆疊。
14. 如申請專利範圍第13項之方法，更包括以硫族化合物形成該等選擇裝置。
15. 如申請專利範圍第14項之方法，更包括對該第一選擇裝置提供較該第二選擇裝置為大之突返作用。
- 15 16. 如申請專利範圍第15項之方法，更包括在該等第一與第二選擇裝置中使用不可規劃之硫族化合物。
17. 如申請專利範圍第9項之方法，更包括使用該第二選擇裝置以減少由該第一選擇裝置所提供之突返作用。
18. 如申請專利範圍第17項之方法，更包括使用該第一選擇  
20 裝置以減少該等串聯之選擇裝置與記憶體元件之洩漏。
19. 一種無線資訊處理系統，包含：
  - 一處理器；
  - 耦接至該處理器之一無線介面；以及
  - 耦接至該處理器之一記憶體，該記憶體包括：

一相變記憶體元件；

一串聯之第一選擇裝置；

一串聯之第二選擇裝置，其具有較該第一選擇裝置更高之電阻與最大的臨界電壓。

- 5 20. 如申請專利範圍第19項之系統，其中該第一選擇裝置之維持電壓與臨界電壓實質上相等。
21. 如申請專利範圍第19項之系統，其中該第一選擇裝置之突返電壓小於0.25伏特。
22. 如申請專利範圍第19項之系統，其中該第二選擇裝置具有較該第一選擇裝置更高之致動能量。
- 10 23. 如申請專利範圍第19項之系統，其中該元件與該等選擇裝置係配置成一垂直堆疊。
24. 如申請專利範圍第23項之系統，其中該等選擇裝置與該元件包括一種硫族化合物。
- 15 25. 如申請專利範圍第24項之系統，其中該第二選擇裝置較該第一選擇裝置具有較大之突返電壓。
26. 如申請專利範圍第24項之系統，其中該等第一與第二選擇裝置中之該硫族化合物為不可規劃材料。