



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

208933

(11)

(B1)

(22) Přihlášeno 20 03 78

(21) (PV 1750-78)

(40) Zveřejněno 30 01 81

(45) Vydáno 01 11 82

(51) Int. Cl.³
G 06 K 9/18

(75)

Autor vynálezu

LINEK JAN ing. a HELCL JIŘÍ ing. CSc., PRAHA

(54) Zapojení pro rozpoznávání identifikačních značek

Vynález řeší zapojení pro rozpoznávání identifikačních značek, tvořených sledem opticky rozlišitelných pruhů různé šířky, ve dvouúrovňovém výstupním signálu optickoelektrického rastrového převodníku.

Dosud známá zapojení, která by bylo možno pro vyhodnocení nebo rozpoznávání uvedených identifikačních značek ve výstupním signálu rastrového optickoelektrického převodníku použít, jsou technicky rozsáhlá a komplikovaná.

Nedostatky známých zapojení odstraňuje zapojení pro rozpoznání identifikačních značek dle vynálezu, jehož podstata spočívá v tom, že jeho první vstup je spojen se vstupem prvního spouštěného generátoru impulsu, se vstupem třetího a pátého spouštěného a nulovatelného generátoru impulsu, s řídicími vstupy třetího a čtvrtého paměťového členu, s prvním vstupem prvního dekodéru a přes invertor se vstupem druhého spouštěného generátoru impulsu, se vstupem čtvrtého a šestého spouštěného a nulovatelného generátoru impulsu, s řídicími vstupy prvního a druhého paměťového členu a s druhým vstupem prvního dekodéru, přičemž druhý vstup zapojení je spojen s jedenáctým vstupem prvního dekodéru a třetí vstup zapojení je spojen s třináctým vstupem prvního dekodéru, přičemž výstupy prvního a druhého spouštěného generátoru impulsu jsou po řadě

spojeny s třetím a čtvrtým vstupem prvního dekodéru, výstupy třetího a čtvrtého spouštěného a nulovatelného generátoru impulsu jsou po řadě spojeny s datovými vstupy prvního a třetího paměťového členu, jejichž výstupy jsou po řadě spojeny s pátým a osmým vstupem prvního dekodéru, výstupy pátého a šestého spouštěného a nulovatelného generátoru impulsu jsou po řadě spojeny s datovými vstupy druhého a čtvrtého paměťového členu, jejichž přímé výstupy jsou po řadě spojeny s šestým a devátým a jejichž inverzní výstupy jsou po řadě spojeny se sedmým a desátým vstupem prvního dekodéru, první výstup prvního dekodéru je spojen s datovým vstupem posuvného registru, jehož výstupy z jednotlivých binárních řádů jsou přes vyrovnávací paměť spojeny s přepínacími vstupy elektronického přepínače a s informačními výstupy zapojení, přičemž druhý výstup prvního dekodéru je spojen s řídicím vstupem posuvného registru, s třetím vstupem druhého dekodéru a s čítacím vstupem čítače bitů, jehož výstupy jsou spojeny s přepínacími vstupy elektronického přepínače a s detekčními vstupy druhého dekodéru, třetí výstup prvního dekodéru je spojen s druhým nulovacím vstupem čítače bitů a se čtvrtým vstupem druhého dekodéru, čtvrtý výstup prvního dekodéru je spojen s nastavovacím vstupem čítače bitů, pátý výstup prvního dekodéru je spojen

208 933

s prvním nulovacím vstupem čítače bitů, šestý výstup prvního dekodéru je spojen s nulovacím vstupem čítače shod, výstup elektronického prepínače je spojen s prvním vstupem druhého dekodéru, výstup nejnižšího binárního řádu posuvného registru je spojen s druhým vstupem druhého dekodéru, přičemž první výstup druhého dekodéru je spojen s řídicím vstupem vyrovnávací paměti, druhý výstup druhého dekodéru je spojen s čítacím vstupem čítače shod, třetí výstup druhého dekodéru je spojen s nastavovacím vstupem čítače shod, čtvrtý výstup druhého dekodéru je spojen s dvanáctým vstupem prvního dekodéru, přičemž výstup čítače shod je spojen s řídicím vstupem zapojení.

Zapojení dle vynálezu umožňuje rozpoznávat identifikační značky tvořené jedním opticky rozlišitelným pruhem šířky A a sledem opticky rozlišitelných pruhů jednak šířky B menší nežli A a jednak šířky C menší nežli B a umožňuje konstruovat nenákladná zařízení pro rozpoznávání značek.

Tímto řešením je dosaženo významného zjednodušení rozpoznávacího zařízení při zabezpečení vysoké odolnosti proti chybnému rozpoznání značky vhodnou volbou počtu pruhů tvořících značku a při zabezpečení vysoké pravděpodobnosti správného rozpoznání i poškozených značek vhodnou volbou počtu shodných, za sebou rozpoznávaných slov, čítaných v čítači shod.

Další předností zapojení dle vynálezu, vedoucí ke zmenšení rozsahu potřebných technických prostředků a tedy i zmenšení objemu, příkonu, váhy a ke zvýšení spolehlivosti rozpoznávacího zařízení spočívají ve využití čítače bitů ve funkci paměti zahájení rozpoznávání a v možnosti využít informací o úrovni vstupního signálu pro zahájení nebo znovuzahájení rozpoznávání značky jako informační součást značky, tj. lze rozlišovat značky zahajované světlým pruhem šířky A od značek zahajovaných tmavým pruhem šířky A.

Na přiloženém výkrese je uvedeno schéma zapojení pro rozpoznávání značek podle vynálezu.

Jednotlivé vstupy do použitých funkčních bloků jsou označeny šipkou. První vstup VS do zapojení podle vynálezu je spojen s dvouhodnotovým datovým neboli obrazovým a druhý vstup SY se synchronizačním výstupem rastrového opticko-elektrického převodníku. Třetí vstup R zapojení dle vynálezu je spojen s řídicím výstupem výstupního kanálu, na jehož informační vstupy Z je kód rozpoznávané značky zaváděn z výstupů vyrovnávací paměti VP a na jehož řídicí vstup K je připojen výstup z čítače shod CS.

Zapojení dle vynálezu je tvořeno dvěma spouštěnými generátory impulsu G1 a G2, které jsou realizovány např. monostabilními klopnými obvody, z nichž první G1 má dobu trvání impulsu t1 a druhý G2 má dobu trvání impulsu t2, čtyřmi spouštěnými a nulovatelnými generátory impulsu G3, G4, G5, G6, které jsou realizovány např. monostabilními klopnými obvody pro zkracování

impulsu z nichž třetí G3 má dobu trvání impulsu t3, čtvrtý G4 má dobu trvání impulsu t4, pátý G5 má dobu trvání impulsu t5 a šestý G6 má dobu trvání impulsu t6. Výstupní impuls spouštěných a nulovatelných generátorů má dobu trvání rovnou buď příslušné nastavené době trvání impulsu nebo době trvání spouštěcího impulsu, podle toho, která z uvedených dob je kratší. Pro správnou funkci rozpoznávacího zapojení musí být splněna podmínka:

$t1 < t3 < t5$ a podmínka $t2 < t4 < t6$. Dále je zapojení tvořeno čtyřmi pamětovými členy P1, P2, P3, P4 realizovanými např. bistabilními klopnými obvody typu D, z nichž každý má jeden datový vstup, jeden řídicí vstup a jeden přímý případně jeden inverzní výstup.

Dále schéma obsahuje první dekodér D1 s třinácti dvouhodnotovými vstupy A1, A2, A3... A13 a s šesti dvouhodnotovými výstupy HB, BR, PRS, ZR, UR, PS, posuvný registr PR s datovým vstupem, s řídicím vstupem pro zavádění posuvných impulsů a s přímým případně inverzním výstupem z každého binárního řádu, vyrovnávací paměť VP s počtem binárních řádů shodným s počtem binárních řádů posuvného registru PR a s jedním řídicím vstupem pro přepis obsahu vyrovnávací paměti, elektronický prepínač, realizovaný např. multiplexerem s jedním výstupem BZ, s prepínacími vstupy a s prepínanými vstupy, přičemž počet prepínaných vstupů je alespoň o jeden větší nežli počet řádů posuvného registru PR, čítač bitů CB právě rozpoznávané značky s čítacím vstupem, s nastavovacím vstupem pro nastavení nejnižšího řádu čítače, s prvním nulovacím vstupem pro nulování nejnižšího řádu čítače a s druhým nulovacím vstupem pro nulování všech vyšších řádů čítače, druhý dekodér D2 se čtyřmi dvouhodnotovými vstupy B1, B2, B3, B4 s detekčními vstupy V, jejichž počet je roven počtu řádů čítače bitů a se čtyřmi dvouhodnotovými výstupy KR, S, N, RZ čítač shod CS s čítacím vstupem, s nastavovacím vstupem pro přednastavení počáteční hodnoty např. na hodnotu 1, s nulovacím vstupem a s jedním výstupem.

První vstup VS rozpoznávacího zapojení dle vynálezu je spojen se vstupy generátorů G1, G3, G5, s řídicími vstupy pamětových členů P3 a P4 a s prvním vstupem A1 dekodéru D1. Přes invertor I je vstup VS spojen se vstupy zbývajících generátorů G2, G4, G6, s řídicími vstupy pamětových členů P1 a P2 a s druhým vstupem A2 dekodéru D1. Druhý vstup SY rozpoznávacího zapojení dle vynálezu je spojen s jedenáctým vstupem A11 dekodéru D1. Výstup generátoru G1 je spojen s třetím A3 a výstup generátoru G2 se čtvrtým A4 vstupem dekodéru D1. Výstupy generátorů G3, G5, G4, a G6 jsou v uvedeném pořadí spojeny s datovými vstupy pamětových členů P1, P2, P3 a P4. První výstup HB dekodéru D1, přenášející dvouhodnotovou informaci „hodnota rozpoznávaného bitu“ je spojen s datovým vstupem posuvného registru PR. Druhý výstup BR dekodéru D1,

přenášející dvouhodnotovou informaci „bit rozpoznán“, která určuje okamžiky vzorkování hodnoty bitu na výstupu **HB** dekodéru **D1**, je spojen s řídicím vstupem posuvného registru **PR**, s čítacím vstupem čítače bitů **CB** a se vstupem **B3** dekodéru **D2**.

Třetí výstup **PRS** dekodéru **D1**, přenášející dvouhodnotovou informaci „přeruš rozpoznávání slova“, je spojen s druhým nulovacím vstupem čítače bitů **CB** a vstupem **B4** druhého dekodéru **D2**. Čtvrtý výstup **ZR** dekodéru **D1**, přenášející dvouhodnotovou informaci „zahaj rozpoznávání slova“, je spojen s nastavovacím vstupem čítače bitů **CB** a pátý výstup **UR** dekodéru **D1**, přenášející dvouhodnotovou informaci „ukončí rozpoznávání slova“, je spojen s prvním nulovacím vstupem čítače bitů **CB**. Šestý výstup **PS** dekodéru **D1**, přenášející dvouhodnotovou informaci „počáteční stav“ je spojen s nulovacím vstupem čítače shod **CS**. Vstupy posuvného registru **PR** jsou přes vyrovnávací paměť **VP** spojeny s přepínanými vstupy elektronického přepínače **EP** a s výstupy **Z** rozpoznávacího zapojení dle vynálezu. Výstup z nejnižšího řádu posuvného registru **PR** je spojen s druhým vstupem **B2** dekodéru **D2**. Výstupy čítače **CB** jsou spojeny s přepínacími vstupy přepínače **EP** a s detekčními vstupy **V** dekodéru **D2**.

První výstup **KR** dekodéru **D2**, přenášející dvouhodnotovou informaci „konec rozpoznávání slova“, je spojen s řídicím vstupem vyrovnávací paměti **VP**. Druhý výstup **S** dekodéru **D2**, přenášející dvouhodnotovou informaci „shodné slovo“, je spojen s čítacím vstupem čítače **CS**. Třetí výstup **N** dekodéru **D2**, přenášející dvouhodnotovou informaci „neshodné slovo“, je spojen s nastavovacím vstupem čítače **CS**. Čtvrtý výstup **RZ**, přenášející dvouhodnotovou informaci „rozpoznávání slova zahájeno“ je spojen se vstupem **A12** dekodéru **D1**.

Výstup čítače **CS** přenášející dvouhodnotovou informaci „konec rozpoznávání značky“ je spojen s řídicím kanálovým výstupem **Z** rozpoznávacího zapojení dle vynálezu.

Třetí vstup **R** rozpoznávacího zapojení dle vynálezu, přenášející dvouhodnotový příkaz „rozpoznávej“, je spojen se vstupem **A13** dekodéru **D1**.

Dále je uveden popis funkce popsaného zapojení při rozpoznávání značky. Pokud signály na vstupech **R** a **SY**, podmiňující funkci rozpoznávání, mají vhodnou úroveň, pak v okamžiku přechodu signálu na vstupu **VS** z nízké úrovně do vysoké úrovně nebo naopak z vysoké úrovně do nízké úrovně je spuštěna jedna trojice generátorů např. **G1**, **G3**, **G5**, je proveden přepis stavu výstupů dvou spouštěných a nulovatelných generátorů z druhé trojice generátorů do příslušejících pamětových členů tj. v uvažovaném případě přepis z **G4** do **P3** a z **G6** do **P4**, je zahájeno nulování dvou nulovatelných generátorů z druhé trojice tj. v uvažovaném případě nulování **G4** a **G6**. Na základě hodnot signálů na svých vstupech vytváří dekodér **D1**

potřebné signály výstupní. Např. jestliže doba trvání právě ukončené úrovně signálu na vstupu **VS** byla delší, nežli doba t_6 , pak s určitým obvodovým zpožděním vzniká na výstupu **BR** krátký impuls a také na výstupech **PRS** a **ZR** vznikají signály např. s dobou trvání t_1 nebo t_2 . V důsledku těchto signálů dojde k zápisu hodnoty bitu z výstupu **HB** do nejnižšího bitu registru **PR**, k nastavení čítače **CB** do stavu s hodnotou 1, k připojení výstupu vyrovnávací paměti **VP** přes přepínač **EP** na vstup **B1** dekodéru **D2**, na jehož výstupu **RZ** dochází ke vzniku úrovně odpovídající informaci „rozpoznávání slova zahájeno“. S dalším zpožděním za impulsem na výstupu **BR** je provedeno vyhodnocení ekvivalence hodnot signálů na vstupech **B1** a **B2** dekodéru **D2** a výsledek je uložen ve vnitřní paměti dekodéru **D2** právě vynulované signálem **PRS** přiváděným na vstup **B4** dekodéru **D2**.

Pro případ, že doba trvání právě ukončené úrovně signálu na vstupu **VS** je větší nežli t_1 nebo t_2 a menší než t_5 nebo t_6 a předtím bylo zahájeno rozpoznávání slova příslušnou úrovní signálu na výstupu **RZ**, vzniká impuls pouze na výstupu **BR** dekodéru **D1** v důsledku čehož je proveden zápis dalšího bitu do registru **PR**, je zvýšen stav čítače bitu **CB** o jedničku a v dekodéru **D2** je provedeno vyhodnocení ekvivalence nového bitu se stejnohlavým bitem dříve rozpoznávaného slova. V případě, že do registru **PR** je právě zapsán poslední bit značky, je signálem konec rozpoznávání **KR** z dekodéru **D2** vždy proveden přepis obsahu vyrovnávací paměti **VP** a podle výsledku porovnávání s minulým obsahem **VP** je do čítače slov **CS** buď jednička vložena signálem „neshodné slovo“ na výstupu **N** dekodéru **D2** nebo je stav **CS** o jedničku zvýšen signálem „Shodné slovo“ na výstupu **S** dekodéru **D2**. Dosáhne-li čítač **CS** předem zvolený stav, vzniká na jeho výstupu signál, na základě kterého může výstupní kanál rozhodnout o převzetí rozpoznávané značky z výstupů **Z** a ukončit další rozpoznávání změnou signálu na vstupu **R**. V případě příchodu příslušného signálu na vstup **SY** nebo v případě, že na vstupu **VS** vznikl signál pouze na dobu menší, nežli t_1 nebo t_2 , je zapojení uvedeno do počátečního stavu prostřednictvím signálů **PRS**, **UR** a **PS** z dekodéru **D1**.

Zapojení dle vynálezu lze využít s výhodou zejména v případech, v nichž nelze jednoduše zabezpečit fixaci nebo definovaný způsob pohybu opticky snímané značky, např. při samočinné identifikaci jednotlivých kusů dobytka dle autorského osvědčení č. 202953.

PŘEDMĚT VYNÁLEZU

Zapojení pro rozpoznávání identifikačních značek, tvořených sledem opticky rozlišitelných pruhů různé šířky, ve dvouúrovňovém výstupním signálu optickoelektrického rastrového převodníku, vyznačené tím, že jeho první vstup (**VS**) je spojen se vstupem prvního spouštěného generátoru (**G1**)

impulsu, se vstupem třetího (G3) a pátého (G5) spouštěného a nulovatelného generátoru impulsu, s řídicími vstupy třetího (P3) a čtvrtého (P4) paměťového členu, s prvním vstupem (A1) prvního dekodéru (D1) a přes invertor (I) se vstupem druhého spouštěného generátoru (G2) impulsu, se vstupem čtvrtého (G4) a šestého (G6) spouštěného a nulovatelného generátoru impulsu, s řídicími vstupy prvního (P1) a druhého (P2) paměťového členu a s druhým vstupem (A2) prvního dekodéru (D1), přičemž druhý vstup (SY) zapojení je spojen s jedenáctým vstupem (A11) prvního dekodéru (D1) a třetí vstup (R) zapojení je spojen s třináctým vstupem (A13) prvního dekodéru (D1), přičemž výstupy prvního (G1) a druhého (G2) spouštěného generátoru impulsu jsou v uvedeném pořadí spojeny s třetím (A3) a čtvrtým (A4) vstupem prvního dekodéru (D1), výstupy třetího (G3) a čtvrtého (G4) spouštěného a nulovatelného generátoru impulsu jsou v uvedeném pořadí spojeny s datovými vstupy prvního (P1) a třetího (P3) paměťového členu, jejichž výstupy jsou po řadě spojeny s pátým (A5) a osmým (A8) vstupem prvního dekodéru (D1), výstupy pátého (G5) a šestého (G6) spouštěného a nulovatelného generátoru impulsu jsou v uvedeném pořadí spojeny s datovými vstupy druhého (P2) a čtvrtého (P4) paměťového členu, jejichž přímé výstupy jsou v uvedeném pořadí spojeny s šestým (A6) a devátým (A9) a jejichž inverzní výstupy jsou po řadě spojeny se sedmým (A7) a desátým (A10) vstupem prvního dekodéru (D1), první výstup (HB) z prvního dekodéru (D1) je spojen s datovým vstupem posuvného registru (PR), jehož výstupy z jednotlivých

vých binárních řádů jsou přes vyrovnávací paměť (VP) spojeny s přepínanými vstupy elektronického přepínače (EP) a s informačními výstupy (Z) zapojení, druhý výstup (BR) prvního dekodéru (D1) je spojen s řídicím vstupem posuvného registru (PR), se třetím vstupem (B3) druhého dekodéru (D2) a s čítacím vstupem čítače bitů (CB), jehož výstupy jsou spojeny s přepínacími vstupy elektronického přepínače (EP) a s detekčními vstupy (V) druhého dekodéru (D2), třetí výstup (PRS) prvního dekodéru (D1) je spojen s druhým nulovacím vstupem čítače bitů (CB) a se čtvrtým vstupem (B4) druhého dekodéru (D2), čtvrtý výstup (ZR) prvního dekodéru (D1) je spojen s nastavovacím vstupem čítače bitů (CB), pátý výstup (UR) prvního dekodéru (D1) je spojen s prvním nulovacím vstupem čítače bitů (CB), šestý výstup (PS) prvního dekodéru (D1) je spojen s nulovacím vstupem čítače shod (CS), výstup (BZ) elektronického přepínače (EP) je spojen s prvním vstupem (B1) druhého dekodéru (D2), výstup z nejnižšího řádu posuvného registru (PR) je spojen s druhým vstupem (B2) druhého dekodéru (D2), první výstup (KR) druhého dekodéru (D2) je spojen s řídicím vstupem vyrovnávací paměti (VP), druhý výstup (S) druhého dekodéru (D2) je spojen s čítacím vstupem čítače shod (CS), třetí výstup (N) druhého dekodéru (D2) je spojen s nastavovacím vstupem čítače shod (CS), čtvrtý výstup (RZ) druhého dekodéru (D2) je spojen s dvanáctým vstupem (A12) prvního dekodéru (D1), přičemž výstup čítače shod (CS) je spojen s řídicím výstupem (K) zapojení.

