

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 10 月 17 日 (17.10.2024)



(10) 国际公布号
WO 2024/212232 A1

(51) 国际专利分类号:
G06V 30/32 (2022.01)

(21) 国际申请号: PCT/CN2023/088451

(22) 国际申请日: 2023 年 4 月 14 日 (14.04.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 浙江大学 (ZHEJIANG UNIVERSITY) [CN/CN]; 中国浙江省杭州市西湖区余杭塘路 866 号, Zhejiang 310000 (CN)。

(72) 发明人: 陈冰 (CHEN, Bing); 中国浙江省杭州市西湖区余杭塘路 866 号, Zhejiang 310000 (CN)。叶佳宝 (YE, Jiabao); 中国浙江省杭州市西湖区余杭塘路 866 号, Zhejiang 310000 (CN)。崔学成 (CUI, Xuecheng); 中国浙江省杭州市西湖区余杭塘路 866 号, Zhejiang 310000 (CN)。王万年 (WANG, Wannian); 中国浙江省杭州市西湖区余杭塘路 866 号, Zhejiang 310000 (CN)。赵家艺 (ZHAO, Jiayi); 中国浙江省杭州市西湖区余杭塘路 866 号, Zhejiang 310000 (CN)。

(74) 代理人: 杭州君锐达知识产权代理有限公司 (HANGZHOU JUNRUIDA INTELLECTUAL PROPERTY AGENCY CO., LTD.); 中国浙江省杭州市西湖区文二路 328 号华星发展大厦 B525, Zhejiang 310000 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,

(54) Title: COMPUTE-IN-MEMORY ARCHITECTURE-BASED FULL ANALOG CIRCUIT SYSTEM FOR HANDWRITTEN NUMERAL RECOGNITION

(54) 发明名称: 一种基于存算一体架构的用于手写数字识别的全模拟电路系统

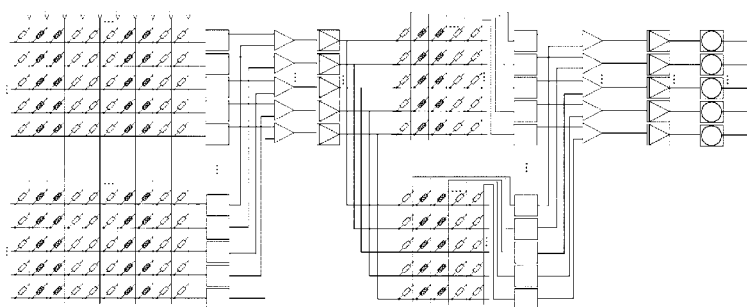


图 1

(57) Abstract: Disclosed in the present invention is a compute-in-memory architecture-based full analog circuit system for handwritten numeral recognition, comprising a first analog circuit and a second analog circuit. The first analog circuit consists of the following circuit modules: an input driving circuit, a first resistor array having m columns and 2n rows, a first current-voltage conversion circuit, a first subtraction circuit and a first activation function circuit; and the second analog circuit consists of the following circuit modules: a second resistor array having n columns and 20 rows, a second current-voltage conversion circuit, a second subtraction circuit, a second activation function circuit and a voltage comparison circuit. The system can eliminate the problem of data transportation caused by a traditional von Neumann architecture, and achieve ultra-low-delay accurate recognition without the assistance of any digital module. The system has a very wide application prospect in the field of novel neural network hardware system researching, and is expected to provide a feasible non-von Neumann hardware solution for a deep neural network and edge computing.



HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本发明公开了一种基于存算一体架构的用于手写数字识别的全模拟电路系统, 包括第一模拟电路和第二模拟电路, 所述第一模拟电路由以下电路模块组成: 输入驱动电路、规模为 m 列 $2n$ 行的第一电阻阵列、第一电流电压转换电路、第一减法电路、第一激活函数电路; 所述第二模拟电路由以下电路模块组成: 规模为 n 列 20 行的第二电阻阵列、第二电流电压转换电路、第二减法电路、第二激活函数电路、电压比较电路。该系统可以消除传统冯诺依曼架构所带来的数据搬运问题, 并且不需要任何数字模块的辅助, 实现超低延时的精准识别。该系统在新型神经网络硬件系统研究领域具有非常广阔的应用前景, 有望为深度神经网络和边缘计算提供一个可行的非冯诺依曼硬件解决方案。

一种基于存算一体架构的用于手写数字识别的全模拟电路系统

技术领域

本发明涉及电子信息、集成电路及人工神经网络技术领域，具体涉及一种基于存算一体架构的用于手写数字识别的全模拟电路系统。

背景技术

随着计算机与信息技术的迅速发展，人们对信息的传输速度和存储容量、电子器件和电路集成度的要求越来越高。当前，人工神经网络作为应用十分广泛的非线性网络，已经发展得非常成熟并取得了巨大的成功，已经在全世界范围内掀起了一场具有颠覆性质的智能化革命。但当下的人工神经网络大多都是在传统计算机上运行的，而传统计算机又是基于冯诺依曼架构来设计的，其中的计算单元和存储单元是分离的。这就会产生“存储墙”和“功耗墙”两个严重限制神经网络性能的问题。“存储墙”是指 CPU 和内存之间的速度不匹配，CPU 的运算速度比内存读写速度快很多，而且随着 CPU 的发展，其速度的提升更快，但是内存的速度提升相对较慢，导致 CPU 在等待内存读写完成时浪费了很多时间，从而限制了整个运算系统的性能。“功耗墙”是指在 CPU 执行指令的过程中涉及到数据的传输，CPU 需要从内存中读取数据，然后将计算结果写回内存。而数据的传输会消耗大量的能量，当 CPU 频率越来越高时，数据传输量也越来越大，导致功耗也越来越高，从而限制了整个运算系统的性能。

目前，基于存算一体架构的新型神经网络硬件电路系统都是基于数字电路和模拟电路相结合的方案，集成度低、响应速度慢，功耗高，很难进一步提高系统的性能。因此，研究和开发新一代基于存算一体架构的全模拟神经网络系统已经迫在眉睫。

发明内容

本发明的目的是提出一种基于存算一体架构的用于手写数字识别的全模拟电路系统，该系统完全由基于存算一体架构的模拟电路实现，可以消除由传统

的冯诺依曼架构带来的“存储墙”和“功耗墙”两个严重限制神经网络性能的问题，并且不需要任何数字模块的辅助，可以实现神经网络硬件系统对手写数字识别任务的超低延时识别。现有的基于数字电路和模拟电路相结合的方案运行速度大约为 1 毫秒，能耗大约为 4W，集成度低，无法完全集成在一片电路板上。本发明提出的系统运行速度大约为 0.01 毫秒，能耗大约为 0.5W，集成度高，可以完全集成在一片电路板上。因此，本发明与现有的方案相比具有运行速度快、能耗低、集成度高等优点。本发明在基于存算一体架构的新型神经网络硬件系统研究领域具有非常广阔的应用前景，有望为深度神经网络和边缘计算提供一个可行的非冯诺依曼硬件解决方案，给未来科技革命带来曙光。

本发明的目的是通过以下技术方式实现的：

一种基于存算一体架构的用于手写数字识别的全模拟电路系统，如图 1，包括第一模拟电路和第二模拟电路，所述第一模拟电路由以下电路模块组成：输入驱动电路、规模为 m 列 $2n$ 行的第一电阻阵列、第一电流电压转换电路、第一减法电路、第一激活函数电路；

所述第二模拟电路由以下电路模块组成：规模为 n 列 20 行的第二电阻阵列、第二电流电压转换电路、第二减法电路、第二激活函数电路、电压比较电路；

所述全模拟电路系统的输入是 m 个模拟电压，由外接的带触摸电容屏幕的微控制器产生，输入驱动电路将 m 个模拟电压输入到规模为 m 列 $2n$ 行的第一电阻阵列中； m 列 $2n$ 行的第一电阻阵列的电导与输入的模拟电压相乘，每个电阻上得到一个相应的电流值，每一行上的所有电流值累加并在行的末尾输出；第一电流电压转换电路将每一行输出的电流值转换为电压值，并进行放大处理，得到 $2n$ 个电压值，记为 V_1 、 V_2 …… V_{2n} ；第一减法电路对 $2n$ 个电压值的前 n 个电压值和后 n 个电压值进行减法差分处理，产生 n 路模拟电压 V_1' 、 V_2' …… V_n' ， $V_i' = V_i - V_{i+n}$ ， i 为 $1--n$ ；第一激活函数电路将 n 路模拟电压进行非线性激活，将其映射到 0V-1V 电压范围之间产生 n 路电压；

规模为 n 列 20 行的第二电阻阵列的电导与第一激活函数电路产生的 n 路电压相乘，每个电阻上得到一个相应的电流值，每一行上的所有电流值累加并在

行的末尾输出；第二电流电压转换电路将每一行输出的电流值转换为电压值，并进行放大处理，得到 20 个电压值，记为 U_1 、 U_2 …… U_{20} ；第二减法电路对 20 个电压值的前 10 个电压值和后 10 个电压值进行减法差分处理，产生 10 路模拟电压， U_1' 、 U_2' …… U_{20}' ， $U_i' = U_i - U_{i+10}$ ， i 为 1--10；第二激活函数电路将 10 路模拟电压进行非线性激活，将其映射到 0V-1V 电压范围之内产生 10 路电压；电压比较电路将第二激活函数电路输出的 10 路电压分别与基准电压 0.5V 进行比较，每一路大于 0.5V 的电压输出高电平到对应的数码管，所述数码管的数量为 10 个，分别对应 10 路电压以及 0—9 十个数字，从而点亮该路对应的数字，完成手写数字识别功能。

进一步地，所述电路模块中的输入驱动电路由非反相的 MOSFET 驱动芯片构成，将由外部带触摸电容屏幕的微控制器产生的 m 路大小为 3.3V 的电压信号转换为 5V 的电压信号，并将每一路电压的驱动负载能力提高到 100mA。

进一步地，所述电流电压转换电路包括采样电阻和集成运算放大器，所述采样电阻阻值为 1Ω ，将电流转换为电压，所述集成运算放大器用于构建同相组态放大器，放大采样电阻得到的电压。

进一步地，所述电路模块中的减法电路包括集成运算放大器，用于将 V_1 、 V_2 …… V_{2n} 这 $2n$ 个电压值放大。

进一步地，所述第一激活函数电路和第二激活函数电路分别由三级放大电路级联组成，第一放大电路由带偏置的同相组态运算放大器构成，第二和第三级放大电路由反相组态运算放大器构成；所述激活函数为 Sigmoid 函数，将 Sigmoid 函数简化为 $y=0.2x+0.5$ ，其中 x,y 分别为自变量和因变量，将激活函数电路输入电压信号分为以下三段： $(-\infty,-2.5V)$ 、 $[-2.5V,2.5V]$ 、 $(2.5V,+\infty)$ ，由第一放大电路将三段信号并行映射到 0-5V；由第二和第三级放大电路依次进行线性变换，将 0-5V 最终映射到 0-1V，实现 Sigmoid 函数功能。

进一步地，所述电压比较电路包括集成运算放大器，所述电压比较电路为单门限电压比较电路，输入到电压比较电路中的电压值大于 0.5V 的，输出高电平。

进一步地，所述高电平为 1V。

本发明的有益效果是：与传统的神经网络硬件系统相比，本发明完全由基于存算一体架构的模拟电路实现，可以消除传统冯诺依曼架构所带来的数据搬运问题，并且不需要任何数字模块的辅助，可以实现超低延时的精准识别。本发明在基于存算一体架构的新型神经网络硬件系统研究领域具有非常广阔的应用前景，有望为深度神经网络和边缘计算提供一个可行的非冯诺依曼硬件解决方案。

附图说明

图 1 是本发明的电路原理示意图；

图 2 是本发明实例的输入驱动电路的电路原理图；

图 3 是本发明实例的第一电流电压转换电路和第二电流电压转换电路的电路原理图；

图 4 是本发明实例的第一减法电路和第二减法电路的电路原理图；

图 5 是本发明实例的第一激活函数电路和第二激活函数电路的电路原理图；

图 6 是本发明实例的电压比较电路的电路原理图。

具体实施方式

下面结合附图和实例，对本发明的具体实施方式作进一步详细描述。以下实例用于说明本发明，不用来限制本发明的范围。

本发明提供一种基于存算一体架构的用于手写数字识别的全模拟电路系统，系统的电路原理示意图如图 1 所示，包括第一模拟电路和第二模拟电路，第一模拟电路由以下电路模块组成：输入驱动电路、规模为 49 列 20 行的第一电阻阵列、第一电流电压转换电路、第一减法电路、第一激活函数电路；

第二模拟电路由以下电路模块组成：规模为 10 列 20 行的第二电阻阵列、第二电流电压转换电路、第二减法电路、第二激活函数电路、电压比较电路。

所述全模拟电路系统的输入是 49 个模拟电压，由外接的带触摸电容屏幕的微控制器产生（在本实施例中使用的微控制器是 STM32F103ZET6 单片机，单片机外接一个 4.3 英寸电容触摸屏幕作为手写数字的输入设备，采集手写数字，

并转换为 49 个模拟电压)，输入驱动电路增强 49 个模拟电压的负载能力，得到 49 个驱动电压，输入驱动电路由非反相的 MOSFET 驱动芯片构成，将由外部带触摸电容屏幕的微控制器产生的 49 路大小为 3.3V 的电压转换为 5V 的电压，并将每一路电压的驱动负载能力提高到 100mA；可采用双通道高速功率 MOSFET 驱动器 TC4427 芯片来实现，其具有高输出电流，宽电源电压等优点，其电路原理图如图 3 所示。

输入驱动电路将驱动电压输入到规模为 49 列 20 行的第一电阻阵列中，49 列 20 行的第一电阻阵列的电导与输入的驱动电压相乘，每个电阻上得到一个相应的电流值，每一行上的所有电流值累加并在行的末尾输出；第一电流电压转换电路将每一行输出的电流值转换为电压值，并进行放大处理，得到 20 个电压值，记为 V_1 、 V_2 …… V_{20} ；电流电压转换电路由采样电阻和集成运算放大器实现，采样电阻阻值为 1Ω ，将电阻阵列中每一行累积的电流转换为电压，集成运算放大器用于构建同相组态放大器，放大采样电阻得到的电压，放大倍数为 40 倍；可采用 TI 公司的 OPA4317 系列集成运算放大器实现，其具有低偏移、轨到轨输出、高速、低噪声的特性。其电路原理图如图 5 所示。第一减法电路对 20 个电压值的前 10 个电压值和后 10 个电压值进行减法差分处理，产生 10 路模拟电压 V_1' 、 V_2' …… V_{10}' ， $V_i' = V_i - V_{i+10}$ ， i 为 1--10；减法电路可采用 TI 公司的 OPA2227 系列集成运算放大器实现，其具有双电源供电、宽电源电压范围、高精度、低噪声的特性。其电路原理图如图 6 所示。第一激活函数电路将 10 路模拟电压进行非线性激活，将其映射到 0V-1V 电压范围之间产生 10 路电压。

激活函数电路由三级放大电路级联组成，用于实现 Sigmoid 函数，其中第一放大电路由带偏置的同相组态运算放大器构成，第二和第三级放大电路由反相组态运算放大器构成；将 Sigmoid 函数简化为 $y=0.2x+0.5$ ，将模拟电路输入电压信号分为三段： $(-\infty, -2.5V)$ 、 $[-2.5V, 2.5V]$ 、 $(2.5V, +\infty)$ ，由第一放大电路将三段信号并行映射到 0-5V；由第二和第三级放大电路依次进行线性变换，将 0-5V 最终映射到 0-1V。第一放大电路由 5V 单电源供电、轨到轨输出的集成运算放大器构成，且偏置电压为 2.5V，放大倍数为 1 倍；可采用 TI 公司的 OPA4350 系

列集成运算放大器实现，其具有单电源供电、轨到轨输出、高速、低噪声的特性。第二放大电路由 $\pm 5\text{V}$ 双电源供电的集成运算放大器构成，放大倍数为0.2倍；可采用TI公司的OPA2227系列集成运算放大器实现，其具有双电源供电、宽电源电压范围、高精度、低噪声的特性。第三级放大电路由 $\pm 5\text{V}$ 双电源供电的集成运算放大器构成，放大倍数为1倍；可采用TI公司的OPA2227系列集成运算放大器实现。其电路原理图如图7所示。

规模为10列20行的第二电阻阵列的电导与第一激活函数电路产生的10路电压相乘，每个电阻上得到一个相应的电流值，每一行上的所有电流值累加并在行的末尾输出；第二电流电压转换电路将每一行输出的电流值转换为电压值，并进行放大处理，放大50倍，得到20个电压值，记为 U_1 、 U_2 …… U_{20} ；第二减法电路对20个电压值的前10个电压值和后10个电压值进行减法差分处理，产生10路模拟电压， U_1' 、 U_2' …… U_{20}' ， $U_i' = U_i - U_{i+10}$ ， i 为1--10；第二激活函数电路将10路模拟电压进行非线性激活，将其映射到0V-1V电压范围之间产生10路电压；电压比较电路将第二激活函数电路输出的10路电压分别与基准电压0.5V进行比较，每一路大于0.5V的电压输出高电平到对应的数码管，所述数码管的数量为10个，分别对应10路电压以及0—9十个数字，从而点亮该路对应的数字，完成手写数字识别功能。电压比较电路可以采用TI公司的OPA4317系列集成运算放大器实现，其具有低偏移、轨到轨输出、高速、低噪声的特性。其电路原理图如图9所示。

由以上实施例可以看出，本发明实例实现了手写数字的识别，该系统完全由基于存算一体架构的模拟电路实现，可以消除传统冯诺依曼架构所带来的数据搬运问题，并且不需要任何数字模块的辅助，可以实现超低延时的精准手写数字识别。该系统在基于存算一体架构的新型神经网络硬件系统研究领域具有非常广阔的应用前景，有望为深度神经网络和边缘计算提供一个可行的非冯诺依曼硬件解决方案。

以上所述的实例对本发明的技术方案和有益效果进行了详细说明，应当指出，对于本技术领域的普通技术人员来说，在不脱离本发明技术原理的前提下，还可以做出若干改进和替换，这些改进和替换也应视为本发明的保护范围。

权 利 要 求 书

1. 基于存算一体架构的用于手写数字识别的全模拟电路系统，其特征在于，包括第一模拟电路和第二模拟电路；

所述第一模拟电路由以下电路模块组成：输入驱动电路、规模为 m 列 $2n$ 行的第一电阻阵列、第一电流电压转换电路、第一减法电路、第一激活函数电路；

所述第二模拟电路由以下电路模块组成：规模为 n 列 20 行的第二电阻阵列、第二电流电压转换电路、第二减法电路、第二激活函数电路、电压比较电路；

所述全模拟电路系统的输入是 m 个模拟电压，由外接的带触摸电容屏幕的微控制器产生，输入驱动电路增强 m 个模拟电压的负载能力，得到 m 个驱动电压，输入驱动电路将驱动电压输入到规模为 m 列 $2n$ 行的第一电阻阵列中； m 列 $2n$ 行的第一电阻阵列的电导与输入的驱动电压相乘，每个电阻上得到一个相应的电流值，每一行上的所有电流值累加并在行的末尾输出；第一电流电压转换电路将每一行输出的电流值转换为电压值，并进行放大处理，得到 $2n$ 个电压值，记为 V_1 、 V_2 …… V_{2n} ；第一减法电路对 $2n$ 个电压值的前 n 个电压值和后 n 个电压值进行减法差分处理，产生 n 路模拟电压 V_1' 、 V_2' …… V_n' ， $V_i'=V_i-V_{i+n}$ ， i 为 $1--n$ ；第一激活函数电路将 n 路模拟电压进行非线性激活，将其映射到 $0V-1V$ 电压范围之间产生 n 路电压；

规模为 n 列 20 行的第二电阻阵列的电导与第一激活函数电路产生的 n 路电压相乘，每个电阻上得到一个相应的电流值，每一行上的所有电流值累加并在行的末尾输出；第二电流电压转换电路将每一行输出的电流值转换为电压值，并进行放大处理，得到 20 个电压值，记为 U_1 、 U_2 …… U_{20} ；第二减法电路对 20 个电压值的前 10 个电压值和后 10 个电压值进行减法差分处理，产生 10 路模拟电压， U_1' 、 U_2' …… U_{20}' ， $U_i'=U_i-U_{i+10}$ ， i 为 $1--10$ ；第二激活函数电路将 10 路模拟电压进行非线性激活，将其映射到 $0V-1V$ 电压范围之间产生 10 路电压；电压比较电路将第二激活函数电路输出的 10 路电压分别与基准电压 $0.5V$ 进行比较，每一路大于 $0.5V$ 的电压输出高电平到对应的数码管，所述数码管的数量为 10

个，分别对应 10 路电压以及 0—9 十个数字，从而点亮该路对应的数字，完成手写数字识别功能。

2. 根据权利要求 1 所述的基于存算一体架构的用于手写数字识别的全模拟电路系统，其特征在于，所述电路模块中的输入驱动电路由非反相的 MOSFET 驱动芯片构成，将由外部带触摸电容屏幕的微控制器产生的 m 路大小为 3.3V 的电压信号转换为 5V 的电压信号，并将每一路电压的驱动负载能力提高到 100mA。

3. 根据权利要求 1 所述的基于存算一体架构的用于手写数字识别的全模拟电路系统，其特征在于，所述电流电压转换电路包括采样电阻和集成运算放大器，所述采样电阻阻值为 1Ω ，将电流转换为电压，所述集成运算放大器用于构建同相组态放大器，放大采样电阻得到的电压。

4. 根据权利要求 1 所述的基于存算一体架构的用于手写数字识别的全模拟电路系统，其特征在于，所述电路模块中的减法电路包括集成运算放大器，用于将 V_1 、 V_2 …… V_{2n} 这 $2n$ 个电压值放大。

5. 根据权利要求 1 所述的基于存算一体架构的用于手写数字识别的全模拟电路系统，其特征在于，所述第一激活函数电路和第二激活函数电路分别由三级放大电路级联组成，第一放大电路由带偏置的同相组态运算放大器构成，第二和第三级放大电路由反相组态运算放大器构成；所述激活函数为 Sigmoid 函数，将 Sigmoid 函数简化为 $y=0.2x+0.5$ ，其中 x,y 分别为自变量和因变量，将激活函数电路输入电压信号分为以下三段： $(-\infty,-2.5V)$ 、 $[-2.5V,2.5V]$ 、 $(2.5V,+\infty)$ ，由第一放大电路将三段信号并行映射到 0-5V；由第二和第三级放大电路依次进行线性变换，将 0-5V 最终映射到 0-1V，实现 Sigmoid 函数功能。

6. 根据权利要求 1 所述的基于存算一体架构的用于手写数字识别的全模拟电路系统，其特征在于，所述电压比较电路包括集成运算放大器，所述电压比较电路为单门限电压比较电路，输入到电压比较电路中的电压值大于 0.5V 的，输出高电平。

7.根据权利要求 6 所述的基于存算一体架构的用于手写数字识别的全模拟电路系统，其特征在于，所述高电平为 1V。

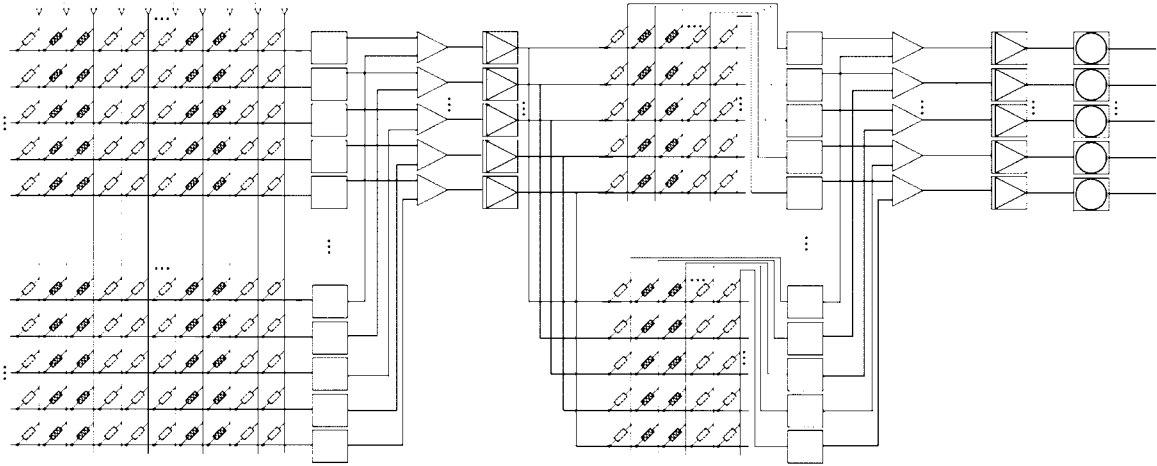


图 1

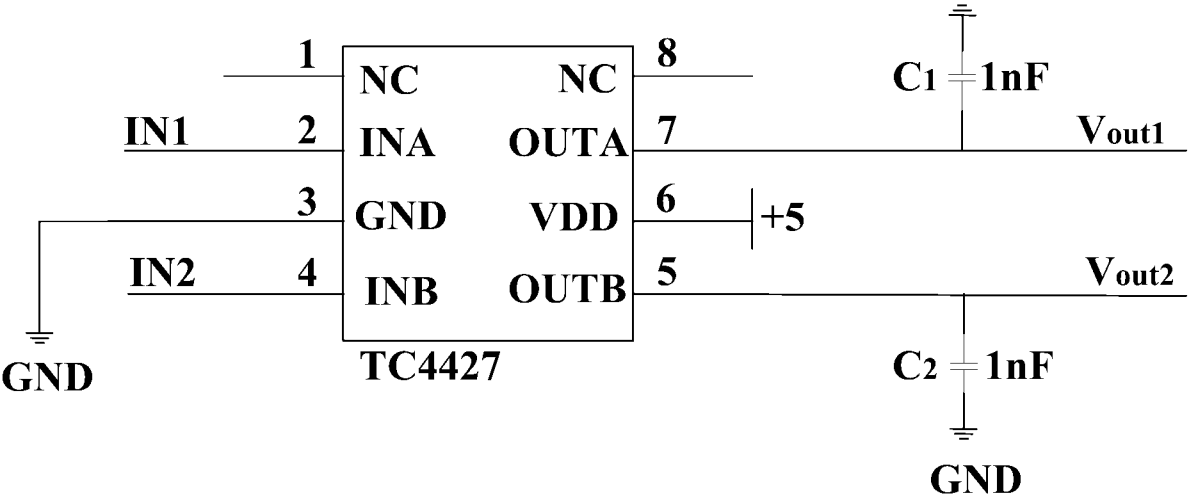


图 2

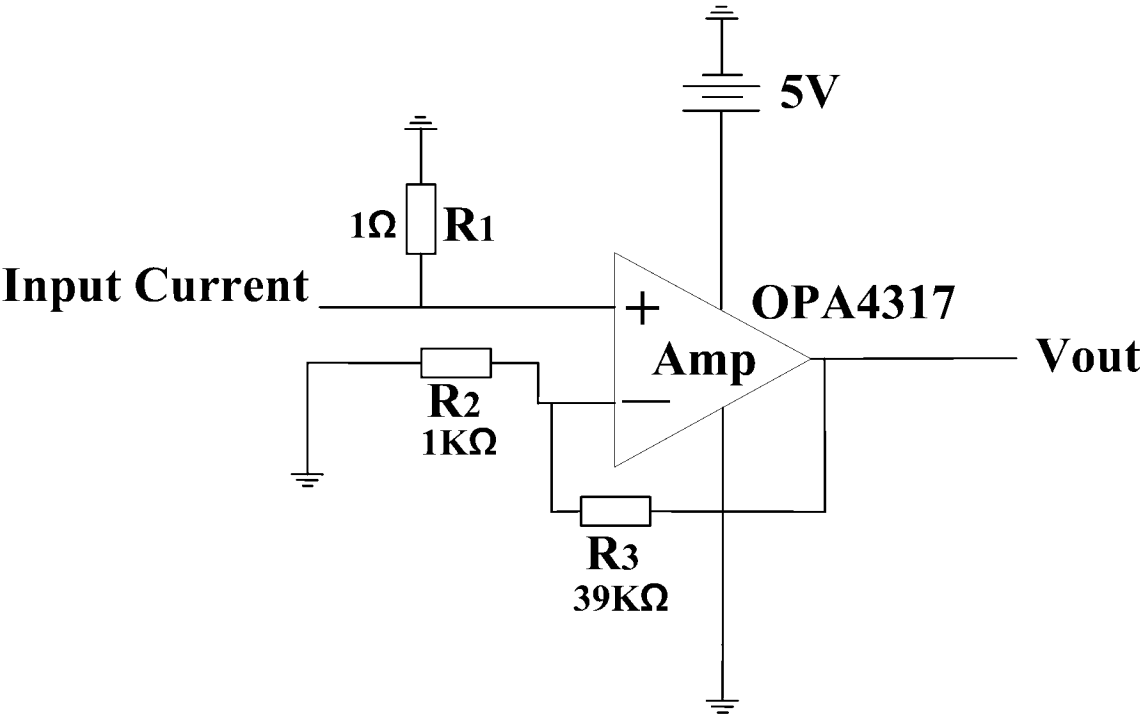


图 3

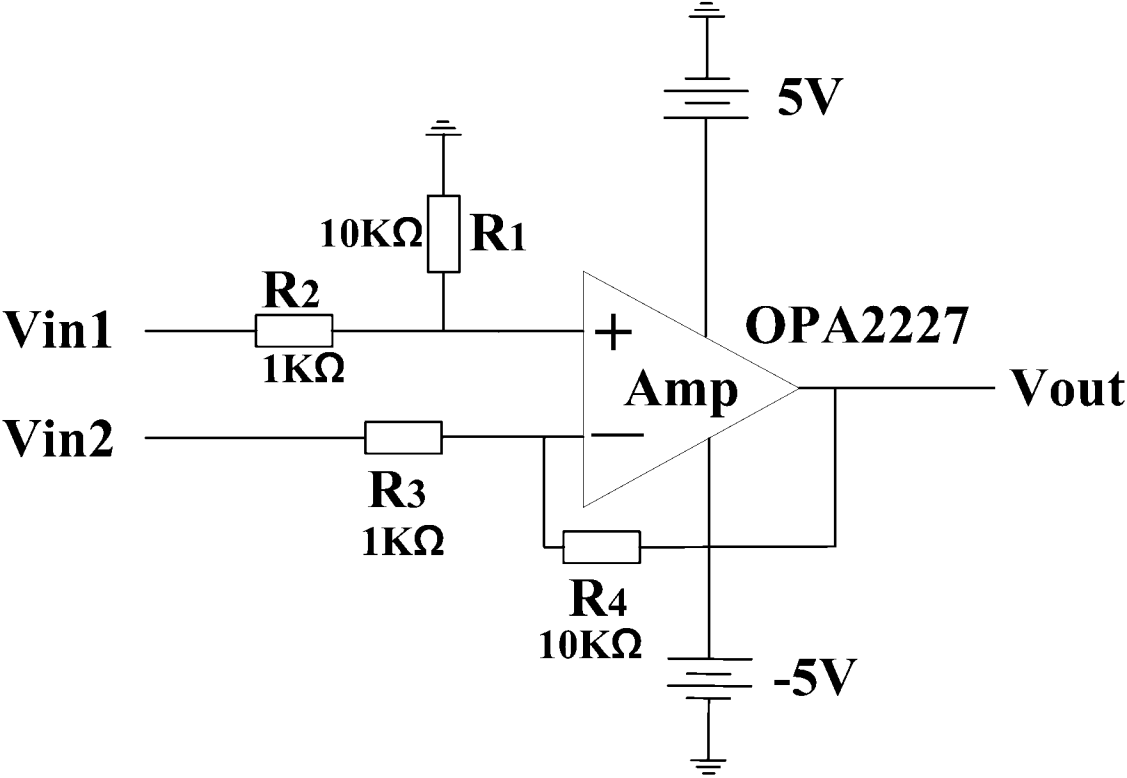


图 4

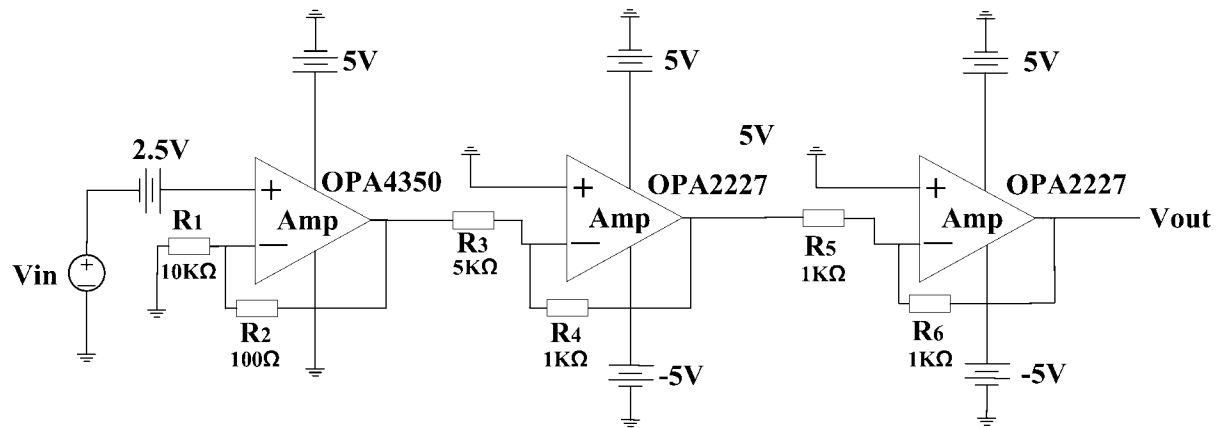


图 5

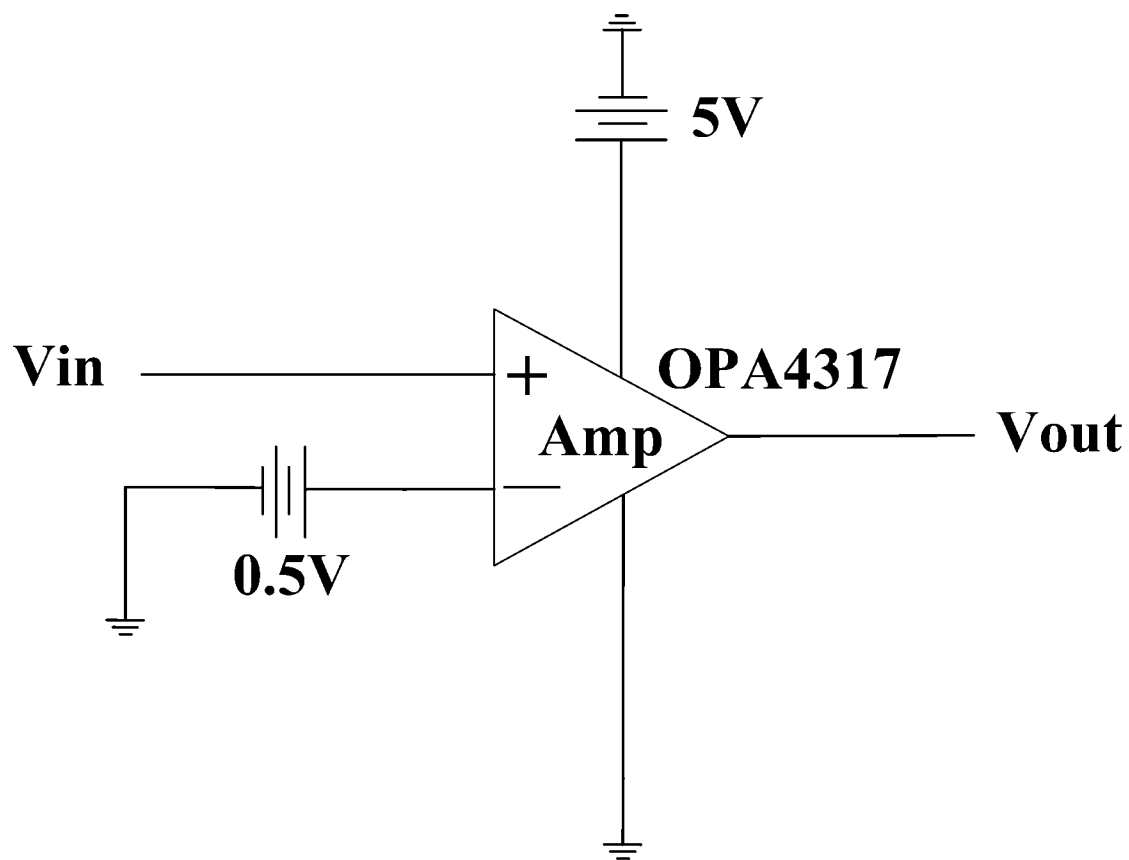


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/088451

A. CLASSIFICATION OF SUBJECT MATTER		
G06V 30/32(2022.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC:G06V		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
VEN, CNABS, CNTXT, WOTXT, USTXT, CNKI, IEEE: 存算一体, 模拟电路, 电阻, 电阻阵列, 电阻器阵列, 电阻器矩阵, 激活函数, 电流, 电压, 转换电路, 电压放大器, 神经网络, sigmoid, MOSFET, artificial circuit, resistance?, current, voltage, converter, neural network, handwriting numerals recognition		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2021097379 A1 (QATAR FOUNDATION FOR EDUCATION, SCIENCE AND COMMUNITY DEVELOPMENT) 01 April 2021 (2021-04-01) description, paragraphs 0051-0072, and figures 10-11	1-7
A	US 2019392289 A1 (DENSO CORP.) 26 December 2019 (2019-12-26) entire document	1-7
A	US 2020380350 A1 (CIRRUS LOGIC INTERNATIONAL SEMICONDUCTOR LTD.) 03 December 2020 (2020-12-03) entire document	1-7
A	CN 113517009 A (SHANGHAI NEUHELIUM INTELLIGENT TECHNOLOGY CO., LTD.) 19 October 2021 (2021-10-19) entire document	1-7
A	CN 115564019 A (ZHEJIANG UNIVERSITY) 03 January 2023 (2023-01-03) entire document	1-7
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
16 June 2023		23 June 2023
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/088451**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	ZHOU, Xuan et al. "An 8-bit RRAM based Multiplier for Hybrid Memory Computing" <i>2019 IEEE International Workshop on Future Computing</i> , 27 April 2020 (2020-04-27), entire document	1-7
A	ZHU, Jianghan et al. "Analog Circuit Implementation of Neural Networks for In-Sensor Computing" <i>2021 IEEE Computer Society Annual Symposium on VLSI</i> , 23 April 2021 (2021-04-23), entire document	1-7

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/088451

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2021097379	A1	01 April 2021	None			
US	2019392289	A1	26 December 2019	WO	2018173472	A1	27 September 2018
				JP	6794891	B2	02 December 2020
US	2020380350	A1	03 December 2020	None			
CN	113517009	A	19 October 2021	None			
CN	115564019	A	03 January 2023	None			

国际检索报告

国际申请号

PCT/CN2023/088451

A. 主题的分类

G06V 30/32 (2022.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

IPC: G06V

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

VEN, CNABS, CNTXT, WOTXT, USTXT, CNKI, IEEE: 存算一体, 模拟电路, 电阻, 电阻阵列, 电阻器阵列, 电阻器矩阵, 激活函数, 电流, 电压, 转换电路, 电压放大器, 神经网络, sigmoid, MOSFET, artificial circuit, resistance?, current, voltage, converter, neural network, handwriting numerals recognition

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	US 2021097379 A1 (QATAR FOUNDATION FOR EDUCATION, SCIENCE AND COMMUNITY DEVELOPMENT) 2021年4月1日 (2021 - 04 - 01) 说明书第0051-0072段, 附图10-11	1-7
A	US 2019392289 A1 (DENS0 CORPORATION) 2019年12月26日 (2019 - 12 - 26) 全文	1-7
A	US 2020380350 A1 (CIRRUS LOGIC INTERNATIONAL SEMICONDUCTOR LTD.) 2020年12月3日 (2020 - 12 - 03) 全文	1-7
A	CN 113517009 A (上海新氢类脑智能科技有限公司) 2021年10月19日 (2021 - 10 - 19) 全文	1-7
A	CN 115564019 A (浙江大学) 2023年1月3日 (2023 - 01 - 03) 全文	1-7

☒ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2023年6月16日

国际检索报告邮寄日期

2023年6月23日

ISA/CN的名称和邮寄地址

中国国家知识产权局

中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

张敏姣

电话号码 (+86) 010-53961803

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	ZHOU, Xuan等. "An 8-bit RRAM based Multiplier for Hybrid Memory Computing" 《 2019 IEEE International Workshop on Future Computing 》 , 2020年4月27日 (2020 - 04 - 27), 全文	1-7
A	ZHU, Jianghan等. "Analog Circuit Implementation of Neural Networks for In-Sensor Computing" 《 2021 IEEE Computer Society Annual Symposium on VLSI 》 , 2021年4月23日 (2021 - 04 - 23), 全文	1-7

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2023/088451

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2021097379	A1	2021年4月1日	无			
US	2019392289	A1	2019年12月26日	W0	2018173472	A1	2018年9月27日
				JP	6794891	B2	2020年12月2日
US	2020380350	A1	2020年12月3日	无			
CN	113517009	A	2021年10月19日	无			
CN	115564019	A	2023年1月3日	无			