



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

229515

(11)

(B1)

(51) Int. Cl.³
G 06 F 13/06

(22) Přihlášeno 07 12 81
(21) (PV 9027-81)

(40) Zveřejněno 15 09 82

(45) Vydáno 15 08 86

(75)
Autor vynálezu ZEMAN VOJTĚCH ing., PRAHA

(54) Zapojení přepínatelného obvodu dekódování adres

1

2

Zapojení přepínatelného obvodu dekódování adres řeší problém jednoduchého dekódování adres v počítačových systémech. Podstata vynálezu spočívá v tom, že nejméně dva adresní vodiče z výstupů adresní sběrnice jsou pomocí přepínacího prvku variabilně připojitelné na nejméně jeden vstup adresního dekodéru. Alespoň jeden další adresní vodič je připojen přímo na další vstup adresního dekodéru. Předmětné zapojení je možno využít v těch případech výpočetní techniky, kdy je žádoucí univerzálnost adresace při současné jednoduchosti řešení, výhodně v podmínkách omezených prostorových možností.

Vynález se týká zapojení přepínatelného obvodu dekódování adres v počítačových systémech.

U počítačových systémů, zejména u takových, které používají polovodičové paměti v integrovaném provedení, je zpravidla nutné zabezpečit univerzálnost obvodu dekódování adres pro více typů polovodičových pamětí, popřípadě modulů charakteru pamětí. Tyto paměti se liší základním rozsahem kapacity paměťového modulu, avšak jinak jsou vzájemně zaměnitelné. To se týká zejména typů pevných integrovaných polovodičových pamětí v provedení EPROM s poměrem rozsahu kapacity paměti 1:2. U dosud známých zapojení se univerzálnost obvodu dekódování adres dosahuje tak, že se přepínají všechny vstupy adresního dekodéru, připojené na vodiče adresní sběrnice počítačového systému.

Počítačové systémy, zejména mikropočítačové systémy, které tyto pevné paměti používají, vyžadují pro svou činnost další modul paměti, tak zvanou operační paměť pro čtení a zápis dat (typu RAM, která bývá obvykle umístěna v adresovém prostoru za úsekem pevných pamětí. Programy uložené v pevné paměti se vztahují k neměnnému umístění této operační paměti v adresním poli. V případě, že se změní typ pevné paměti za typ s poloviční nebo dvojnásobnou kapacitou, při dosud známých zapojeních přepínatelného obvodu dekódování adres, kdy se přepínají všechny vstupy adresního dekodéru, dochází ke změně mapování paměti a tím se změní i adresace operační paměti RAM, což znamená, že se pro každý základní rozsah paměťového modulu vyžaduje také zvláštní programové vybavení.

Další známé zapojení, které umožňuje zachovat stejné mapování paměti, spočívá v současném přepínání jak vstupů, tak i výstupů obvodu dekódování adres. Nevýhodou tohoto zapojení je značná konstrukční složitost, kdy současně se zvětšováním počtu přepínaných prvků se zvyšuje pracnost, nároky na prostor na desce plošných spojů a snižuje se provozní spolehlivost.

Jiné známé zapojení je toho druhu, kdy je operační paměť RAM umístěna až na konec adresového prostoru. Pevné paměti jsou umístěny na začátku adresového prostoru, přičemž střední část adresového prostoru zůstane nevyužita. Toto řešení umožňuje podobně jako ostatní uvedená zapojení používat pevné paměti s různým rozsahem kapacity paměťového modulu. Výhodou tohoto způsobu je, že se nezmění adresace operační paměti RAM a nevzniká tím nutnost zvláštního programového vybavení pro každý základní rozsah pevné paměti. Nevýhodou je však, že toto zapojení vyžaduje dva obvody dekódování adres. U malých počítačových systémů, zejména u mikropočítačových systémů, kde se s ohledem na omezenou kapacitu paměti nevyužívá příslušné

adresovatelné pole celé, je tato nevýhoda podstatná.

Výše uvedené nedostatky odstraňuje zapojení přepínatelného obvodu dekódování adres s použitím adresní sběrnice počítačového systému a adresního dekodéru podle vynálezu. Podstata vynálezu spočívá v tom, že nejméně dva adresní vodiče z výstupů adresní sběrnice jsou pomocí přepínacího prvku připojeny na nejméně jeden vstup adresního dekodéru. Alespoň jeden další adresní vodič je přímo připojen na další vstup adresního dekodéru, přičemž první dva adresní vodiče jsou připojeny na váhově postupně vyšší výstupy adresní sběrnice a přímo připojený adresní vodič je připojen na váhově postupně vyšší výstup adresní sběrnice, než je váhově nejvyšší výstup příslušející poslednímu variabilně připojitelnému adresnímu vodiči.

Výhody zapojení přepínatelného obvodu dekódování adres podle vynálezu spočívají jednak v zjednodušení programového vybavení počítačového systému, protože pro oba základní rozsahy paměťového modulu stačí vytvářet pouze jedno programové vybavení, dále v menší konstrukční složitosti, která sebou přináší úsporu místa na desce plošných spojů a zvýšení spolehlivosti celého systému.

Zapojení přepínatelného obvodu dekódování adres podle vynálezu bude následovně blíže popsáno v příkladném provedení s pomocí připojených výkresů, kde na obr. 1 je podstata zapojení předmětného obvodu a na obr. 2 je příklad praktického zapojení obvodu podle obr. 1.

Podle obr. 1 jsou dva adresní vodiče **11** a **12** z výstupů adresní sběrnice **1** variabilně připojeny pomocí přepínacího prvku **3** na výstup **2a** adresního dekodéru **2**. Další adresní vodič **14** je z výstupů adresní sběrnice **1** připojen přímo na další vstup **2c** adresního dekodéru **2**.

Na obr. 2 je znázorněno praktické zapojení přepínatelného obvodu dekódování adres podle obr. 1 s adresním dekodérem **2** ve formě integrovaného obvodu MH 3205, použité pro ilustraci jednoho z možných příkladových provedení vynálezu. Adresní vodič **11** z výstupu adresní sběrnice **1** je připojen na svorku **31** přepínacího prvku **3**, adresní vodič **12** je připojen na další svorku **32** přepínacího prvku **3**. První výstupní svorka **33** přepínacího prvku **3** je připojena na první vstup **2a** adresního dekodéru **2**, druhá výstupní svorka **34** přepínacího prvku **3** je připojena na druhý vstup **2b** adresního dekodéru **2**. Adresní vodič **14** z výstupu adresní sběrnice **1** je připojen na třetí vstup **2c** adresního dekodéru **2** přímo.

Technologické vstupy **2d** až **2f** adresního dekodéru **2** podle obr. 2 slouží pro blokování činnosti adresního dekodéru **2** a nejsou z hlediska vynálezu významné. První až pátý výstup **21** až **25** adresního dekodéru

ru 2 jsou připojeny na první až pátý adresovatelný modul 41 až 45 souboru 4 adresovatelných modulů, který s předmětným obvodem vytváří podsystém počítačového systému. Poslední výstup 28 adresního dekodéru 2 je připojen na adresovatelný modul 48. Adresovatelné moduly 41 až 44 jsou realizovány pomocí pevných pamětí typu EPROM, adresovatelný modul 45 je realizován pomocí statické paměti RAM a adresovatelný modul 48 je realizován jako modul klávesnice a segmentového displeje.

Funkce zapojení obvodu podle obr. 2 probíhá tak, že při propojení svorek 31 s 32 a 33 s 34 přepínacího prvku 3 pracuje obvod adresového dekodéru se základním rozsahem všech adresovatelných modulů 1 KB. V závislosti na kombinaci adresních signálů AB 10, AB 11 a AB 13 z výstupů adresní sběrnice 1 se generuje postupně signál na

jednotlivých vstupech 21 až 28 adresního dekodéru 2, který způsobí aktivování jednotlivých adresovatelných modulů 41 až 48, souboru 4 adresovatelných modulů.

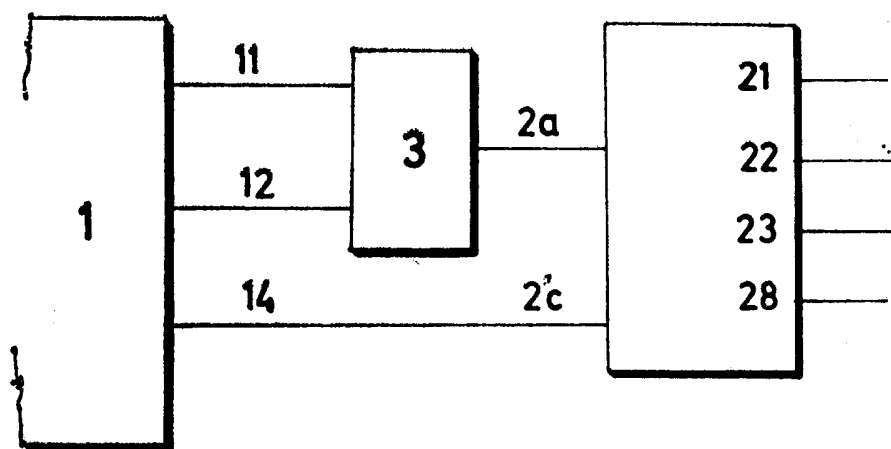
Stejným způsobem pracuje přepínatelný obvod dekódování adres při spojení svorek 32 s 33 a 34 s 35 přepínacího prvku 3 s tím rozdílem, že na vstupy 2a až 2c adresního dekodéru 2 jsou přivedeny adresní signály AB 11, AB 12 a AB 13 z výstupu adresní sběrnice 1. V tomto případě pracuje obvod adresního dekodéru se základním rozsahem všech adresovatelných modulů 2KB.

Pro obě varianty zapojení svorek propojovacího prvku 3 budou jednotlivé adresovatelné moduly 41 až 44 v adresním poli zařazeny postupně za sebou a operační paměť RAM zůstává při obou variantách stále v témže rozsahu adres.

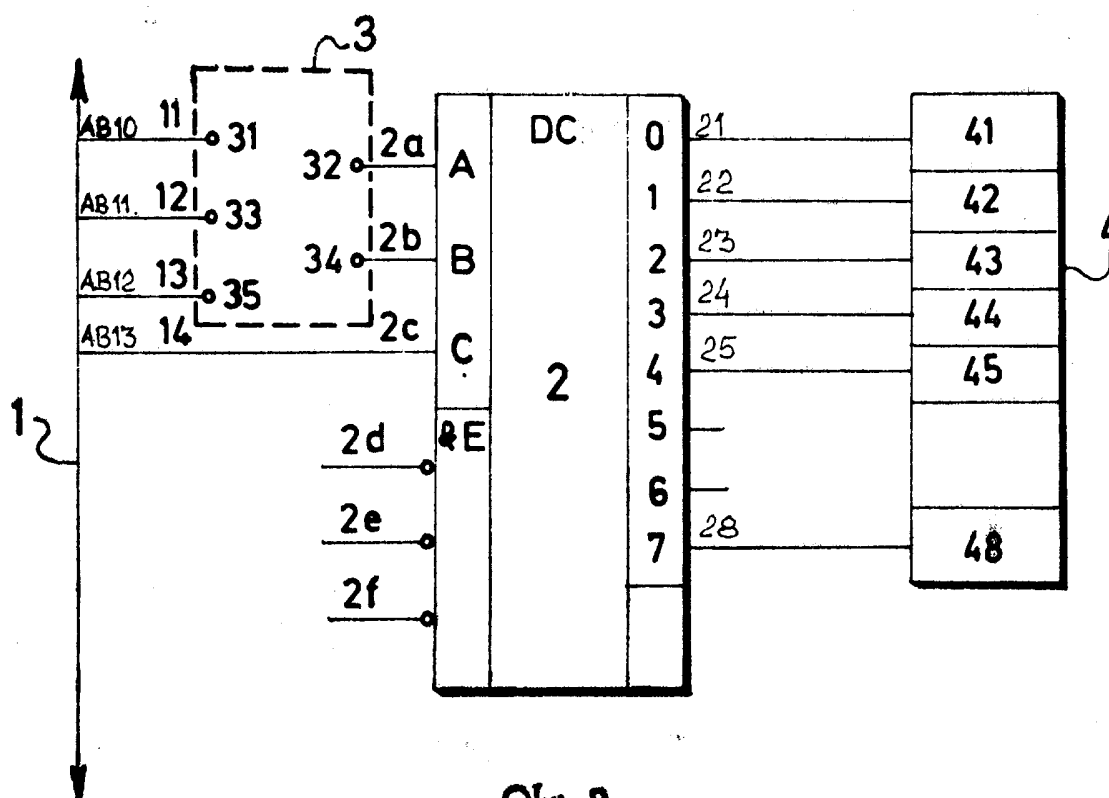
PŘEDMĚT VYNÁLEZU

Zapojení přepínatelného obvodu dekódování adres s použitím adresní sběrnice počítačového systému a adresního dekodéru, vyznačené tím, že nejméně dva adresní vodiče (11, 12) z výstupů adresní sběrnice (1) jsou pomocí přepínacího prvku (3) připojeny na nejméně jeden vstup (2a) adresního dekodéru (2) a alespoň jeden další adresní vodič (14) je přímo připojen na další

vstup (2c) adresního dekodéru (2), přičemž první dva adresní vodiče (11, 12) jsou připojeny na váhově postupně vyšší výstupy adresní sběrnice (1) a přímo připojený adresní vodič (14) je připojen na váhově postupně vyšší výstup adresní sběrnice (1), než je váhově nejvyšší výstup příslušející poslednímu variabilně připojitelnému adresnímu vodiči.



Obr. 1



Obr. 2