

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6154522号
(P6154522)

(45) 発行日 平成29年6月28日(2017.6.28)

(24) 登録日 平成29年6月9日(2017.6.9)

(51) Int.Cl.	F I
G09F 9/30 (2006.01)	G09F 9/30 330
H01L 51/50 (2006.01)	G09F 9/30 365
H05B 33/02 (2006.01)	H05B 33/14 A
H05B 33/12 (2006.01)	H05B 33/02
H05B 33/14 (2006.01)	H05B 33/12 Z
請求項の数 1 (全 19 頁) 最終頁に続く	

(21) 出願番号	特願2016-128467 (P2016-128467)	(73) 特許権者	000153878
(22) 出願日	平成28年6月29日(2016.6.29)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2015-37871 (P2015-37871)		神奈川県厚木市長谷398番地
原出願日	平成13年5月10日(2001.5.10)	(72) 発明者	小山 潤
(65) 公開番号	特開2016-194712 (P2016-194712A)		神奈川県厚木市長谷398番地 株式会社
(43) 公開日	平成28年11月17日(2016.11.17)		半導体エネルギー研究所内
審査請求日	平成28年6月30日(2016.6.30)	審査官	小野 博之
(31) 優先権主張番号	特願2000-140751 (P2000-140751)		
(32) 優先日	平成12年5月12日(2000.5.12)		
(33) 優先権主張国	日本国(JP)		
		最終頁に続く	

(54) 【発明の名称】 E L表示装置

(57) 【特許請求の範囲】

【請求項1】

複数の画素と、

複数のスイッチとを有し、

複数の前記画素は、それぞれ、第1のトランジスタ、第2のトランジスタ、E L素子及び検査容量を有し、

前記第1のトランジスタにおいて、ゲートはゲート線に電氣的に接続され、ソース又はドレインの一方はソース線に電氣的に接続され、ソース又はドレインの他方は前記第2のトランジスタのゲートに電氣的に接続され、

前記第2のトランジスタにおいて、ソース又はドレインの一方は前記E L素子の第1の電極に電氣的に接続され、ソース又はドレインの他方は電源供給線に電氣的に接続され、

前記検査容量の一方は、前記第2のトランジスタのソース又はドレインの前記一方と電氣的に接続され、

前記検査容量の他方は、第1の配線に電氣的に接続され、

前記電源供給線は前記スイッチと電氣的に接続され、

前記第2のトランジスタのソース又はドレインの前記他方は、前記電源供給線及び前記スイッチを介して、電源供給線引き出し端子と電氣的に接続され、

前記第1のトランジスタまたは前記第2のトランジスタに不良があるか否かを、前記電源供給線引き出し端子に電氣的に接続される外付け検査回路により検出することを特徴とするE L表示装置。

10

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ＥＬ（エレクトロルミネッセンス）素子を基板上に作り込んで形成された電子ディスプレイ（電気光学装置）に関する。特に半導体素子（半導体薄膜を用いた素子）を用いた表示装置に関する。またＥＬ表示装置を表示部に用いた電子機器に関する。また、ＥＬ表示装置の検査方法に関する。

【0002】

なお、本明細書中において、ＥＬ素子とは、一重項励起子からの発光（蛍光）を利用するものと、三重項励起子からの発光（燐光）を利用するものの両方を示すものとする。

10

【背景技術】

【0003】

近年、基板上に薄膜トランジスタ（以下、ＴＦＴと表記する）を形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用開発が進められている。特に、ポリシリコン膜を用いたＴＦＴは、従来のアモルファスシリコン膜を用いたＴＦＴよりも電界効果移動度（モビリティともいう）が高いため、高速動作が可能である。そのため、従来、基板外の駆動回路で行っていた画素の制御を、画素と同一の基板上に形成した駆動回路で行うことが可能となっている。

【0004】

20

このようなアクティブマトリクス型表示装置は、同一基板上に様々な回路や素子を作り込むことで製造コストの低減、表示装置の小型化、歩留まりの上昇、スループットの低減など、様々な利点が得られる。

【0005】

そしてさらに、自発光型素子としてＥＬ素子を有した、アクティブマトリクス型のＥＬ表示装置の研究が活発化している。ＥＬ表示装置は有機ＥＬディスプレイ（ＯＥＬＤ：Organic EL Display）又は有機ライトエミッティングダイオード（ＯＬＥＤ：Organic Light Emitting Diode）とも呼ばれている。

【0006】

ＥＬ表示装置は、液晶表示装置と異なり自発光型である。ＥＬ素子は、一对の電極（陽極と陰極）間にＥＬ層が挟まれた構造となっているが、ＥＬ層は通常、積層構造となっている。代表的には、コダック・イーストマン・カンパニーのTangらが提案した「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在、研究開発が進められているＥＬ表示装置は、ほとんどこの構造を採用している。

30

【0007】

また他にも、陽極上に正孔注入層／正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

【0008】

40

本明細書において、陰極と陽極の間に設けられる全ての層を総称してＥＬ層と呼ぶ。よって上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全てＥＬ層に含まれる。

【0009】

そして、上記構造でなるＥＬ層に一对の電極から所定の電圧をかけ、それにより発光層においてキャリアの再結合が起こって発光する。なお本明細書においてＥＬ素子が発光することを、ＥＬ素子が駆動すると呼ぶ。また、本明細書中では、陽極、ＥＬ層及び陰極で形成される発光素子をＥＬ素子と呼ぶ。

【0010】

ＥＬ表示装置の駆動方法として、アナログ方式の駆動方法（アナログ駆動）が挙げられ

50

る。E L 表示装置のアナログ駆動について、図 10 及び図 11 を用いて説明する。

【0011】

図 10 にアナログ駆動の E L 表示装置の画素部の構造を示す。ゲート信号線駆動回路からの選択信号を入力するゲート信号線 (G 1 ~ G y) は、各画素が有するスイッチング用 T F T 1801 のゲート電極に接続されている。また各画素の有するスイッチング用 T F T 1801 のソース領域とドレイン領域は、一方がアナログのビデオ信号を入力するソース信号線 (データ信号線ともいう) (S 1 ~ S x) に、もう一方が各画素が有する駆動用 T F T 1804 のゲート電極及び各画素が有するコンデンサ 1808 にそれぞれ接続されている。

【0012】

各画素が有する駆動用 T F T 1804 のソース領域とドレイン領域は、一方は電源供給線 (V 1 ~ V x) に、もう一方は E L 素子 1806 に接続されている。電源供給線 (V 1 ~ V x) の電位を電源電位と呼ぶ。また電源供給線 (V 1 ~ V x) は、各画素が有するコンデンサ 1808 に接続されている。

【0013】

E L 素子 1806 は陽極と、陰極と、陽極と陰極との間に設けられた E L 層とを有する。E L 素子 1806 の陽極が駆動用 T F T 1804 のソース領域またはドレイン領域と接続している場合、E L 素子 1806 の陽極が画素電極、陰極が対向電極となる。逆に E L 素子 1806 の陰極が駆動用 T F T 1804 のソース領域またはドレイン領域と接続している場合、E L 素子 1806 の陽極が対向電極、陰極が画素電極となる。

【0014】

なお本明細書において、対向電極の電位を対向電位と呼ぶ。なお対向電極に対向電位を与える電源を対向電源と呼ぶ。画素電極の電位と対向電極の電位の電位差が E L 駆動電圧であり、この E L 駆動電圧が E L 層にかかる。

【0015】

図 10 で示した E L 表示装置を、アナログ方式で駆動させた場合のタイミングチャートを図 11 に示す。1 つのゲート信号線が選択されてから、その次に別のゲート信号線が選択されるまでの期間を 1 ライン期間 (L) と呼ぶ。また 1 つの画像が表示されてから次の画像が表示されるまでの期間が 1 フレーム期間 (F) に相当する。図 10 の E L 表示装置の場合、ゲート信号線は y 本あるので、1 フレーム期間中に y 個のライン期間 (L 1 ~ L y) が設けられている。

【0016】

解像度が高くなるにつれて 1 フレーム期間中のライン期間の数も増え、駆動回路を高い周波数で駆動しなければならない。

【0017】

まず電源供給線 (V 1 ~ V x) は一定の電源電位に保たれている。そして対向電極の電位である対向電位も一定の電位に保たれている。対向電位は、E L 素子 1806 が発光する程度に電源電位との間に電位差を有している。

【0018】

第 1 のライン期間 (L 1) において、ゲート信号線 G 1 にはゲート信号線駆動回路からの選択信号が入力される。そして、ソース信号線 (S 1 ~ S x) に順にアナログのビデオ信号が入力される。ゲート信号線 G 1 に接続された全てのスイッチング用 T F T 1801 はオンの状態になるので、ソース信号線に入力されたアナログのビデオ信号は、スイッチング用 T F T 1801 を介して駆動用 T F T 1804 のゲート電極に入力される。

【0019】

ここでは、スイッチング用 T F T 1801 及び駆動用 T F T 1804 は、どちらも n チャネル型 T F T を用いた場合のタイミングチャートを例に説明するが、スイッチング用 T F T 及び駆動用 T F T は、n チャネル型 T F T でも p チャネル型 T F T でもどちらでもよい。

【0020】

10

20

30

40

50

なお、本明細書中において、T F Tがオンの状態になるとは、T F Tのゲート電圧が変化し、そのソース・ドレイン間が導通する状態を示すものとする。

【 0 0 2 1 】

駆動用T F T 1 8 0 4のチャネル形成領域を流れる電流の量は、そのゲート電極に入力される信号の電位の高さ（電圧）によって制御される。よって、E L素子1 8 0 6の画素電極にかかる電位は、駆動用T F T 1 8 0 4のゲート電極に入力されたアナログのビデオ信号の電位の高さによって決まる。そしてE L素子1 8 0 6はアナログのビデオ信号の電位に制御されて発光を行う。

【 0 0 2 2 】

上述した動作を繰り返し、ソース信号線（S 1 ~ S x）へのアナログのビデオ信号の入力が終了すると、第1のライン期間（L 1）が終了する。なお、ソース信号線（S 1 ~ S x）へのアナログのビデオ信号の入力が終了するまでの期間と水平帰線期間とを合わせて1つのライン期間としても良い。そして次に第2のライン期間（L 2）となりゲート信号線G 2に選択信号が入力される。そして第1のライン期間（L 1）と同様にソース信号線（S 1 ~ S x）に順にアナログのビデオ信号が入力される。

【 0 0 2 3 】

そして全てのゲート信号線（G 1 ~ G y）に選択信号が入力されると、全てのライン期間（L 1 ~ L y）が終了する。全てのライン期間（L 1 ~ L y）が終了すると、1フレーム期間が終了する。1フレーム期間中において全ての画素が表示を行い、1つの画像が形成される。なお、全てのライン期間（L 1 ~ L y）と垂直帰線期間とを合わせて1フレーム期間としても良い。

【 0 0 2 4 】

以上のように、アナログのビデオ信号によってE L素子1 8 0 6の発光量が制御され、その発光量の制御によって階調表示がなされる。この方式はいわゆるアナログ階調と呼ばれる駆動方式であり、ソース信号線に入力されるアナログのビデオ信号の電位の変化で階調表示が行われる。

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 2 5 】

従来のE L表示装置は、図10に示すように、画素部の駆動用T F T 1 8 0 4のドレイン領域は、E L素子1 8 0 6に接続されているのみであった。

【 0 0 2 6 】

ここで、画素T F T（スイッチング用T F T及び駆動用T F T）や、駆動回路（ソース信号線駆動回路及びゲート信号線駆動回路）を構成するT F Tが、絶縁表面を有する基板上に形成され、その後、E L材料を成膜して、駆動用T F TとE L素子とが電氣的に接続される。本明細書中では、このE L材料を成膜する前までの工程を、T F T工程と呼ぶことにする。

【 0 0 2 7 】

よって、従来の表示装置においては、E L材料を成膜する前において、駆動用T F Tのドレイン領域は回路上、オープン状態となっている。画素T F Tが正常に動作するかどうかは、E L材料を成膜し、表示装置を完成させ、点灯検査を行うことによって初めて判断することが可能となる。そのため、画素T F Tに異常があり、正常な表示ができないようなものが発生したとしても、最終工程までは検出ができずに、工程の無駄を発生させていた。

【 0 0 2 8 】

以上に述べたように、従来のE L表示装置では、E L材料成膜の前工程において、画素T F Tの動作確認ができず、不要な製造コストを発生させていた。

【 0 0 2 9 】

本発明は、上記問題点を鑑みてなされたものであり、E L材料の成膜前に画素T F Tの動作確認ができるようなアクティブマトリクス型のE L表示装置を提供することを課題と

10

20

30

40

50

する。

【課題を解決するための手段】

【0030】

本発明者は、以上のような問題点を解決するため、E L材料を成膜する前に、駆動用T F T、スイッチング用T F Tに問題が無いかどうかを検査し、問題のあったT F Tを有する基板（以下、不良品と表記する）が、E L材料成膜工程に進まないようにして、製造ラインの無駄を削減することを考えた。

【0031】

以下に、本発明のE L表示装置の構成について記載する。

【0032】

本発明によって、絶縁基板上に、複数のソース信号線と、複数のゲート信号線と、複数の電源供給線と、複数のスイッチング用薄膜トランジスタと、複数の駆動用薄膜トランジスタとを有するE L表示装置において、一端を前記駆動用薄膜トランジスタのドレイン領域に接続し、他の一端を前記ゲート信号線に接続した検査容量を有し、前記電源供給線はスイッチを介して、前記絶縁基板の外部に引き出していることを特徴とするE L表示装置が提供される。

【0033】

前記スイッチは、前記複数の電源供給線毎に配置され、前記スイッチを順次駆動する駆動回路を、前記絶縁基板上に有することを特徴とするE L表示装置であってもよい。

【0034】

前記スイッチを順次駆動する前記駆動回路は、前記ソース信号線駆動回路と一部を共有していることを特徴としたE L表示装置であってもよい。

【0035】

前記検査容量は、0.05 p F ~ 1 p Fの値をとることを特徴とするE L表示装置であってもよい。

【0036】

本発明によって、絶縁基板上に、複数のソース信号線と、複数のゲート信号線と、複数の電源供給線と、複数のスイッチング用薄膜トランジスタと、複数の駆動用薄膜トランジスタと、前記駆動用薄膜トランジスタのドレイン領域に接続した検査容量とを有するE L表示装置の検査方法において、前記駆動用薄膜トランジスタを動作させ、前記検査容量を一定電位に充電する手順と、前記駆動用薄膜トランジスタをオフさせた後、前記電源供給線の電位を前記検査容量とは異なる電位に設定する手順と、前記検査容量に充電された電荷を、画素毎に、前記電源供給線を介して外部に引き出し、電位変動を検出する手順とを有するE L表示装置の検査方法が提供される。

【0037】

前記表示装置を用いることを特徴とするコンピュータ、ビデオカメラ、ヘッドマウントディスプレイ、画像再生装置、携帯情報端末であってもよい。

【発明の効果】

【0038】

上記構成によって、E L層を成膜するまえに画素部T F Tの検査が可能な表示装置を提供することができる。これにより、不良品をE L材料成膜まえに除去可能であり、製造費用の削減を図ることができる。

【図面の簡単な説明】

【0039】

【図1】本発明の表示装置の画素部の回路構成を示す図。

【図2】本発明の表示装置のブロック図。

【図3】本発明の表示装置の駆動方法を示すタイミングチャートを示す図。

【図4】本発明の表示装置の検査用駆動回路の実施例を示す図。

【図5】本発明の表示装置の外付け検査回路の実施例を示す図。

【図6】本発明の表示装置の上面図及び断面図。

10

20

30

40

50

【図 7】本発明で表示装置のソース信号側駆動回路の回路図。

【図 8】本発明で表示装置のラッチの上面図。

【図 9】本発明の表示装置を用いた電子機器を示す図。

【図 10】従来の表示装置の画素部の回路図。

【図 11】表示装置のアナログ駆動方法を示すタイミングチャートを示す図。

【図 12】本発明を用いた携帯電話を示す図。

【図 13】本発明を用いた携帯電話の使用法を示す図。

【発明を実施するための形態】

【0040】

以下に、本発明の E L 表示装置の構造及びその検査方法について説明する。

10

【0041】

図 1 に、本発明の第一の実施形態を示す。図 1 は、本発明の表示装置の画素部の構成図である。

【0042】

電源供給線 V 1 ~ V x、ソース信号線 S 1 ~ S x、ゲート信号線 G 1 ~ G y、スイッチング用 T F T 9 1 0 2、駆動用 T F T 9 1 0 6、保持容量 9 1 0 7、E L 素子 9 1 0 5、検査容量 9 1 0 8 によって構成されている。

【0043】

なお、スイッチング用 T F T 9 1 0 2 は、ダブルゲート構造で示しているが、本発明の表示装置の画素のスイッチング用 T F T は、ダブルゲート構造に限らず、シングルゲート構造でも良いし、ダブルゲート以上のマルチゲート構造でも良い。

20

【0044】

また、駆動用 T F T 9 1 0 6 は、シングルゲート構造で示しているが、本発明の表示装置の画素の駆動用 T F T は、ダブルゲート構造でも良いし、マルチゲート構造でも良い。

【0045】

ここで、駆動用 T F T 9 1 0 6 のドレイン領域は、E L 素子 9 1 0 5 だけでなく検査容量 9 1 0 8 にも接続されている。この例では、検査容量 9 1 0 8 は、駆動用 T F T 9 1 0 6 のドレイン領域とゲート信号線との間に挿入されているが、本発明の構成はこれに限定されない。前記ドレイン領域と、別の個別配線との間であっても良い。

【0046】

30

図 2 は、本発明の表示装置のブロック図である。

【0047】

ソース信号線駆動回路 9 2 0 1、ゲート信号線駆動回路 9 2 0 2、9 2 0 3、検査用駆動回路 9 2 0 4、スイッチ 9 2 0 5、9 2 0 6、ソース信号線 9 2 0 7 ~ 9 2 0 9、ゲート信号線 9 2 1 0 ~ 9 2 1 2、画素部電源供給線 9 2 1 3、9 2 1 4、電源供給線引出し端子 9 2 1 5、外付け検査回路 9 2 1 6 より構成されている。

【0048】

なお、図 2 においては、ソース信号線、ゲート信号線、電源供給線及びスイッチは、その一部を代表で示している。実際には、これらは、表示装置を構成する画素に対応する分、形成されている。

40

【0049】

従来と異なり、検査用駆動回路 9 2 0 4 が追加されている。また、検査用駆動回路 9 2 0 4 によって制御されているスイッチ 9 2 0 5、9 2 0 6 が、画素部電源供給線 9 2 1 3、9 2 1 4 と、電源供給線引出し端子 9 2 1 5 との間に、画素部電源供給線ごとに挿入されている。電源供給線引出し端子は、外付け検査回路 9 2 1 6 に接続されている。

【0050】

検査用駆動回路 9 2 0 4 は、図 2 において、独立に配置されているが、ソース信号線駆動回路がアナログ方式の場合、両者を兼用することも可能である。(図示せず)

【0051】

次に、本発明で用いる検査方法について、説明する。

50

【 0 0 5 2 】

なお説明では、図 1 及び図 2 を参照する。

【 0 0 5 3 】

ここでは、T F T 工程が終了した後の、E L 材料成膜前の段階の基板の検査を想定するが、表示装置を構成する T F T 同士、容量（保持容量、検査容量等）及び抵抗等との結線が終了していれば、この工程の段階に限定されない。

【 0 0 5 4 】

ここで、図 1 においては、E L 素子 9 1 0 5 を示しているが、以下の検査を行う段階では、まだ E L 材料は成膜されておらず、E L 素子 9 1 0 5 は形成されていない。

【 0 0 5 5 】

まず、第一の手順として、電源供給線に「H i」の信号に対応する電圧、例えば 1 0 V を加える。次に、各駆動回路（ソース信号線駆動回路 9 2 0 1 及びゲート信号線駆動回路 9 2 0 2、9 2 0 3）を順次走査し、各画素において、駆動用 T F T 9 1 0 6 をオンさせて、電源供給線 V 1 ~ V x の電圧 1 0 V を各検査容量 9 1 0 8 に書き込む。

【 0 0 5 6 】

なお、検査容量は、0 . 0 5 p F ~ 1 p F の値をとるとする。

【 0 0 5 7 】

第二の手順として、以下のことを行う。ソース信号線駆動回路 9 2 0 1、ゲート信号線駆動回路 9 2 0 2、9 2 0 3 を動作させ、画素部の駆動用 T F T 9 1 0 6 をすべてオフにする。次に電源供給線 V 1 ~ V x の電位を「L o」の信号に対応する電圧に、例えば 0 V に設定する。このときスイッチ 9 2 0 5、9 2 0 6 はオンしたままである。

【 0 0 5 8 】

これによって画素部の電源供給線 V 1 ~ V x は 0 V になる。

【 0 0 5 9 】

第三の手順として、以下のことを行う。

【 0 0 6 0 】

図 3 の示すようなタイミングで、画素のひとつひとつの駆動用 T F T 9 1 0 6 を動作させていく。

【 0 0 6 1 】

図 3 のタイミングチャートにおいては、スイッチング用 T F T を n チャネル型 T F T とし、駆動用 T F T を p チャネル型 T F T とした場合を示しているが、スイッチング用 T F T 及び駆動用 T F T は、p チャネル型 T F T でも n チャネル型 T F T でもどちらでも良い。

【 0 0 6 2 】

ソース信号線 S 1 ~ S x を順に操作する。なお、ここでは、2 本のソース信号線 S 1 及び S 2 に対する操作を代表して図示し説明するが、全てのソース信号線 S 1 ~ S x に対して同様の操作を行う。

【 0 0 6 3 】

ソース信号線に「L o」の信号が入力された画素において、ゲート信号線 G 1 ~ G y に順に「H i」の信号が入力されると、駆動用 T F T 9 1 0 6 がオンになる。

【 0 0 6 4 】

また、すべての電源供給線 V 1 ~ V x がつながっていると、配線容量が大きすぎ、電圧の検出が困難になる。そのため、電源供給線につながるスイッチは、画素 1 列ごと個別に、画素 T F T の動作をチェックするために必要である。

【 0 0 6 5 】

ここで、画素 1 列とは、同じソース信号線に接続されたスイッチング用 T F T を有する画素を示すものとする。

【 0 0 6 6 】

ソース信号線 S 1 が選択されている間、ソース信号線 S 1 にそのソース領域が接続されたスイッチング用 T F T を有する画素に、電源を供給する電源供給線 V 1 につながるスイ

10

20

30

40

50

ッチは、オンの状態となる。なお、その他の画素に対応する電源供給線 $V_2 \sim V_x$ につながるスイッチは、全てオフの状態にある。

【0067】

次に、ソース信号線 S_2 が選択されている間、ソース信号線 S_2 にそのソース領域が接続されたスイッチング用 T F T を有する画素に、電源を供給する電源供給線 V_2 につながるスイッチは、オンの状態となる。なお、その他の画素に対応する電源供給線 V_1 、 $V_3 \sim V_x$ につながるスイッチは、全てオフの状態にある。

【0068】

ここで、図3において、 T_1 及び T_2 は、それぞれ電源供給線 V_1 につながるスイッチ、電源供給線 V_2 につながるスイッチを、オンもしくはオフさせる信号を示す。

10

【0069】

本実施例では、 T_1 及び T_2 は、「Hi」の信号が入力されている場合、その電源供給線につながるスイッチはオンの状態となり、「Lo」の信号が入力されている場合は、そのスイッチは、オフの状態となる場合を示している。

【0070】

画素において、駆動用 T F T 9106 がオンすると、検査容量 9108 に保持されていた電荷は電源供給線 $V_1 \sim V_x$ に放電される。この放電によって、電源供給線 $V_1 \sim V_x$ には電圧が発生する。

【0071】

この電圧は以下のように与えられる。画素部の電源供給線の配線容量値を C_1 、電源供給線引出し端子 9215 までの容量を C_2 、検査容量を C_3 とすると、発生する電圧 V_{out} は、式1で与えられる。

20

【0072】

$$(式1) \quad V_{out} = 10 \times C_3 / (C_1 + C_2 + C_3)$$

【0073】

$C_1 = C_2 = 10 \text{ pF}$ 、 $C_3 = 0.1 \text{ pF}$ とすると、電圧 V_{out} は 0.05 V となる。

【0074】

この電圧 V_{out} は小さいので、電源線供給線引出し端子 9215 に、外付けの検査回路 9216 をつけて検出を行う。

【0075】

30

画素 T F T に不良があれば、充電または放電ができないので、電圧 V_{out} は発生しない。

【0076】

図3に示すタイミングチャートにおいて、電源供給線引き出し端子 9215 には、電圧 V_{out} が画素を選択するごとに発生するが、画素 T F T に異常があれば 9301 のように電圧信号の欠落がみられ、欠陥が発生しているのがわかる。

【0077】

このようにして、すべての画素を順次選択することによって、画素 T F T の検査が可能となる。

【0078】

40

以下に、本発明の実施例を説明する。

【実施例1】

【0079】

本実施例では、本発明の表示装置の検査用駆動回路の構成例を示す。

【0080】

図4において、検査用駆動回路は、D F F 9401 から構成されるシフトレジスタ 9402 と、N A N D 回路 9403、9404、9405、インバータより構成されるバッファ回路 9406、9407、9408 より成り立っている。

【0081】

なお、図4では、検査用駆動回路の3本の電源供給線に対応する部分のみを示している

50

が、実際には、検査用駆動回路は、全ての電源供給線に対応する回路によって構成される。

【 0 0 8 2 】

バッファ回路路 9 4 0 6、9 4 0 7、9 4 0 8 の出力 9 4 0 9、9 4 1 0、9 4 1 1 には、図 2 に示したスイッチ 9 2 0 5、9 2 0 6 等が接続され、画素部電源供給線と、電源供給線引出し端子を接続する。

【 0 0 8 3 】

シフトレジスタ 9 4 0 2 の入力端子 9 4 0 0 に「H i」の電圧を入力すれば、端子 9 4 0 9 ~ 9 4 1 1 の出力は全て「H i」に対応する信号になり、すべてのスイッチをオンとすることができる。

10

【実施例 2】

【 0 0 8 4 】

本実施例では、本発明の表示装置の外付け検査回路の構成例を示す。

【 0 0 8 5 】

図 5 において、外付け検査回路 9 5 0 1 は、接続を切り換えるスイッチ 9 5 0 2、信号検出を行うアンプ 9 5 0 5、電圧源 9 5 0 3、抵抗 9 5 0 4 等によって、構成されている。

【 0 0 8 6 】

スイッチ 9 5 0 2 において、「H i」の信号に対応する電圧、1 0 V の電圧源 9 5 0 3 もしくは、「L o」の信号に対応する電圧、0 V の電圧源 9 5 0 8 もしくは、信号を増幅

20

【 0 0 8 7 】

なお、電圧源 9 5 0 3、9 5 0 8 の電圧は、上記の値に限定されず、必要に応じて最適化を図ることは可能である。

【 0 0 8 8 】

検査を行う表示装置の基板の電源供給線引き出し端子を、入力 9 5 0 7 に接続し、実施の形態において示した手順によって検査を行う。検査の判断はアンプ 9 5 0 5 の出力 9 5 0 6 をモニターして行う。

【 0 0 8 9 】

ここで用いるアンプ 9 5 0 5 は、1 0 倍から 1 0 0 0 倍程度の電圧利得を持ち、電源供給線に発生する検出信号を増幅して検知する。アンプの利得は 1 0 0 倍程度が望ましい。

30

【 0 0 9 0 】

本実施例は、実施例 1 と自由に組み合わせて実施することが可能である。

【実施例 3】

【 0 0 9 1 】

本発明において、駆動用 T F T 1 0 8 は n チャネル型 T F T でも p チャネル型 T F T でもどちらでも用いることが可能であるが、E L 素子 1 1 0 の陽極が画素電極で陰極が対向電極の場合、駆動用 T F T 1 0 8 は p チャネル型 T F T であることが好ましい。また逆に E L 素子 1 1 0 の陽極が対向電極で陰極が画素電極の場合、駆動用 T F T 1 0 8 は n チャネル型 T F T であることが好ましい。

40

【 0 0 9 2 】

本実施例は、実施例 1 ~ 実施例 2 のいずれとも自由に組み合わせて実施することが可能である。

【実施例 4】

【 0 0 9 3 】

本実施例では、本発明を用いて E L 表示装置を作製した例について説明する。

【 0 0 9 4 】

図 6 (A) は本発明を用いた E L 表示装置の上面図である。図 6 (A) において、4 0 1 0 は基板、4 0 1 1 は画素部、4 0 1 2 はソース信号線駆動回路、4 0 1 3 a、4 0 1 3 b はゲート信号線駆動回路であり、それぞれの駆動回路は配線 4 0 1 4 a、4 0 1 4 b

50

、4015、4016を経てFPC4017に至り、外部機器へと接続される。

【0095】

なお、本実施例では、検査用駆動回路をソース信号線駆動回路4012で兼用している例を示すが、本発明はこの構成に限定されない。検査用駆動回路をソース信号線駆動回路とは別に設けても良い。

【0096】

ここで、少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてカバー材6000、シーリング材（ハウジング材ともいう）7000、密封材（第2のシーリング材）7001が設けられている。

【0097】

また、図6（B）は、本実施例のEL表示装置の断面構造であり、基板4010、下地膜4021の上に駆動回路用TFT（但し、ここではnチャネル型TFTとpチャネル型TFTを組み合わせたCMOS回路を図示している。）4022及び画素部用TFT4023（但し、ここではEL素子への電流を制御する駆動用TFTだけ図示している。）が形成されている。これらのTFTは公知の構造（トップゲート構造またはボトムゲート構造）を用いれば良い。

【0098】

なお、図6（B）においては、駆動用TFTのドレイン電極に接続された検査容量等も図示していない。

【0099】

駆動回路用TFT4022、画素部用TFT4023が完成したら、樹脂材料でなる層間絶縁膜（平坦化膜）4026の上に画素部用TFT4023のドレインと電氣的に接続する透明導電膜でなる画素電極4027を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物（ITOと呼ばれる）または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極4027を形成したら、絶縁膜4028を形成し、画素電極4027上に開口部を形成する。

【0100】

次に、EL層4029を形成する。EL層4029は公知のEL材料（正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層）を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL材料には、低分子系材料と高分子系（ポリマー系）材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0101】

本実施例では、シャドーマスクを用いて蒸着法によりEL層4029を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層（赤色発光層、緑色発光層及び青色発光層）を形成することで、カラー表示が可能となる。その他にも、色変換層（CCM）とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光のEL表示装置とすることもできる。

【0102】

EL層4029を形成したら、その上に陰極4030を形成する。陰極4030とEL層4029の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でEL層4029と陰極4030を連続成膜するか、EL層4029を不活性雰囲気中で形成し、大気解放しないで陰極4030を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0103】

なお、本実施例では陰極4030として、LiF（フッ化リチウム）膜とAl（アルミニウム）膜の積層構造を用いる。具体的にはEL層4029上に蒸着法で1nm厚のLi

10

20

30

40

50

F（フッ化リチウム）膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極4030は4031で示される領域において配線4016に接続される。配線4016は陰極4030に所定の電圧を与えるための電源線であり、導電性ペースト材料4032を介してFPC4017に接続される。

【0104】

4031に示された領域において陰極4030と配線4016とを電氣的に接続するために、層間絶縁膜4026及び絶縁膜4028に、コンタクトホールを形成する必要がある。これらは層間絶縁膜4026のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜4028のエッチング時（EL層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜4028をエッチングする際に、層間絶縁膜4026まで一括でエッチングしても良い。この場合、層間絶縁膜4026と絶縁膜4028が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

10

【0105】

このようにして形成されたEL素子の表面を覆って、パッシベーション膜6003、充填材6004、カバー材6000が形成される。

【0106】

さらに、EL素子部を囲むようにして、カバー材6000と基板4010の内側にシーリング材7000が設けられ、さらにシーリング材7000の外側には密封材（第2のシーリング材）7001が形成される。

20

【0107】

このとき、この充填材6004は、カバー材6000を接着するための接着剤としても機能する。充填材6004としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材6004の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0108】

また、充填材6004の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0109】

スペーサーを設けた場合、パッシベーション膜6003はスペーサー圧を緩和することができる。また、パッシベーション膜6003とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

30

【0110】

また、カバー材6000としては、ガラス板、アルミニウム板、ステンレス板、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十μmのアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

40

【0111】

但し、EL素子からの発光方向（光の放射方向）によっては、カバー材6000が透光性を有する必要がある。

【0112】

また、配線4016は、シーリング材7000および密封材7001と基板4010との隙間を通して、FPC4017に電氣的に接続される。なお、ここでは配線4016について説明したが、他の配線4014a、4014b、4015も同様にして、シーリング材7000および密封材7001と基板4010との隙間を通してFPC4017に電氣的に接続される。

【0113】

50

なお本実施例では、充填材 6004 を設けてからカバー材 6000 を接着し、充填材 6004 の側面（露呈面）を覆うようにシーリング材 7000 を取り付けられているが、カバー材 6000 及びシーリング材 7000 を取り付けしてから、充填材 6004 を設けても良い。この場合、基板 4010、カバー材 6000 及びシーリング材 7000 で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態（ 10^{-2} Torr 以下）にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【0114】

本実施例は、実施例 1～実施例 3 のいずれとも自由に組み合わせて実施することが可能である。

【実施例 5】

【0115】

本実施例では、駆動を、従来例において説明したアナログ階調ではなく、デジタル時間階調にしたときの、ソース信号側駆動回路の構成について説明する。

【0116】

図 7 に本実施例で用いられるソース信号側駆動回路の一例を回路図で示す。

【0117】

なお、本発明においては、駆動方法は、アナログ階調、デジタル時間階調、デジタル面積階調などいずれにおいても適応が可能である。また、それらの階調方式を組み合わせた方式についても可能である。

【0118】

図 7 において、シフトレジスタ 801、ラッチ（A）（802）、ラッチ（B）（803）、が図に示すように配置されている。

【0119】

なお本実施例では、1組のラッチ（A）（802）と1組のラッチ（B）（803）が、4本のソース信号線 $S_a \sim S_d$ への出力に対応している。そのため、外部より入力されるデジタル映像信号の入力線 VD は4本あり、ソース信号線 $S_a \sim S_d$ に入力される信号がそれぞれ入力されている。

【0120】

また本実施例では、信号が有する電圧の振幅の幅を変えるレベルシフタを設けなかったが、設計者が適宜設けるようにしても良い。

【0121】

クロック信号 CLK 、 CLK の極性が反転したクロック信号 $CLKB$ 、スタートパルス信号 SP 、駆動方向切り替え信号 SL/R はそれぞれ図に示した配線からシフトレジスタ 801 に入力される。また外部から入力されるデジタルデータ信号 VD は図に示した配線からラッチ（A）（802）に入力される。ラッチ信号 S_LAT 、 S_LAT の極性が反転した信号 S_LATb はそれぞれ図に示した配線からラッチ（B）（803）に入力される。

【0122】

ラッチ（A）（802）の詳しい構成について、ソース信号線 S_a に対応するラッチ（A）（802）の一部 804 を例にとって説明する。ラッチ（A）（802）の一部 804 は、2つのクロックドインバータと、2つのインバータとを有している。

【0123】

ラッチ（A）（802）の一部 804 の上面図を図 8 に示す。831a、831b はそれぞれ、ラッチ（A）（802）の一部 804 が有するインバータの1つを形成する TFT の活性層であり、836 は該インバータの1つを形成する TFT の共通のゲート電極である。また 832a、832b はそれぞれ、ラッチ（A）（802）の一部 804 が有するもう1つのインバータを形成する TFT の活性層であり、837a、837b は活性層 832a、832b 上にそれぞれ設けられたゲート電極である。なおゲート電極 837a、837b は電氣的に接続されている。

10

20

30

40

50

【 0 1 2 4 】

8 3 3 a、8 3 3 bはそれぞれ、ラッチ（ A ）（ 8 0 2 ）の一部 8 0 4 が有するクロックドインバータの 1 つを形成する T F T の活性層である。活性層 8 3 3 a 上にはゲート電極 8 3 8 a、8 3 8 b が設けられており、ダブルゲート構造となっている。また活性層 8 3 3 b 上にはゲート電極 8 3 8 b、8 3 9 が設けられており、ダブルゲート構造となっている。

【 0 1 2 5 】

8 3 4 a、8 3 4 bはそれぞれ、ラッチ（ A ）（ 8 0 2 ）の一部 8 0 4 が有するもう 1 つのクロックドインバータを形成する T F T の活性層である。活性層 8 3 4 a 上にはゲート電極 8 3 9、8 4 0 が設けられており、ダブルゲート構造となっている。また活性層 8 3 4 b 上にはゲート電極 8 4 0、8 4 1 が設けられており、ダブルゲート構造となっている。

10

【 0 1 2 6 】

本実施例は、実施例 1 ～ 実施例 4 のいずれとも自由に組み合わせて実施することが可能である。

【 実施例 6 】

【 0 1 2 7 】

本発明の E L 表示装置において、E L 素子が有する E L 層に用いられる材料は、有機 E L 材料に限定されず、無機 E L 材料を用いても実施できる。但し、現在の無機 E L 材料は非常に駆動電圧が高いため、そのような駆動電圧に耐えうる耐圧特性を有する T F T を用いなければならない。

20

【 0 1 2 8 】

または、将来的にさらに駆動電圧の低い無機 E L 材料が開発されれば、本発明に適用することは可能である。

【 0 1 2 9 】

本実施例は、実施例 1 ～ 実施例 5 のいずれとも自由に組み合わせて実施することが可能である。

【 実施例 7 】

【 0 1 3 0 】

本発明を用いて形成された電子ディスプレイ、特に E L 表示装置は様々な電子機器に用いることができる。以下に、本発明を用いて形成された電子ディスプレイを表示媒体として組み込んだ電子機器について説明する。

30

【 0 1 3 1 】

その様な電子機器としては、ビデオカメラ、テレビ受像機、デジタルカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、ゲーム機、電話機、カーナビゲーション、パーソナルコンピュータ、画像再生装置、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 9 に示す。

【 0 1 3 2 】

図 9（ A ）はパーソナルコンピュータであり、本体 2 0 0 1、筐体 2 0 0 2、表示部 2 0 0 3、キーボード 2 0 0 4 等を含む。本発明の E L 表示装置はパーソナルコンピュータの表示部 2 0 0 3 に用いることができる。

40

【 0 1 3 3 】

図 9（ B ）はビデオカメラであり、本体 2 1 0 1、表示部 2 1 0 2、音声入力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 等を含む。本発明の E L 表示装置はビデオカメラの表示部 2 1 0 2 に用いることができる。

【 0 1 3 4 】

図 9（ C ）はヘッドマウントディスプレイの一部（右片側）であり、本体 2 3 0 1、信号ケーブル 2 3 0 2、頭部固定バンド 2 3 0 3、表示モニタ 2 3 0 4、光学系 2 3 0 5、表示部 2 3 0 6 等を含む。本発明の E L 表示装置はヘッドマウントディスプレイの表示部 2 3 0 6 に用いることができる。

50

【 0 1 3 5 】

図 9 (D) は記録媒体を備えた画像再生装置 (具体的には D V D 再生装置) であり、本体 2 4 0 1、記録媒体 (C D、L D または D V D 等) 2 4 0 2、操作スイッチ 2 4 0 3、表示部 (a) 2 4 0 4、表示部 (b) 2 4 0 5 等を含む。表示部 (a) は主として画像情報を表示し、表示部 (b) は主として文字情報を表示するが、本発明の E L 表示装置は記録媒体を備えた画像再生装置の表示部 (a)、(b) に用いることができる。なお、記録媒体を備えた画像再生装置としては、C D 再生装置、ゲーム機器などに本発明を用いることができる。

【 0 1 3 6 】

図 9 (E) は携帯型 (モバイル) コンピュータであり、本体 2 5 0 1、カメラ部 2 5 0 2、受像部 2 5 0 3、操作スイッチ 2 5 0 4、表示部 2 5 0 5 等を含む。本発明の E L 表示装置は携帯型 (モバイル) コンピュータの表示部 2 5 0 5 に用いることができる。

【 0 1 3 7 】

また、将来的に E L 材料の発光輝度が高くなれば、フロント型若しくはリア型のプロジェクターに用いることも可能となる。

【 0 1 3 8 】

本実施例の電子機器は、実施例 1 ~ 6 のどのような組み合わせからなる構成を用いても実現することができる。

【 実施例 8 】

【 0 1 3 9 】

図 1 2 は携帯電話に E L 表示装置を使用した例である。

【 0 1 4 0 】

携帯電話は、筐体 A 1 2 0 1 と筐体 B 1 2 0 2 とアンテナ 1 2 0 5 とによって構成され、筐体 A 1 2 0 1 の表面 A 1 2 0 3 には、表示部 1 2 0 0 とマイク 1 2 0 9 が形成され、筐体 B 1 2 0 2 の表面 B 1 2 0 4 には、スピーカー 1 2 0 6 と操作キー 1 2 0 7 と電源スイッチ 1 2 0 8 等が形成されている。

【 0 1 4 1 】

本発明の E L 表示装置は、携帯電話の表示部 1 2 0 0 に用いることができる。

【 0 1 4 2 】

なお、スピーカー 1 2 0 6、操作キー 1 2 0 7、表示部 1 2 0 0、マイク 1 2 0 9、電源スイッチ 1 2 0 8 は、上記配置に限らず、筐体 A 1 2 0 1、筐体 B 1 2 0 2 のいずれの部分にも形成することができる。

【 0 1 4 3 】

図 1 2 では、携帯電話を、2つの筐体部分 (筐体 A 1 2 0 1 及び筐体 B 1 2 0 2) より構成し、その一边をちょうつがい (図示せず) にて接続している。このちょうつがいを閉じることによって、筐体 A 1 2 0 1 の表面 A 1 2 0 3 と、筐体 B 1 2 0 2 の表面 B 1 2 0 4 とを重ねることができる。なお、筐体 A 1 2 0 1 の表面 A 1 2 0 3 と筐体 B 1 2 0 2 の表面 B 1 2 0 4 とを重ねることを、二つ折りにするということにする。

【 0 1 4 4 】

また、この携帯電話の例では、図 1 3 に示すような使用法が可能である。すなわち、スピーカー 1 2 0 6 とマイク 1 2 0 9 を別の筐体部分に配置し、その表面 A 1 2 0 3 と表面 B 1 2 0 4 との角度を変更することによって、耳 1 2 1 1 の近くにスピーカー 1 2 0 6 を置き、口元 1 2 1 2 にマイク 1 2 0 9 を置くことが可能となる。このような構成にすることによって、他人に通話中の口元 1 2 1 2 を見られないという利点がある。また、口元 1 2 1 2 とマイク 1 2 0 9 が近くなるため、雑音の影響が少なくなり、良好な通話が可能となる、さらには、電話機内のノイズフィルタを削減できるなどの効果がある。また、操作キー 1 2 0 7 の数を増やせば、携帯情報端末としても使用できる。

【 0 1 4 5 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1 ~ 6 のどのような組み合わせからな

10

20

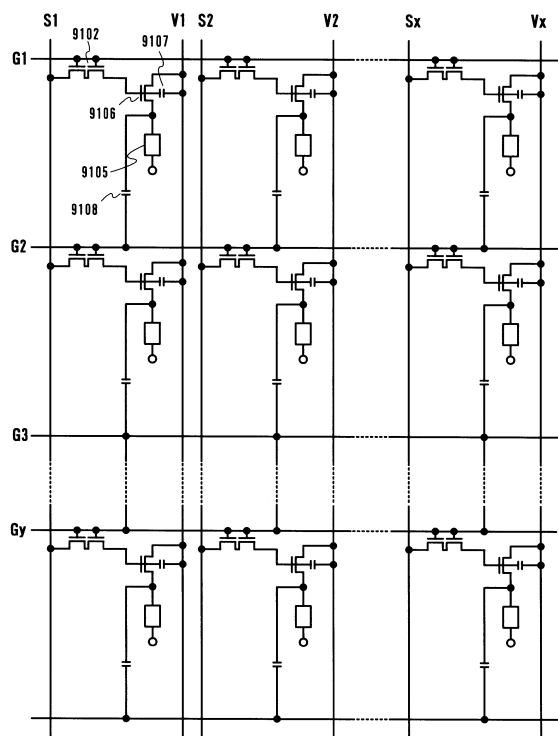
30

40

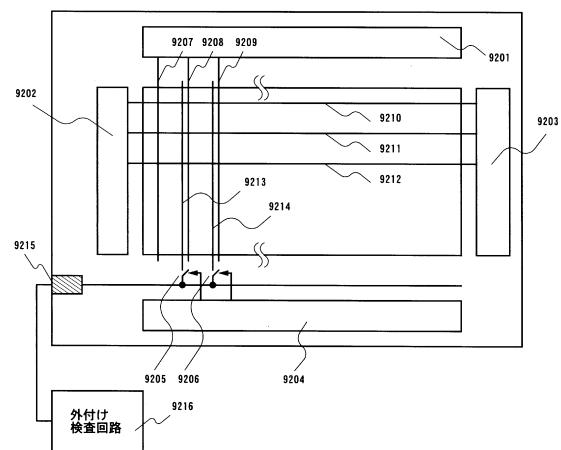
50

る構成を用いても実現することができる。

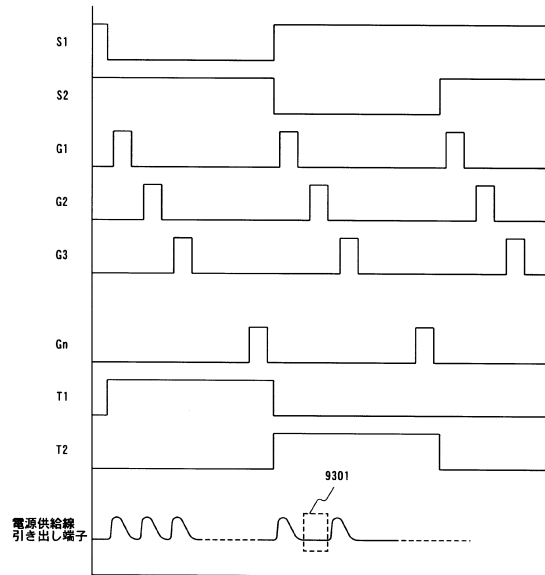
【図 1】



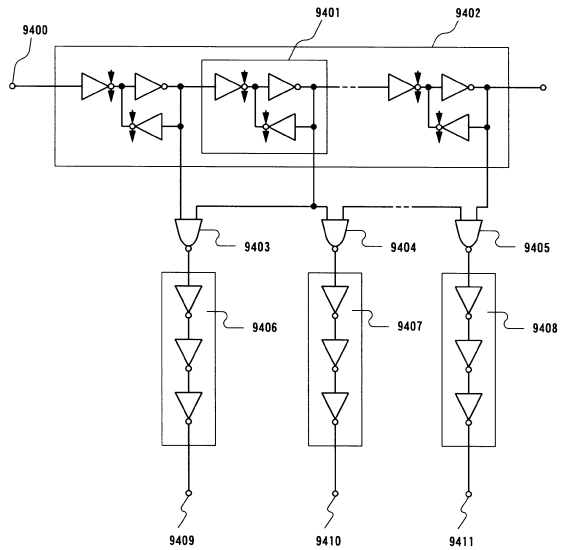
【図 2】



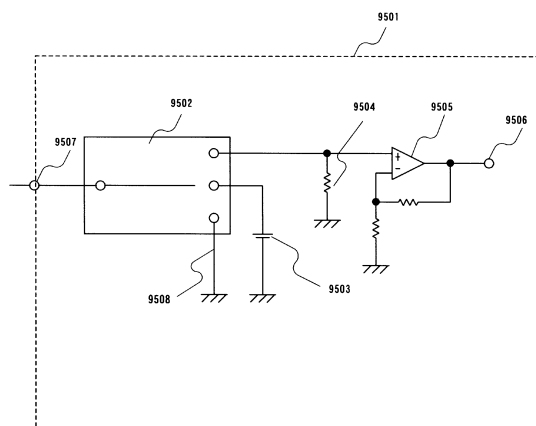
【 図 3 】



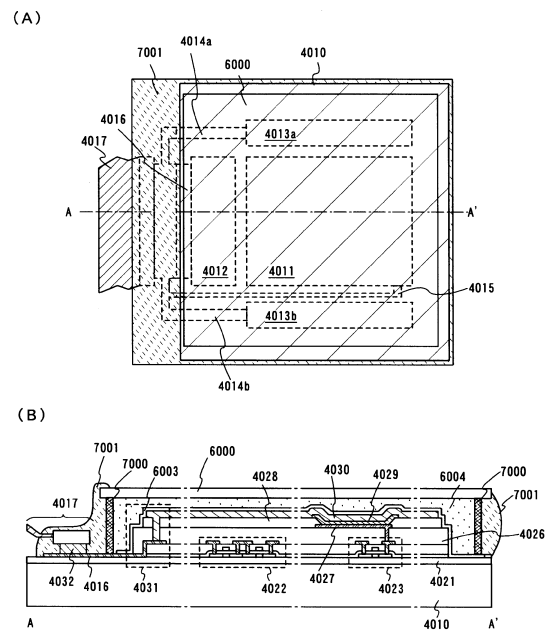
【 図 4 】



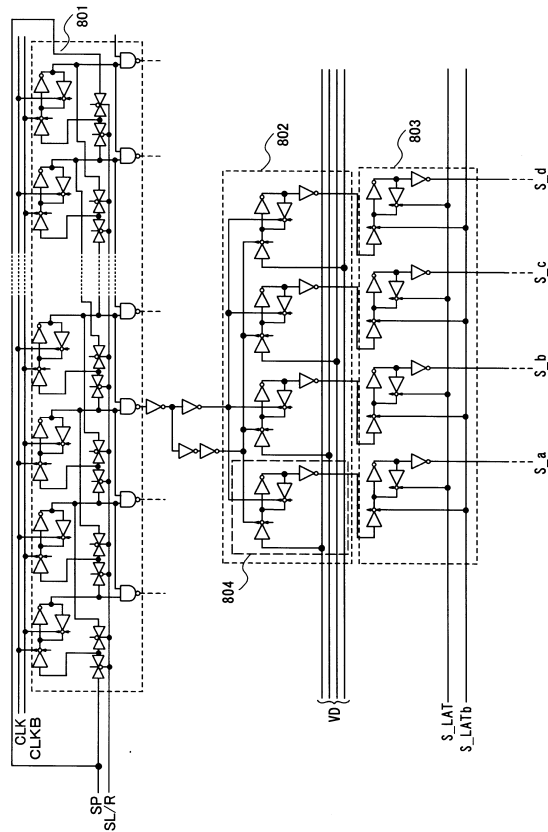
【圖 5】



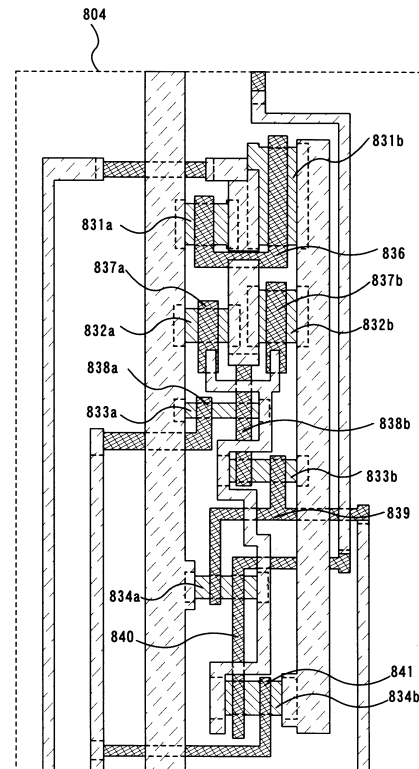
【 図 6 】



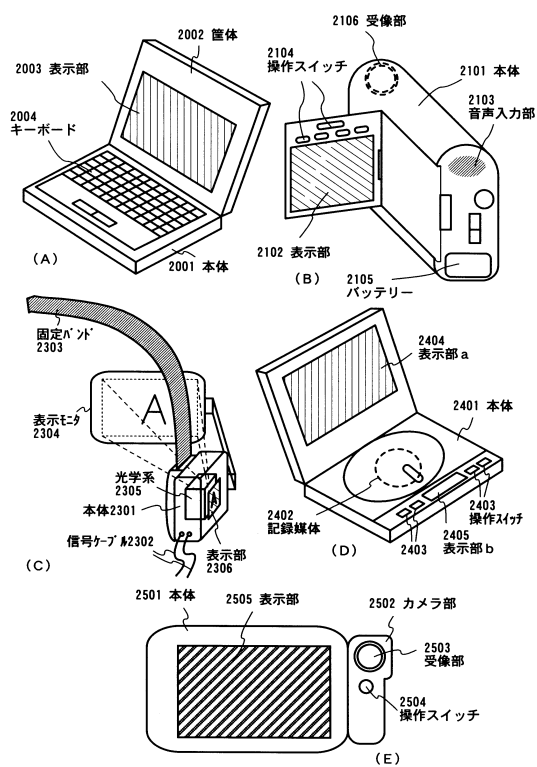
【図 7】



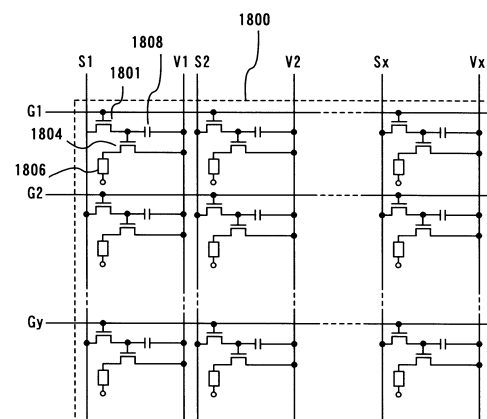
【図 8】



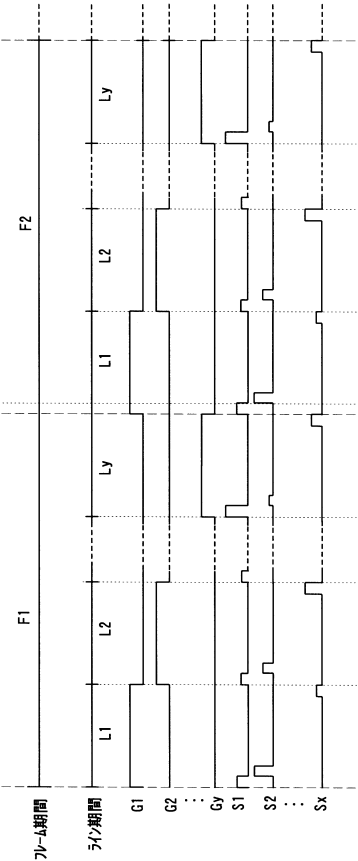
【図 9】



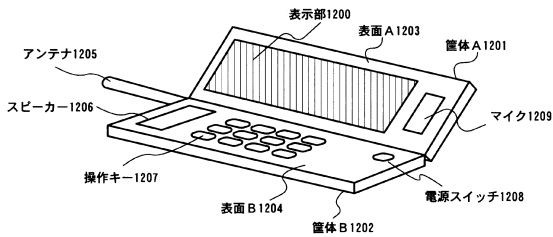
【図 10】



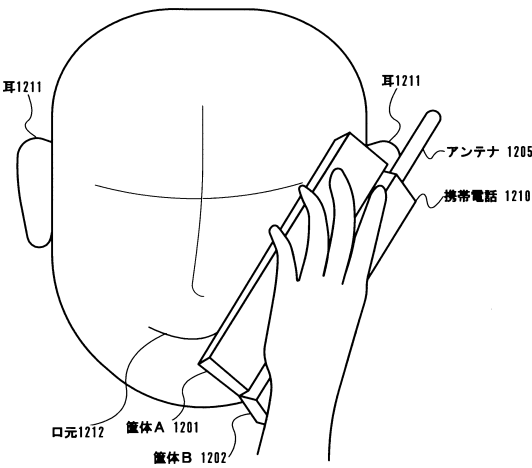
【図 1 1】



【図 1 2】



【図 1 3】



フロントページの続き

(51)Int.Cl. F I
H 0 5 B 33/14 Z

(56)参考文献 特開平 1 1 - 2 4 6 0 4 (J P , A)
特開平 2 - 7 2 3 9 2 (J P , A)
米国特許第 5 4 2 8 3 0 0 (U S , A)
米国特許第 5 9 9 4 9 1 6 (U S , A)
特開平 5 - 3 0 7 1 6 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3
1 / 1 3 4 3 - 1 / 1 3 4 5
1 / 1 3 5 - 1 / 1 4 1
G 0 9 F 9 / 0 0 - 9 / 4 6
G 0 9 G 3 / 1 2 - 3 / 1 4
3 / 3 0 - 3 / 3 2 9 1
H 0 1 L 2 1 / 3 3 6
2 7 / 3 2
2 9 / 7 8 6
5 1 / 5 0
H 0 4 N 5 / 6 6 - 5 / 7 4
H 0 5 B 3 3 / 0 0 - 3 3 / 2 8