



(12) 发明专利

(10) 授权公告号 CN 103400552 B

(45) 授权公告日 2016.01.20

(21) 申请号 201310363247.5

(22) 申请日 2013.08.20

(30) 优先权数据

102119130 2013.05.30 TW

(73) 专利权人 友达光电股份有限公司

地址 中国台湾新竹市

(72) 发明人 刘立伟 许文曲

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 史新宏

(51) Int. Cl.

G09G 3/3208(2016.01)

H01L 27/32(2006.01)

审查员 冯莹

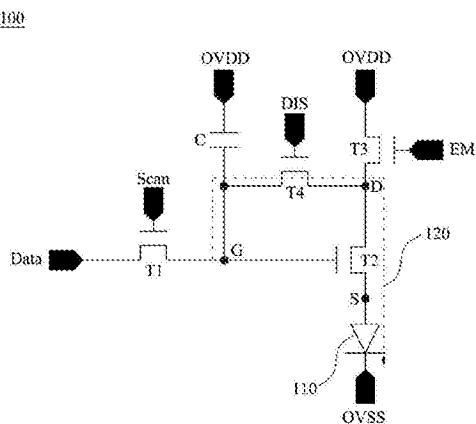
权利要求书2页 说明书8页 附图6页

(54) 发明名称

像素及其像素电路

(57) 摘要

一种像素及其像素电路，该像素包含有机发光二极管、驱动晶体管、第一开关、第三开关及第四开关。驱动晶体管电性耦接于有机发光二极管。像素处于数据写入期间时，藉由第一开关将数据电压写入驱动晶体管的控制端。像素处于补偿期间时，第四开关导通驱动晶体管的控制端与第一端，使得驱动晶体管的控制端经由一电流路径以进行充放电，以使驱动晶体管的控制端的电压形成补偿电压，补偿电压于发光期间导通驱动晶体管，且第三开关被开启，使得驱动电流提供予有机发光二极管。另外，还揭示了一种像素电路。



1. 一种像素，包含：

一有机发光二极管；

一驱动晶体管，电性耦接于该有机发光二极管；

一第一开关，其中于该像素处于一数据写入期间时，藉由该第一开关将一数据电压写入该驱动晶体管的控制端；

一第四开关，其中于该像素处于一补偿期间时，该第四开关导通该驱动晶体管的该控制端与一第一端，使得该驱动晶体管的该控制端经由一电流路径以进行充放电，以使该驱动晶体管的该控制端的电压形成一补偿电压；

一第三开关，该补偿电压于一发光期间导通该驱动晶体管，且该第三开关被开启，使得一驱动电流提供予该有机发光二极管；以及

一电容，电性耦接于该第一开关以及电源。

2. 如权利要求 1 所述的像素，其中于该像素的各元件参数产生变异时，该补偿电压相应地自动调整而使该驱动电流维持稳定。

3. 如权利要求 2 所述的像素，于该补偿期间的该电流路径的电流量大小因元件参数变异而不同，藉使该补偿电压相应地自动调整。

4. 如权利要求 1、2 或 3 所述的像素，其中在该驱动晶体管的电子漂移率上升或在电源 OVDD 所提供的电压下降的状况下，该补偿电压相应地调降而使该驱动电流维持稳定。

5. 如权利要求 1、2 或 3 所述的像素，其中在该驱动晶体管的临界电压上升、参考电压端 OVSS 所提供的参考电压上升或在该有机发光二极管的跨压上升的状况下，该补偿电压相应地调升而使该驱动电流维持稳定。

6. 如权利要求 1 所述的像素，其中该驱动晶体管的该控制端经由该电流路径对一参考电压端 OVSS 进行放电，该放电所引起的电压差正比于放电电流大小，其中该补偿电压为该数据电压扣除该电压差。

7. 如权利要求 1 所述的像素，其中一电源 OVDD 经由该电流路径对该驱动晶体管的该控制端进行充电，该充电所引起的电压差正比于充电电流大小，其中该补偿电压为该数据电压与该电压差之和。

8. 一种像素电路，用以驱动一有机发光二极管，该像素电路包含：

一第一开关，具有一第一端、一第二端与一控制端，该第一开关的第一端电性耦接至一数据电压；

一驱动晶体管，具有一第一端、一第二端与一控制端，该驱动晶体管的控制端电性耦接至该第一开关的第二端；

一第三开关，具有一第一端、一第二端与一控制端，该第三开关的第二端电性耦接至该驱动晶体管的第一端；

一第四开关，具有一第一端、一第二端与一控制端，该第四开关的第一端电性耦接至该第一开关的第二端，该第四开关的第二端电性耦接至该驱动晶体管的第一端；

一电容，具有一第一端与一第二端，该电容的第一端电性耦接至该第一开关的第二端，该电容的第二端电性耦接至一电源 OVDD，

其中该第一开关于一数据写入期间将一数据电压写入该驱动晶体管的该控制端，该第四开关于一补偿期间导通该驱动晶体管的该控制端与该第一端，使得该驱动晶体管的该

控制端经由一电流路径以进行充放电,以使该驱动晶体管的该控制端的电压形成一补偿电压,该补偿电压于一发光期间导通该驱动晶体管,使得一驱动电流提供予该有机发光二极管。

9. 如权利要求 8 所述的像素电路,其中该第一开关、驱动晶体管、第三开关及第四开关为 N 型晶体管,且该驱动晶体管的第二端电性连接该有机发光二极管的阳极,该第三开关的第一端电性连接该电源 OVDD。

10. 如权利要求 8 所述的像素电路,其中该第一开关、驱动晶体管、第三开关及第四开关为 P 型晶体管,且该驱动晶体管的第二端电性连接该电源 OVDD,该第三开关的第一端电性连接该有机发光二极管的阳极。

11. 如权利要求 8 所述的像素电路,其中该第一开关、驱动晶体管、第三开关及第四开关为 P 型晶体管,且该驱动晶体管的第二端电性连接该有机发光二极管的阴极,该第三开关的第一端电性连接一参考电压端 OVSS。

像素及其像素电路

技术领域

[0001] 本发明涉及一种基本电子电路，特别是涉及一种像素及其像素电路。

背景技术

[0002] 在显示面板中，为有效控制像素中的发光二极管，通常会配置一像素电路，然而，采用像素电路的显示面板会面临诸多问题，例如晶体管变异、电压降 (IR drop)、发光二极管老化等，上述问题将会导致显示面板亮度不均，使得显示面板的影像品质下降。

[0003] 虽可于像素中配置补偿电路以改善上述问题所导致的种种缺失，然而，若于补偿电路中配置大量的晶体管，则会衍生出像素开口率下降及解析度受限等问题。

[0004] 由此可见，上述现有的方式，显然仍存在不便与缺陷，而有待改进。为了解决上述问题，相关领域莫不费尽心思来谋求解决之道，但长久以来仍未发展出适当的解决方案。

发明内容

[0005] 发明内容旨在提供本揭示内容的简化摘要，以使阅读者对本揭示内容具备基本的理解。此发明内容并非本揭示内容的完整概述，且其用意并非在指出本发明实施例的重要 / 关键元件或界定本发明的范围。

[0006] 本发明内容的一目的是在提供一种像素及像素电路，藉以改善现有技术所存在的问题。

[0007] 为达到上述目的，本发明内容的一技术态样是关于一种像素，其包含有机发光二极管、驱动晶体管、第一开关、第三开关及第四开关。于结构上，驱动晶体管电性耦接于有机发光二极管。于操作上，像素处于数据写入期间时，藉由第一开关将数据电压写入驱动晶体管的控制端。像素处于补偿期间时，第四开关导通驱动晶体管的控制端与第一端，使得驱动晶体管的控制端经由一电流路径以进行充放电，以使驱动晶体管的控制端的电压形成补偿电压，补偿电压于发光期间导通驱动晶体管，且第三开关被开启，使得驱动电流提供予有机发光二极管。

[0008] 为达到上述目的，本发明内容的另一技术态样是关于一种像素电路，用以驱动一发光二极管。前述像素电路包含第一开关、驱动晶体管、第三开关、第四开关及电容，进一步而言，上述驱动晶体管、第一、第三及第四开关皆具有第一端、第二端及控制端，电容具有第一端及第二端。于结构上，第一开关的第一端电性耦接至一数据电压，驱动晶体管的控制端电性耦接至第一开关的第二端，第三开关的第二端电性耦接至驱动晶体管的第一端，第四开关的第一端电性耦接至第一开关的第二端，第四开关的第二端电性耦接至驱动晶体管的第一端，电容的第一端电性耦接至第一开关的第二端，电容的第二端电性耦接至一电源。

[0009] 因此，根据本发明的技术内容，本发明实施例藉由提供一种像素及像素电路，藉以改善晶体管变异、电压降、发光二极管老化等状况，所导致显示面板亮度不均及显示面板的影像品质下降的问题，还可进一步改善于补偿电路中配置大量的晶体管，所衍生出像素开口率下降及解析度受限等问题。

[0010] 在参阅下文实施方式后，本发明所属技术领域的技术人员可轻易了解本发明的基本精神及其他发明目的，以及本发明所采用的技术手段与实施态样。

附图说明

[0011] 为使本发明的上述和其他目的、特征、优点与实施例能更明显易懂，本发明附图说明如下：

- [0012] 图 1A 示出了依照本发明一实施例的一种像素的示意图；
- [0013] 图 1B 示出了依照本发明一实施例的一种控制波形的示意图。
- [0014] 图 2A 示出了依照本发明一实施例的一种像素的示意图；
- [0015] 图 2B 示出了依照本发明一实施例的一种控制波形的示意图。
- [0016] 图 3A 示出了依照本发明一实施例的一种像素的示意图；
- [0017] 图 3B 示出了依照本发明一实施例的一种控制波形的示意图。
- [0018] 根据惯常的操作方式，图中各种特征与元件并未依比例绘制，其绘制方式是为了以最佳的方式呈现与本发明相关的具体特征与元件。此外，在不同附图间，以相同或相似的元件符号来指称相似的元件 / 部件。
- [0019] 附图符号说明
- [0020] 100、200、300 : 像素
- [0021] 110、210、310 : 有机发光二极管
- [0022] 120、220、320 : 电流路径
- [0023] T1 : 第一开关
- [0024] T2 : 驱动晶体管
- [0025] T3 : 第三开关
- [0026] T4 : 第四开关
- [0027] C : 电容
- [0028] Data : 数据电压
- [0029] Scan : 扫描信号
- [0030] DIS : 放电信号
- [0031] EM : 发光信号
- [0032] OVDD : 电源
- [0033] OVSS : 参考电压端
- [0034] G : 控制端
- [0035] D : 第一端
- [0036] S : 第二端

具体实施方式

[0037] 为了使本揭示内容的叙述更加详尽与完备，下文针对了本发明的实施态样与具体实施例提出了说明性的描述；但这并非实施或运用本发明具体实施例的唯一形式。实施方式中涵盖了多个具体实施例的特征以及用以建构与操作这些具体实施例的方法步骤与其顺序。然而，亦可利用其他具体实施例来实现相同或均等的功能与步骤顺序。

[0038] 除非本说明书另有定义，此处所用的科学与技术词汇的含义与本发明所属技术领域的技术人员所理解与惯用的意义相同。此外，在不和上下文冲突的情形下，本说明书所用的单数名词涵盖该名词的复数型；而所用的复数名词时亦涵盖该名词的单数型。

[0039] 另外，关于本文中所使用的「耦接」可指二个或多个元件相互作电性接触或相互间接作电性接触，而「连接」，可指二个或多个元件相互直接作实体接触，或是相互间接作实体接触，上述亦均可指二个或多个元件相互操作或动作。

[0040] 为了解决现有技术所存在的问题，本发明提出一种像素结构，并配合三阶段的控制模式，而能对像素内的驱动晶体管的控制端的电压进行补偿，进而改善晶体管变异、电压降、发光二极管老化等状况，使显示面板亮度均，并维持显示面板的影像品质。上述像素结构示出了于图 1A、2A 及 3A 中，而三阶段的控制模式则相应地绘示于图 1B、2B 及 3B，后文将结合附图一并解说上述像素及其三阶段的控制模式。

[0041] 如图 1A 所示，像素 100 包含像素电路及有机发光二极管 110，此像素电路包含第一开关 T1、驱动晶体管 T2、第三开关 T3、第四开关 T4 及电容 C，进一步而言，上述驱动晶体管、第一、第三及第四开关 T1 ~ T4 皆具有第一端、第二端及控制端，电容 C 具有第一端及第二端。于结构上，第一开关 T1 的第一端电性耦接至一数据电压 Data，驱动晶体管（或称为第二开关）T2 的控制端直接连接至第一开关 T1 的第二端，第三开关 T3 的第二端直接连接至驱动晶体管 T2 的第一端，第四开关 T4 的第一端直接连接至第一开关 T1 的第二端，第四开关 T4 的第二端直接连接至驱动晶体管 T2 的第一端，电容 C 的第一端（或称为第一电极）直接连接至第一开关 T1 的第二端，电容 C 的第二端（或称为第二电极）电性耦接至一电源 OVDD。必需说明的是，第四开关 T4 的第二端，除了直接连接至驱动晶体管 T2 的第一端之外，也直接连接至第三开关 T3 的第二端，即第四开关 T4 的第二端会直接连接至驱动晶体管 T2 的第一端与第三开关 T3 的第二端。电容 C 的第一端，除了直接连接至第一开关 T1 的第二端之外，也直接连接至第四开关 T4 的第一端以及驱动晶体管 T2 的控制端，即电容 C 的第一端会直接连接至第一开关 T1 的第二端、第四开关 T4 的第一端以及驱动晶体管 T2 的控制端。

[0042] 于操作上，第一开关 T1 是由一扫描信号 Scan 所控制，驱动晶体管 T2 是通过第一开关 T1 由一数据电压 Data 所控制，第三开关（或称为电源控制开关）T3 是由一发光信号 EM 所控制，而第四开关 T4 则由一放电信号 DIS 所控制。

[0043] 于实现本发明的实施例时，上述驱动晶体管及开关可为但不限于双接面晶体管 (Bipolar Junction Transistor, BJT)、场效应晶体管 (Field-Effect Transistor, FET)、绝缘栅双极晶体管 (Insulated Gate Bipolar Transistor, IGBT) 等。本领域技术人员在本发明实施例的精神下，可依照实际需求以选择性地采用适当的元件来实现本发明。

[0044] 请继续参照图 1A，当上述驱动晶体管及开关为场效应晶体管，特别是 N 型薄膜晶体管 (Thin-Film Transistor, TFT) 时，驱动晶体管 T2 的第二端直接连接发光二极管 110 的阳极，发光二极管 110 的阴极电性连接至一参考电压端 OVSS，第三开关 T3 的第一端电性连接电源 OVDD。

[0045] 随后，将介绍像素 100 的三阶段控制模式。为使整体控制模式更加易懂，在此，请一并参照图 1B，其示出了依照本发明一实施例的一种控制波形的示意图。

[0046] 首先，在像素 100 处于数据写入期间 (Data in) 时，扫描信号 Scan 为高电平信号，

第一开关 T1 因而开启。因此第一开关 T1 将数据电压 Data 写入驱动晶体管 T2 的控制端，此时，驱动晶体管 T2 的控制端的电压为数据电压 Data。此外，放电信号 DIS 亦为高电平信号，第四开关 T4 因而开启，但发光信号 EM 为低电平信号，则第三开关 T3 仍为关闭，在本实施例中，第一开关 T1 开启之前，第四开关 T4 便已先开启，但不以此为限，即第一开关 T1 和第四开关 T4 可以同时开启。

[0047] 其次，在像素 100 处于一补偿期间 (Comp.) 时，扫描信号 Scan 为低电平电压，放电信号 DIS 仍为高电平信号，第一开关 T1 因而关闭，第四开关 T4 则为开启状态而导通驱动晶体管 T2 的控制端 G 与第一端 D。此时，驱动晶体管 T2 呈现类似二极管型态，因而形成电流路径 120，使得驱动晶体管 T2 的控制端的数据电压 Data，经由电流路径 120 以进行放电，以使驱动晶体管 T2 的控制端的数据电压 Data 放掉一电压差 ΔV ，而形成一补偿电压 ($V_{Data} - \Delta V$)。此时，发光信号 EM 仍为低电平信号，则第三开关 T3 仍为关闭。

[0048] 再者，在像素 100 处于发光期间 (Emission) 时，发光信号 EM 为高电平信号，放电信号 DIS 为低电平信号，第三开关 T3 相应地开启，而第四开关 T4 相应地关闭。扫描信号 Scan 与数据电压 Data 皆为低电平信号，第一开关 T1 因而关闭。此外，补偿电压 ($V_{Data} - \Delta V$) 导通驱动晶体管 T2，因此，驱动电流通过驱动晶体管 T2 提供予有机发光二极管 110。在本实施例中，第四开关 T4 关闭之后，第三开关 T3 才开启，但不以此为限，即第四开关 T4 的关闭和第三开关 T3 的开启可以同时发生。

[0049] 在此，将配合薄膜晶体管的电流公式，以说明本发明实施例的像素特性，薄膜晶体管的电流公式如下所示：

$$[0050] I_{DS} = \frac{1}{2} \mu C_{OX} \left(\frac{W}{L} \right) (V_{GS} - V_{th})^2 \quad \dots\dots (1)$$

[0051] 在像素 100 处于一补偿期间 (Comp.) 时，驱动晶体管 T2 的控制端的数据电压 Data 放掉一电压差 ΔV ，而形成一补偿电压 ($V_{Data} - \Delta V$)，此时，驱动晶体管 T2 的 V_{GS} 等于 $V_{Data} - \Delta V - V_{OLED} - V_{OVSS}$ 。接着，将驱动晶体管 T2 的 V_{GS} 带入公式 (1)，而得到以下公式：

$$[0052] I_{DS} = \frac{1}{2} \mu C_{OX} \left(\frac{W}{L} \right) (V_{data} - \Delta V - V_{OLED} - V_{OVSS} - V_{th})^2 \quad \dots\dots (2)$$

[0053] 总结而论，在各元件参数产生变异时，补偿电压可自动地调整而使驱动电流 I_{OLED} 维持稳定，而 I_{OLED} 等于 OLED 发光电流。因此，无论像素 100 产生晶体管变异、电压降、发光二极管老化等状况，驱动电流 I_{OLED} 均可维持稳定，进而使显示面板亮度均匀，提升显示面板的影像品质。再者，由于像素 100 仅需配置一个驱动晶体管及三个开关，因此，进一步改善现有技术于补偿电路中配置大量的晶体管，所衍生出像素开口率下降及解析度受限等问题。

[0054] 举例而言，上述像素电路补偿方式为当电路操作于补偿期间 (Comp.) 时，利用放电的电压差 ΔV 大小与电流路径 120 的放电电流量大小有关，藉使补偿电压 ($V_{Data} - \Delta V$) 相应地自动调整。详细的调整方式如下，驱动晶体管 T2 的控制端经由电流路径 120 对参考电压端 OVSS 进行放电一电压差 ΔV ，而形成补偿电压 ($V_{Data} - \Delta V$)，由于电压差 ΔV 正比于放电电流量的大小，而电流量的大小与驱动晶体管 T2 的临界电压 V_{th} 、驱动晶体管 T2 的电子漂移率 μ 、参考电压端 OVSS 的电压以及 OLED 的电压皆有相关。因此，在第四开关 T4 的导通时间固定的状况下，补偿电压 ($V_{Data} - \Delta V$) 会因各个因素的变异量不同而相应地自动调整。

[0055] 在一实施例中,请看到公式(2),在驱动晶体管T2的电子漂移率 μ 上升的状况下,放电电流因而上升,亦即电压差 ΔV 上升,而使驱动电流 I_{OLED} 维持稳定。

[0056] 在另一实施例中,请看到公式(2),在驱动晶体管T2的临界电压 V_{th} 上升的状况下,放电电流因而下降,亦即电压差 ΔV 下降,而使驱动电流 I_{OLED} 维持稳定。

[0057] 于再一实施例中,请看到公式(2),在有机发光二极管的跨压 V_{OLED} 上升的状况下,放电电流因而下降,亦即电压差 ΔV 下降,而使驱动电流 I_{OLED} 维持稳定。

[0058] 在又一实施例中,请看到公式(2),在参考电压端OVSS的参考电压 V_{OVSS} 上升的状况下,放电电流因而下降,亦即电压差 ΔV 下降,而使驱动电流 I_{OLED} 维持稳定。

[0059] 其次,在像素电路结构的第二实现方式中,请参照图2A,其与上述第一实现方式的不同在于,上述驱动晶体管及开关为场效应晶体管,特别是P型薄膜晶体管(Thin-Film Transistor, TFT)。详细而言,第一开关T1的控制端电性连接于扫描讯号Scan,第一开关T1的第一端电性连接于数据电压Data,驱动开关(或称为第二开关)T2的第二端电性连接于电源OVDD,第三开关(或称为电源控制开关)T3的控制端电性连接发光信号EM,第三开关T3的第一端直接连接发光二极管210的阳极,第四开关T4的控制端电性连接放电信号DIS,第四开关T4的第一端直接连接至驱动开关T2的第一端以及第三开关T3的第二端,电容C的第二端电性连接电源OVDD,电容C的第一端直接连接至第一开关T1的第二端、驱动开关T2的控制端以及第四开关T4的第二端,发光二极管210的阴极电性连接至参考电压源OVSS。

[0060] 请参照图2B,其示出了依照本发明一实施例的一种控制波形的示意图。首先,在像素200处于数据写入期间(Data in)时,扫描信号Scan与数据电压Data皆为低电平信号,第一开关T1因而开启。因此第一开关T1将数据电压Data写入驱动晶体管T2的控制端G,此时,驱动晶体管T2的控制端G的电压为数据电压Data。此外,放电信号DIS为低电平信号,第四开关T4因而开启,但发光信号EM为高电平,则第三开关T3仍为关闭,在本实施例中,第一开关T1开启之前,第四开关T4便已先开启,但不以此为限,即第一开关T1和第四开关T4可以同时开启。

[0061] 其次,在像素200处于一补偿期间(Comp.)时,扫描信号Scan与数据电压Data皆为高电平电压,第一开关T1因而关闭,放电信号DIS仍为低电平信号,第四开关T4则为开启状态而导通驱动晶体管T2的控制端G与第一端D。此外,发光信号EM仍为高电平,则第三开关T3仍为关闭。此时,驱动晶体管T2呈现类似二极管型态,因而形成电流路径220,使得电源OVDD经由电流路径220以对驱动晶体管T2的控制端进行充电,以使驱动晶体管T2的控制端的数据电压Data加上一电压差 ΔV ,而形成一补偿电压($V_{Data} + \Delta V$),其中电压差 ΔV 正比于充电电流大小。

[0062] 再者,当像素200处于发光期间(Emission),发光信号EM为低电平信号,放电信号DIS为高电平信号,第三开关T3相应地开启,而第四开关T4相应地关闭。再者,扫描信号Scan与数据电压Data皆为高电平电压,第一开关T1因而,仍为关闭状态。在本实施例中,第四开关T4关闭之后,第三开关T3才开启,但不以此为限,即第四开关T4的关闭和第三开关T3的开启可以同时发生。此时,补偿电压($V_{Data} + \Delta V$)导通驱动晶体管T2,因此,驱动电流通过驱动晶体管T2提供予有机发光二极管210。

[0063] 在此,将配合薄膜晶体管的电流公式,以说明本发明实施例的像素200的特性,薄

膜晶体管的电流公式如下所示：

$$[0064] I_{DS} = \frac{1}{2} \mu C_{OX} \left(\frac{W}{L} \right) (V_{SG} - V_{th})^2 \quad \dots\dots (3)$$

[0065] 在像素 200 处于一补偿期间 (Comp.) 时, 驱动晶体管 T2 的控制端 G 的数据电压 Data 加上一电压差 ΔV , 而形成一补偿电压 ($V_{Data} + \Delta V$)。接着, 于发光期间 (Emission) 时, 驱动晶体管 T2 的 V_{SG} 等于 $V_{OVDD} - V_{Data} - \Delta V$ 。随后, 将驱动晶体管 T2 的 V_{SG} 带入公式 (3), 而得到以下公式：

$$[0066] I_{DS} = \frac{1}{2} \mu C_{OX} \left(\frac{W}{L} \right) (V_{OVDD} - V_{Data} - \Delta V - V_{th})^2 \quad \dots\dots (4)$$

[0067] 总结而论, 在各元件参数产生变异时, 补偿电压可自动地调整而使驱动电流 I_{OLED} 维持稳定。

[0068] 举例而言, 上述像素电路补偿的方式为当电路操作于补偿期间 (Comp.) 时, 利用充电的电压差 ΔV 大小与电流路径 220 的充电电流量大小有关, 藉使补偿电压 ($V_{Data} + \Delta V$) 相应地自动调整。详细的调整方式如下, 电源 OVDD 经由电流路径 220 对驱动晶体管 T2 的控制端进行充电一电压差 ΔV , 而形成补偿电压 ($V_{Data} + \Delta V$), 由于电压差 ΔV 正比于电流路径 220 的充电电流量的大小, 而电流量的大小与驱动晶体管 T2 的临界电压 V_{th} 、驱动晶体管 T2 的电子漂移率 μ 以及电源 OVDD 的电压皆有相关。因此, 在第四开关 T4 的导通时间固定的状况下, 补偿电压 ($V_{Data} + \Delta V$) 会因各个因素的变异量不同而相应地自动调整。

[0069] 在一实施例中, 请看到公式 (4), 在驱动晶体管 T2 的电子漂移率 μ 上升的状况下, 充电电流因而上升, 亦即电压差 ΔV 上升, 而使驱动电流 I_{OLED} 维持稳定。

[0070] 在另一实施例中, 请看到公式 (4), 在驱动晶体管 T2 的临界电压 V_{th} 上升的状况下, 充电电流因而下降, 亦即电压差 ΔV 下降, 而使驱动电流 I_{OLED} 维持稳定。

[0071] 于再一实施例中, 请看到公式 (4), 在电源 OVDD 所提供的电压下降的状况下, 充电电流因而下降, 亦即电压差 ΔV 下降, 而使驱动电流 I_{OLED} 维持稳定。

[0072] 再者, 在像素电路结构的第三实现方式中, 请参照图 3A, 其与上述第一实现方式的不同在于, 上述驱动晶体管及开关为场效应晶体管, 特别是 P 型薄膜晶体管, 且驱动晶体管 T2 的第二端直接连接发光二极管 310 的阴极, 第三开关 T3 的第一端电性连接参考电压端 OVSS。详细而言, 第一开关 T1 的控制端电性连接于扫描讯号 Scan, 第一开关 T1 的第一端电性连接于数据电压 Data, 驱动开关 (或称为第二开关) T2 的第二端直接连接于发光二极管 310 的阴极, 第三开关 (或称为电源控制开关) T3 的控制端电性连接发光信号 EM, 第三开关 T3 的第一端电性连接参考电压源 OVSS, 第四开关 T4 的控制端电性连接放电信号 DIS, 第四开关 T4 的第一端直接连接至驱动开关 T2 的第一端以及第三开关 T3 的第二端, 电容 C 的第二端电性连接电源 OVDD, 电容 C 的第一端直接连接至第一开关 T1 的第二端、驱动开关 T2 的控制端以及第四开关 T4 的第二端, 发光二极管 310 的阳极电性连接至电源 OVDD。

[0073] 请参照图 3B, 其示出了依照本发明一实施例的一种控制波形的示意图。首先, 在像素 300 处于数据写入期间 (Data in) 时, 扫描信号 Scan 与数据电压 Data 皆为低电平信号, 第一开关 T1 因而开启。因此, 第一开关 T1 将数据电压 Data 写入驱动晶体管 T2 的控制端 G, 此时, 驱动晶体管 T2 的控制端 G 的电压为数据电压 Data。此外, 放电信号 DIS 为低电平

信号,第四开关 T4 因而开启,但发光信号 EM 为高电平,则第三开关 T3 仍为关闭,在本实施例中,第一开关 T1 开启之前,第四开关 T4 便已先开启,但不以此为限,即第一开关 T1 和第四开关 T4 可以同时开启。

[0074] 其次,在像素 300 处于一补偿期间 (Comp.) 时,扫描信号 Scan 与数据电压 Data 皆为高电平电压,第一开关 T1 因而关闭,放电信号 DIS 为低电平信号,第四开关 T4 则为开启状态而导通驱动晶体管 T2 的控制端 G 与第一端 D。此外,发光信号 EM 仍为高电平,则第三开关 T3 仍为关闭。此时,驱动晶体管 T2 呈现类似二极管型态,因而形成电流路径 320,使得电源 OVDD 经由电流路径 320 以对驱动晶体管 T2 的控制端 G 进行充电,以使驱动晶体管 T2 的控制端 G 的数据电压 Data 加上一电压差 ΔV ,而形成一补偿电压 ($V_{Data} + \Delta V$)。

[0075] 再者,当像素 300 处于发光期间 (Emission),发光信号 EM 为低电平信号,第三开关 T3 相应地开启,放电信号 DIS 为高电平信号,而第四开关 T4 相应地关闭。再者,扫描信号 Scan 与数据电压 Data 皆为高电平电压,第一开关 T1 因而仍为关闭状态。此时,补偿电压 ($V_{Data} + \Delta V$) 导通驱动晶体管 T2,因此,驱动电流通过驱动晶体管 T2 提供予有机发光二极管 310。在本实施例中,第四开关 T4 关闭之后,第三开关 T3 才开启,但不以此为限,即第四开关 T4 的关闭和第三开关 T3 的开启可以同时发生。

[0076] 再者,将配合薄膜晶体管的电流公式,以说明本发明实施例的像素 300 的特性,此薄膜晶体管的电流公式如上开公式 (3) 所示,在此不作赘述。

[0077] 在像素 300 处于一补偿期间 (Comp.) 时,驱动晶体管 T2 的控制端的数据电压 Data 加上一电压差 ΔV ,而形成一补偿电压 ($V_{Data} + \Delta V$)。接着,于发光期间 (Emission) 时,驱动晶体管 T2 的 VSG 等于 $V_{OVDD} - V_{OLED} - V_{Data} - \Delta V - V_{th}$ 。接着,将驱动晶体管 T2 的 VSG 带入公式 (3),而得到以下公式:

$$[0078] I_{DS} = \frac{1}{2} \mu C_{ox} \left(\frac{W}{L} \right) (V_{OVDD} - V_{OLED} - V_{Data} - \Delta V - V_{th})^2 \quad \dots\dots (5)$$

[0079] 总结而论,在各元件参数产生变异时,补偿电压可相应地自动调整而使驱动电流 I_{OLED} 维持稳定。

[0080] 举例而言,上述像素电路补偿的方式为当电路操作于补偿期间 (Comp.) 时,利用充电的电压差 ΔV 大小与电流路径 320 的充电电流量大小有关,,藉使补偿电压相应地自动调整。详细的调整方式如下,电源 OVDD 经由电流路径 320 对驱动晶体管 T2 的控制端进行充电一电压差 ΔV ,而形成补偿电压 ($V_{Data} + \Delta V$),由于电压差 ΔV 正比于充电电流量的大小,而电流量的大小与驱动晶体管的临界电压 V_{th} 、驱动晶体管的电子漂移率 μ 、电源 OVDD 的电压以及 OLED 的电压皆有相关。因此,在第四开关 T4 的导通时间固定的状况下,补偿电压 ($V_{Data} + \Delta V$) 会因各个因素的变异量不同而相应地自动调整。

[0081] 在一实施例中,请看到公式 (5),在驱动晶体管 T2 的电子漂移率 μ 上升的状况下,充电电流因而上升,亦即电压差 ΔV 上升,而使驱动电流 I_{OLED} 维持稳定。

[0082] 在另一实施例中,请看到公式 (5),在驱动晶体管 T2 的临界电压 V_{th} 上升的状况下,充电电流因而下降,亦即电压差 ΔV 下降,而使驱动电流 I_{OLED} 维持稳定。

[0083] 于再一实施例中,请看到公式 (5),在电源 OVDD 所提供的电压下降的状况下,充电电流因而下降,亦即电压差 ΔV 下降,而使驱动电流 I_{OLED} 维持稳定。

[0084] 在又一实施例中,请看到公式(5),在有机发光二极管的跨压 V_{OLED} 上升的状况下,充电电流因而下降,亦即电压差 ΔV 下降,而使驱动电流 I_{OLED} 维持稳定。

[0085] 由上述本发明实施方式可知,应用本发明具有下列优点。本发明实施例藉由提供一种像素及像素电路,藉以改善晶体管变异、电压降、发光二极管老化等状况,所导致显示面板亮度不均及显示面板的影像品质下降的问题。再者,由于像素仅需配置一个驱动晶体管及三个开关,因此,进一步改善于补偿电路中配置大量的晶体管,所衍生出像素开口率下降及解析度受限等问题。

[0086] 虽然上文实施方式中揭示了本发明的具体实施例,然其并非用以限定本发明,本领域技术人员,在不悖离本发明的原理与精神的情形下,可对其进行各种更动与修饰,因此本发明的保护范围是以本发明的权利要求为准。

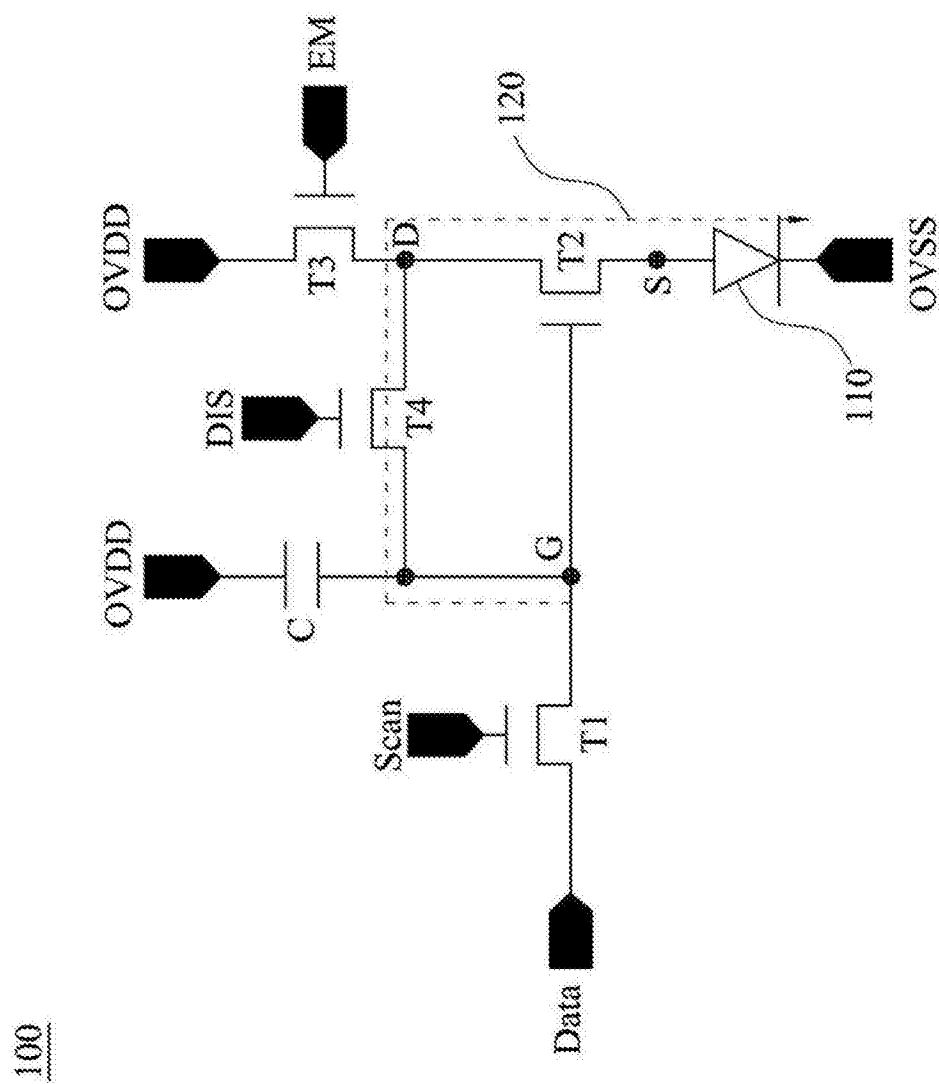


图 1A

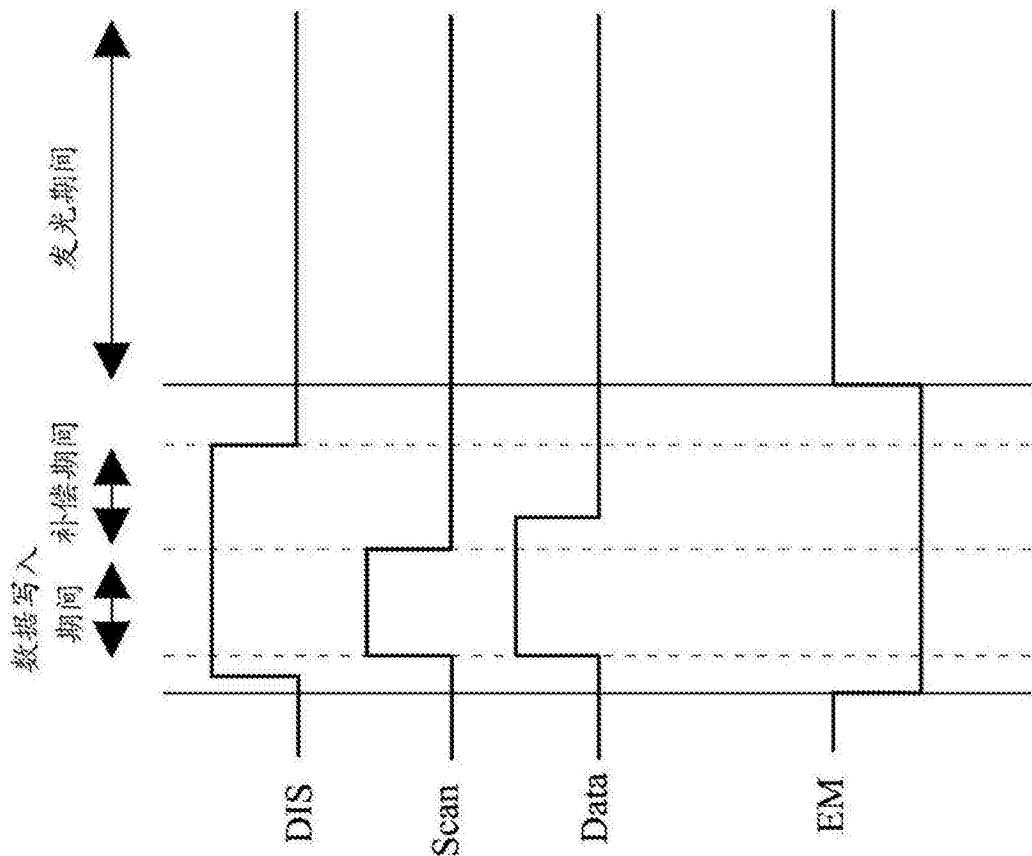


图 1B

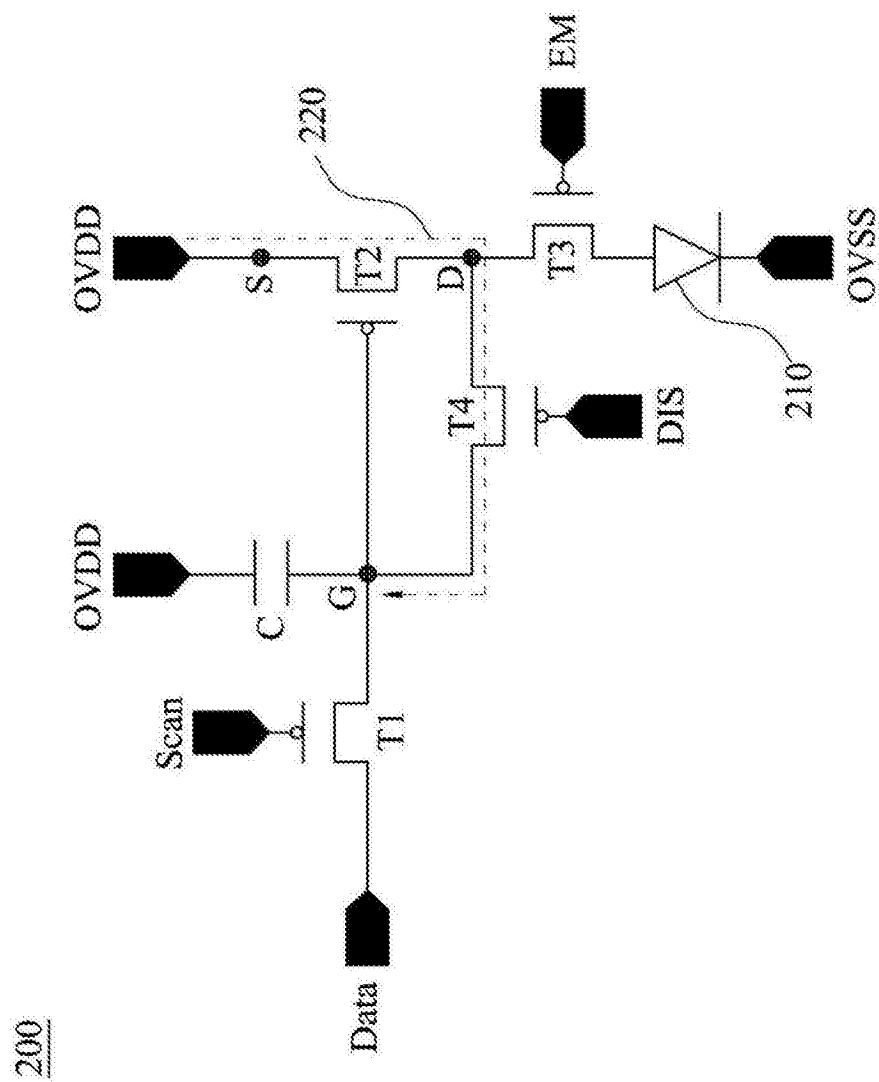


图 2A

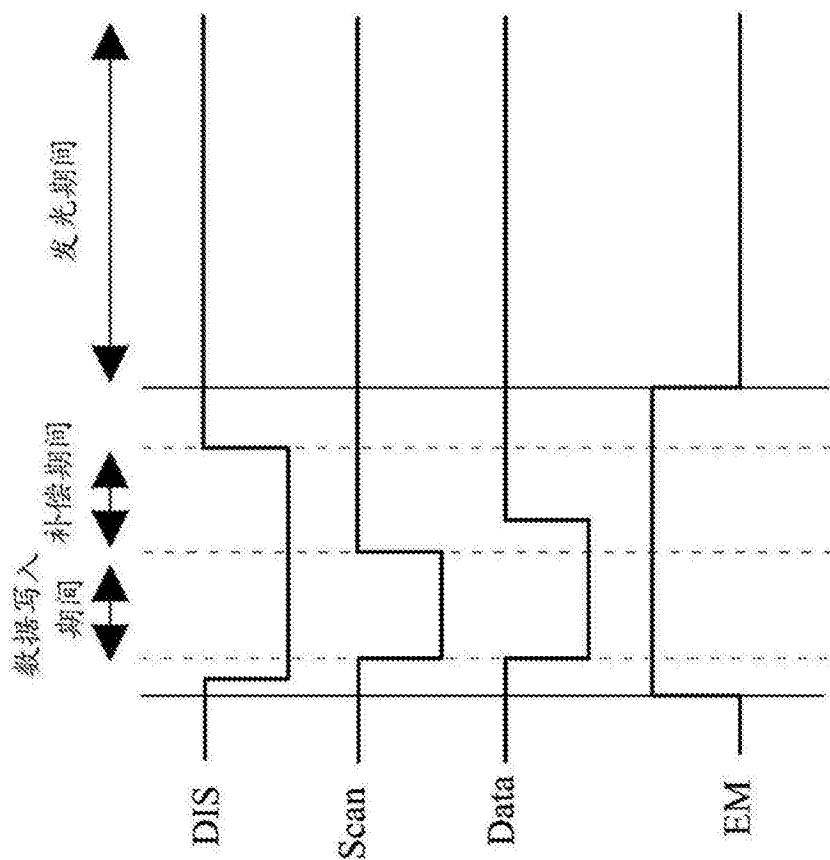


图 2B

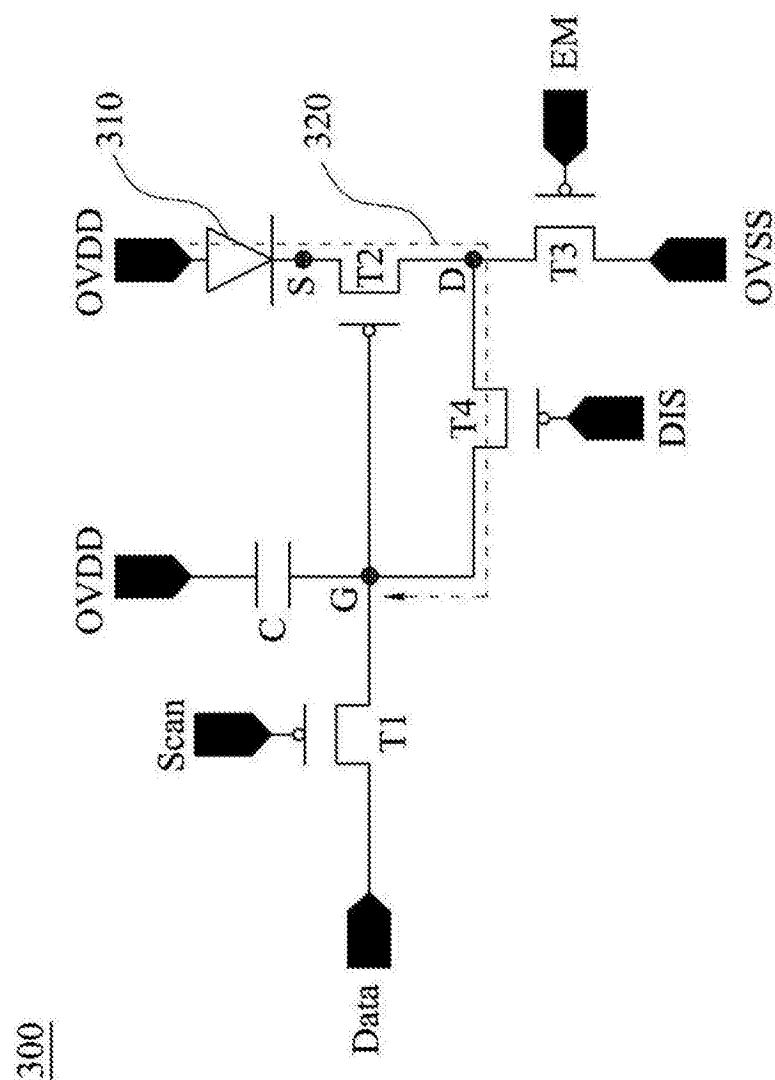


图 3A

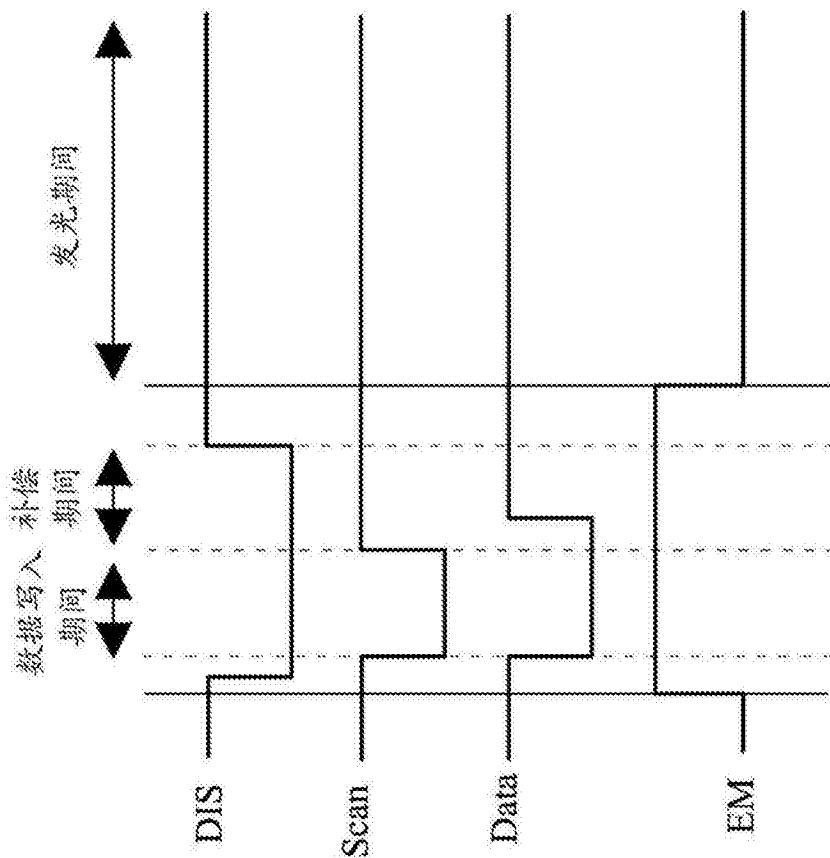


图 3B