(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H04N 1/028

(45) 공고일자 2002년06월20일
(11) 등록번호 10-0340887
(24) 등록일자 2002년06월03일

(21) 출원번호 10-1999-0003167
(22) 출원일자 1999년01월30일

(65) 공개번호 특1999-0068235
(43) 공개일자 1999년08월25일

(30) 우선권주장 1998-018812 1998년01월30일 일본(JP)

(73) 특허권자
캐논 가부시끼가이샤
미다라이 후지오
일본 도꾜도 오오따꾸 시모마루꼬 3쪼메 30방 2고

(72) 발명자
이누이후미히로
일본도꾜도오오따꾸시모마루꼬3쪼메30방2고캐논가부시끼가이샤내
사꾸라기다까마사
일본도꾜도오오따꾸시모마루꼬3쪼메30방2고캐논가부시끼가이샤내
고즈까히라꾸
일본도꾜도오오따꾸시모마루꼬3쪼메30방2고캐논가부시끼가이샤내

(74) 대리인
구영창
장수길
주성민

심사관 : 정성중

(54) 이미지 입력 장치, 그 구동 방법 및 이미지 센서의 구동 방법

요약

본 발명은 랜덤 노이즈를 저감시켜서 고화질 이미지를 얻을 수 있는 이미지 센서 칩 및 그런 이미지 센서 칩을 이용한 이미지 센서를 제공하는 데 목적이 있다. 복수 개의 수광 요소들을 갖는 이미지 센서 칩은, 수광 요소로부터의 출력 신호에 포함되는 랜덤 노이즈를 ON 상태에서 저감시키고, 수광 요소로부터의 출력 신호에 포함되는 랜덤 노이즈를 OFF 상태에서는 미처리하여 출력하는 노이즈 저감 회로, 노이즈 저감 회로의 ON/OFF 상태를 제어하는 제1 제어 회로, 노이즈 저감 회로를 통하여 출력되는 출력 신호를 기준 전위로 클램핑하는 클램프 회로, 및 클램프 회로의 ON/OFF 상태를 제어하는 제2 제어 회로를 포함한다. 이미지 센서 칩 및 복수 개의 이미지 센서 칩들을 배열하여 형성된 이미지 센서가 또한 제공된다.

대표도

도 2

색인어

이미지 센서 칩, 수광 요소, 선택 회로, 클램프 회로, 노이즈 저감 회로

명세서

도면의 간단한 설명

도 1은 종래의 이미지 센서를 개략적으로 도시하는 도면.

도 2는 본 발명의 제1 실시예에 따른 이미지 센서를 개략적으로 도시하는 도면.

도 3은 제1 실시예의 동작을 설명하기 위한 타이밍 챠트.

도 4는 본 발명의 제2 실시예에 따른 이미지 센서를 도시하는 회로도로, 구체적으로는 노이즈 저감 회로 및 클램프 회로의 도면.

도 5는 제2 실시예의 동작을 설명하기 위한 타이밍 챠트.

도 6은 본 발명의 제3 실시예에 따른 이미지 센서를 도시하는 블록도로, 구체적으로는 노이즈 저감 회로 및 클램프 회로의 도면.

도 7은 제3 실시예의 동작을 설명하기 위한 타이밍 챠트.

도 8은 이미지 센서를 사용한 이미지 입력 장치를 도시하는 도면.

< 도면의 주요 부분에 대한 부호의 설명

1-1 1-m : 이미지 센서 칩

2-1-1 2-m-n : 수광 요소

3-1 3-m : 선택 회로

4-1 4-m : 클램프 회로

5-1 5-m : 출력 라인

6-1 6-m : 제2 제어 회로

7-1 7-m : 노이즈 저감 회로

8-1 8-m : 입력 라인

9-1 9-m : 제1 제어 회로

10-1 10-m : 기준 전압 입력 라인

11-1 11-m : 지연 회로

12-1 12-m : 증폭 회로

13-1 13-m : 제3 제어 회로

14-1 14-m : 로우 패스 필터 회로

15-1 15-m : 평균화 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 이미지 센서 칩, 이것을 사용한 이미지 센서 및 그 구동 방법에 관한 것으로서, 더 구체적으로는 광전 변환에 의해 이미지를 판독하기 위한 이미지 센서 칩, 복수로 배열된 이미지 센서 칩들을 갖는 이미지 센서, 이에 사용되는 이미지 센서 칩 구동 방법 및 이미지 센서 구동 방법에 관한 것이다.

종래에는, 원고(original) 등의 화상 정보를 직접 판독하기 위해 라인 상에 포토다이오드들과 같은 수광 요소들을 배열함으로써 구성된 밀착형 이미지 센서(선형 이미지 센서)가 팩시밀리 기기, 디지탈 복사기, 또는 스캐너 등의 화상 판독용 장치에 종종 사용되었다. 밀착형 이미지 센서에 직렬로 배열된 복수의 이미지 센서 칩들은 실리콘 웨이퍼들로부터 형성된다. 이와 같은 이유로, 이미지 센서 길이가 웨이퍼 크기에 의해 제한되어, 판독 원고 폭과 동일한 길이를 갖는 이미지 센서 칩이 거의 제조될 수 없었다. 그러므로, 종래에는 결상 광학계(imaging optical system)가 판독 원고의 축소된 이미지를 형성하여 원고의 이미지를 판독하는 데 사용되었다. 그러나, 축소 결상 광학계를 사용한 장치는 이 광학계에 대한 공간을 필요로 하여, 밀착형으로는 거의 제조할 수가 없었다. 또한, 충분한 해상도를 얻기도 곤란하였다.

이와 같은 문제점들을 해결하기 위하여, 복수의 센서 칩들을 선형으로 배열함으로써 형성된 소위 밀착형 이미지 센서가 광범위하게 사용된다. 종래의 밀착형 이미지 센서는 일본국 특개평 제2-210947호, 제2-210948호, 제2-210949호 및 제2-210950호 또는 1992년 9월 25일 텔레비전 학회 기술 보고 Vol.16, No.58에 발표된 논문인 '고속, 고계조 밀착형 선형 센서(BASIC형) 멀티-칩 컨택트 센서'에서 개시되어 있다.

도 1은 종래의 이미지 센서를 개략적으로 도시하는 도면이다.

도 1을 참조하면, 각 이미지 센서 칩들(1-1 내지 1-m)은 x 방향의 라인 상에 배열된 수광 요소들(2-1-1 내지 2-1-n)을 갖는다. 또한, 칩(1-1)은 수광 요소들(2-1-1 내지 2-1-n)로부터의 출력들을 순차 선택하기 위하여, 즉 이 수광 요소들에 의해 광 신호들을 판독하기 위하여 선택 회로(3-1)를 갖는다. 또한, 칩(1-1)은 수광 요소들의 판독 동작에 대한 스타트 신호를 지연하기 위한 지연 회로(11-1)를 가지며, 스타트 신호가 입력된 후 선택 회로(3-1)가 수광 요소들(2-1-1 내지 2-1-n)에 의해 광 신호 판독 동작을 개시할 때까지, 선택 회로(3-1)의 출력 신호 라인을 기준 전위 Vref로 클램프하기 위한 클램프 회로(4-1)를 갖는다. 또한, 이미지 센서는 스타트 신호에 의해 동작되어 클램프 회로(4-1)로부터의 출력을 증폭하는 증폭 회로(12-1)를 갖는다. 증폭 회로로부터의 출력은 칩으로부터 출력 신호 라인(5-1)을 통해 출력된다.

지연 회로(11-1)는 입력 신호 라인(8-1)을 통해 외부 구동 회로에 의해 구동된다.

클램프 회로(4-1)로 ON/OFF 스위치 제어 신호를 출력하기 위한 제어 회로(6-1)는 입력 신호 라인(8-1)을 통해 외부 구동 회로에 의해 구동된다.

증폭 회로(12-1)로 ON/OFF 스위치 제어 신호를 출력하기 위한 제어 회로(13-1)는 입력 신호 라인(8-1)을 통해 외부 구동 회로에 의해 구동된다.

기준 전압 Vref는 외부 바이어스 회로로부터 기준 전압 입력 라인(10-1)을 통해 공급된다.

기준 전압 입력 라인들(10-1 내지 10-m)은 칩들 외부에서 단락되어, 공통 기준 전압 Vref가 모든 칩들에 공급된다.

각각의 이미지 센서 칩들(1-2 내지 1-m)은 이미지 센서 칩(1-1)과 동일한 배치를 가지며, 이미지 센서 칩(1-1)에서와 동일한 참조 번호는 그 이미지 센서 칩들의 동일한 구성 부품을 나타낸다.

이미지 센서 칩들(1-1 내지 1-m)은 x 방향의 라인 상에 배열되고, 전체적으로 n x m 수광 요소들이 x 방향의 라인 상에 배열되어 밀착형 이미지 센서를 형성한다. 이미지 판독시에, 판독 이미지를 보유(holding)하는 원고는 1개 라인에 대한 수광 요소들에 대응하는 원고를 만들면서, 밀착형 이미지 센서에 대해 상대적으로 y 방향으로 반송(搬送)된다.

이미지 센서 칩(1-1)의 모든 수광 요소들로부터의 출력들은 선택 회로(3-1)에 의해 순차적으로 선택되고, 클램프 회로(4-1) 및 증폭 회로(12-1)를 통해 출력 신호 라인(5-1)으로부터 외부로 출력된다. 계속해서, 칩(1-2)의 모든 수광 요소들로부터의 출력들은 선택 회로(3-2)에 의해 순차적으로 선택되고, 출력 신호 라인(5-2)으로부터 외부로 출력된다. 이와 같은 방식으로, 모든 수광 요소들로부터의 출력들이 시계열적으로(time-serially) 출력된다.

하나의 라인 상에 복수의 이미지 센서 칩들을 배열함으로써 형성된 종래의 소위 밀착형 이미지 센서에서, 랜덤 노이즈가 각 칩의 각각의 수광 요소와 클램프 회로 사이의 부분에서 발생되며, 선형으로 배열된 이미지 센서 칩들 마다의 클램프 레벨 변화가 이미지 상의 농담(濃淡)으로 나타난다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 고화질을 얻을 수 있는 이미지 센서 및 그런 이미지 센서를 형성하기 위한 이미지 센서 칩을 제공하는 데 있다.

본 발명의 다른 목적은 이미지 센서 칩의 랜덤 노이즈를 저감시키고 선형으로 배열된 이미지 센서 칩들 마다의 클램프 레벨의 변동에 기인하는 이미지 상의 농담(shade)을 저감시키는 이미지 센서 및 그런 이미지 센서를 형성하기 위한 이미지 센서 칩을 제공하는 데 있다.

본 발명의 또 다른 목적은 고화질을 얻는 데 적합한 이미지 센서 구동 방법 또는 이미지 센서 칩 구동 방법을 제공하는 데 있다.

상기 목적들을 달성하기 위하여, 본 발명의 일 국면에 따르면, 복수 개의 수광 요소들을 각각 갖는 복수 개의 이미지 센서 칩들을 배열하여 형성된 이미지 센서에 이용되는 이미지 센서 칩으로서, 상기 수광 요소로부터의 출력 신호에 포함되는 랜덤 노이즈를 ON 상태에서 저감시키고, 상기 수광 요소로부터의 출력 신호에 포함되는 랜덤 노이즈를 OFF 상태에서는 미처리하여 출력하는 노이즈 저감 회로, 상기 노이즈 저감 회로의 ON/OFF 상태를 제어하는 제1 제어 회로, 상기 노이즈 저감 회로를 통하여 출력되는 출력 신호를 기준 전위로 클램핑하는 클램프 회로, 및 상기 클램프 회로의 ON/OFF 상태를 제어하는 제2 제어 회로를 포함하는 이미지 센서 칩이 제공된다.

본 발명의 다른 국면에 따르면, 복수 개의 수광 요소들을 각각 갖는 복수 개의 이미지 센서 칩들을 배열하여 형성된 이미지 센서로서, 상기 수광 요소로부터의 출력 신호에 포함되는 랜덤 노이즈를 ON 상태에서 저감시키고, 상기 수광 요소

로부터의 출력 신호에 포함되는 랜덤 노이즈를 OFF 상태에서는 미처리하여 출력하는 노이즈 저감 회로, 상기 노이즈 저감 회로의 ON/OFF 상태를 제어하는 제1 제어 회로, 상기 노이즈 저감 회로를 통하여 출력되는 출력 신호를 기준 전위로 클램핑하는 클램프 회로, 및 상기 클램프 회로의 ON/OFF 상태를 제어하는 제2 제어 회로를 포함하는 이미지 센서가 제공된다.

본 발명의 또 다른 국면에 따르면, 복수 개의 수광 요소들을 갖는 이미지 센서 칩 - 상기 이미지 센서 칩은, 상기 수광 요소로부터의 출력 신호에 포함되는 랜덤 노이즈를 ON 상태에서 저감시키고, 상기 수광 요소로부터의 출력 신호에 포함되는 랜덤 노이즈를 OFF 상태에서는 미처리하여 출력하는 노이즈 저감 회로, 상기 노이즈 저감 회로의 ON/OFF 상태를 제어하는 제1 제어 회로, 상기 노이즈 저감 회로를 통하여 출력되는 출력 신호를 기준 전위로 클램핑하는 클램프 회로, 및 상기 클램프 회로의 ON/OFF 상태를 제어하는 제2 제어 회로를 포함함 - 을 구동하는 방법으로서, 상기 수광 요소들이 광신호를 판독하는 기간 외의 기간 동안에만 상기 노이즈 저감 회로를 ON 상태로 설정하고, 상기 수광 요소들이 광신호를 판독하는 기간 동안에 상기 노이즈 저감 회로를 OFF 상태로 설정하는 단계; 및 상기 노이즈 저감 회로의 ON 기간 동안에만 상기 클램프 회로를 ON 상태로 설정하고, 상기 노이즈 저감 회로의 ON 기간 외의 기간 동안에 상기 클램프 회로를 OFF 상태로 설정하는 단계를 포함하는 이미지 센서 칩 구동 방법이 제공된다.

본 발명의 또 다른 국면에 따르면, 복수 개의 수광 요소들을 각각 갖는 복수 개의 이미지 센서 칩들을 배열하여 형성된 이미지 센서 - 상기 이미지 센서는, 상기 수광 요소로부터의 출력 신호에 포함되는 랜덤 노이즈를 ON 상태에서 저감시키고, 상기 수광 요소로부터의 출력 신호에 포함되는 랜덤 노이즈를 OFF 상태에서는 미처리하여 출력하는 노이즈 저감 회로, 상기 노이즈 저감 회로의 ON/OFF 상태를 제어하는 제1 제어 회로, 상기 노이즈 저감 회로를 통하여 출력되는 출력 신호를 기준 전위로 클램핑하는 클램프 회로, 및 상기 클램프 회로의 ON/OFF 상태를 제어하는 제2 제어 회로를 포함함 - 를 구동하는 방법으로서, 상기 수광 요소들이 광신호를 판독하는 기간 외의 기간 동안에만 상기 노이즈 저감 회로를 ON 상태로 설정하고, 상기 수광 요소들이 광신호를 판독하는 기간 동안에 상기 노이즈 저감 회로를 OFF 상태로 설정하는 단계; 및 상기 노이즈 저감 회로의 ON 기간 동안에만 상기 클램프 회로를 ON 상태로 설정하고, 상기 노이즈 저감 회로의 ON 기간 외의 기간 동안에 상기 클램프 회로를 OFF 상태로 설정하는 단계를 포함하는 이미지 센서 구동 방법이 제공된다.

본 발명의 또 다른 국면에 따르면, 복수 개의 수광 요소들을 각각 갖는 복수 개의 이미지 센서 칩들을 배열하여 형성된 이미지 센서로서, 상기 수광 요소로부터의 출력 신호에 포함되는 랜덤 노이즈를 ON 상태에서 로우패스 필터를 이용하여 저감시키고, 상기 수광 요소로부터의 출력 신호에 포함되는 랜덤 노이즈를 OFF 상태에서는 미처리하여 통과시키는 노이즈 저감 회로; 상기 ON 상태와 상기 OFF 상태 간에 스위칭하는 제1 스위치 수단; 상기 노이즈 저감 회로를 통하여 출력되는 출력 신호를 상기 복수 개의 이미지 센서 칩들에 공통된 기준 전위로 클램핑하는 클램프 회로; 및 상기 클램프 회로에 상기 기준 전압이 공급되는 ON 상태와 상기 기준 전압의 공급로가 차단되는 OFF 상태 간에 스위칭하는 제2 스위치 수단을 포함하는 이미지 센서가 제공된다.

본 발명의 또 다른 국면에 따르면, 이미지 센서 칩으로서, 복수 개의 수광 요소들;상기 수광 요소로부터의 출력 신호에 포함되는 랜덤 노이즈를 저감하는 노이즈 저감 회로; 및 신호를 선정된 기준 전위로 클램핑하는 클램프 회로를 포함하며, 상기 수광 요소로부터의 출력 신호는 상기 저감 회로를 통하여 상기 클램프 회로에 이르는 입력 경로 및 상기 저감 회로의 개재 없이 상기 클램프 회로에 이르는 입력 경로를 갖는 것을 특징으로 하는 이미지 센서 칩이 제공된다.

본 발명의 또 다른 국면에 따르면, 이미지 입력 장치로서, (A) 복수 개의 이미지 센서 칩들 - 각각의 이미지 센서 칩은 (a) 복수 개의 수광 요소들; (b) 상기 수광 요소로부터의 출력 신호에 포함되는 랜덤 노이즈를 저감하는 노이즈 저감 회로; 및 (c) 신호를 선정된 기준 전위로 클램핑하는 클램프 회로를 포함하며, 상기 수광 요소로부터의 출력 신호는 상

기 저감 회로를 통하여 상기 클램프 회로에 이르는 입력 경로 및 상기 저감 회로의 개재 없이 상기 클램프 회로에 이르는 입력 경로를 가짐- 을 배열하여 형성된 이미지 센서; (B) 물체에 광을 조사하는 광원; 및 (C) 상기 물체에 의해 반사되는 광을 집광하여 상기 이미지 센서 내의 상기 복수 개의 수광 요소들에 광의 이미지를 형성하는 렌즈 어레이를 포함하는 이미지 입력 장치가 제공된다.

본 발명의 다른 목적, 특징, 및 이점들은 첨부 도면 및 상세한 설명으로부터 분명히 알 수 있을 것이다.

발명의 구성 및 작용

도 2는 본 발명의 제1 실시예에 따른 이미지 센서를 개략적으로 도시하는 도면이다. 도 2와 관련하여, 이미지 센서 칩(1-1)은 x 방향의 하나의 라인 상에 배열된 포토다이오드나 포토트랜지스터 등의 광전 변환 소자들로서 n 개의 수광 요소들(2-1-1 2-1-n)을 갖는다. 칩(1-1)은 또한 수광 요소들(2-1-1 2-1-n)로부터의 출력을 순차 시계열적으로 선택하기 위한, 즉 수광 요소들에 의해 광 신호들을 판독하기 위한 선택 회로(3-1)를 갖는다. 수광 요소에 의해 검출된 광 전하들을 전송하기 위한 전송 스위치, 상기 전송된 광 전하들을 전압으로 변환하여 선택 회로로 출력하기 위한 소스 팔로어 증폭 회로, 및 상기 증폭 회로를 동작하도록 하여 상기 전압을 선택적으로 출력하기 위한 선택 스위치가 수광 요소로부터의 광 전하들에 대응하는 신호 전압을 출력하는 선택 회로와 수광 요소 사이의 경로에 삽입될 수 있다. 신호 전압을 일시적으로 저장하기 위한 커패시터가 선택 회로(3-1)에 사용되어, 시계열적 신호 전압이 시프트 레지스터(도시 생략)를 사용하여 신호 출력 라인으로 전압을 출력하기 위한 주사 스위치에 의해 얻어질 수 있다.

이미지 센서 칩(1-1)은 수광 요소들에 의한 판독 동작의 스타트 신호를 지연하기 위한 지연 회로(11-1)를 갖는다. 스타트 신호의 지연 시간은 노이즈가 저감되어 클램프될 레벨이 검출될 때까지의 시간에 대응한다. 칩(1-1)은 또한 스타트 신호가 입력된 후 선택 회로(3-1)가 수광 요소들에 의한 광 신호 판독을 시작할 때까지 선택 회로(3-1)의 출력 신호 라인에 포함된 랜덤 노이즈를 저감하기 위한 노이즈 저감 회로(7-1)를 갖는다. 또한, 클램프 회로(4-1)는 노이즈 저감 회로(7-1)의 동작 동안 노이즈 저감 회로(7-1)에 접속된 출력 신호 라인으로부터의 신호 전압을 칩의 외부 회로로부터 공급된 기준 전위 Vref로 클램프하도록 형성된다.

또한, 스타트 신호에 의해 동작이 시작되어 클램프 회로(4-1)로부터의 출력을 증폭하는 증폭 회로(12-1)가 형성된다. 증폭 회로(12-1)로부터의 출력은 출력 신호 라인(5-1)을 통해 칩으로부터 출력된다.

지연 회로(11-1)는 입력 신호 라인(8-1)을 통해 외부 구동 회로에 의해 구동된다. 노이즈 저감 회로(7-1)로 ON/OFF 스위치 제어 신호를 출력하기 위한 제어 회로(9-1)는 입력 신호 라인(8-1)을 통해 외부 구동 회로에 의해 구동된다.

클램프 회로(4-1)로 ON/OFF 스위치 제어 신호를 출력하기 위한 제어 회로(6-1)는 입력 신호 라인(8-1)을 통해 외부 구동 회로에 의해 구동된다. 증폭 회로(12-1)로 ON/OFF 스위치 제어 신호를 출력하기 위한 제어 회로(13-1)는 입력 신호 라인(8-1)을 통해 외부 구동 회로에 의해 구동된다.

기준 전압 Vref는 기준 전압 입력 라인(10-1)을 통해 외부 바이어스 회로로부터 공급된다. 기준 전압 Vref이 공급되는 기준 전압 입력 라인들(10-1 내지 10-m)은 칩들 외부에서 단락되고, 공통 기준 전압 Vref이 모든 칩들에 공급된다.

이미지 센서 칩들(1-2 내지 1-m) 각각은 이미지 센서 칩(1-1)과 동일한 배치를 가지며, 이미지 센서 칩(1-1)에서와 동일한 참조 번호는 그 이미지 센서 칩들의 동일한 구성 부품을 나타낸다.

이미지 센서 칩들(1-1 내지 1-m)은 x 방향의 라인 상에 배열되고, 전체적으로 n x m개의 수광 요소들이 x 방향으로 1열로 배열된다. 이미지 판독시에, 판독 이미지를 보유(bearing)하는 원고는 1개 라인에 대한 수광 요소들에 대응하는 원고를 만들면서, 이미지 센서에 대해 상대적으로 y 방향으로 반송(搬送)된다. 1 라인은 210 ㎜의 A4 폭에 대응하고, 이미지 판독 해상도는 600 dpi이며, 칩의 개수는 15개라고 가정한다. 하나의 수광 요소는 42.3㎛의 폭 내에 존재하기 때문에, 약 333개의 수광 요소들은 14mm인 하나의 칩 폭 내에 배열된다.

이미지 센서 칩(1-1)의 모든 수광 요소들로부터의 출력은 선택 회로(3-1)에 의해 수광 요소 단위로 일대일 순차적으로 선택되고 출력 신호 라인(5-1)을 통하여 칩으로부터 출력된다. 연속적으로, 다음 칩(1-2)의 모든 수광 요소들로부터의 출력은 선택 회로(3-2)에 의해 수광 요소 단위로 일대일 순차적으로 선택되고 출력 신호 라인(5-2)을 통하여 칩으로부터 출력된다. 이러한 방식으로, 한 라인의 모든 수광 요소들로부터의 출력은 시계열적으로 출력된다.

도 3은 본 실시예의 동작을 설명하기 위한 흐름도이다. 도 3을 참조하면, ψ8-1은 입력 신호 라인(8-1)의 스타트 신호이고, ψ1-1은 이미지 센서 칩(1-1) 내의 지연 회로(11-1)로부터의 출력 제어 신호이고, ψ2-1은 이미지 센서 칩(1-1) 내의 제1 제어 회로(9-1)로부터의 출력 제어 신호이고, ψ3-1은 이미지 센서 칩(1-1) 내의 제2 제어 회로(6-1)로부터의 제어 신호이고, ψ4-1은 이미지 센서 칩(1-1) 내의 제3 제어 회로(13-1)로부터의 출력 제어 신호이며, Vout1은 이미지 센서 칩(1-1) 내의 노이즈 저감 회로(7-1)로부터의 출력이다.

출력 제어 신호 ψ1-1는 입력 신호 라인(8-1)에 의해 구동된 지연 회로(11-1)에 의해 생성, 즉 스타트 신호의 입력 후 선정된 지연 시간 단위로 출력된다. 이 기간 동안, 광 신호는 수광 요소에 의해 판독된다. 제1 제어 회로(9-1)로부터의 출력 제어 신호 ψ2-1는 입력 신호 라인(8-1)의 스타트 신호에 동기하여 출력, 즉 스타트 신호가 입력된 후 선택 회로(3-1)가 수광 요소들에 의해 광 신호 판독을 시작할 때 까지의 특정 기간 동안만 출력된다. 이 기간 동안, 노이즈 저감 회로(7-1)를 구동하여 Vout1의 노이즈가 예를 들면, 고주파 노이즈를 제거하기 위한 노이즈 필터에 의해 감소되도록 Vout1을 출력한다.

제2 제어 회로(6-1)로부터의 출력 제어 신호 ψ3-1는 입력 신호 라인(8-1)의 스타트 신호에 동기하여 출력되거나, 또는 약간 지연되어, 즉 노이즈 저감 회로(7-1)의 온(ON) 기간 내의 특정 기간 동안만 스타트 신호에 동기하여 출력된다. 이 기간 동안, 클램프 회로(4-1)가 구동되어 기준 전위 Vref에 대해 노이즈 저감 후의 출력 Vout1을 클램핑한다. 출력 Vout1이 기준 전위 Vref로 클램핑되는 경우, 수광 전압은 출력 Vout1과 기준 전위 Vref의 합에 기초하여 칩 내의 각 수광 요소로부터 판독된다.

제3 제어 회로(13-1)로부터의 출력 제어 신호 ψ4-1는 입력 신호 라인(8-1)의 스타트 신호에 동기하여 출력된다. 즉, 증폭 회로(12-1)는 스타트 신호의 입력과 동시에 구동된다.

도 3에 나타난 바와 같이, 신호 ψ3-1의 출력은 신호 ψ2-1의 출력이 종료될 때 또는 그 전에 종료된다.

연속적으로, 이미지 센서 칩들(1-2 내지 1-m)에서, 제1 제어 회로들(9-2 내지 9-m)로부터의 출력 제어 신호들(ψ2-2 내지 ψ2-m)과 제2 제어 회로들(6-2 내지 6-m)로부터 출력 제어 신호들(ψ3-2 내지 3-m)은 각기 입력 신호 라인들(8-2 내지 8-m)의 스타트 신호에 동기하여 출력되고, 클램프 회로들(4-2 내지 4-m)은 각기 노이즈 저감 회로들(7-2 내지 7-m)의 온 기간 동안 구동되며, 노이즈 저감 후 출력(Vout2 내지 Voutm)은 기준 전위 Vref로 클램핑된다.

각 노이즈 저감 회로의 동작과 클램프 전압 검출은 선행 이미지 센서 칩 내의 최종 수광 요소의 판독이 종료되기 전에 완료된다. 선행 칩 내의 최종 수광 요소의 판독에 이어서, 다음 이미지 센서 칩 내의 제1 수광 요소는 칩의 클램프 전압을 이용하여 판독된다. 따라서, 연속된 수광 요소들에 대한 판독 타이밍은 지연이 없다.

전술된 방식으로, 각 이미지 센서 칩 내에서, 노이즈 저감 회로는 스타트 신호가 입력된 후 수광 요소가 광 신호를 판독하기 시작할 때 까지의 특정 기간 동안 구동되고, 노이즈 저감 이후 출력 신호는 클램프 회로에 의해 기준 전압으로 클램핑된다. 이러한 동작으로 인해, 각 수광 요소로부터 클램프 회로까지의 부분 내에 포함된 랜덤한 노이즈로 인한 선형적으로 배열된 이미지 센서 칩들 마다의 클램프 레벨의 변화는 감소되어, 칩들 간의 광량의 농담 차(shade differences)가 감소될 수 있다.

도 4는 본 발명의 제2 실시예에 따른 이미지 센서, 특히 노이즈 저감 회로 및 클램프 회로를 나타낸 회로도이다. 본 실시예는 제1 실시예에서 점선으로 나타낸 블럭 A의 제1 실시예와는 달리, 도 4는 제2 실시예의 해당되는 블럭만을 나타낸다.

도 4를 참조하면, 노이즈 저감 회로(7-1)는 제1 아날로그 스위치 회로 SW1, 저항 R1, 커패시터 C1 및 출력 버퍼 회로 B1을 포함하는 로우 패스 필터 회로(14-1)와, 제2 및 제3 아날로그 스위치들 SW2, SW3로 구성된다. 노이즈 저감 회로에서, 선택 회로(3-1)를 통하여 각 수광 요소로부터 시계열적으로 출력되는 신호의 전송 경로는 제2 및 제3 아날로그 스위치들에 의해 제어된다. 특히, 제1 및 제2 아날로그 스위치들이 도전 상태(ON)이고, 제3 아날로그 스위치가 비도전 상태(OFF)일 경우, 선택 회로(3-1)으로부터의 출력 신호는 로우 패스 필터 회로를 통하여 노이즈 저감 회로로부터 출력된다. 한편, 제1 및 제2 아날로그 스위치들이 오프(OFF)이고, 제3 아날로그 스위치가 온(ON)인 경우, 선택 회로로부터의 출력 신호는 어떠한 처리없이 제3 아날로그 스위치를 통하여 노이즈 저감 회로로부터 출력된다.

클램프 회로(4-1)는 커플링 커패시터 C2, 제4 아날로그 스위치 회로 SW4, 및 출력 버퍼 회로 B2로 구성된다. 노이즈 저감 회로로부터의 출력 신호는 클램프 회로(4-1)의 커플링 커패시터 C2의 한 단자(포인트 A)에 입력되기 때문에, 출력 신호의 AC 성분만이 다른 한 단자(포인트 B)로부터 출력된다. 제4 아날로그 스위치 회로는 포인트 B와 기준 전위 입력 라인(10-1) 간에 접속된다. 제4 아날로그 스위치 온(ON)인 경우, 포인트 B에서의 전위는 기준 전위 Vref에 단락된다. 제4 아날로그 스위치가 OFF인 경우, 포인트 B는 기준 전위 Vref에 개방된다. 즉, 포인트 B의 전위는 제4 아날로그 스위치를 턴온하고나서 제4 아날로그 스위치를 턴오프함으로써 기준 전위 Vref로 클램핑될 수 있다.

노이즈 저감 회로(7-1)에서 제1, 제2, 및 제3 아날로그 스위치들에 온/오프 스위치 제어 신호를 출력하기 위한 제어 회로(9-1)는 입력 신호 라인(8-1)을 통하여 외부 구동 회로에 의해 구동된다.

클램프 회로(4-1)에서 제4 아날로그 스위치에 온/오프 스위치 제어 신호를 출력하기 위한 제어 회로(6-1)은 입력 신호 라인(8-1)을 통하여 외부 구동 회로에 의해 구동된다.

기준 전압 Vref은 기준 전압 입력 라인(10-1)을 통하여 외부 바이어스 회로로부터 공급된다.

기준 전압 입력 라인들(10-1 내지 10-m)은 칩 외부에서 단락되기 때문에, 공통 기준 전압 Vref는 모든 칩에 공급된다.

도 5는 제2 실시예의 동작예를 설명하기 위한 타이밍도이다. 도 5를 참조하면, ψ1-1은 제1 및 제2 아날로그 스위치들의 온/오프 상태를 제어하기 위한 이미지 센서 칩(1-1) 내의 제1 제어 회로(9-1)로부터 출력된 출력 제어 신호이고, ψ2-1은 제3 아날로그 스위치의 온/오프 상태를 제어하기 위한 이미지 센서 칩(1-1) 내의 제1 제어 회로(9-1)

로부터 출력된 출력 제어 신호이고, ψ3-1은 제4 아날로그 스위치의 온/오프 상태를 제어하기 위한 이미지 센서 칩(1-1) 내의 제2 제어 회로(6-1)로부터 출력된 출력 제어 신호이며, Vout1은 이미지 센서 칩(1-1) 내의 노이즈 저감 회로(7-1)로부터의 출력이다.

신호들 ψ1-1과 ψ2-1은 입력 라인(8-1)의 스타트 신호에 동기하여 출력, 즉 칩(1-1)의 수광 요소들이 광 신호들을 판독하는 기간을 제외한 특정 기간 동안만 출력된다. 제1 및 제2 아날로그 스위치들이 턴온되고, 제3 아날로그 스위치는 턴오프된다. 노이즈 저감 회로(7-1)가 구동되어, 노이즈가 감소된 출력 Vout1을 얻는다.

신호 ψ3-1은 입력 라인(8-1)의 스타트 신호에 동기하여 출력되거나, 또는 약간 지연되어, 즉 노이즈 저감 회로(7-1)의 온(ON) 기간 내의 특정 기간 동안만 스타트 신호에 동기하여 출력된다. 제4 아날로그 스위치가 턴온되고나서 턴오프될 때, 노이즈 저감후 출력 Vout1은 기준 전위 Vref로 클램핑된다.

전술된 바와 같이, 하나의 저항과 하나의 커패시터로 구성된 로우 패스 필터 회로(14-1)가 노이즈 저감 회로(7-1)에 사용되는 경우, 선택 회로(3-1)로부터의 출력 신호의 대역은 제한된다. 노이즈 저감후 출력 신호가 클램프 회로에 의해 기준 전위로 클램핑되는 경우, 각 수광 요소로부터 클램프 회로까지의 부분 내에 포함된 랜덤한 노이즈로 인한 선형적으로 배열된 이미지 센서 칩들 마다의 클램프 레벨의 변화는 감소될 수 있다.

본 실시예에서도, 각 노이즈 저감 회로의 동작과 클램프 전압 검출은 선행 이미지 센서 칩 내의 최종 수광 요소의 판독이 종료된 후 완료된다. 선행 칩의 최종 수광 요소의 판독에 이어서, 다음 이미지 센서 칩 내의 제1 수광 요소는 칩의 클램프 전압을 이용하여 판독된다. 따라서, 일련의 수광 요소들에 대한 판독 타이밍은 지연이 없다.

도 6은 본 발명의 제3 실시예에 따른 이미지 센서, 특히 노이즈 저감 회로 및 클램프 회로를 나타낸 회로도이다.

이 실시예는 제1 실시예에서 점선으로 나타낸 블럭 A의 제1 실시예와는 달리, 도 6은 제3 실시예의 해당되는 블럭만을 나타낸다.

도 6을 참조하면, 노이즈 저감 회로(7-1)는 제1 및 제2 아날로그 스위치 회로들 SW1과 SW2, 제1 및 제2 커패시터들 C1과 C2, 및 출력 버퍼 회로 B1을 포함하는 평균화 회로(15-1)와 제3 및 제4 아날로그 스위치 회로들 SW3과 SW4로 구성된다. 평균화 회로(15-1)에서는, 먼저 제1 및 제2 아날로그 스위치들이 동시에 턴온되어 선택 회로로부터의 출력 신호를 제1 및 제2 커패시터에 보낸다. 그런 다음, 제1 및 제2 아날로그 스위치들이 턴오프되어 전위 V1의 출력 신호를 제1 및 제2 커패시터에 저장한다. 그 후, 제1 아날로그 스위치가 턴온되고, 제2 아날로그 스위치가 턴오프되어, 출력 신호를 선택 회로로부터 제1 커패시터에 보낸다. 이어서, 제1 아날로그 스위치가 턴오프되어 전위 V2의 출력 신호를 제1 커패시터에 저장한다.

그 다음, 제1 아날로그 스위치가 턴오프되고, 제2 아날로그 스위치가 턴온되어 제1 및 제2 커패시터들을 단락시켜(short-circuit), 제1 커패시터에 저장된 전위 V2의 출력 신호와 제2 커패시터에 저장된 전위 V1의 출력 신호를 평균화한다. 마지막으로, 제2 아날로그 스위치가 턴오프되어 전위 V1, V2의 출력 신호들의 평균값을 제1 및 제2 커패시터에 저장한다.

상술한 방법으로, 전위 V3 내지 Vk의 출력 신호들이 제1 아날로그 스위치의 오프 타이밍에서 제1 커패시터에 저장되고, 각각의 전위와 제2 커패시터의 전위의 평균값이 저장된다. 이러한 동작으로써, 각각의 타이밍들에서 제1 커패시터 내에 저장된 전위들의 평균값이 제2 커패시터 내에 저장된다. 노이즈 저감 회로에서, 선택 회로로부터 출력된 신호의 전송 경로는 제3 및 제4 아날로그 스위치들에 의해 제어된다. 더 구체적으로는, 제3 아날로그 스위치가 ON되고, 제4 아날로그 스위치가 OFF되면, 선택 회로로부터의 출력 신호가 노이즈 저감 회로로부터 평균화 회로를 통해 출력된다.

반면, 제3 아날로그 스위치가 OFF되고, 제4 아날로그 스위치가 ON되면, 선택 회로로부터의 출력 신호가 어떠한 처리 없이 노이즈 저감 회로로부터 제4 아날로그 스위치를 통해 출력된다. 클램프 회로(4-1)는 커플링 커패시터 C3, 제5 아날로그 스위치 회로 SW5, 및 출력 버퍼 회로 B2로 구성된다. 노이즈 저감 회로로부터의 출력 신호는 클램프 회로의 커플링 커패시터의 한 단자 (포인트 A)에 입력되고, 출력 신호의 AC 성분만이 다른 한 단자 (포인트 B)로부터 출력된다. 제5 아날로그 스위치 회로는 포인트 B와 기준 전위 입력 라인(10-1) 사이에 접속된다. 제5 아날로그 스위치가 ON되면, 포인트 B의 전위가 기준 전위 Vref에 단락된다. 제5 아날로그 스위치가 OFF 되면, 포인트 B가 기준 전위 Vref로 개방된다. 즉, 포인트 B에서의 전위가 제5 아날로그 스위치를 턴온한 다음 제5 아날로그 스위치를 턴오프함으로써 기준 전위로 클램프될 수 있다.

노이즈 저감 회로(7-1) 내의 제1, 제2, 제3, 및 제4 아날로그 스위치들에 ON/OFF 스위치 제어 신호를 출력하는 제어 회로(9-1)는 입력 신호 라인(8-1)을 통해 외부 구동 회로에 의해 구동된다.

클램프 회로(4-1) 내의 제5 아날로그 스위치에 ON/OFF 스위치 제어 신호를 출력하는 제어 회로(6-1)는 입력 신호 라인(8-1)을 통해 외부 구동 회로에 의해 구동된다.

기준 전압 Vref은 외부 바이어스 회로로부터 기준 전압 입력 라인(10-1)을 통해 공급된다.

기준 전압 입력 라인들(10-1 내지 10-m)은 칩들 외부에서 단락되어, 공통 기준 전압 Vref이 모든 칩들에 공급된다.

도 7은 제3 실시예의 동작의 일 예를 설명하는 타이밍 챠트이다. 도 7을 참조하면, φ1-1은 이미지 센서 칩(1-1) 내의 제1 제어 회로(9-1)로부터 출력된 출력 제어 신호로서 제1 아날로그 스위치의 ON/OFF 상태를 제어하고, φ2-1은 이미지 센서 칩(1-1) 내의 제1 제어 회로(9-1)로부터 출력된 출력 제어 신호로서 제2 아날로그 스위치의 ON/OFF 상태를 제어하고, φ3-1은 이미지 센서 칩(1-1) 내의 제1 제어 회로(9-1)로부터 출력된 출력 제어 신호로서 제3 아날로그 스위치의 ON/OFF 상태를 제어하고, φ4-1은 이미지 센서 칩(1-1) 내의 제1 제어 회로(9-1)로부터 출력된 출력 제어 신호로서 제4 아날로그 스위치의 ON/OFF 상태를 제어하고, φ5-1은 이미지 센서 칩(1-1) 내의 제1 제어 회로(6-1)로부터 출력된 출력 제어 신호로서 제5 아날로그 스위치의 ON/OFF 상태를 제어하고, Vin은 이미지 센서 칩(1-1) 내의 노이즈 저감 회로(7-1)로의 입력이고, V_{C2} 는 이미지 센서 칩(1-1) 내의 노이즈 저감 회로(7-1)의 제2 커패시터의 전위이고, Vout1은 이미지 센서 칩(1-1) 내의 노이즈 저감 회로(7-1)로부터의 출력이다.

신호들 φ1-1과 φ2-1은 입력 신호 라인(8-1)의 스타트 신호와 동기되어 출력되어, 즉 칩(1-1)의 수광 요소들이 광 신호를 판독하는 기간을 제외한 특정 기간동안에만 출력되어, 평균화 회로를 동작시킨다. 출력 신호들의 전위 V1 내지 Vk는 제1 아날로그 스위치의 OFF 타이밍에서 제1 커패시터 내에 저장된다. 각각의 타이밍에서 제1 커패시터 내에 저장된 전위들 V1 내지 Vk 각각과 제2 커패시터의 전위의 평균값이 입력되어, 각각의 타이밍에서 제1 커패시터 내에 저장된 전위들 평균값이 제2 커패시터에 저장된다.

신호 ψ3-1 및 ψ4-1은 입력 신호 라인(8-1)의 스타트 신호와 동기하여 출력되는데, 즉 칩(1-1)의 수광 요소가 광 신호를 판독하는 기간을 제외한 특정 기간 동안만 출력된다. 제3 아날로그 스위치는 턴온되고, 제4 아날로그 스위치는 턴오프된다. 노이즈 저감 회로(7-1)는 노이즈가 저감된 출력 Vout1을 취득하도록 활성화된다.

신호 ψ5-1은 출력 신호 라인(8-1)의 스타트 신호와 동기하여 출력되는데, 즉 노이즈 저감 회로(7-1)의 온 기간중 특정 기간 동안만 출력된다. 제5 아날로그 스위치가 턴온된 다음에 턴오프될 때, 노이즈 저감 후의 출력 Vout1이 기준 전위 Vref로 클램프된다.

이러한 방법으로, 제1 및 제2 아날로그 스위치 회로, 제1 및 제2 커패시터, 및 출력 버퍼 회로에 의해 만들어진 평균 회로가 선택 회로(3-1)로부터의 출력 신호의 전위를 복수회 샘플하는 데에 사용된다. 샘플치의 평균치가 출력 신호의 노

이즈를 저감시키도록 연산된다. 노이즈 저감 이후의 출력 신호가 클램프 회로에 의해 기준 전위로 클램프되는 경우, 각각의 수광 요소부터 클램프 회로까지의 부분내에 포함된 랜덤 노이즈으로 인한 선형 배열된 이미지 센서 칩 마다의 클램프 레벨의 변이가 감소될 수 있다. 칩들 사이의 화상 신호량의 농담 차는 감소될 수 있고, 한 라인에 대해 균일한 화상 신호가 얻어질 수 있다. 그러므로, 어떠한 변화도 없는 높은 품질의 화상 신호가 이미지 센서에 의한 전체 2차원 화상으로서 얻어질 수 있다.

상술한 것처럼, 제1 내지 제3 실시예에 따르면, 각 이미지 센서 칩내의 수광 요소로부터 출력 신호를 클램프하기 위한 클램프 회로가 동작 중인 동안, 수광 요소로부터 출력 신호내에 포함된 랜덤 노이즈를 감소시키기 위한 노이즈 저감 회로가 동작된다. 이러한 구조로, 선형 배열된 이미지 센서 칩 단위의 클램프 레벨의 변이로 인한 화상의 임의의 농담은 감소될 수 있다.

또한, 칩들 사이의 화상 신호량의 농담 차는 감소될 수 있으며, 균일한 화상 신호가 복수의 칩들을 선형 배열함에 의해 형성된 이미지 센서 칩 스트링으로부터 한 라인에 대해 얻어질 수 있다. 그러므로, 변이없는 높은 품질의 화상 신호가 이미지 센서에 의한 전체 2차원 화상으로서 얻어질 수 있다.

제1 실시예 내지 제3 실시예에서는, 이미지 센서 칩에 제1 제어 회로(9-1), 제2 제어 회로(6-1) 및 제3 제어 회로(13-1)를 형성하는 대신, 외부 제어 신호에 의해 노이즈 저감 회로(7-1), 클램프 회로(4-1) 및 제어 회로(13-1)를 제어할 수 있다.

노이즈 저감 회로는 제2 실시예 또는 제3 실시예의 회로 구성으로 한정되지 않으며, 랜덤 노이즈를 저감시킬 수 있는 다른 회로 구성을 가질 수 있다.

제1 실시예 내지 제3 실시예 중의 어느 한 실시예에 개시된 이미지 센서를 사용하는 이미지 입력 장치를 본 발명의 제4 실시예로서 설명한다.

도 8에 도시한 이미지 입력 장치는 투명 지지체(36), 상기 지지체(36)를 적색, 녹색 및 청색 광 빔으로 조사하기 위한 LED 광원(35), 오리지널에 의해 반사된 광을 집광시켜 수광 요소의 표면 상에 광의 이미지를 형성하기 위한 렌즈 어레이(34), 세라믹 기판(32) 상에 배치되어 렌즈 어레이(34)에 의해 집광된 반사광을 광전 변환시키는 이미지 센서(31), 이미지 센서(31)를 보호하기 위한 실리콘 수지와 같은 칩 도포제(33) 및 케이스(37)를 포함한다. 이들 부재는 이미지 입력 장치 내에 조립된다.

LED 광원(35)이 적색광만을 방출하면, 이미지 센서(31)는 적색 정보를 판독하도록 구동된다. 그 다음에, 녹색 및 청색 정보가 판독된다. 원래의 컬러 정보의 일부분이 영상 처리에 의해 합성될 때, 원래 컬러는 임의의 컬러 필터를 사용하지 않고 판독될 수 있다.

본 실시예에서, LED 광원(35)의 방사의 시작을 제어하기 위한 신호로서, 제1 내지 제3 실시예 중 임의의 하나에 기술된 이미지 센서의 제1 칩에 대한 스타트 신호가 사용된다. LED 광원(35)의 방사의 종료를 제어하기 위한 신호로서, m번째 칩의 최종 수광 요소로부터 신호를 판독하기 위한 선택 회로(3-m)로부터 출력된 신호가 사용된다. 이러한 구성으로, 탑재 기판(32) 상의 모든 이미지 센서 칩(1-1 내지 1-m)이 동작중일 때만, LED 광원(35)이 턴온된다.

발명의 효과

상술한 바와 같이, 본 발명은 랜덤 노이즈를 저감시켜서 고화질 화상을 얻을 수 있는 이미지 센서 칩 및 그런 이미지 센서 칩을 이용한 이미지 센서를 제공할 수 있다.

본 발명의 많은 폭넓은 다른 실시예들이 본 발명의 사상과 범주에서 벗어나지 않고 구성될 것이다. 본 발명이 첨부한 청구항에서 정의된 바를 제외하고 명세서 내에 기술된 특정 실시예에 국한되지 않는다는 것을 알아야한다.

(57) 청구의 범위

청구항 5.

화상 입력 장치에 있어서,

제1 및 제2 이미지 센서 칩 - 각각의 이미지 센서 칩은 복수의 수광 요소를 포함함 -;

상기 이미지 센서 칩 내에서 발생하는 신호에 포함되는 노이즈를 저감하는 노이즈 저감 회로;

상기 노이즈 저감 회로로부터 출력된 신호를 이용하여 상기 복수의 수광 요소로부터 출력되는 신호를 조정하는 조정 회로; 및

상기 제1 이미지 센서 내의 상기 복수의 수광 요소의 신호를 판독한 후에 상기 제2 이미지 센서 내의 상기 복수의 수광 요소의 신호를 판독하도록 제어하고, 상기 제1 이미지 센서 칩의 상기 수광 요소의 신호의 판독 기간 중에 제2 이미지 센서 칩 내에서 발생하는 신호를 상기 노이즈 저감 회로에 입력하여 노이즈 저감 동작을 행하도록 제어하는 구동 회로

를 포함하는 것을 특징으로 하는 화상 입력 장치.

청구항 6.

제5항에 있어서, 상기 복수의 수광 요소들로부터의 출력 신호들을 순차적으로 선택하여 상기 신호들을 상기 노이즈 저감 회로에 입력시키는 선택 회로를 더 포함하는 것을 특징으로 하는 화상 입력 장치.

청구항 7.

제5항에 있어서, 상기 노이즈 저감 회로는 주파수 대역을 한정(Limit)하는 로우 패스 필터 회로를 포함하는 것을 특징으로 하는 화상 입력 장치.

청구항 8.

제5항에 있어서, 상기 노이즈 저감 회로는 신호를 평균화하는 평균화 회로를 포함하는 것을 특징으로 하는 화상 입력 장치.

청구항 9.

제1 및 제2 이미지 센서 칩 - 각각의 이미지 센서 칩은 복수의 수광 요소를 포함함 -; 상기 이미지 센서 칩 내에서 발생하는 신호에 포함되는 노이즈를 저감하는 노이즈 저감 회로; 및 상기 노이즈 저감 회로로부터 출력된 신호를 이용하여 상기 복수의 수광 요소로부터 출력되는 신호를 조정하는 조정 회로를 포함하는 화상 입력 장치의 구동 방법에 있어서,

상기 제1 이미지 센서 내의 상기 복수의 수광 요소의 신호를 판독한 후에 상기 제2 이미지 센서 내의 상기 복수의 수광 요소의 신호를 판독하도록 제어하고, 상기 제1 이미지 센서 칩의 상기 수광 요소의 신호의 판독 기간 중에 제2 이미지 센서 칩 내에서 발생하는 신호를 상기 노이즈 저감 회로에 입력하여 노이즈 저감 동작을 행하도록 제어하는 단계를 포함하는 것을 특징으로 하는 화상 입력 장치의 구동 방법.

청구항 10.

제9항에 있어서, 상기 이미지 센서 칩은 상기 복수의 수광 요소들로부터의 출력 신호들을 순차적으로 선택하여 상기 노이즈 저감 회로에 입력시키는 선택 회로를 더 포함하는 것을 특징으로 하는 화상 입력 장치의 구동 방법.

청구항 11.

제9항에 있어서, 상기 노이즈 저감 회로는 주파수 대역을 한정하는 로우 패스 필터 회로를 포함하는 것을 특징으로 하는 화상 입력 장치의 구동 방법.

청구항 12.

제9항에 있어서, 상기 노이즈 저감 회로는 신호를 평균화하는 평균화 회로를 포함하는 것을 특징으로 하는 화상 입력 장치의 구동 방법.

청구항 13.

복수의 수광 요소들을 각각 갖는 복수의 이미지 센서 칩들을 배열하여 형성된 이미지 센서 - 상기 이미지 센서는, 상기 수광 요소로부터의 출력 신호에 포함되는 랜덤 노이즈를 ON 상태에서 저감시키고, 상기 수광 요소로부터의 출력 신호에 포함되는 랜덤 노이즈를 OFF 상태에서는 미처리하여 출력하는 노이즈 저감 회로, 상기 노이즈 저감 회로의 ON/OFF 상태를 제어하는 제1 제어 회로, 상기 노이즈 저감 회로를 통하여 출력되는 출력 신호를 기준 전위로 클램핑하는 클램프 회로, 및 상기 클램프 회로의 ON/OFF 상태를 제어하는 제2 제어 회로를 포함함 - 를 구동하는 방법에 있어서,

상기 수광 요소들이 광신호를 판독하는 기간 외의 기간 동안에 상기 노이즈 저감 회로를 ON 상태로 설정하고, 상기 수광 요소들이 광신호를 판독하는 기간 동안에 상기 노이즈 저감 회로를 OFF 상태로 설정하는 단계; 및

상기 노이즈 저감 회로의 ON 기간 동안에 상기 클램프 회로를 ON 상태로 설정하고, 상기 노이즈 저감 회로의 ON 기간 외의 기간 동안에 상기 클램프 회로를 OFF 상태로 설정하는 단계

를 포함하는 것을 특징으로 하는 이미지 센서 구동 방법.

청구항 14.

제13항에 있어서, 상기 이미지 센서 칩은 상기 복수의 수광 요소들로부터의 출력 신호들을 순차적으로 선택하여 상기 노이즈 저감 회로에 입력시키는 선택 회로를 더 포함하는 것을 특징으로 하는 이미지 센서 구동 방법.

청구항 15.

제13항에 있어서, 상기 노이즈 저감 회로는 상기 수광 요소로부터의 출력 신호의 주파수 대역을 제한하는 수단을 포함하는 것을 특징으로 하는 이미지 센서 구동 방법.

청구항 16.

제13항에 있어서, 상기 노이즈 저감 회로는,

상기 수광 요소로부터의 출력 신호를 복수회 샘플링하는 샘플링 수단, 및

상기 샘플링 수단에 의해 얻어지는 샘플링 값들의 평균치를 출력하는 평균화 수단을 포함하는 것을 특징으로 하는 이미지 센서 구동 방법.

청구항 17.

화상 입력 장치에 있어서,

복수의 이미지 센서 칩 - 각각의 이미지 센서 칩은 복수의 수광 요소와, 상기 이미지 센서 칩 내에서 발생하는 신호의 주파수 대역을 제한하는 로우 패스 필터 회로와, 상기 로우 패스 필터 회로로부터 출력된 신호를 기준 전위로 클램프하는 클램프 회로를 포함하고, 상기 복수의 이미지 센서 칩은 순차 구동됨 -; 및

상기 복수의 이미지 센서의 각각에 있어서, 상기 복수의 수광 요소로부터 신호를 출력하는 판독 동작 기간 전에 상기 로우 패스 필터 회로를 동작 상태로 하고, 상기 판독 동작 기간 중에 상기 로우 패스 필터 회로를 비동작 상태로 하는 제어 회로

를 포함하는 것을 특징으로 하는 화상 입력 장치.

청구항 20.

제5항에 있어서, 상기 노이즈는 수광 요소와 상기 저감 회로 사이의 신호 경로에 발생하는 랜덤 노이즈인 것을 특징으로 하는 화상 입력 장치.

청구항 21.

제5항에 있어서, 상기 조정 회로 및 상기 노이즈 저감 회로는 상기 복수의 수광 요소에 대하여 공통으로 설치되어 있는 것을 특징으로 하는 화상 입력 장치.

청구항 22.

제17항에 있어서, 각각의 이미지 센서 칩은 지연 회로를 포함하고, 상기 제어 회로는 상기 지연 회로가 수광 요소로부터 신호를 판독하기 위한 스타트 신호를 수신한 후, 상기 스타트 신호를 지연하고 있는 기간에 상기 이미지 센서 칩 내에서 발생하는 신호에 포함되는 노이즈를 저감하는 것을 특징으로 하는 화상 입력 장치.

청구항 23.

제5항 또는 제17항에 있어서, 피사체에 광을 조사하는 광원과, 상기 피사체로부터의 반사광을 상기 복수의 수광 요소에 광을 결상(結像)하는 렌즈 어레이를 더 포함하는 것을 특징으로 하는 화상 입력 장치.

청구항 24.

제9항에 있어서, 상기 노이즈는 수광 요소와 상기 저감 회로 사이의 신호 경로에 발생하는 랜덤 노이즈인 것을 특징으로 하는 화상 입력 장치의 구동 방법.

청구항 25.

제9항에 있어서, 상기 조정 회로 및 상기 노이즈 저감 회로는 상기 복수의 수광 요소에 대하여 공통으로 설치되어 있는 것을 특징으로 하는 화상 입력 장치의 구동 방법.

청구항 26.

제9항에 있어서, 각각의 이미지 센서 칩은 지연 회로를 포함하고, 상기 제어 단계는 상기 지연 회로가 수광 요소로부터 신호를 판독하기 위한 스타트 신호를 수신한 후, 상기 스타트 신호를 지연하고 있는 기간에 상기 이미지 센서 칩 내에서 발생하는 신호에 포함되는 노이즈를 저감하는 것을 특징으로 하는 화상 입력 장치의 구동 방법.

청구항 27.

제9항에 있어서, 피사체에 광을 조사하는 광원과, 상기 피사체로부터의 반사광을 상기 복수의 수광 요소에 광을 결상(結像)하는 렌즈 어레이를 더 포함하는 것을 특징으로 하는 화상 입력 장치의 구동 방법.

청구항 28.

제17항에 있어서, 수광 요소와 상기 로우 패스 필터 회로 사이의 신호 경로에 랜덤 노이즈가 발생하는 것을 특징으로 하는 화상 입력 장치.

청구항 29.

제17항에 있어서, 상기 클램프 회로 및 상기 로우 패스 필터 회로는 상기 복수의 수광 요소에 대하여 공통으로 설치되어 있는 것을 특징으로 하는 화상 입력 장치.

청구항 30.

제5항에 있어서, 상기 조정 회로는 상기 노이즈 저감 회로로부터 출력된 신호를 기준 전위로 클램프하는 클램프 회로를 포함하는 것을 특징으로 하는 화상 입력 장치.

청구항 31.

제5항에 있어서, 상기 노이즈 저감 회로 및 상기 조정 회로는 상기 제1 및 제2 이미지 센서 칩의 각각에 대응하여 적어도 하나씩 설치되어 있는 것을 특징으로 하는 화상 입력 장치.

청구항 32.

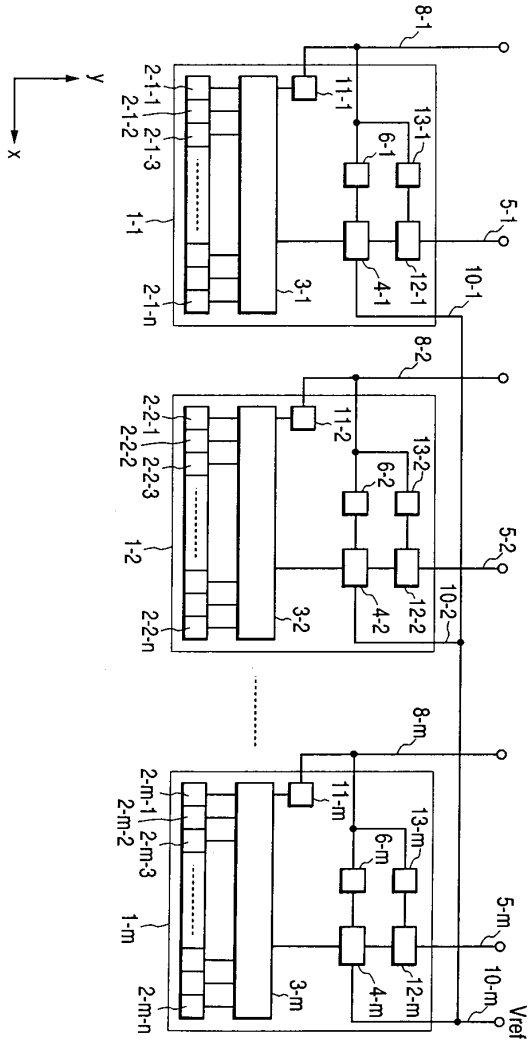
제5항에 있어서, 상기 제1 및 제2 이미지 센서 칩의 각각은 상기 복수의 수광 요소로부터의 신호를 출력하는 출력 신호선을 가지며, 상기 이미지 센서 칩 내에서 발생하는 신호는 상기 복수의 수광 요소로부터의 신호가 상기 출력 신호선에 판독되기 전의 상기 출력 신호선으로부터의 신호를 포함하는 것을 특징으로 하는 화상 입력 장치.

청구항 33.

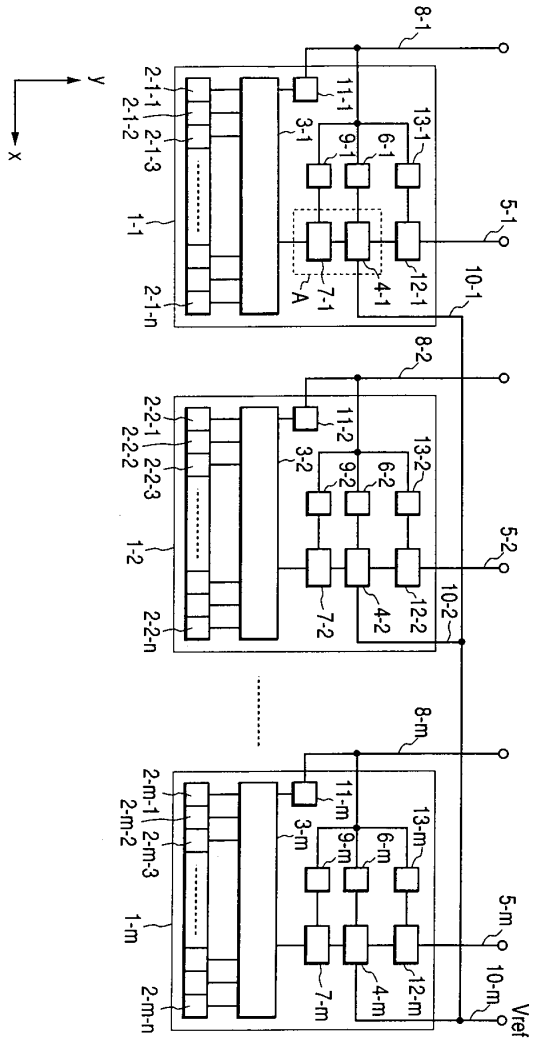
제5항에 있어서, 각각의 이미지 센서 칩은 지연 회로를 포함하고, 상기 구동 회로는 상기 지연 회로가 수광 요소로부터 신호를 판독하기 위한 스타트 신호를 수신한 후, 상기 스타트 신호를 지연하고 있는 기간에 상기 이미지 센서 칩 내에서 발생하는 신호에 포함되는 노이즈를 저감하는 것을 특징으로 하는 화상 입력 장치.

도면

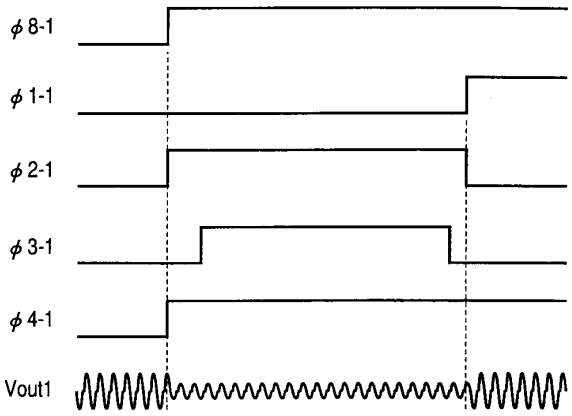
도면 1


8-1
11-1
13-1
6-1
5-1
12-1
4-1
10-1
3-1
2-1-1
2-1-2
2-1-3
1-1
2-1-n
y
x
8-2
11-2
13-2
6-2
5-2
12-2
4-2
10-2
3-2
2-2-1
2-2-2
2-2-3
1-2
2-2-n
8-m
11-m
13-m
6-m
5-m
12-m
4-m
10-m
3-m
2-m-1
2-m-2
2-m-3
1-m
2-m-n
Vref

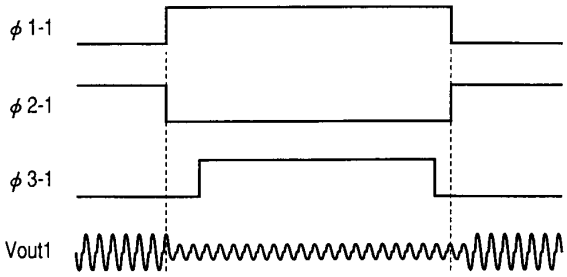
도면 2


8-1
8-2
8-m
y
x
2-1-1
2-1-2
2-1-3
1-1
2-1-n
11-1
3-1
9-1
6-1
13-1
5-1
10-1
7-1
A
4-1
12-1
2-2-1
2-2-2
2-2-3
1-2
2-2-n
11-2
3-2
9-2
6-2
13-2
5-2
10-2
7-2
4-2
12-2
2-m-1
2-m-2
2-m-3
1-m
2-m-n
11-m
3-m
9-m
6-m
13-m
5-m
10-m
7-m
4-m
12-m
Vref

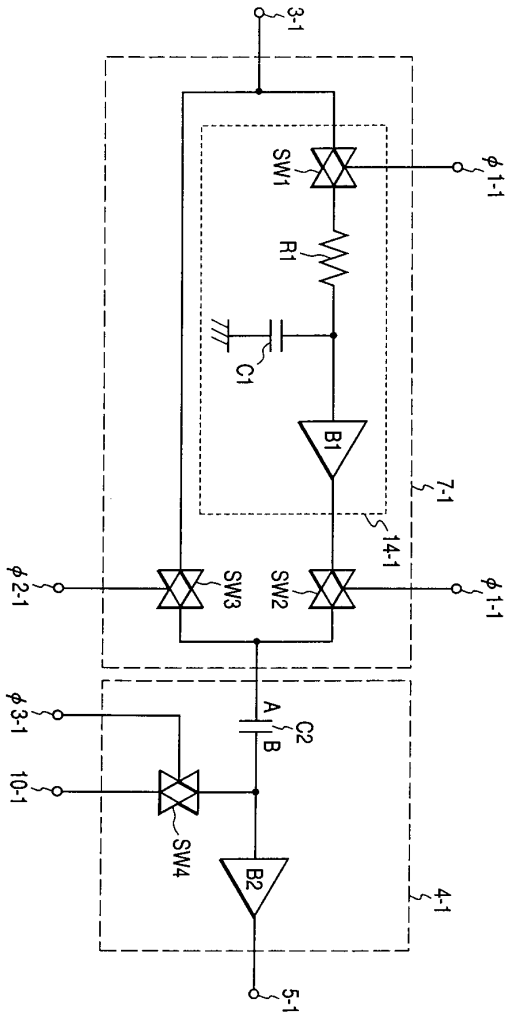
도면 3



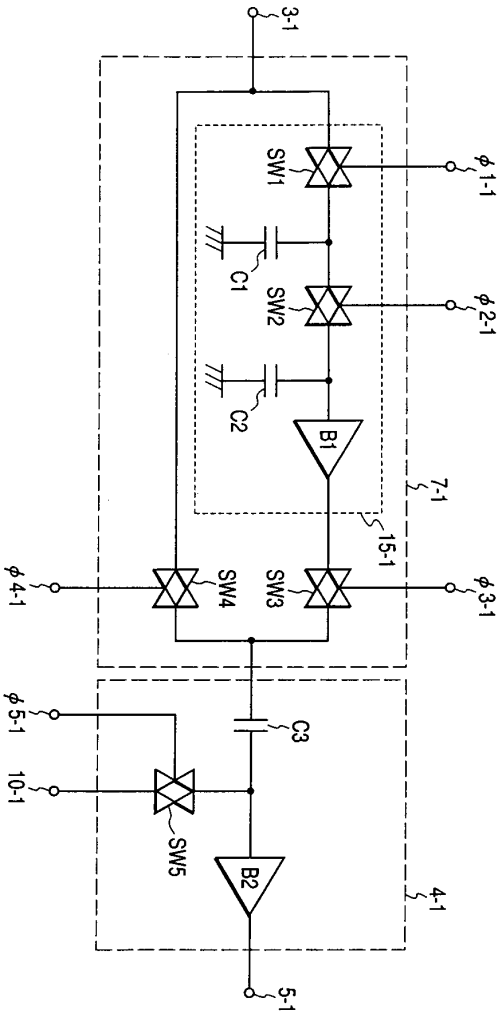
도면 5



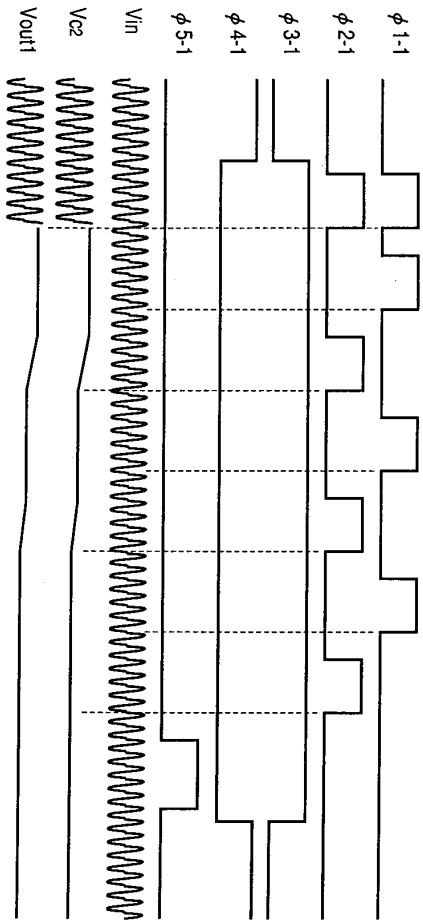
도면 4


3-1
SW1
φ1-1
R1
C1
B1
7-1
14-1
φ2-1
SW3
SW2
φ1-1
φ3-1
10-1
A
B
C2
SW4
B2
4-1
5-1

도면 6


3-1
SW1
φ1-1
C1
SW2
φ2-1
C2
B1
7-1
15-1
φ4-1
SW4
SW3
φ3-1
φ5-1
C3
10-1
SW5
B2
4-1
5-1

도면 7



도면 8

