



(12)发明专利

(10)授权公告号 CN 103138744 B

(45)授权公告日 2017.03.29

(21)申请号 201210499074.5

(22)申请日 2012.11.29

(65)同一申请的已公布的文献号

申请公布号 CN 103138744 A

(43)申请公布日 2013.06.05

(30)优先权数据

10-2011-0126141 2011.11.29 KR

(73)专利权人 爱思开海力士有限公司

地址 韩国京畿道

专利权人 高丽大学校产学协力团

(72)发明人 金基汉 李铉雨 权大韩 金喆友

任秀彬

(74)专利代理机构 北京弘权知识产权代理事务

所(普通合伙) 11363

代理人 石卓琼 俞波

(51)Int.Cl.

H03K 19/094(2006.01)

(56)对比文件

US 6512715 B2, 2003.01.28,

US 6124749 A, 2000.09.26,

US 5151620 A, 1992.09.29,

审查员 叶璇

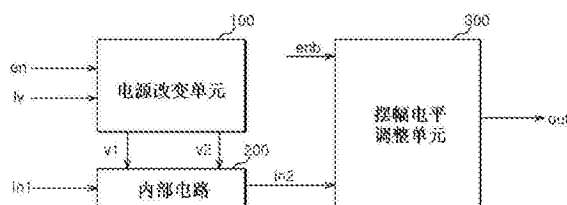
权利要求书3页 说明书7页 附图2页

(54)发明名称

半导体装置

(57)摘要

本发明公开了一种半导体装置,半导体装置包括电源改变单元。电源改变单元被配置成接收使能信号和电源电压,根据使能信号产生第一电压或第二电压,根据电平信号改变第二电压的电压电平,以及供应第一电压或第二电压作为内部电路的驱动电压,其中内部电路接收第一输入信号以输出第二输入信号。



1. 一种半导体装置,包括:

电源改变单元,所述电源改变单元被配置成接收使能信号和电源电压,根据所述使能信号产生第一电压或第二电压,根据电平信号改变所述第二电压的电压电平,以及供应所述第一电压或所述第二电压作为内部电路的驱动电压,其中所述内部电路接收第一输入信号以输出第二输入信号;以及

摆幅电平调整单元,所述摆幅电平调整单元被配置成根据所述使能信号调整所述第二输入信号的摆幅电平以将输出信号输出。

2. 如权利要求1所述的半导体装置,其中,所述第二电压具有低于所述第一电压的电压电平。

3. 如权利要求1所述的半导体装置,其中,所述电源改变单元包括:

第一电源单元,所述第一电源单元被配置成根据所述使能信号接收所述电源电压,并产生所述第一电压;以及

第二电源单元,所述第二电源单元被配置成根据所述使能信号和所述电平信号接收所述电源电压,并产生所述第二电压。

4. 如权利要求3所述的半导体装置,其中,所述第二电压具有低于所述第一电压的电压电平。

5. 如权利要求3所述的半导体装置,其中,所述第一电源单元根据所述使能信号产生所述第一电压。

6. 如权利要求5所述的半导体装置,其中,所述第一电源单元产生电压电平与所述电源电压相同的所述第一电压。

7. 如权利要求3所述的半导体装置,其中,所述第二电源单元根据所述使能信号产生所述第二电压。

8. 如权利要求7所述的半导体装置,其中,当所述电平信号的逻辑电平为低电平时,所述第二电源单元产生比所述电源电压降低预定电压的电压。

9. 如权利要求8所述的半导体装置,其中,所述预定电压是NMOS晶体管的阈值电压。

10. 如权利要求8所述的半导体装置,其中,所述第二电源单元根据所述电平信号产生比所述电源电压降低预定电压的电压。

11. 如权利要求10所述的半导体装置,其中,所述预定电压是NMOS晶体管的阈值电压的两倍。

12. 如权利要求1所述的半导体装置,其中,所述摆幅电平调整单元包括:

CMOS反相器单元,所述CMOS反相器单元被配置成将所述第二输入信号反相以产生输出信号;以及

摆幅电压发生器,所述摆幅电压发生器被配置成根据所述使能信号和所述输出信号接收所述电源电压,并供应第三电压作为所述CMOS反相器单元的驱动电压。

13. 如权利要求12所述的半导体装置,其中,所述摆幅电压发生器包括:

运算器,所述运算器被配置成对所述使能信号和所述输出信号进行逻辑运算以产生开关信号;

第一摆幅电压发生器,所述第一摆幅电压发生器被配置成根据所述开关信号产生所述第三电压;以及

第二摆幅电压发生器,所述第二摆幅电压发生器被配置成根据反相所述使能信号的使能取反信号产生所述第三电压。

14.如权利要求13所述的半导体装置,其中,所述摆幅电压发生器根据所述使能信号产生与所述电源电压相同的第三电压。

15.如权利要求13所述的半导体装置,其中,所述运算器根据所述使能信号产生低电平的开关信号,而不论所述输出信号的逻辑电平如何。

16.如权利要求13所述的半导体装置,其中,所述第一摆幅电压发生器根据所述开关信号产生与所述电源电压相同的第三电压。

17.如权利要求13所述的半导体装置,其中,所述摆幅电压发生器根据所述使能信号和所述第二输入信号产生与所述第二电压相同的第三电压。

18.如权利要求13所述的半导体装置,其中,所述摆幅电压发生器根据所述使能信号和所述第二输入信号产生与所述电源电压相同的第三电压。

19.如权利要求13所述的半导体装置,其中,所述第二摆幅电压发生器根据所述使能取反信号和所述第二输入信号产生与所述电源电压相同的第三电压。

20.如权利要求1所述的半导体装置,其中,所述摆幅电平调整单元根据所述使能信号被调整,使得所述第二输入信号的摆幅电平处于所述电源电压与接地电压之间。

21.如权利要求1所述的半导体装置,其中,所述摆幅电平调整单元对所述使能信号和所述第二输入信号进行逻辑运算,并根据所述使能信号确定所述第二输入信号的摆幅电平。

22.如权利要求1所述的半导体装置,其中,所述摆幅电平调整单元根据响应所述使能信号的所述第二输入信号的逻辑电平来确定所述第二输入信号的摆幅电平。

23.一种半导体装置,包括:

电源改变单元,所述电源改变单元被配置成响应于使能信号或电平信号来改变电源电压,以产生与所述电源电压相同的第一电压或电压电平低于所述电源电压的第二电压,并供应所述第一电压或所述第二电压作为内部电路的驱动电压,其中,所述内部电路接收第一输入信号以输出第二输入信号以及使所述内部电路中的所述第一输入信号在所述第一电压与接地电压之间摆动或在所述第二电压与所述接地电压之间摆动;以及

摆幅电平调整单元,所述摆幅电平调整单元接收所述第二输入信号,并响应于所述使能信号输出在所述电源电压与所述接地电压之间摆动的信号。

24.如权利要求23所述的半导体装置,其中,所述电源改变单元包括:

第一电源单元,所述第一电源单元被配置成根据所述使能信号接收所述电源电压,并产生所述第一电压;以及

第二电源单元,所述第二电源单元被配置成根据所述使能信号和所述电平信号接收所述电源电压,并产生所述第二电压。

25.如权利要求24所述的半导体装置,其中,当所述使能信号的逻辑电平是高电平时,所述第一电源单元产生所述第一电压。

26.如权利要求24所述的半导体装置,其中,当所述使能信号的逻辑电平是低电平时,所述第二电源单元产生所述第二电压。

27.如权利要求26所述的半导体装置,其中,当所述电平信号的逻辑电平是低电平时,

所述第二电源单元产生比所述电源电压降低预定电压的电压。

28. 如权利要求27所述的半导体装置,其中,所述预定电压是NMOS晶体管的阈值电压。

29. 如权利要求27所述的半导体装置,其中,当所述电平信号的逻辑电平是高电平时,所述第二电源单元产生比所述电源电压降低预定电压的电压。

30. 如权利要求29所述的半导体装置,其中,所述预定电压是NMOS晶体管的阈值电压的两倍。

31. 如权利要求23所述的半导体装置,其中,所述摆幅电平调整单元包括:

CMOS反相器单元,所述CMOS反相器单元被配置成将所述第二输入信号反相以产生输出信号;以及

摆幅电压发生器,所述摆幅电压发生器被配置成根据所述使能信号和所述输出信号接收所述电源电压,并供应第三电压作为所述CMOS反相器单元的驱动电压。

32. 如权利要求31所述的半导体装置,其中,所述摆幅电压发生器包括:

运算器,所述运算器被配置成对所述使能信号和所述输出信号进行逻辑运算以产生开关信号;

第一摆幅电压发生器,所述第一摆幅电压发生器被配置成根据所述开关信号产生所述第三电压;以及

第二摆幅电压发生器,所述第二摆幅电压发生器被配置成根据反相所述使能信号的使能取反信号而产生所述第三电压。

33. 如权利要求32所述的半导体装置,其中,所述运算器是或非门。

34. 如权利要求31所述的半导体装置,其中,当所述使能信号的逻辑电平是高电平时,所述摆幅电压发生器产生与所述电源电压相同的第三电压。

35. 如权利要求31所述的半导体装置,其中,当所述使能信号的逻辑电平是低电平且所述第二输入信号的逻辑电平是低电平时,所述摆幅电压发生器产生与所述电源电压相同的第三电压。

36. 如权利要求31所述的半导体装置,其中,当所述使能信号的逻辑电平是低电平且所述第二输入信号的逻辑电平是高电平时,所述摆幅电压发生器产生与所述第二电压相同的第三电压。

37. 如权利要求36所述的半导体装置,其中,所述输出信号的高电平是电源电压电平且所述输出信号的低电平是接地电压电平。

半导体装置

[0001] 相关申请的交叉引用

[0002] 本申请要求2011年11月29日提交的韩国专利申请No.10-2011-0126141的优先权，其全部内容通过引用合并于此。

技术领域

[0003] 本发明的示例性实施例涉及半导体装置，尤其涉及半导体装置的电源电路。

背景技术

[0004] 一般而言，半导体装置被供应有来自外部的电压以操作内部电路。然而，即使在降低半导体装置的功耗时，半导体装置仍然可以稳定操作内部电路，同时即使在半导体装置不操作的模式（例如省电模式）下，或者在半导体装置消耗低功率（例如当半导体装置在低频率下操作时）的情况下，半导体装置仍然被供应相同的供应电压以操作内部电路，因而发生不必要的电流消耗和泄泄漏电路。

[0005] 因此，当半导体装置消耗低功率时，需要一种电源电路能通过改变电压来防止电流消耗和泄漏电路发生。

发明内容

[0006] 在本发明的一个实施例中，一种半导体装置包括：电源改变单元，所述电源改变单元被配置成接收使能信号和电源电压；根据使能信号产生第一电压或第二电压；根据电平信号改变第二电压的电压电平；以及供应第一电压或第二电压作为内部电路的驱动电压，其中，内部电路接收第一输入信号以输出第二输入信号。

[0007] 在本发明的另一个实施例中，一种半导体装置包括：电源改变单元，所述电源改变单元被配置成响应于使能信号或电平信号来改变电源电压，以产生电压电平与电源电压相同的第一电压或电压电平低于电源电压的第二电压；以及供应第一电压或第二电压作为内部电路的驱动电压，其中内部电路接收第一输入信号以输出第二输入信号，并且在内部电路中，第一输入信号在第一电压与接地电压之间或在第二电压与接地电压之间摆动。

附图说明

[0008] 结合附图说明本发明的特征、方面和实施例，其中：

[0009] 图1是根据本发明的一个实施例的电源电路的示意性框图；

[0010] 图2A是根据本发明的一个实施例的电源改变单元的示意性框图；

[0011] 图2B是根据本发明的一个实施例的摆幅电平调整单元的示意性框图；以及

[0012] 图3是根据本发明的一个实施例的电源电路的详细电路图。

具体实施方式

[0013] 下文将参照附图结合示例性实施例来说明根据本发明的实施例的半导体装置。

[0014] 图1是根据本发明的一个实施例的电源电路的示意性框图。

[0015] 参照图1,根据本发明的本实施例的电源电路可以被配置成包括电源改变单元100和摆幅电平调整单元300。

[0016] 将参照图1描述电源电路的操作。电源改变单元100接收使能信号en和电平信号lv以产生第一电压v1和第二电压v2,以及将使能信号en反相的使能取反信号enb。

[0017] 第一电压v1或第二电压v2被供应给内部电路200作为内部电路200的驱动电压。内部电路200接收第一输入信号in1以产生第二输入信号in2。

[0018] 摆幅电平调整单元300接收使能信号en和使能取反信号enb以调整第二输入信号in2的摆幅电平,由此产生输出信号out。

[0019] 在用于判定功率模式的装置中,在判定一般电压模式时,使能信号en输出为高电平,而在判定相对低于一般电压模式的低电压模式时,使能信号en输出为低电平。使能信号en可以是在半导体装置中所使用的命令信号,诸如激活信号act。

[0020] 一般半导体装置具有用于停止外围电路的操作的省电模式,以降低在待机状态下所消耗的不必要的功率消耗。根据本发明的实施例,省电模式可以是低电压模式。

[0021] 当使能信号en选中低电压模式时,电平信号lv是在低电压模式下判定电压电平的信号。

[0022] 作为判定电压电平的信号的电平信号lv可在例如时间数字转换器(time to digital converter, TDC)装置中判定且输出。TDC装置是一般用于测量信号的频率的装置。

[0023] 一般而言,TDC装置接收半导体装置中所使用的时钟。TDC装置产生与输入时钟的频率相对应的码值。当码值是预定频率或更高的频率时,TDC装置判定信号是高频率的。如果TDC装置判定信号是高频率的,则电平信号lv的逻辑电平输出为低电平。当码值是预定频率或更低的频率时,TDC装置判定信号是低频率的。如果TDC装置判定信号是低频率的,则电平信号lv的逻辑电平输出为高电平。

[0024] TDC装置即使在一般电压模式下,仍然输出电平信号lv。然而,当使能信号en为高电平时,根据本发明的实施例的电源改变单元100不根据电平信号lv产生低电压模式的电压;而使能信号en为低电平时,根据电平信号lv而产生低电压模式的电压。

[0025] 例如,使能信号en在判定功率模式的装置中输出为低电平。在此情况下,功率模式变成省电模式。省电模式包括自我刷新模式。当省电模式为自我刷新模式时,半导体装置一般以频率比半导体中所使用的内部时钟的频率更低的内部时钟操作。一般而言,如果TDC装置基于半导体装置中所使用的内部时钟判定出码值是预定频率或更低的频率,则TDC装置判定信号是低频率的,使得TDC装置输出电平信号lv的逻辑电平为高电平。

[0026] 例如,当使能信号en为低电平时,在本发明的实施例中,通过根据电平信号lv改变电压电平而输出第一电压v1。

[0027] 使能取反信号enb是将使能信号en的逻辑电平反相的信号。

[0028] 更具体而言,电源改变单元100在使能信号en输入为高电平时产生第一电压v1,且供应所产生的第一电压v1给内部电路200。电源改变单元100在使能信号输入为低电平时,根据电平信号lv改变电压且供应第二电压v2给内部电路200。

[0029] 第二电压v2低于第一电压v1。

[0030] 第一电压v1或第二电压v2被供应给内部电路200,并且内部电路200使用所供应的

第一电压 v_1 或所供应的第二电压 v_2 作为其驱动电压。内部电路200接收第一输入信号 in_1 以输出第二输入信号 in_2 ,并使用第一电压 v_1 或第二电压 v_2 作为驱动电压。

[0031] 内部电路200可以是通过使用半导体装置内的电源电压而被驱动的课程。

[0032] 调整摆幅电平调整单元300,使得第二输入信号 in_2 可以在接地电压与电源电压 V_{dd} 之间操作,并且摆幅电平调整单元300判定第二输入信号的摆幅宽度以将输出信号 out 输出。

[0033] 图2A是根据本发明的一个实施例的电源改变单元100的示意性框图。

[0034] 参照图2A,根据本发明的一个实施例的电源改变单元100可以被配置成包括第一电源单元110和第二电源单元120。

[0035] 第一电源单元110接收使能信号 en 以产生第一电压 v_1 。第二电源单元120接收使能信号 en 和电平信号 lv 以产生第二电压 v_2 和使能取反信号 enb 。

[0036] 具体地,第一电源单元110在使能信号 en 的逻辑电平为高电平时产生第一电压 v_1 ,而在使能信号 en 的逻辑电平为低电平时不产生第一电压 v_1 。

[0037] 当使能信号 en 的逻辑电平为高电平时,第二电源单元120产生使能取反信号 enb ,不产生第二电压 v_2 。当使能信号 en 的逻辑电平为低电平时,第二电源单元120根据电平信号 lv 产生第二电压 v_2 并且产生使能取反信号 enb 。

[0038] 更具体而言,当使能信号 en 的逻辑电平为低电平且电平信号 lv 的逻辑电平输入为低电平时,第二电源单元120产生比第一电压 v_1 低预定电压的第二电压 v_2 的电压。即,如果第一电压 v_1 被设定为 V_{dd} 且预定电压被设定为 V_{tn} ,则第二电压 v_2 变成 $V_{dd}-V_{tn}$ 。此外,当使能信号 en 的逻辑电平为低电平且电平信号 lv 的逻辑电平输入为高电平时,第二电源单元120产生比第一电压 v_1 低两倍预定电压的第二电压 v_2 的电压。在此情况下,第二电压 v_2 变成 $V_{dd}-2*V_{tn}$ 。

[0039] 图2B是根据本发明的一个实施例的摆幅电平调整单元300的示意性框图。

[0040] 参照图2B,根据本发明的实施例的摆幅电平调整单元300包括摆幅电压发生器310和CMOS反相器单元320。

[0041] 摆幅电压发生器310可以被配置成包括第一摆幅电压发生器311、第二摆幅电压发生器312和运算器313。

[0042] CMOS反相器单元320接收从内部电路200产生的第二输入信号 in_2 以将第二输入信号 in_2 反相,由此将输出信号 out 输出。

[0043] 运算器313接收使能信号 en 和输出信号 out ,并对所接收的使能信号 en 和输出信号 out 进行逻辑运算以产生开关信号 s_1 。

[0044] 第一摆幅电压发生器311根据开关信号 s_1 产生第三电压 v_3 。

[0045] 第二摆幅电压发生器312根据使能取反信号 enb 产生第三电压 v_3 。

[0046] 因此,第三电压 v_3 是从第一摆幅电压发生器311或第二摆幅电压发生器312产生的电压。

[0047] CMOS反相器单元320使用第三电压 v_3 作为驱动电压,以调整第二输入信号 in_2 的摆幅电平。

[0048] 图3是根据本发明的一个实施例的电源电路的详细电路图。

[0049] 参照图3,根据本发明的实施例的电源电路可以被配置成包括电源改变单元100和

摆幅电平调整单元300。

[0050] 电源改变单元100包括第一电源单元110和第二电源单元120。具体地,电源改变单元100可以被配置成包括第一至第三PMOS晶体管p1、p2及p3,第一至第三NMOS晶体管n1、n2及n3,以及第一反相器iv1。

[0051] 从电源改变单元100供应第一电压v1或第二电压v2给内部电路200作为驱动电压。内部电路200接收第一输入信号in1以产生第二输入信号in2。

[0052] 具体地,摆幅电平调整单元300包括第四至第五PMOS晶体管p4和p5、第四至第五NMOS晶体管n4和n5、以及第一或非门nor1。

[0053] 第一至第五NMOS晶体管n1、n2、n3、n4及n5的阈值电压(以下为“ V_{tn} ”)相同。

[0054] 第一电源单元110包括第一反相器iv1和第三PMOS晶体管p3。第一电源单元110将使能信号en输入至第一反相器iv1。第一反相器iv1将使能信号en反相,并将反相的使能信号en输入至第三PMOS晶体管p3的栅极。第三PMOS晶体管p3的栅极接收反相的使能信号en,且其源极被供应有电压Vdd,使得第三PMOS晶体管p3的漏极产生第二电压v2。因此,当第三PMOS晶体管p3导通时,第一电压v1具有与输入电源电压Vdd相同的电压电平。当输入至第一电源单元110的使能信号en为低电平时,使能信号en的逻辑电平在第一反相器iv1中被反相,且使能信号en以高电平被输入至第三PMOS晶体管p3的栅极,使得第三PMOS晶体管p3不操作。当输入第一电源单元110的使能信号en为高电平时,使能信号en的逻辑电平在第一反相器iv1中被反相,且使能信号en以低电平输入至第三PMOS晶体管p3的栅极,使得第三PMOS晶体管p3的漏极产生第一电压v1。

[0055] 第二电源单元120包括第一至第二PMOS晶体管p1和p2、以及第一至第三NMOS晶体管n1、n2及n3。第一PMOS晶体管p1的栅极被供应有电平信号lv。第一PMOS晶体管p1的源极与第二节点node2连接,且第一PMOS晶体管p1的漏极与第一节点node1连接。第一NMOS晶体管n1的栅极和漏极与第二节点node2连接,且第一NMOS晶体管n1的源极与第一节点node1连接。因此,第二节点node2与第一PMOS晶体管p1的源极和第一NMOS晶体管n1的栅极和漏极连接。第二节点node2被供应有电源电压Vdd。

[0056] 第二PMOS晶体管p2的栅极被供应有使能信号en。第二PMOS晶体管的源极与第一节点node1连接,且其漏极与第三节点node3连接。第二NMOS晶体管n2的栅极被供应有使能信号en。第二NMOS晶体管n2的漏极与第三节点node3连接,且第二NMOS晶体管的源极与接地电压源Vss连接。因此,第二PMOS晶体管p2和第二NMOS晶体管n2被输入使能信号en,并输出反相的使能信号en至第三节点node3,其中反相的使能信号en为使能取反信号enb。因此,第一PMOS晶体管p1的漏极和第一NMOS晶体管n1的源极与第一节点node1连接。

[0057] 第三NMOS晶体管n3的栅极与第三节点连接,且其漏极被供应有电源电压Vdd,使得第三NMOS晶体管n3的源极产生第二电压v2。

[0058] 首先,当第一PMOS晶体管p1的栅极被供应有低电平的电平信号lv时,第一PMOS晶体管p1被驱动。在此情况下,第一NMOS晶体管n1的栅极和漏极被供应有电源电压Vdd,使得从第一NMOS晶体管n1的源极产生的电压被阻断,且第一节点node1产生从第一PMOS晶体管p1的漏极供应的电压。因此,第一节点node1的电压与电源电压Vdd相同。

[0059] 当使能信号en以低电平输入第二电源单元120时,第二PMOS晶体管p2的栅极通过被供应使能信号en而被驱动,而第二NMOS晶体管n2未被驱动。因此,与第一节点node1相同

的电压输出至第三节点node3。因此,第三节点node3的电压与电源电压Vdd相同。

[0060] 第三NMOS晶体管n3的栅极与第三节点node3连接,且其漏极被供应有电源电压Vdd,使得第三NMOS晶体管n3的源极输出第二电压v2。

[0061] 在此情况下,由于第三节点node3的电压是电源电压Vdd,因此从第三NMOS晶体管n3的源极输出的第二电压v2比电源电压Vdd降低第三NMOS晶体管n3的阈值电压值Vtn,并随后输出第二电压v2。即,第二电压v2的值变成电源电压Vdd-阈值电压Vtn。

[0062] 然而,当使能信号en以高电平输入第二电源单元120时,第二PMOS晶体管p2未被驱动,而仅第二NMOS晶体管n2被驱动,使得低电平的使能取反信号enb输出至第三节点node3。因此,在此情况下,不输出第二电压v2。

[0063] 接着,当第一PMOS晶体管p1的栅极被供应有高电平的电平信号1v时,第一PMOS晶体管p1未被驱动。在此情况下,第一NMOS晶体管n1的栅极和漏极被供应有电源电压Vdd,使得从第一NMOS晶体管n1的源极产生的电压被供应给第一节点node1。因此,第一节点node1的电压比电源电压Vdd降低第一NMOS晶体管n1的阈值电压值Vtn,并随后被输出。即,第一节点node1的电压变成电源电压Vdd-阈值电压Vtn。

[0064] 当使能信号en以低电平输入第二电源单元120时,第二PMOS晶体管p2的栅极通过被供应使能信号en而被驱动,而第二NMOS晶体管n2未被驱动。因此,与第一节点node1相同的电压输出至第三节点node3。第三节点node3的电压比电源电压Vdd降低第一NMOS晶体管n1的阈值电压值Vtn,并随后被输出。即,第三节点node3的电压变成电源电压Vdd-阈值电压Vtn。

[0065] 第三NMOS晶体管n3的栅极与第三节点node3连接,且其漏极被供应有电源电压Vdd,使得第三NMOS晶体管n3的源极输出第二电压v2。

[0066] 在此情况下,由于第三节点node3的电压为电源电压Vdd-阈值电压Vtn,因此从第三NMOS晶体管n3的源极输出的第二电压v2比“电源电压Vdd-阈值电压Vtn”降低第三NMOS晶体管n3的阈值电压值Vtn,并随后被输出。即,第二电压v2的值变成电源电压Vdd-2*阈值电压2*Vtn。

[0067] 然而,当使能信号en以高电平输入第二电源单元120时,第二PMOS晶体管p2未被驱动,而仅第二NMOS晶体管n2被驱动,因此低电平的使能取反信号enb输出至第三节点node3。因此,在此情况下,不输出第二电压v2。

[0068] 从电源改变单元100供应第一电压v1或第二电压v2给内部电路200作为驱动电压。内部电路200接收第一输入信号in1以产生第二输入信号in2。

[0069] 摆幅电平调整单元300包括摆幅电压发生器310和CMOS反相器单元320。

[0070] 摆幅电压发生器310可以被配置成包括第一摆幅电压发生器311、第二摆幅电压发生器312及运算器313。

[0071] 具体地,摆幅电平调整单元300包括第四至第五PMOS晶体管p4和p5、第四至第五NMOS晶体管n4和n5、以及第一或非门nor1。

[0072] 第一摆幅电压发生器311包括第四PMOS晶体管p4。第四PMOS晶体管p4的栅极被供应有从运算器313输出的开关信号s1,其漏极与第四节点node4连接,以及其源极被供应有电源电压Vdd。

[0073] 第三电压v3与第四节点node4的电压相同。

[0074] 第二摆幅电压发生器312包括第四PMOS晶体管n4。第四NMOS晶体管n4的栅极与第三节点node3连接,其源极与第四节点node4连接,且其漏极被供应有电源电压Vdd。

[0075] CMOS反相器单元320包括第五PMOS晶体管p5和第五NMOS晶体管n5。

[0076] 第五PMOS晶体管p5的栅极被供应有第二输入信号in2,其源极与第四节点node4连接,且其漏极与第五节点node5连接。

[0077] 第五NMOS晶体管n5的栅极被供应有第二输入信号in2,其漏极与第五节点node5连接,且其源极与接地电压源连接。

[0078] 即,第五PMOS晶体管p5和第五NMOS晶体管n5被供应有第二输入信号in2,并将第二输入信号in2反相,且随后输出反相的第二输入信号in2至第五节点node5。

[0079] 运算器313对从第五节点node5输出的输出信号out和使能信号en进行逻辑运算以产生开关信号s1。开关信号s1被输入至第四PMOS晶体管p4的栅极。

[0080] 运算器313由第一或非门nor1配置。

[0081] 将参照图3说明摆幅电平调整单元300的操作。

[0082] 首先说明摆幅电平调整单元300在使能信号en的逻辑电平为高电平时的操作。

[0083] 当使能信号en的逻辑电平为高电平时,从第三节点node3输出的信号是使能取反信号enb,使得使能取反信号enb的逻辑电平为低电平。

[0084] 第四NMOS晶体管n4的栅极与第三节点node3连接,因而被供应有低电平的使能取反信号enb,使得第四NMOS晶体管n4未被驱动。

[0085] 当运算器313被供应有高电平的使能信号en时,不论第五节点node5的输出信号out的逻辑电平如何,运算器313输出低电平的信号。

[0086] 第五节点node5的信号变成输出信号out。

[0087] 第四PMOS晶体管p4被供应有低电平的逻辑信号,并随后被驱动以在第四节点node4产生电压。在此情况下,在第四节点node4处产生的电压与供应给第四PMOS晶体管p4的源极的电源电压Vdd相同。即,第四节点node4的电压与电源电压Vdd相同。

[0088] 接下来,将说明使能信号en的逻辑电平为低电平且第二输入信号in2的逻辑电平为高电平的情况。

[0089] 当第二输入信号in2的逻辑电平为高电平时,CMOS反相器单元320的第五PMOS晶体管p5不导通,而仅第五NMOS晶体管n5导通。因此,当第二输入信号in2的逻辑电平为高电平时,第五节点node5的输出会输出具有接地电压Vss的电平的低电平信号,而不论第四节点node4的电压如何。

[0090] 接下来,将说明使能信号en的逻辑电平为低电平且第二输入信号in2的逻辑电平为低电平的情况。

[0091] 当使能信号en的逻辑电平为低电平时,从第三节点node3输出的使能取反信号enb的逻辑电平为高电平。

[0092] 第二输入信号in2被输入第五PMOS晶体管p5和第五NMOS晶体管n5,因而反相的信号被输出至第五节点node5。在此情况下,当第二输入信号in2为低电平时,第五节点node5的输出信号out为高电平。

[0093] 当运算器313被供应有低电平的使能信号en和高电平的第五节点node5的输出信号out时,运算器313输出低电平的开关信号s1。因此,第四PMOS晶体管p4被供应有低电平的

开关信号s1以在第四节点node4产生电压。在此情况下,在第四节点node4产生的电压与电源电压Vdd即供应给第四PMOS晶体管p4的源极的电压相同。即,第四节点node4的电压与电源电压Vdd相同。

[0094] 然而,第四NMOS晶体管n4的栅极与第三节点node3连接,因而被供应有高电平的使能信号enb,但与第四NMOS晶体管n4的源极连接的第四节点node4的电压为电源电压Vdd,因而并未超过第四NMOS晶体管n4的阈值电压Vtn,使得第四NMOS晶体管n4未导通。

[0095] 换言之,当使能信号en的逻辑电平为高电平时,摆幅电平调整单元300使第二输入信号in2在电源电压Vdd与接地电压Vss之间摆动。

[0096] 此外,当使能信号en的逻辑电平为低电平且第二输入信号in2为高电平时,摆幅电平调整单元300输出接地电压Vss的电平的输出信号out,而不论第四节点node4的电压如何。

[0097] 接下来,当使能信号en的逻辑电平为低电平且第二输入信号in2为低电平时,摆幅电平调整单元300输出具有电源电压Vdd的电平的高电平的输出信号out。

[0098] 一般而言,摆幅电平调整单元300接收第二输入信号in2以输出在电源电压Vdd与接地电压Vss之间摆动的信号。

[0099] 虽然以上已经描述了某些实施例,但本领域技术人员可以理解,描述的实施例仅是示例性的。因此,不应基于所描述的实施例来限制本文描述的装置。而是,应当仅根据结合以上说明和附图的所附权利要求来理解本文描述的装置。

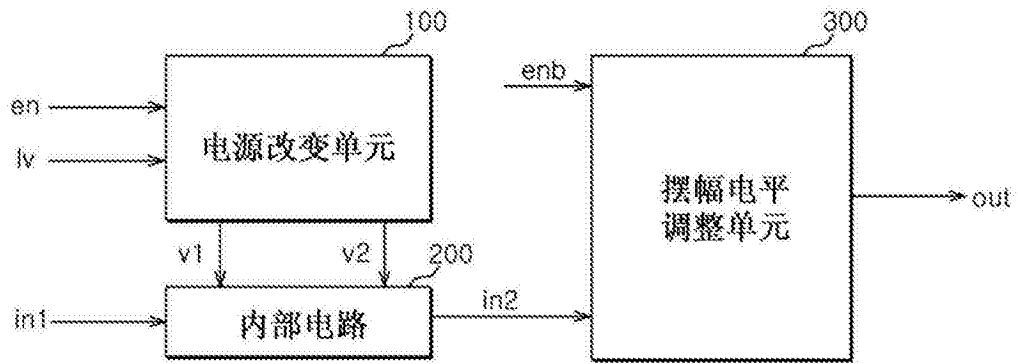


图1

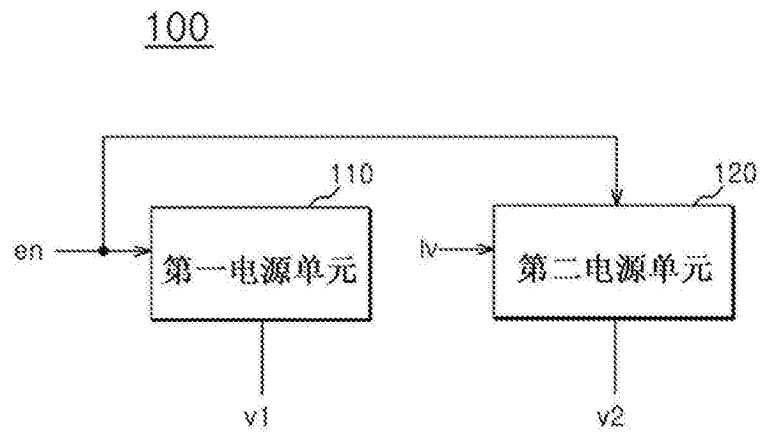


图2A

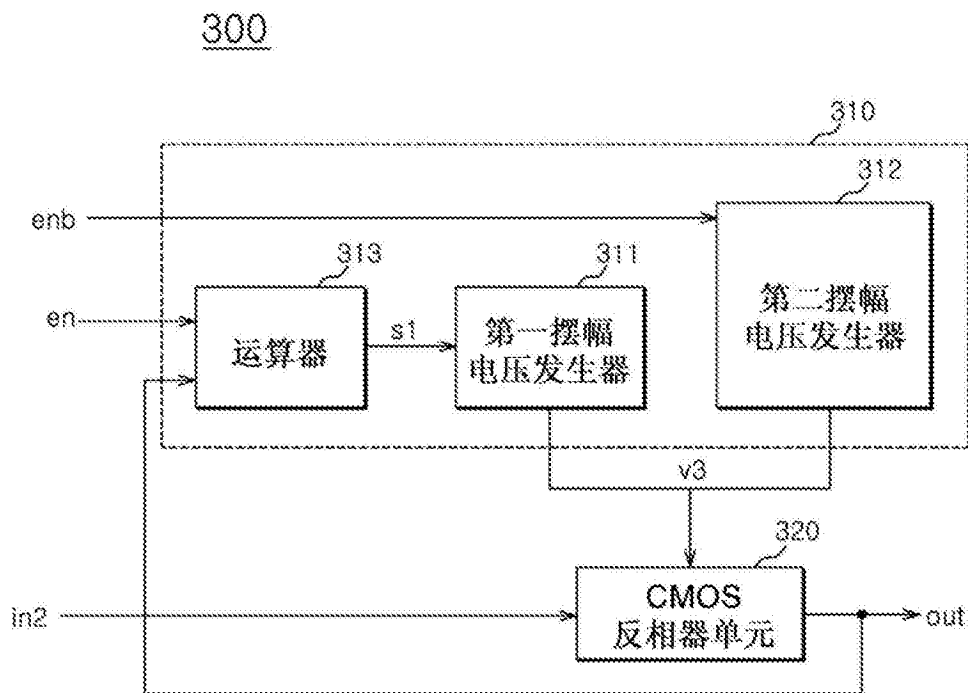


图2B

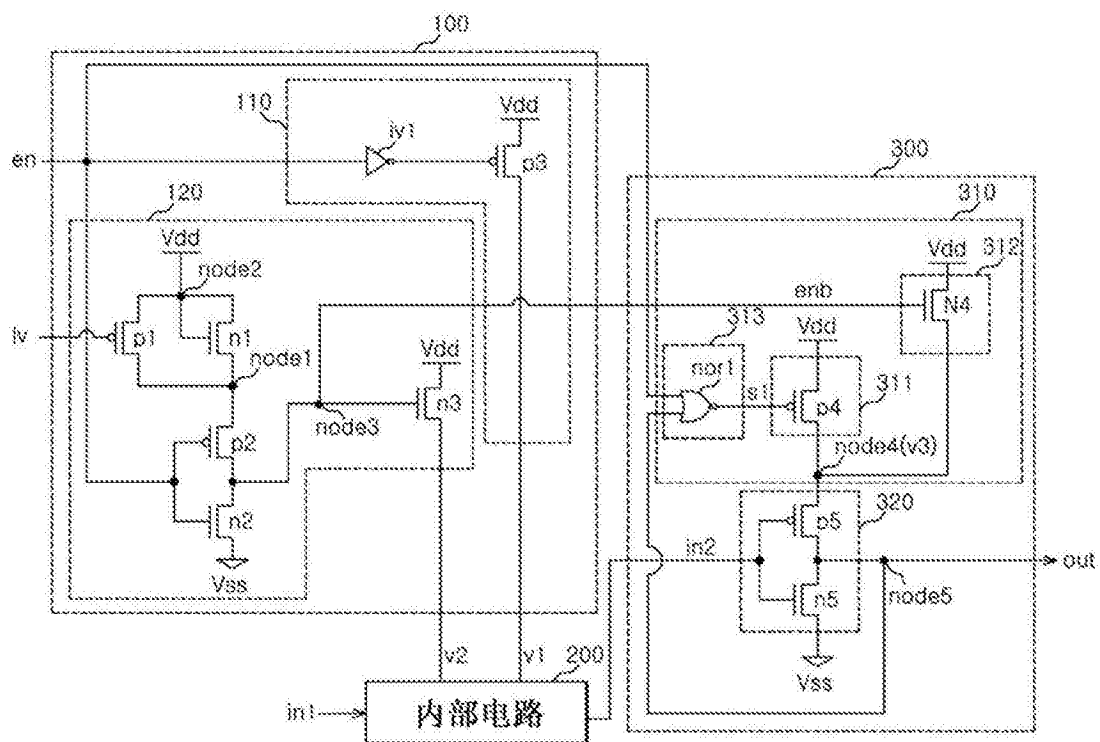


图3