

[12] 发明专利申请公开说明书

[21] 申请号 96180017.8

[43]公开日 1999年2月24日

[11]公开号 CN 1209228A

[22]申请日 96.12.11 [21]申请号 96180017.8

[30]优先权

[32]95.12.22 [33]US [31]60/009,178

[32]96.1.2 [33]GB [31]9600002.1

[32]96.6.28 [33]GB [31]9613608.0

[32]96.10.21 [33]US [31]08/734,555

[86]国际申请 PCT/US96/19829 96.12.11

[87]国际公布 WO97/23955 英 97.7.3

[85]进入国家阶段日期 98.8.17

[71]申请人 汤姆森消费电子有限公司

地址 美国印第安纳州

[72]发明人 R·A·皮特施 P·K·瓦格纳

J·S·斯图尔特

K·拉马斯瓦迈

[74]专利代理机构 中国专利代理(香港)有限公司

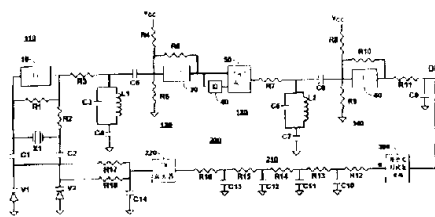
代理人 吴增勇 张志醒

权利要求书 3 页 说明书 10 页 附图页数 2 页

[54]发明名称 压控晶体振荡器和环路滤波器

[57]摘要

以所希望的频率产生时钟信号的可控晶体振荡器包括以所希望的频率的次谐波频率产生信号的压控晶体振荡器(110)。压控晶体振荡器耦合到第一占空比校正器(120),后者产生大致具有所希望的占空比的信号。第一占空比校正器耦合到倍频器(130),后者大致以所希望的频率产生信号。接着,倍频器耦合到第二占空比校正器(140)。第二占空比校正器以所希望的频率产生具有所希望的占空比的时钟信号。



权利要求书

1. 一种用来以所希望的频率产生时钟信号的可控晶体振荡器,其特征
在于包括:

5 压控晶体振荡器,它以所希望的频率的次谐波频率产生振荡信号;

第一占空比校正器,它被耦合到所述压控晶体振荡器;

倍频器,它耦合到所述第一占空比校正器,用于以所希望的频率
产生振荡信号;以及

10 第二占空比校正器,它耦合到所述倍频器,用于以所希望的频率产生
时钟信号。

2. 权利要求1的受控振荡器,其特征在于所述压控晶体振荡器包
括隔离的皮尔斯振荡器。

15 3. 权利要求2的受控振荡器,其特征在于所述压控晶体振荡器包
括逻辑门的隔离的皮尔斯振荡器。

4. 权利要求2的受控振荡器,其特征在于所述压控晶体振荡器包
括基模晶体。

5. 权利要求2的受控振荡器,其特征在于所述所希望的频率是大
致40MHz,而所述所希望的频率的次谐波是大约20MHz。

20 6. 权利要求1的受控振荡器,其特征在于所述第一占空比校正器
把占空比校正为大致50%,并且包括:

调谐电路,它大致是所希望的频率的次谐波的谐振频率,它耦
合到所述压控晶体振荡器;

25 高增益放大器,其输入端被加偏压到其中间偏压点,并且其输出
端产生用来校正占空比的振荡信号;以及

用于把所述调谐电路AC耦合到所述高增益放大器的所述输入端
的电路。

7. 权利要求6的受控振荡器,其特征在于所述高增益放大器包括



被加偏压而进入激活区域的逻辑门。

8. 权利要求 6 的受控振荡器，其特征在于：

所述压控振荡器的输出端耦合到第一占空比校正器；以及

5 所述调谐电路连接在所述压控振荡器的输出端与参考电位的源点之间，并且，在其谐振频率下呈现高阻抗，而在非谐振频率下呈现低阻抗。

9. 权利要求 1 的受控振荡器，其特征在于所述倍频器包括：

“异”门，它有耦合到第一占空比校正器的第一输入端和第二输入端，并且以所希望的频率产生振荡信号；以及

10 延迟电路，它连接在所述第一占空比校正器与所述“异”门的所述第二输入端之间。

10. 权利要求 1 的受控振荡器，其特征在于所述第二占空比校正器包括：

调谐电路，它有基本上所希望的频率的谐振频率；

15 高增益放大器，其输入端被加偏压到其中间偏压点的输入端，并且，其输出端产生时钟信号；以及

用于把所述调谐电路 AC 耦合到所述高增益放大器的所述输入端的电路。

11. 权利要求 10 的受控振荡器，其特征在于所述高增益放大器包括被加偏压而进入激活区域的逻辑门。

12. 权利要求 10 的受控振荡器，其特征在于：

所述倍频器的输出端耦合到第二占空比校正器；以及

所述调谐电路连接在所述倍频器的所述输出端与所述参考电位的源点之间，并且在其谐振频率下呈现高阻抗，而在非谐振频率下呈现低阻抗。

13. 一种信号处理系统，其特征在于包括：

受控振荡器，用于以所希望的频率产生时钟信号，它包括：

压控晶体振荡器，它响应控制信号、以所希望的频率的次谐



波产生振荡信号;

第一占空比校正器, 它被耦合到所述压控晶体振荡器;

倍频器, 它耦合到所述第一占空比校正器, 用于以所希望的频率产生振荡信号;

5 第二占空比校正器, 它耦合到所述倍频器, 用于以所希望的频率产生时钟信号;

信号处理电路, 它对所述时钟信号作出响应、用于处理输入数据信号并产生输出数据信号和时钟定时误差信号;

分立滤波器, 它对所述时钟定时误差信号作出响应;

10 连接在所述分立滤波器与所述压控振荡器之间、用于产生控制信号以便把所述时钟定时误差信号减到最小的电路。

14. 权利要求 13 的系统, 其特征在于:

所述信号处理电路包括用于以二进制速率乘法器信号的形式产生时钟定时误差信号的电路;

15 所述分立滤波器包括分立低通滤波器; 以及
所述控制信号发生电路包括 DC 放大器。

15. 权利要求 14 的系统, 其特征在于所述分立滤波器包括 RC 低通滤波器。

说明书

压控晶体振荡器和环路滤波器

5 本申请涉及用于产生相当高频率数字时钟信号的压控晶体振荡器(VCXO)和环路滤波器。

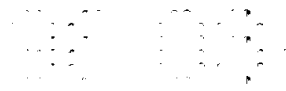
 在当前的高速调制解调器应用中,例如在数字卫星广播系统中,需要有大约 40MHz 的其占空比基本上保持在 50%的可控时钟信号。在这频率范围内的基波型晶体没有足够的牵引范围来提供合适的信号锁定
10 能力和对变化中的晶体参数进行补偿。这样,现有技术的 VCXO 一直使用三次谐波晶体。可是不用有效的调节就不能获得在这频率范围内的使用三谐波晶体的适当的 VCXO 工作特性。

 另一种方法一直使用所希望的时钟频率的适当的次谐波作为基波,并使用倍频技术来产生时钟信号。这种倍频器通常是锁相环路
15 (PLL)。可是, PLL 在时钟信号中引入相位抖动,并会在例如频率扫描操作期间有闭锁的问题。

 此外,来自典型的集成电路(IC)振荡器的输出信号没有 50%占空比。而由这种振荡器产生的时钟信号的前沿和后沿是斜的,这是由于用作振荡器放大器的 IC 门的上升和下降时间的改变造成的。

20 对于在高速装置,例如在数字卫星系统高速调制解调器中的应用,希望有一种这样的简单的可控晶体振荡器,它有相当高的频率范围,有稳定的占空比和有相当低的相位抖动。

 根据本发明的原理,一种以所希望的频率产生时钟信号的可控晶体振荡器包括压控晶体振荡器,它产生所希望的频率的次谐波信号。
25 这种压控晶体振荡器被耦合到第一占空比校正器,后者产生具有基本上是所希望的占空比的信号。第一占空比校正器被耦合到倍频器,后者产生基本上是所希望的频率的信号。跟着,倍频器被耦合到第二占空比校正器。第二占空比校正器以所希望的频率产生具有所希望的占空



比的时钟信号。

在附图中：

图 1 是包含本发明的数字卫星系统的高速调制解调器的一部分的方框图；

5 图 2 是根据本发明的受控晶体振荡器的更详细的方框图；

图 3 是根据本发明的环路滤波器的更详细的方框图；和

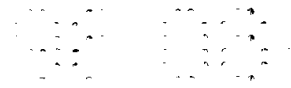
图 4 是图 2 中所说明的受控振荡器的原理图。

10 图 1 是包含本发明的数字卫星系统高速调制解调器的一部分的方框图。在附图中只表示了那些对理解本发明有必要和有用的元件。本专业的技术人员将明白在这系统中需要其它什么元件、知道如何设计和实现这些其它元件、以及如何把这些其它元件与附图中所说明的元件连接起来。

15 在数字卫星系统的地面站中,数据信号(例如,代表电视节目的数据信号)以已知的方式被变成符号序列。代表这符号序列的信号被调制到载波上,并被发送到卫星,后者把调制后的符号序列广播到地面接收机。这些接收机以已知的方式解调代表这符号序列的信号,恢复成为符号序列,重建数据信号。接收机所进行的部分处理是恢复符号定时,以便能准确地提取符号。虽然被发送的符号定时通常是稳定的,但在代表不同的数据信号(例如,从不同的卫星或地面站)的符号序列之间会存在些微的定时差别,或者由于传播效应或元件参数变化,或者由于

20 卫星中的交换(switching)转发器,定时会有稍微的移动。这样,在接收机中的用于恢复符号定时的时钟必须稳定,而且要可控,以便补偿符号定时中的些微变化。

25 图 1 中,输入端耦合到代表符号序列的被接收信号的取样信号源(未示出)。取样数据输入端耦合到符号定时恢复电路 300 的第一输入端。符号定时恢复电路 300 的第二输入端耦合到受控振荡器 100 的输出端,此受控振荡器提供恢复符号序列所需的定时时钟信号。



符号定时恢复电路 300 的第一输出端产生代表这符号序列的信号。符号数据输出端耦合到进一步的应用电路(未示出), 后者以已知的方式处理被恢复的符号序列来复原被发送的数据, 并基于这些数据来运行(例如, 产生电视节目的图象和声音)。符号定时恢复电路 300 以二进制速率乘法器(BRM)信号的形式(下面将更详细地描述)产生定时误差信号 e, 符号定时恢复电路 300 的第二输出端耦合到 BRM 滤波器 200 的输入端。BRM 滤波器 200 的输出端耦合到受控振荡器 100 的控制输入端。

工作中,符号定时恢复电路 300 根据由受控振荡器 100 送来的时钟信号的定时, 以已知的方式从送来的样值中恢复被发送的符号序列。如上所述,在当前的数字卫星系统中,时钟信号的标称频率是 40MHz。此外,为了正确地恢复符号序列, 这种时钟信号必须有大致 50%的占空比。因为被发送的符号序列的定时是相当稳定的,所以, 受控振荡器 100 的时钟信号基于晶体振荡器。

符号定时恢复电路 300 也分析所接收的样值, 并产生误差信号 e, 后者代表被发送的符号序列与从受控振荡器 100 来的当前时钟信号之间的定时误差。在符号定时恢复电路 300 的所说明的实施例中,误差信号 e 具有二进制速率乘法器信号形式, 这信号是其平均模拟值等于定时误差值的脉冲序列。定时误差信号 e 以已知的方式被 BRM 滤波器 200 滤波, 并且, 滤波后的误差信号以已知的方式被用来控制受控振荡器 100 的输出频率, 以期使这误差信号为零。

图 2 是根据本发明的受控晶体振荡器的更详细的方框图。图 2 中, 从(图 1 的)BRM 滤波器 200 来的控制信号被耦合到压控晶体振荡器 (VCXO)110 的控制输入端。VCXO 110 的输出端被耦合到第一占空比校正器 120 的输入端。第一占空比校正器 120 的输出端被耦合到倍频电路 130 的输入端。倍频电路 130 的输出端被耦合到第二占空比校正器 140 的输入端。第二占空比校正器 140 的输出端产生时钟信号, 并被耦合到(图 1 的)符号定时恢复电路 300 的时钟信号输入端。



工作时,VCXO 110 工作在 20MHz 上,此频率是所希望的频率 40MHz 的一半。在最佳实施例中,VCXO 110 被制造成 IC 振荡器。可是,如上所述,IC 振荡器不能提供稳定的 50%占空比的时钟信号。如果这样的一个信号被二倍频,就不可能产生相位和占空比稳定的时钟信号。第一占空比校正器 120 用来校正占空比的变化,并产生有基本上是 50%占空比的时钟信号。这信号可以最小的相位抖动被倍频。倍频电路 130 以已知的方式产生 40MHz 的时钟信号。第二占空比校正器 140 校正由倍频操作引起的任何相位抖动,并产生有最小的相位抖动和大致 50%占空比的 40MHz 的时钟信号。

图 3 是根据本发明的环路滤波器的更详细的方框图。图 3 中,那些与图 1 中所说明的元件相同的元件以相同的标号来表示,并且在下面将不再详细描述。图 3 中, BRM 滤波器 200 包括串联连接的分立的低通滤波器(LPF)210 和 DC 放大器 220, 它们连接在符号定时恢复电路 300 的符号误差信号输出端与受控振荡器 100 的控制输入端之间。

如上所述,符号定时恢复电路 300 中的电路(未示出)以已知的方式从送到其输入端的样值中提取符号序列,并以已知的方式在它的输出端产生那些符号。此外,符号定时恢复电路 300 产生二进制速率乘法器(BRM)输出信号,后者的模拟平均值代表误差信号 e。为此目的,符号定时恢复电路包括串联连接的符号定时恢复(STR)误差估计器 310、STR 环路滤波器 320 和 BRM 信号发生器 330。这些元件以数字逻辑电路来实现,并以已知的方式工作。

从 BRM 信号发生器 330 来的 BRM 误差信号 e 必须被滤波,以消除 BRM 脉冲频率分量,只留下误差信号分量,即 BRM 脉冲信号的平均值。需要一个低通滤波器来实现这个功能。在现有技术的电路中,配置成有源低通滤波器的低成本运算放大器已被用来进行低通滤波。可是,已经发现,有源低通滤波器能把输入信号中的某些部分发送到它的输出信号,从而使输出信号畸变,即一种称为馈通的状态。为了克服

这个问题, 已经发现, 由无源的元件构成的、设置在 DC 电压转换/放大的放大器之前的分立的低通滤波器消除了这个问题。

工作时, 分立的 LPE 210 由一个 RC 低通滤波器或多个级联的 RC 低通滤波器级构成(下面要更详细地描述)。这种网络提供了与有源滤波器相同的低通滤波特性, 但没有馈通。从分立的 LPE 210 来的输出信号被 DC 放大器 220 处理, 而产生对受控振荡器 100 的控制信号。DC 放大器 220 以已知的方式提供电压电平移动(shifting)和误差信号放大, 后者是产生受控振荡器 100 的适当的控制信号所需的。

图 4 是图 3 中所说明的符号定时恢复环路的原理图。图 4 中, 晶体 X1 的第一电极被耦合到集成电路(IC)门 10 的输入端, 以及第一电阻 R1 和第一电容 C1 的各自的第一电极。晶体 X1 的第二电极耦合到第二电阻 R2 和第二电容 C2 的各自的第一电极。第一 IC 门 10 的输出端耦合到第一电阻 R1 和第二电阻 R2 的各自的第二电极和第三电阻 R3 的第一电极。第一电容 C2 的第二电极耦合到第一变容二极管 V1 的第一电极。第二电容 C2 的第二电极耦合到第二变容二极管 V2 的第一电极。第一变容二极管 V1 和第二变容二极管 V2 的各自的第二电极耦合到参考电位(地)的源点。

逻辑门 10、晶体 X1、第一和第二电阻 R1 和 R2、第一和第二电容 C1 和 C2、以及第一和第二变容二极管 V1 和 V2 的组合是逻辑门型的隔离皮尔斯振荡器, 并且构成(图 2 的)VCXO 110。晶体 X1 是有 20MHz 中心频率的基波型晶体。在最佳实施例中, 晶体 X1 有 8pf 的标称负载电容, 并且在从 5pf 到 14pf 的负载电容范围内, 有起码 \pm 百万分之 100 (100ppm) 的范围。

逻辑门 10 是标准的 IC 逻辑门, 并且在最佳实施例中, 它是制造在单个 IC 封装中(例如工业标准 74AC86)的四个“异”门中的一个。图 4 中所说明的门 30、50 和 60(下面将更详细地描述)是由该 IC 封装中的余下的三个“异”门形成的。在这样的实施例中, “异”门 10、50 和 60 中只有一个输入端接收输入信号, 而这些门的各自的第二输入端都

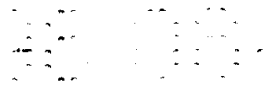
以已知的方式耦合到逻辑“1”信号的源(未示出)。

电阻 R1 给逻辑门 10 的输入端加偏压使其进入激活区域。电阻 R2 限制晶体电流,并考虑到在第二变容二极管 V2 的控制下的相移和频率响应下降(roll off)。图 4 中,第一和第二变容二极管 V1 和 V2 分别有在 1 伏 DC 电压时的 25.5pf 到 10.5 伏 DC 电压时的 6pf 的电容量。在最佳实施例中,变容二极管由 Sony 公司制造,并有 Thomson Consumer Electronic, Inc. 零件号 445-480。

包括与第四电容 C4 串联的并联连接的第三电容 C3 和第一电感 L1 的第一调谐电路耦合在第三电阻 R3 的第二电极与地之间。第三电阻 R3 为第一调谐电路提供隔离和限流。第一调谐电路预定具有大致 20MHz 的谐振频率,即 VCXO 110 的输出频率。第一调谐电路在谐振频率下有高阻抗,而在其它频率下有低阻抗。这样,从 VCXO 110 的输出的时钟信号的所有其它频率分量被旁路到地,只留下第一调谐电路的 20MHz 的谐振频率附近的 VCXO 110 的输出信号分量。因此,在第三电阻 R3 的第二电极处的信号是在 VCXO 110 频率下的正弦波。

第五电容 C5 从第三电阻 R3 的第二电极与第一调谐电路的连接点连接到第二逻辑门 30 的输入端,并且连接到第四电阻 R4 和第五电阻 R5 的各自的第一电极。第四电阻 R4 的第二电极连接到工作电位 V_{CC} 的源,而第五电阻 R5 的第二电极连接到地。第二逻辑门 30 的输出端通过第六电阻 R6 耦合到逻辑门 30 的输入端。第四和第五电阻 R4 和 R5 的组合提供了第五电容 C5 的放电通路以及对第二逻辑门的输入端的粗的 DC 偏置,而第六电阻 R6 给第二逻辑门 30 加偏压使其进入激活区域。第五电容 C5 把标称 20MHz 的正弦波从第一调谐电路交流(AC)耦合到第二逻辑门 30 的输入端。

以这种方式连接的逻辑门起高增益放大器作用。当把正弦波信号 AC 耦合到逻辑门的输入端,它规格化化到中间偏压点。因此,正弦波输入信号将在第二逻辑门 30 的输出端产生大致 50% 占空比的时钟信号。第一调谐电路(C3, L1, C4)与带有其偏置元件(R4, R5, R6)



的第二逻辑门 30 的组合构成(图 1 的)占空比校正电路 120。

第二逻辑门 30 的输出端耦合到“异”门 50 的第一输入端，以及延迟电路 40 的输入端。延迟电路 40 的输出端被耦合到“异”门 50 的第二输入端。例如，延迟电路 40 可以是分立的低通 RC 滤波器，它有连接在它的输入端和输出端之间的电阻以及连接在它的输出端与地之间的电容。“异”门 50 与延迟电路 40 的组合以已知的方式产生在 20MHz 输入信号的每个转变处的一系列脉冲、或者 40MHz 频率的一系列脉冲。这样，它形成(图 1 的)倍频器 130。

“异”门 50 的输出端也耦合到第七电阻 R7 的第一电极。包括并联连接的第六电容 C6 和第二电感 L2 以及与其串联的第七电容 C7 的第二调谐电路连接在第七电阻 R7 的第二电极与地之间。第七电阻 R7 对第二调谐电路提供隔离和限流。第二调谐电路有 VCXO 110 的频率的两倍的或 40MHz 的谐振频率。第二调谐电路也在谐振频率处有高的阻抗而在其它频率下有低阻抗。这样，其它频率被旁路到地，只留下在第二调谐电路谐振频率，即 40MHz 附近的“异”门 50 的输出信号分量。在第七电阻 R7 的第二电极与第二调谐电路的连接点处的信号是 VCXO 110 频率的两倍的正弦波。

第八电容 C8 从第七电阻 R7 的第二电极与第二调谐电路的连接点连接到第三逻辑门 60 的输入端，并且连接到第八电阻 R8 和第九电阻 R9 的各自的第一电极。第八电阻 R8 的第二电极连接到工作电位 V_{CC} 的源，而第九电阻 R9 的第二电极连接到地。第三逻辑门 60 的输出端通过第十电阻 R10 耦合到第三逻辑门 60 的输入端。以与第二逻辑门 30 类似的方式，第八和第九电阻 R8 和 R9 分别为第八电容 C8 提供放电通路和对第三逻辑门的输入端的粗的 DC 偏置，而第十电阻 R10 给第三逻辑门 60 加偏压使其进入激活区域。第八电容 C8 把标称 40Mhz 的正弦波信号从第二调谐电路耦合到第三逻辑门 60 的输入端。因为 AC 耦合到输入端的正弦波规格化)到中间偏压点，所以，第三逻辑门产生具有两倍 VCXO 110 频率的、大致 50% 占空比的时钟信号。第二调谐电路

(C6, L2, C7)与带有其偏置元件(R8, R9, R10)的第三逻辑门 60 的组合构成(图 1 的)占空比校正电路 140。

第三逻辑门 60 的输出端耦合到第十一电阻 R11 的第一电极。第十一电阻 R11 的第二电极产生具有大致 50% 占空比的、所希望的 40MHz 的受控时钟信号,并被耦合到第九电容 C9 的第一电极和(图 1 的)符号定时恢复(STR)电路 300 的输入端。第十一电阻 R11 和第九电容 C9 形成用于使由第三逻辑门 60 产生的时钟信号的高次谐波成分的频率响应下降的 RC 网络。

符号定时恢复(STR)电路 300 的输出端耦合到第十二电阻 R12 的第一电极。第十二电阻 R12 的第二电极耦合到第十电容 C10 和第十三电阻 R13 的各自的第一电极。第十三电阻 R13 的第二电极耦合到第十一电容 C11 和第十四电阻 R14 的各自的第一电极。第十四电阻 R14 的第二电极耦合到第十二电容 C12 和第十五电阻 R15 的各自的第一电极。第十五电阻 R15 的第二电极耦合到第十三电容 C13 和第十六电阻 R16 的各自的第一电极。第十六电阻 R16 的第二电极耦合到 DC 放大器 220 的输入端。

如上所述,符号定时恢复电路 300 使用了由受控振荡器 100 产生的 40MHz 的时钟来恢复被发送的符号,并产生误差信号 e, 此误差信号代表从受控振荡器 100 来的时钟信号与所接收的符号的定时之间的误差。在最佳实施例中,这误差信号具有二进制速率乘法器(BRM)信号的形式, 它的平均值是误差的值。这种 BRM 信号用分立滤波器 210 来滤波, 以便提取平均值。第十二电阻 R12 和第十电容 C10 形成第一低通 RC 滤波器级;第十三电阻 R13 和第十一电容 C11 形成第二低通 RC 滤波器级;第十四电阻 R14 和第十二电容 C12 形成第三低通 RC 滤波器级;以及第十五电阻 R15 和第十三电容 C13 形成第四低通 RC 滤波器级。第一、第二、第三、第四低通滤波器级结合起来形成(图 3 的)分立低通滤波器(LPF)210。分立低通滤波器 210 产生代表从符号定时恢复电路 300 来的 BRM 误差信号 e 的平均值的信号。



分立低通滤波器 210 通过第十六电阻 R16 被耦合到 DC 放大器 220 的输入端。DC 放大器 220 的输出端被耦合到第十四电容 C14 的第一电极，以及通过第十七电阻 R17 和第十八电阻 R18 耦合到第一变容二极管 V1 和第二变容二极管 V2 的各自的第一电极。第十四电容 C14 的第二电极接地。DC 放大器 220 产生用于分别控制第一和第二变容二极管 V1 和 V2 的 DC 控制信号。第十七和第十八电阻 R17 和 R18 起着把 DC 放大器 220 分别与第一和第二变容二极管 V1 和 V2 中的每一个隔离开的作用，并且把第一和第二变容二极管 V1 和 V2 彼此隔离开。第十四电容 C14 为变容二极管控制信号提供附加的滤波作用。

下面的表 I 给出在图 4 所说明的元件的最佳值。

虽然在数字卫星系统中实施的形式说明了本发明，但是，本专业的技术人员明白：根据本发明的受控振荡器可以用在任何需要有相当高频率和严格控制的占空比的受控晶体振荡器的地方。

表 I

元件值

元件	值 Ω
R1	100k
R2	1k
R3	1k
R4	1k
R5	1k
R6	100k
R7	1k
R8	1k
R9	1k
R10	100k
R11	100
R12	1k
R13	1k
R14	1k
R15	1k
R16	100k
R17	270k
R18	270k

元件	值 f.
C1	270p
C2	270p
C3	100p
C4	.1μ
C5	27p
C6	10p
C7	.1μ
C8	27p
C9	27p
C10	.033μ
C11	.033μ
C12	.033μ
C13	.033μ
C14	470p

元件	值 h.
L1	.60μ
L2	.60μ

说明书附图

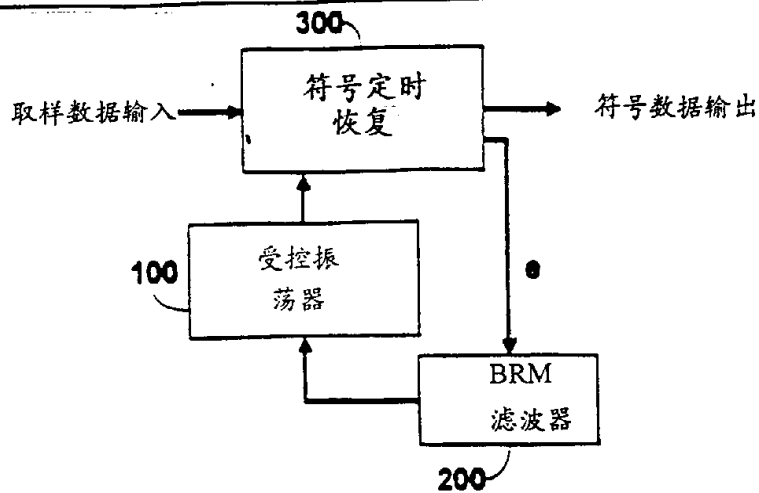


图. 1

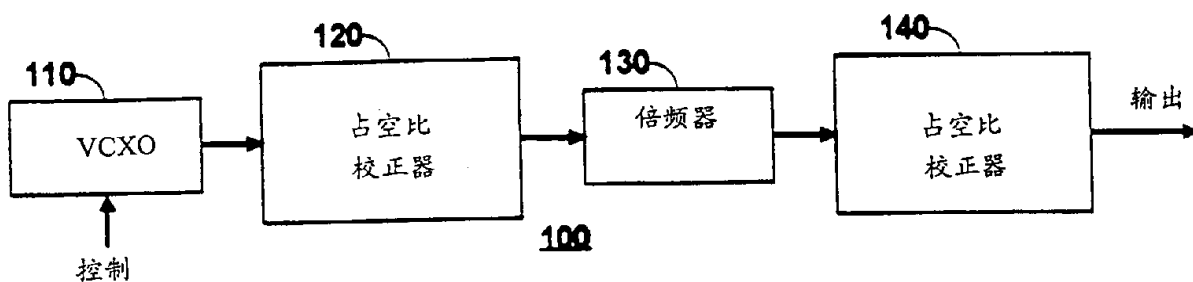


图. 2

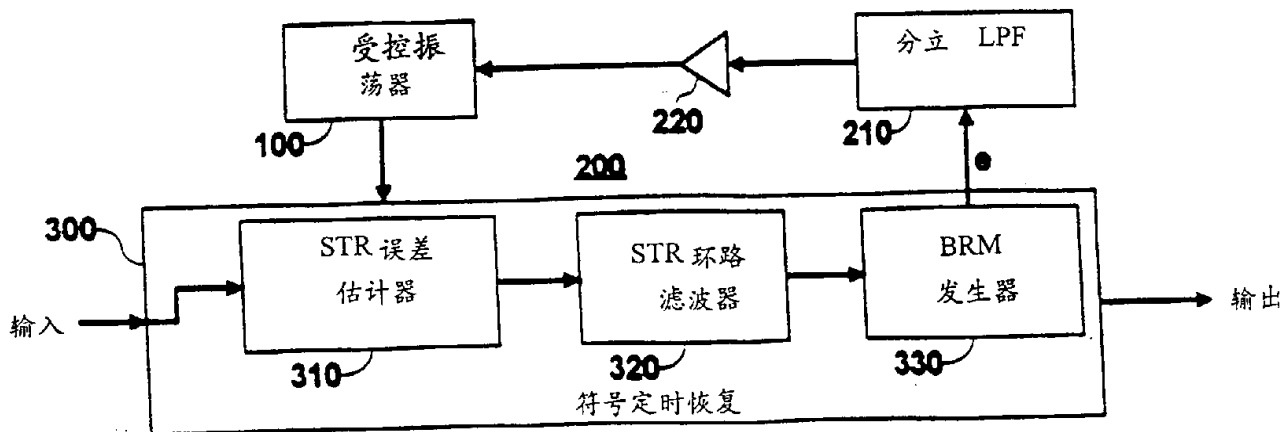


图. 3

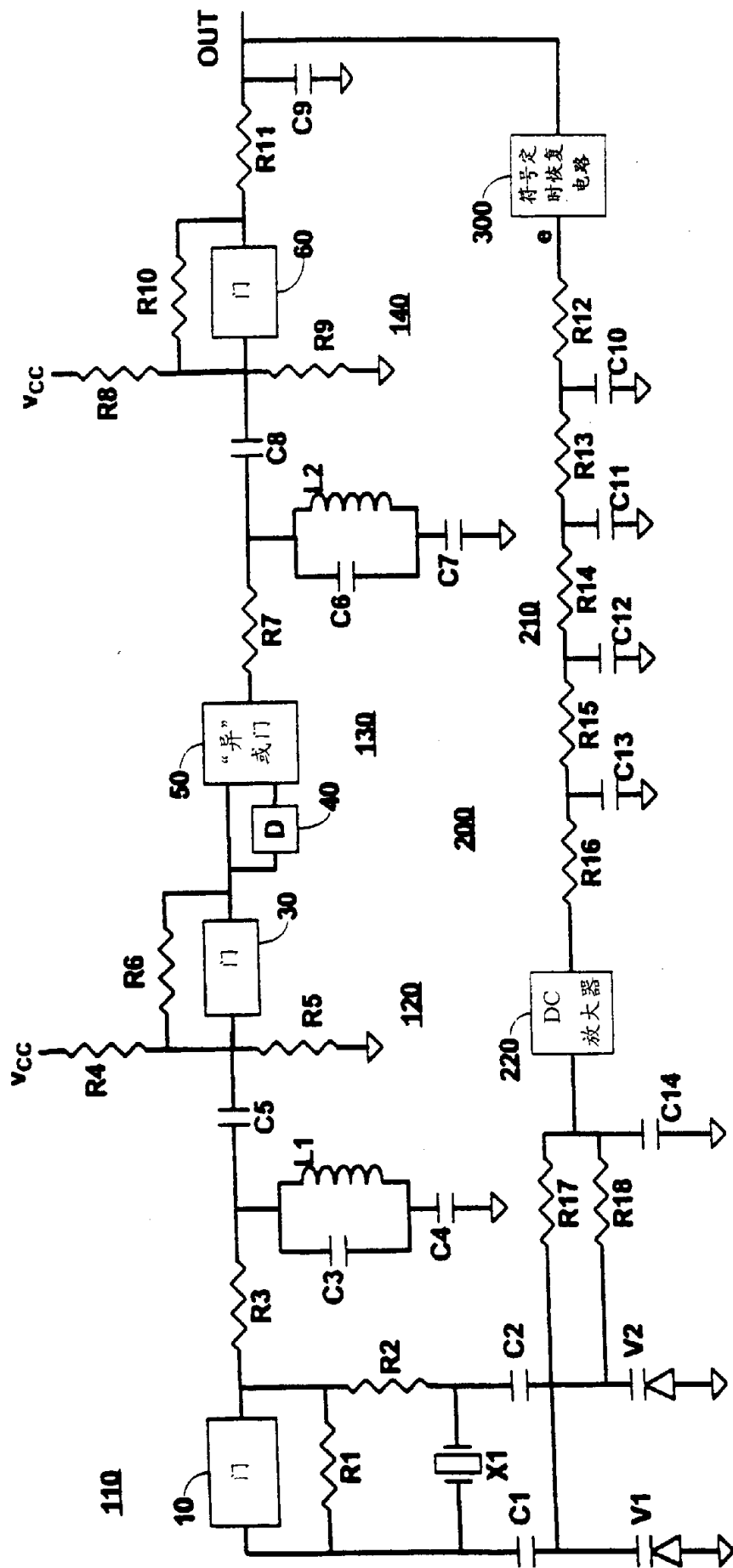


图. 4