



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2008년11월13일
 (11) 등록번호 10-0868713
 (24) 등록일자 2008년11월07일

(51) Int. Cl.

G11C 11/401 (2006.01) *G11C 11/4091* (2006.01)

(21) 출원번호 10-2006-0062920

(22) 출원일자 2006년07월05일

심사청구일자 2006년07월05일

(65) 공개번호 10-2007-0098390

(43) 공개일자 2007년10월05일

(30) 우선권주장

JP-P-2006-00093827 2006년03월30일 일본(JP)

(56) 선행기술조사문헌

US 4106108 A*

(뒷면에 계속)

전체 청구항 수 : 총 9 항

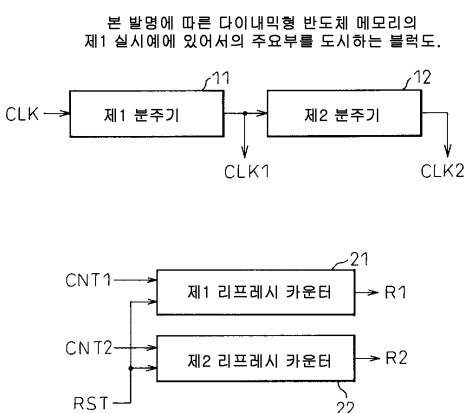
심사관 : 이보형

(54) 다이내믹형 반도체 메모리 및 그 리프레시 제어 방법

(57) 요 약

본 발명은 리프레시 커맨드의 요구 빈도를 낮추는 동시에 시분할 동작을 필요로 하지 않는 다이내믹형 반도체 메모리 및 그 리프레시 제어 방법의 제공을 도모하는 것을 목적으로 한다.

제1 내부 리프레시 후보 어드레스를 출력하는 제1 리프레시 카운터(21)와 제1 내부 리프레시 후보 어드레스와는 다른 제2 내부 리프레시 후보 어드레스를 출력하는 제2 리프레시 카운터(22)를 구비하고, 리프레시 동작시에 있어서 외부로부터 액세스된 어드레스가 상기 제1 내부 리프레시 후보 어드레스(R1)에 일치했을 때는 상기 제2 내부 리프레시 후보 어드레스(R2)로부터 리프레시 동작을 시작하도록 구성한다.

대 표 도 - 도4

(56) 선행기술조사문현
KR1020030001710 A
US5627791 B
KR1020020079322 A
KR1020070069878 A
JP10247384 A
US 5715206 A
US 6134169 A
US 2005/0157577 A1
US 2004/0133735 A1

*는 심사관에 의하여 인용된 문현

특허청구의 범위

청구항 1

센스 앰프 및 상기 센스 앰프에 접속된 복수의 비트선과 복수의 워드선과의 교차 개소에 각각 메모리 셀이 설치된 메모리 코어를 갖는 메모리 블록을 복수개 갖고, 상기 워드선을 선택하여 상기 워드선에 접속된 메모리 셀을 상기 센스 앰프에 의해 동시에 활성화하여 상기 메모리 블록을 순차 리프레시하는 다이내믹형 반도체 메모리로서,

제1 내부 리프레시 후보 어드레스를 출력하는 제1 리프레시 카운터와,

제1 내부 리프레시 후보 어드레스와는 다른 제2 내부 리프레시 후보 어드레스를 출력하는 제2 리프레시 카운터를 구비하고,

리프레시 동작시에 있어서 외부로부터 액세스된 어드레스가 상기 제1 내부 리프레시 후보 어드레스에 일치했을 때는 상기 제2 내부 리프레시 후보 어드레스로부터 리프레시 동작을 개시하며,

상기 제1 리프레시 카운터는 제1 카운트 신호를 카운트하여 상기 제1 내부 리프레시 후보 어드레스를 출력하는 제1 카운터를 구비하고,

상기 제2 리프레시 카운터는 제2 카운트 신호를 카운트하는 제2 카운터와, 상기 제2 카운터의 출력을 보수 변환하여 상기 제2 내부 리프레시 후보 어드레스를 출력하는 보수 변환 회로를 구비하는 것을 특징으로 하는 다이내믹형 반도체 메모리.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 제1 리프레시 카운터는, 제1 카운트 신호를 카운트하여 제1 워드선의 내부 리프레시 후보 어드레스를 출력하는 제1 워드선 어드레스 카운터 및 상기 제1 워드선 어드레스 카운터로부터의 캐리 신호를 카운트하여 제1 블록 메모리의 내부 리프레시 후보 어드레스를 출력하는 제1 블록 어드레스 카운터를 구비하고,

상기 제2 리프레시 카운터는, 제2 카운트 신호를 카운트하고 제2 워드선의 내부 리프레시 후보 어드레스를 출력하는 제2 워드선 어드레스 카운터 및 상기 제2 워드선 어드레스 카운터로부터의 캐리 신호를 카운트하여 제2 블록 메모리의 내부 리프레시 후보 어드레스를 출력하는 제2 블록 어드레스 카운터를 구비하는 것을 특징으로 하는 다이내믹형 반도체 메모리.

청구항 4

제3항에 있어서,

상기 제1 워드선 어드레스 카운터 및 상기 제1 블록 어드레스 카운터는, 워드선 어드레스 및 블록 어드레스의 최하위 비트를 초기값으로 설정하여 상기 제1 카운트 신호에 따라서 카운트업되고,

상기 제2 워드선 어드레스 카운터 및 상기 제2 블록 어드레스 카운터는, 워드선 어드레스 및 블록 어드레스의 최상위 비트를 초기값으로 설정하여 상기 제2 카운트 신호에 따라서 카운트 다운되는 것을 특징으로 하는 다이내믹형 반도체 메모리.

청구항 5

제3항에 있어서,

리프레시 동작시에 외부로부터 액세스된 블록의 어드레스가 상기 제1 블록 메모리의 내부 리프레시 후보 어드레스에 일치하지 않을 때는 상기 제1 내부 리프레시 후보 어드레스로부터 리프레시 동작을 시작하고,

상기 리프레시 동작시에 외부로부터 액세스된 블록의 어드레스가 상기 제1 블록 메모리의 내부 리프레시 후보 어드레스에 일치했을 때는, 상기 제2 내부 리프레시 후보 어드레스로부터 리프레시 동작을 개시하는 것을 특징

으로 하는 다이내믹형 반도체 메모리.

청구항 6

리프레시 동작시에 동시에 활성화하는 센스 앰프군을 공유하는 메모리 셀 어레이를 갖는 메모리 블록을 복수개 설치하여 구성되는 다이내믹형 반도체 메모리의 리프레시 제어 방법으로서,

제1 리프레시 블록 후보를 준비하는 단계와,

제1 리프레시 블록 후보와는 다른 제2 리프레시 블록 후보를 준비하는 단계와,

상기 제1 또는 제2 리프레시 블록 후보 중 외부로부터 액세스되지 않은 어느 하나의 메모리 블록에 대하여 상기 리프레시 동작을 수행하는 단계

를 포함하고,

상기 제1 리프레시 블록 후보를 준비하는 단계는, 제1 카운트 신호를 카운트하여 상기 제1 리프레시 블록 후보를 준비하는 단계를 포함하고,

상기 제2 리프레시 블록 후보를 준비하는 단계는, 제2 카운트 신호를 카운트하고, 카운트된 결과를 보수 변환하여 상기 제2 리프레시 블록 후보를 준비하는 단계를 포함하는 것인, 다이내믹형 반도체 메모리의 리프레시 제어 방법.

청구항 7

제6항에 있어서,

상기 리프레시 동작은 정기적인 제어 신호를 바탕으로 생성한 리프레시 신호에 따라서 행하는 것을 특징으로 하는 다이내믹형 반도체 메모리의 리프레시 제어 방법.

청구항 8

제6항에 있어서,

상기 다이내믹형 반도체 메모리에 대한 외부 액세스 동작 및 상기 리프레시 동작을 동시에 행하는 것을 특징으로 하는 다이내믹형 반도체 메모리의 리프레시 제어 방법.

청구항 9

제7항 또는 제8항에 있어서,

상기 다이내믹형 반도체 메모리에 대한 외부 액세스 동작이 미리 준비된 상기 제1및 제2 리프레시 블록 후보의 어느 쪽과도 일치하지 않는 경우, 상기 제1 리프레시 블록 후보에 대하여 리프레시 동작을 하는 것을 특징으로 하는 다이내믹형 반도체 메모리의 리프레시 제어 방법.

청구항 10

삭제

청구항 11

센스 앰프 및 상기 센스 앰프에 접속된 복수의 비트선과 복수의 워드선과의 교차 개소에 각각 메모리 셀이 설치된 메모리 코어를 갖는 메모리 블록을 복수개 갖고, 상기 워드선을 선택하여 상기 워드선에 접속된 메모리 셀을 상기 센스 앰프에 의해 동시에 활성화하여 상기 메모리 블록을 순차 리프레시하는 다이내믹형 반도체 메모리로서,

제1 내부 리프레시 후보 어드레스를 출력하는 제1 리프레시 카운터와,

제1 내부 리프레시 후보 어드레스와는 다른 제2 내부 리프레시 후보 어드레스를 출력하는 제2 리프레시 카운터를 구비하고,

상기 제1 리프레시 카운터는, 제1 카운트 신호를 카운트하여 제1 워드선의 내부 리프레시 후보 어드레스를 출력하는 제1 워드선 어드레스 카운터 및 상기 제1 워드선 어드레스 카운터로부터의 캐리 신호를 카운트하여 제1 블

록 메모리의 내부 리프레시 후보 어드레스를 출력하는 제1 블록 어드레스 카운터를 구비하고,

상기 제2 리프레시 카운터는, 제2 카운트 신호를 카운트하고 제2 워드선의 내부 리프레시 후보 어드레스를 출력하는 제2 워드선 어드레스 카운터 및 상기 제2 워드선 어드레스 카운터로부터의 캐리 신호를 카운트하여 제2 블록 메모리의 내부 리프레시 후보 어드레스를 출력하는 제2 블록 어드레스 카운터를 구비하며,

리프레시 동작시에 있어서 외부로부터 액세스된 어드레스가 상기 제1 내부 리프레시 후보 어드레스에 일치했을 때는 상기 제2 내부 리프레시 후보 어드레스로부터 리프레시 동작을 개시하는 것을 특징으로 하는 다이내믹형 반도체 메모리.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <50> 본 발명은 데이터 유지를 위해 리프레시 동작이 필요한 다이내믹형 반도체 메모리 및 그 리프레시 제어 방법에 관한 것이다.
- <51> 최근 논리 칩에 혼재 가능한 다이내믹형 메모리(SoC 메모리 : System on Chip Memory)를 이용할 수 있게 되었다. SoC 메모리는 개별(단체) 메모리를 이용하는 데 비해서 데이터 입출력의 비트 폭을 크게 할 수 있고, 데이터 전송 레이트를 향상하는 것이 가능하다. 또한, 논리-메모리간의 접속 배선 부하가 대폭 저감되기 때문에 시스템의 소비 전류 저감에도 효과가 있다.
- <52> 즉, 예컨대, 퍼스널 컴퓨터의 메모리와 같이 단체의 다이내믹형 반도체 메모리(DRAM)를 사용한 경우에는 액세스 속도가 느려지고 소비 전력도 커지는 데 대하여 SoC의 내부에 DRAM을 매립함으로써 액세스 속도의 향상, 소비 전력의 저감 및 소형화 및 고성능화를 꾀할 수 있다.
- <53> 그러나, SoC 메모리는 단체의 다이내믹형 반도체 메모리와 비교하여 데이터를 유지하기 위한 커패시터의 용량을 크게 하는 것이 곤란한 것이나, 셀의 누설 전류가 많기 때문에 일반적으로 메모리 셀의 데이터 유지 시간(tREF)은 줄어들고 있다.
- <54> 여기서, 다이내믹형 반도체 메모리의 총 비트수를 T, 한 번의 리프레시(데이터 유지) 동작으로 액세스되는 비트 수를 R 이라고 하면, T/R 회의 리프레시 동작을 tREF 시간 이내에 행할 필요가 있다. 따라서, tREF가 줄어들면 단위 시간당의 리프레시 동작 횟수를 증가시켜야만 한다.
- <55> 그 결과, 종래의 SoC 메모리에서는 단체의 메모리에 비교하여 T(총 비트수)를 적게 또는 R(한 번의 리프레시 동작으로 액세스되는 비트 수)을 가능한 한 크게하는 등에 의해서 tREF 시간의 감소는 그다지 문제가 되지 않았다. 또한 통상의 메모리 액세스와 리프레시 액세스를 시분할로 행하고 외부에 대하여 리프레시 커맨드를 요구하지 않는 것으로 문제를 해결하였다.
- <56> 그런데, 종래 리프레시 동작과 그 때의 외부 액세스 요구가 경합한 경우, 외연상 메모리 코어 동작 1 회분의 액세스 시간으로 외부 액세스를 동작시키도록 한 반도체 기억 장치로서, 동일한 어드레스의 복수의 비트 데이터를 복수의 메모리 셀 블록으로 분산하고, 복수의 메모리 블록에 대하여 각각 독립적으로 리프레시 동작을 제어하여 제1 메모리 셀 블록과 제2 메모리 셀 블록을 다른 타이밍에 리프레시동작시키도록 한 것이 제안되어 있다(예컨대, 특허문현 1 참조).
- <57> 또한, 종래 동일한 뱅크에 대하여 액세스 동작과 리프레시 동작을 동시에 실행하는 것이 가능한 반도체 기억 장치로서 복수의 비트선군의 각각을 제1 스위치 수단을 통해 복수의 제1 센스선군에 접속함과 동시에, 제2 스위치 수단을 통해 복수의 제2 센스선군에 접속하고 제1 및 제2 스위치 수단을 독립적으로 제어함으로써 어떤 활성화된 1 개의 워드선에 의해서 동시에 선택된 메모리 셀로부터의 데이터의 독출 동작과 병행하고, 다른 활성화된 워드선에 의해서 동시에 선택되는 메모리 셀의 데이터를 리프레시하도록 한 것도 제안되어 있다(예컨대, 특허문현 2 참조).
- <58> [특허문현 1] 일본특허공개2003-173676호 공보

<59> [특허문헌 2] 일본특허공개2000-163956호 공보

발명이 이루고자 하는 기술적 과제

- <60> 도 1은 다이내믹형 반도체 메모리의 일례를 도시하는 블럭도이다. 도 1에 있어서, 참조 부호 100은 다이나믹형 반도체 메모리, 101은 주변 회로, 102는 메모리코어, 그리고 121은 메모리 블록을 나타내고 있다. 또한, 본 발명은 예컨대, 논리 칩에 흔재되는 DRAM 등의 SoC 메모리에 알맞은 것이지만, 반드시 SoC 메모리에 한정되는 것은 아니며, 여러가지 다이내믹형 반도체 메모리에 대하여 적용할 수 있다.
- <61> 도 1에 도시된 바와 같이 일반적인 다이내믹형 반도체 메모리(100)는 메모리코어 제어 회로 및 전원 회로 등의 주변 회로(101), 복수의 메모리 블록(121)으로 구성된 메모리 코어(102)로 구성된다.
- <62> 주변 회로(101)는 반도체 메모리(100)의 외부에서 입력되는 제어 신호에 따라서 메모리 코어(102)의 동작을 제어하여 외부와의 데이터의 입출력을 제어하거나 또는 메모리 코어(102)나 주변 회로(101)에서 필요로 하는 전원 공급의 제어를 한다. 메모리 코어(102)는 복수의 메모리 블록(121)으로 구성되고 예컨대, 256개의 메모리 블록(121)으로 구성된다.
- <63> 도 2는 도 1에 도시하는 다이내믹형 반도체 메모리에 있어서의 하나의 메모리 블록의 구성예를 도시하는 도면이다.
- <64> 도 2에 도시된 바와 같이 하나의 메모리 블록(121)은 센스 앰프(1211) 및 센스 앰프(1211)에 접속되는 복수의 비트선(BL) 및 복수의 워드선(WL)의 각 교차 개소에 설치된 복수의 메모리 셀(MC)을 갖는 메모리 셀 어레이(1212)에 의해 구성된다. 센스 앰프(1211)는 워드선(행 선택선)(WL)에 의해서 선택된 메모리 셀(MC)의 데이터를 [비트선(BL)을 통해] 증폭하여 판독하고 또한 외부로부터의 데이터를 기록하거나 혹은 메모리 셀(MC)의 리프레시를 행하기 위해서 설치된다.
- <65> 다이내믹형 반도체 메모리(100)는, 예컨대, 트랜지스터 및 커패시터로 구성되는 메모리 셀(MC)에서의 커패시터의 전하 유무로 데이터를 기억하고 있기 때문에, 구조상 커패시터로부터의 전하 누설을 피할 수 없고 일정 시간마다 잃은 전하의 재주입(재기록)을 행할 필요가 있다. 이 일정 시간마다의 재기록이 리프레시 동작이다.
- <66> 즉, 다이내믹형 반도체 메모리(100)에서는 워드선(WL)에 의해서 선택된 메모리 셀(MC)의 데이터를 비트선(BL)을 통해 센스 앰프(1211)로 증폭함으로써, 워드선(WL)으로 선택된 메모리 셀(MC)에의 재기록(리프레시)이 행하여진다.
- <67> 센스 앰프(1211)는 메모리 블록(121)내의 복수의 메모리 셀(MC)에 대하여 공통으로 배치되어 있다. 상술하면, 메모리 블록(121)내의 어떤 하나의 센스 앰프(1211)에 접속되어 있는 복수의 메모리 셀(MC)은 워드선(WL)에 의해서 하나가 선택된다. 즉, 동일 블록(121)내에서 한 번에 리프레시 동작을 할 수 있는 메모리 셀(MC)은 하나의 워드선(WL)에 공통으로 접속되어 있는 메모리 셀뿐이며, 동시에 2 개 이상의 워드선(WL)을 선택하고 리프레시하는 것은 할 수 없다.
- <68> 여기서, 반도체 메모리(100)가 갖는 메모리 블록(121)의 총수를 M으로 하고, 메모리 블록(121)내의 워드선(WL)의 총수를 N이라고 하면, 반도체 메모리(100)에 포함되는 모든 메모리 셀(MC)을 리프레시하기 위해서는, $M \times N$ 회의 리프레시 동작을 할 필요가 있다. 그리고, 리프레시 동작은 어떤 메모리 셀에 관해서도 메모리 셀의 데이터 유지 시간인 tREF(메모리 셀의 데이터 유지 시간)를 넘지 않는 시간내에 행할 필요가 있기 때문에 tREF 사이에 $M \times N$ 회 이상의 빈도로 리프레시 동작을 계속하여야 하다.
- <69> 따라서, 리프레시 동작을 외부 커맨드로서 입력하여 실행시키기 위해서는, 메모리 셀의 데이터 유지 시간(tREF) 동안에 $M \times N$ 회 이상의 빈도로 리프레시 커맨드를 요구하게 된다. 한 편, 반도체 메모리(100)의 내부에서 자동적으로 리프레시 처리를 하는 경우에는, 외부 액세스 블록과 리프레시 블록의 충돌을 상정하여 시분할 동작을 할 필요가 있다.
- <70> 도 3은 도 1에 도시하는 다이내믹형 반도체 메모리에 있어서의 리프레시 동작의 일례를 설명하기 위한 도이며, 시분할 동작을 설명하기 위한 것이다.
- <71> 반도체 메모리(100)의 내부에서 자동적으로 행하는 리프레시(내부 리프레시)는 미리 설치된 카운터에 의해서 자동 생성한 리프레시 어드레스에 대하여 정기적으로 리프레시 동작을 하는 것이기 때문에 랜덤으로 주어지는 외부 액세스에 대하여 액세스 블록이 충돌하는 것을 피하는 것은 곤란하다.

- <72> 즉, 도 3에 도시된 바와 같이 외부 커맨드에 의해 액세스(지정)된 메모리 블록(121)이 반도체 메모리 내부에서 자동적으로 행하는 내부 리프레시의 어드레스 지정된 메모리 블록과 충돌한 경우, 예컨대, 그 메모리 블록의 내부 리프레시를 늦추어서 실행한다. 따라서, 외부 커맨드에 의해 액세스된 메모리 블록과 내부 리프레시에 의한 메모리 블록의 충돌을 미리 상정하여 도 3에 도시한 바와 같은 타이밍에 시분할 동작을 하게 된다.
- <73> 그런데, 최근 SoC 메모리의 용량 증대 및 사이클 시간의 축소에 대한 요구는 점점 높아지고 있다. 이에 대하여 예컨대, 한 번의 리프레시(데이터 유지) 동작으로 액세스되는 비트수(전술한 R)를 크게 하면 액세스시의 소비 전류가 커지고, 그것에 대응하는 전원 설계가 곤란해진다.
- <74> 또한, 한 번의 액세스에 의해 통상 액세스와 리프레시 액세스를 연속하여 행하는 방법에서는 사이클 시간(액세스 주기)이 증대한다. 이 액세스 주기의 증대를 저감하기 위해서는 워드선(WL)의 길이나 비트선(BL)의 길이를 짧게 하는 것을 생각할 수 있지만, 그 경우에는 전체적으로서의 메모리 코어(102)의 사이즈(면적)가 커져서 즉제조 비용이 증대하게 된다.
- <75> 본 발명은 상술한 종래 기술이 갖는 과제에 감안하여 리프레시 커맨드의 요구 빈도를 낮추는 동시에 시분할 동작을 필요로 하지 않는 다이내믹형 반도체 메모리 및 그 리프레시 제어 방법의 제공을 목적으로 한다.

발명의 구성 및 작용

- <76> 본 발명의 제1 형태에 따르면 센스 앰프 및 이 센스 앰프에 접속된 복수의 비트선과 복수의 워드선과의 교차 개소에 각각 메모리 셀이 설치된 메모리 코어를 갖는 메모리 블록을 복수개 갖고, 상기 워드선을 선택하여 이 워드선에 접속된 메모리 셀을 상기 센스 앰프에 의해 동시에 활성화하여 상기 메모리 블록을 순차 리프레시하는 다이내믹형 반도체 메모리로서, 제1 내부 리프레시 후보 어드레스를 출력하는 제1 리프레시 카운터와 제1 내부 리프레시 후보 어드레스와는 다른 제2 내부 리프레시 후보 어드레스를 출력하는 제2 리프레시 카운터를 구비하고, 리프레시동작시에 있어서 외부에서 액세스된 어드레스가 상기 제1 내부 리프레시 후보 어드레스에 일치했을 때는 상기 제2 내부 리프레시 후보 어드레스로부터 리프레시 동작을 개시하는 것을 특징으로 하는 다이내믹형 반도체 메모리가 제공된다.
- <77> 본 발명의 제2 형태에 따르면 리프레시 동작시에 동시에 활성화하는 센스 앰프군을 공유하는 메모리 셀 어레이를 갖는 메모리 블록을 복수 설치하여 구성되는 다이내믹형 반도체 메모리의 리프레시 제어 방법으로서, 상기 복수의 메모리 블록에 있어서 다른 제1 및 제2 리프레시 블록 후보를 미리 준비하고, 상기 제1 또는 제2 중 어느 것의 메모리 블록에 대하여 상기 리프레시 동작을 행하도록 한 것을 특징으로 하는 다이내믹형 반도체 메모리의 리프레시 제어 방법이 제공된다.
- <78> 본 발명의 제3 형태에 따르면 리프레시 동작시에 동시에 활성화하는 센스 앰프군을 공유하는 메모리 셀 어레이를 갖는 메모리 블록을 복수 설치하여 구성되는 다이내믹형 반도체 메모리의 리프레시 제어 방법으로서, 상기 각 메모리 블록에 있어서 한 행의 메모리 셀을 선택하여 리프레시를 행하는 워드선의 논리 어드레스를 리프레시 워드선 어드레스로 하고 또한 리프레시하는 메모리 블록 어드레스 및 리프레시하는 워드선의 어드레스를 총칭하여 리프레시 어드레스로 하고, 제1 리프레시 어드레스 및 제2 리프레시 어드레스를 각각 독립된 리셋 기능부 제1 리프레시 카운터 및 제2 리프레시 카운터에 의해 생성하는 것을 특징으로 하는 다이내믹형 반도체 메모리의 리프레시 제어 방법이 제공된다.
- <79> 본 발명에 따르면 외부 액세스 블록과 리프레시 블록이 가능한 한 충돌하지 않도록 리프레시 블록을 제어하여 외부 액세스와 리프레시를 동시에 행함으로써, 리프레시 동작을 시분할로 행하는 경우와 같은 사이클 시간의 증대를 방지할 수 있다. 또한, 아무리 해도 충돌없이는 리프레시 동작을 할 수 없는 일부의 메모리 블록에 대해서는 그 메모리 블록만에 리프레시 커맨드를 부여하여 리프레시 동작을 하고, 모든 메모리 블록의 리프레시에 대하여 리프레시 커맨드를 부여할 필요가 있었던 종래에 비교해서 커맨드 입력의 빈도를 대폭 저감할 수 있다.

<80> 이하, 본 발명에 따른 다이내믹형 반도체 메모리 및 그 리프레시 제어 방법의 실시예를 첨부 도면을 참조하여 상술한다.

- <81> 도 4는 본 발명에 따른 다이내믹형 반도체 메모리의 제1 실시예에 있어서의 주요부를 도시하는 블럭도이다. 도 4(a) 및 도 4(b)에 있어서 참조 부호 11은 제1 분주기, 12는 제2 분주기, 21은 제1 리프레시 카운터, 그리고 22는 제2 리프레시 카운터를 나타낸다.
- <82> 도 4(a)에 도시되어 있는 바와 같이 반도체 집적 메모리(100)에는 시스템 클록 신호 CLK(예컨대, 100 MHz)가 공급되지만, 이 시스템 클록 신호(CLK)를 제1 분주기(11)로 분주(예컨대, 2 분주)하여 제1 클록 신호(CLK1)(예컨

대, 50 MHz)를 생성하고 또한 제1 분주기(11)의 출력 신호(CLK1)를 추가로 제2 분주기(12)로 분주(예컨대, 10^4 분주)하여 제2 클록 신호(CLK2)(예컨대, 5 kHz)를 생성한다.

<83> 여기서, 제2 클록 신호(CLK2)는 시스템 클록 신호(CLK)를 직접 분주하여 생성할 수도 있다. 또한, 시스템 클록 신호(CLK)가 100 MHz, 제1 클록 신호(CLK1)가 50 MHz, 그리고, 제2 클록 신호(CLK2)가 5 KHz로 하는 것은 단순한 예이며, 여러가지로 변화할 수 있다. 또한, 분주기가 아니라 PLL(Phase Locked Loop) 회로 등을 이용하여 임의의 주파수 클록 신호를 생성할 수도 있고, 또한 예컨대, 제2 클록 신호(CLK2)를 단독으로 외부에서 부여하는 것도 가능하다. 다만, 시스템 클록 신호 (CLK)의 주기 P0, 제1 클록 신호(CLK1)의 주기 P1 및 제2 클록 신호 (CLK2)의 주기 P2 사이에는 적어도 $P_0 \leq P_1 \leq P_2$ 의 관계가 성립한다.

<84> 도 4(b)에 있어서 참조 부호 R1 및 R2는 각각 내부 리프레시 후보 어드레스(제1 및 제2 리프레시 블록 후보)를 나타내고, 이를 내부 리프레시 후보 어드레스 R1 및 R2 는 각각 제1 리프레시 카운터(21) 및 제2 리프레시 카운터(22)로부터 출력된다. 제1 리프레시 카운터(21) 및 제2 리프레시 카운터(22)에는 각각 카운트 신호(CNT1 및 CNT2) 및 공통으로 이용되는 리셋 신호(RST)가 입력된다.

<85> 내부 리프레시 후보 어드레스(R1 및 R2)는 각각 워드선(WL)의 어드레스(워드선 어드레스) 및 블록(121)의 어드레스(블록 어드레스)에 의해 구성된다. 여기서 블록 어드레스란 다이내믹형 반도체 집적 메모리 중 복수 메모리 블록의 하나를 선택하는 어드레스 신호를 나타내고 예컨대, 메모리 블록(0~255)의 256 개의 메모리 블록내의 임의의 하나의 메모리 블록을 선택하는 어드레스 신호를 나타내고 또한 워드선 어드레스란 예컨대, 하나의 메모리 블록 중 복수의 워드선 하나를 선택하는 어드레스 신호 예컨대, 하나의 메모리 블록(121)에 포함되는 워드선 (0~15)의 16 개의 워드선중의 임의의 1 개의 워드선을 선택하는 어드레스 신호를 나타내고 있다.

<86> 또한, 내부 리프레시 후보 어드레스(R1)로서는 예컨대, 메모리 블록(0) 또는 워드선(0)을 지정하는 LSB(Least Significant Bit : 최하위 비트)를 초기값으로 하고 또한 내부 리프레시 후보 어드레스(R2)로서는 예컨대, 메모리 블록(255) 또는 워드선(15)을 지정하는 MSB(Most Significant Bit : 최상위 비트)를 초기값으로서 설정하도록 되어 있다.

<87> 도 5는 본 발명에 따른 다이내믹형 반도체 메모리의 하나의 실시예에 있어서의 리프레시 카운터를 도시하는 블럭도이며, 도 6은 도 5에 도시하는 본 발명에 따른 리프레시 카운터에 있어서의 카운터부의 일례를 도시하는 블럭도이다.

<88> 도 5에 도시된 바와 같이 제1 리프레시 카운터(21)는 제1 카운트 신호(CNT1) 및 리셋 신호(RST)가 입력된 카운터(210)를 구비하고 또한 제2 리프레시 카운터(22)는 제2 카운트 신호(CNT2) 및 리셋 신호(RST)가 입력된 카운터(220) 및 카운터(220)의 출력을 수취하여 보수 변환하는 보수 변환 회로(221)를 갖춘다.

<89> 도 6에 도시된 바와 같이 카운터[210(220)]는 워드선(WL)의 어드레스를 카운트하기 위한 카운트 신호 [CNT1(CNT2)] 및 리셋 신호(RST)가 입력된 워드선 어드레스 카운터(32) 및 워드선 어드레스 카운터(32)로부터의 캐리 신호 및 리셋 신호(RST)가 입력된 블록 어드레스 카운터(31)를 구비한다.

<90> 워드선 어드레스 카운터(32)는 리셋 신호(RST)가 주어지면 워드선의 내부 리프레시 후보 어드레스(R[WL])를 예컨대 LSB(최하위 비트의 어드레스 : 전부 『0』)로 리셋되고, 카운트 신호(CNT1)가 주어지면 워드선의 내부 리프레시 후보 어드레스 (R[WL])를 순차 카운트업한다.

<91> 워드선 어드레스 카운터(32)는 워드선의 내부 리프레시 후보 어드레스(R[WL])뿐만 아니라 캐리 신호(자릿수 올림 신호)(C)도 출력한다. 이 캐리 신호(C)는 워드선의 내부 리프레시 후보 어드레스(R[WL])가 순차 카운트업되어 MSB(최상위의 어드레스 : 전부 『1』)로부터 LSB 로 복귀할 때에 출력되어 이 캐리 신호(C)는 블록 어드레스 카운터(31)에 공급된다.

<92> 블록 어드레스 카운터(31)는 워드선 어드레스 카운터(32)로부터의 캐리 신호 (C)를 카운트하여 블록 메모리의 내부 리프레시 후보 어드레스(R[BLOCK])를 출력한다.

<93> 여기서, 리셋 신호(RST)는 블록 어드레스 카운터(31) 및 워드선 어드레스 카운터(32)의 양방에 입력되지만, 카운트 신호(CNT1(CNT2))는 워드선 어드레스 카운터(32)의 카운트 단자에 대해서만 입력된다.

<94> 도 5에 도시된 바와 같이 제1 리프레시 카운터(21)는 도 6에 도시하는 카운터(210)를 그대로 적용하여 리셋 신호(RST) 및 제1 카운트 신호(CNT1)를 카운터(210)에 입력하고, 워드선의 내부 리프레시 후보 어드레스(R[WL]) 및 블록 메모리의 내부 리프레시 후보 어드레스(R[블록])를 내부 리프레시 후보 어드레스(R1)로서 출력한다.

- <95> 또한, 제2 리프레시 카운터(22)는 도 6에 도시하는 카운터(210) 및 보수 변환 회로(221)로 구성되어 리셋 신호(RST) 및 제2 카운트 신호(CNT2)를 카운터(210)에 입력하고, 그 카운터(210)의 출력 신호를 보수 변환하여 워드선의 내부 리프레시 후보 어드레스(R[WL]) 및 블록 메모리의 내부 리프레시 후보 어드레스(R[블록])를 내부 리프레시 후보 어드레스(R2)로서 출력한다. 여기서, 보수 변환 회로(221)는 예컨대, 4 비트의 신호인 경우, 카운터(210)의 출력 신호가 『0000』인 경우는 『1111』을 출력하고, 『1000』인 경우는 『0111』을 출력하고 그리고, 『0100』인 경우는 『1011』을 출력한다.
- <96> 도 7은 본 발명에 따른 다이내믹형 반도체 메모리의 리프레시 제어 방법의 일례를 설명하기 위한 플로우차트도이며, 도 8 및 도 9는 본 발명에 따른 다이내믹형 반도체 메모리의 리프레시 제어 방법의 일례를 설명하기 위한 타이밍도이다. 또한, 도 7~9에 도시하는 예는 설명을 간략화하기 위해서 4개의 메모리 블록(121)(메모리 블록 0~3 : 2 비트 『00』 ~ 『11』)으로 메모리 코어(102)를 구성하고, 또한, 4 개의 워드선(WL)(워드선 0~3 : 2 비트 『00』 ~ 『11』)으로 하나의 메모리 블록(121)을 구성한 경우를 나타내고 있다. 또한, 도 8 및 도 9는 제2 클록 신호(CLK2)의 1 주기에 있어서의 각 신호 파형의 타이밍을 도시하는 것으로, 도 8의 (a)가 도 9의 (a)에 연결되고 또한, 도 9의 (β)가 도 8 중의 (β)에 연결된다.
- <97> 여기서, 도 8에 도시된 바와 같이 제1 내부 리프레시 후보 어드레스(R1)의 초기 상태는 제1 블록 메모리의 내부 리프레시 후보 어드레스(R1[블록])가 「0」(최하위 비트 『00』)이고, 또한 제1 워드선의 내부 리프레시 후보 어드레스(R1[WL])가 「0」(최하위 비트 『00』)으로 되어 있고, 또한 제2 내부 리프레시 후보 어드레스(R2)의 초기 상태는 제2 블록 메모리의 내부 리프레시 후보 어드레스(R2[블록])가 「3」(최상위 비트 『11』)이고 또한 제2 워드선의 내부 리프레시 후보 어드레스(R2[WL])가 「3」(최상위 비트 『11』)으로 되어 있다.
- <98> 우선, 도 7 및 도 8에 도시된 바와 같이 본 발명에 따른 다이내믹형 반도체 메모리의 리프레시 제어 처리가 시작하면 우선 단계 ST1에서 가장 주기가 긴 제2 클록 신호(CLK2)(예컨대, 주파수가 5 KHz의 클록)의 수직 상승 엣지를 대기하고, 그 제2 클록 신호(CLK2)의 수직 상승 엣지가 오면 제1 클록 신호(예컨대, 주파수가 50 MHz의 클록)(CLK1)에 동기하여 리프레시 동작을 시작한다. 또, 리프레시 동작은 예컨대, 정기적인 제1 클록 신호(CLK1)를 바탕으로 생성한 리프레시 신호에 따라서 행해진다.
- <99> 이 리프레시 동작은 단계 ST2에 도시된 바와 같이 제1 클록 신호(CLK1)마다 외부에서 액세스된 블록의 어드레스(외부 액세스 어드레스로 지정된 메모리 블록) 및 제1 리프레시를 행하는 메모리 블록의 어드레스(제1 내부 리프레시 후보 어드레스로 지정된 메모리 블록)(R1)를 비교한다. 단계 ST2에서 외부 액세스 어드레스가 R1에 일치하지 않는다고 판정하면 단계 ST3로 진행한다.
- <100> 구체적으로, 도 8에 도시된 바와 같이 외부 액세스 어드레스로 지정된 메모리 블록이 「블록 3 → 2 → 1 → 0 → 0 → 1 → ...」으로 변화할 때, R1[블록]은 「블록 0 → 0 → 0 → 0 → 0 → ...」이 되기 때문에, 외부 액세스 어드레스로 지정된 메모리 블록이 「블록 3 → 2 → 1」이 되는 범위(도 8 중 AA1)에서는 R1[블록]의 「블록 0 → 0 → 0」과는 일치하지 않기 때문에 단계 ST3로 진행한다.
- <101> 단계 ST3에서는 R1으로 지정된 메모리 블록(「블록0」)을 리프레시하고, 또한 단계 ST4로 진행하여 R1를 카운트업하여 단계 ST5로 진행한다.
- <102> 즉, 도 8의 예에서는 최초의 외부 액세스 블록은 「3」으로, 이것은 R1[블록](=「0」)과는 다르기 때문에(단계 ST2의 아니오), 외부 액세스 어드레스에 대한 액세스와 동시에 R1에 대하여 리프레시 동작이 행하여지고(단계 ST3) 그 후, R1[WL]가 카운트업(「0」 → 「1」: 단계 ST4)된다. 또한, 다음 클록 타이밍에서는 제1 클록 신호(CLK1)가 주어지지 않기 때문에, 외부 액세스 어드레스에 대한 액세스동작만이 되고, R1 및 R2의 어드레스는 그대로 유지된다.
- <103> 또한, 도 8에 도시된 바와 같이 다음 클록 타이밍에서는 제1 클록 신호(CLK1)가 주어지기 때문에, 외부 액세스 블록(=「1」)과 R1[블록](=「0」)이 비교되고(단계 ST2), 다르기 때문에(단계 ST2의 아니오), 전회의 리프레시 동작과 같이 외부 액세스 어드레스에 대한 액세스와 동시에 R1에 대하여 리프레시 동작이 행하여지고(단계 ST3), 그 후 R1[WL]이 카운트업(「1」 → 「2」: 단계 ST4)된다.
- <104> 그리고, 다음 클록 타이밍에서는 제1 클록 신호(CLK1)가 주어지지 않기 때문에, 외부 액세스 어드레스에 대한 액세스 동작만이 행해지고, R1 및 R2의 어드레스는 그대로 유지된다. 그리고 다음 클록 타이밍에서는 제1 클록 신호(CLK1)가 주어지기 때문에, 외부 액세스 블록(=「0」)과 R1(=「0」)이 비교되어(단계 ST2), 일치하기 때문에(단계 ST2의 예), 외부 액세스 어드레스에 대한 액세스와 동시에 R2에 대하여 리프레시 동작이 행하여지고(단계 ST10), 그 후, R2[WL](워드선의 내부 리프레시 후보 어드레스)가 카운트업(카운트 다운: 「3」 → 「2」: 단계

ST11)된다.

<105> 이후 이러한 동작을 반복하여 R1이 R2에 일치할 때까지 반복한다(단계 ST5 및 ST12).

<106> 단계 ST5에서는 R1이 R2에 일치하는지 여부를 판정하여 R1이 R2에 일치하지 않는다("아니오")고 판정되면 단계 ST2로 되돌아간다.

<107> 여기서, 제1 내부 리프레시 후보 어드레스(R1)는 예컨대, 제1 워드선의 내부 리프레시 후보 어드레스(R1[WL])가 최하위 비트『00』으로부터 단계 ST4로 순차 카운트업되어 최상위 비트『11』이 되고, 또한 카운트업되어 최하위 비트『00』로 복귀할 때 캐리 신호(도 6 중 부호 C 참조)가 출력되어, 제1 블록 메모리의 내부 리프레시 후보 어드레스(R1[블록])가 최하위 비트『00』으로부터 『01』로 카운트업(메모리 블록 「0」 → 「1」)된다.

<108> 이 카운트업된 R1[블록](제1 내부 리프레시 후보 어드레스(R1)의 블록 메모리의 내부 리프레시 후보 어드레스)이 예컨대, 초기 상태로 최상위 비트『11』로 설정된 R2[블록](제2 내부 리프레시 후보 어드레스(R2)의 블록 메모리의 내부 리프레시 후보 어드레스)에 일치한 경우에는, 단계 ST5에서 R1이 R2에 일치한다 ("예")고 판정되고, 단계 ST6으로 진행한다.

<109> 여기서, 도 9에 도시된 바와 같이 R1을 카운트업한 것에 의해 R2의 블록과 일치하면(단계 ST5의 예), 이후는 R2의 어드레스만을 리프레시 후보로 한다(단계 ST6~ST9).

<110> 따라서, 예컨대, 외부 액세스 어드레스로 지정된 메모리 블록이 「블록 2」가 되는 범위(도 9 중 AA3)에서는 R2[블록](=「2」)이 일치하기 때문에(단계 ST6의 예), 액세스 블록을 우선하여 리프레시 동작은 행하지 않는다(도 9 중 BB1). 이와 같이 모든 메모리 블록의 모든 워드선(모든 WL)에 대하여 리프레시가 완료하면(단계 ST9의 예), R1 및 R2를 리셋(도 9 중 RST)하고 다음 제2 클록 신호(CLK2)가 주어질 때까지 리프레시를 중지한다.

<111> 즉, 단계 ST6에서는 제1 클록 신호(CLK1)마다 외부 액세스 어드레스 및 R2를 비교한다. 단계 ST6에서 외부 액세스 어드레스가 R2에 일치한다("예")고 판정되면 리프레시 동작을 하지 않고서 다음 리프레시 타이밍을 대기하고, 그리고, 외부 액세스 어드레스가 R2에 일치하지 않는다(불일치 : 아니오)고 판정되면 단계 ST7로 진행한다.

<112> 단계 ST7에서는 R2로 지정된 메모리 블록(「블록 3」)을 리프레시하고, 또한 단계 ST8로 진행하여 R2를 카운트업(예컨대, R2의 초기 상태가 최상위 비트인 경우에는, 카운트 다운)하여 단계 ST9로 진행한다.

<113> 단계 ST9에서는 현 메모리 블록의 모든 워드선(WL)을 리프레시했는지 여부를 판정하고, 현 메모리 블록의 모든 워드선(WL)의 리프레시를 완료하지 않았다("아니오")고 판정되면 단계 ST6~ST9의 처리를 반복하고, 또한, 현 메모리 블록의 모든 워드선(WL)의 리프레시를 완료했다("예")고 판정되면 단계 ST17로 진행한다.

<114> 한편, 단계 ST2에서 제1 클록 신호(CLK1)마다 행하는 판정으로 외부 액세스 어드레스가 R1에 일치한다고 판정하면 단계 ST10으로 진행하여 R2로 지정된 메모리 블록을 리프레시하고, 또한 단계 ST11로 진행하여 R2를 카운트업(카운트 다운)하여 단계 ST12로 진행한다.

<115> 즉, 도 8을 참조하여 설명한 바와 같이 외부 액세스 어드레스로 지정된 메모리 블록이 「블록 3→ 2→ 1→ 0→ 0→ 1→ …」으로 변화할 때, R1[블록]은 「블록 0→ 0→ 0→ 0→ 0→ …」이 되기 때문에 외부 액세스 어드레스로 지정된 메모리 블록이 「블록 3→ 2→ 1」이 되는 범위(도 8 중 AA1)에서는 R1[Bloc1]의 「블록 0→ 0→ 0」과는 일치하지 않는다.

<116> 그러나, 외부 액세스 어드레스로 지정된 메모리 블록이 「블록→ 0→ 0」이 되는 범위(도 8 중 AA2)에서는 R1[블록]의 「블록→ 0→ 0」과 일치하기 때문에, 이 블록 0의 리프레시를 행하지 않고서, R2로 지정된 메모리 블록을 리프레시한다. 즉, 도 8에 도시된 바와 같이 R2[블록]는 「블록 3→ 3→ 3→ 3→ 3→ 3→ …」이 되기 때문에 외부 액세스 어드레스로 지정된 메모리 블록 0과는 다른 메모리 블록 3을 리프레시하게 된다.

<117> 여기서, 상술한 바와 같이 R1(제1 내부 리프레시 후보 어드레스)의 초기 상태는 R1[블록](제1 블록 메모리의 내부 리프레시 후보 어드레스)이 「0」(최하위 비트『00』)이고, 또한 R1[WL](제1 워드선의 내부 리프레시 후보 어드레스)이 「0」(최하위 비트『00』)로 되어 있고, 또한, R2(제2 내부 리프레시 후보 어드레스)의 초기 상태는 R2[블록](제2 블록 메모리의 내부 리프레시 후보 어드레스)가 「3」(최상위 비트『11』)이고, 또한, R2[WL](제2 워드선의 내부 리프레시 후보 어드레스)가 「3」(최상위 비트『11』)이 되어 있기 때문에 외부 액세스 어드레스가 R 1에 일치하는 경우에는, 반드시 외부 액세스 어드레스는 R2에 일치하지 않는 것이 되고, 그 R2로 지정된 메모리 블록을 리프레시하는 것이 된다.

- <118> 또한, 상술한 단계 ST10~ST12의 처리 및 후술하는 단계 ST13~ST16의 처리는 전술한 단계 ST3~ST5의 처리 및 단계 ST6~ST9에 있어서 R1과 R2를 교체시킨 것에 해당한다.
- <119> 단계 ST12에서는 R1이 R2에 일치하는지 어떤지를 판정하고, 일치하지 않는다고 판정하면, 단계 ST2로 되돌아가서 같은 처리를 반복하고, 일치한다고 판정되면 단계 ST13으로 진행한다.
- <120> 여기서, R2는 예컨대, R2[WL]가 최상위 비트『11』로부터 단계 ST11로 순차 카운트업(카운트 다운)하고, 또한, R2[WL]가 최하위 비트『00』로부터 카운트 다운하여 최상위 비트『11』로 복귀할 때 캐리 신호가 출력되고, R2[블록]가 최상위 비트『11』(메모리 블록「3」)로부터 카운트 다운된다.
- <121> 이 카운트 다운된 R2[블록]가 예컨대, 초기 상태로 최하위 비트『00』로 설정된 R1의 블록 메모리의 내부 리프레시 후보 어드레스(R1[블록])에 일치한 경우에는, 단계 ST12에서 R1이 R2에 일치한다고 판정되어 단계 ST13으로 진행한다.
- <122> 단계 ST13에서는 제1 클록 신호(CLK1)마다 외부 액세스 어드레스 및 R1을 비교한다. 단계 ST13에서 외부 액세스 어드레스가 R1에 일치한다고 판정하면 단계 ST13의 처리를 반복하고, 외부 액세스 어드레스가 R1에 일치하지 않는다고 판정하면 단계 ST14로 진행한다.
- <123> 단계 ST14에서는 R1으로 지정된 메모리 블록을 리프레시하고, 또한 단계 ST15로 진행하고 R1을 카운트업하여 단계 ST16으로 진행한다.
- <124> 단계 ST16에서는 현 메모리 블록의 모든 워드선(WL)을 리프레시했는지 어떤지를 판정하고, 현 메모리 블록의 모든 워드선(WL)의 리프레시를 완료할 때까지, 단계 ST13~ST16의 처리를 반복하고 또한 현 메모리 블록의 모든 워드선(WL)의 리프레시를 완료했다고 판정하면 단계 ST17로 진행한다.
- <125> 단계 ST17에서는 제1 리프레시 카운터(21) 및 제2 리프레시 카운터(22)를 리셋하고, 다음 제2 클록 신호(CLK2)가 부여할 때까지 대기한다. 즉, R1(R1[블록] 및 R1[WL]) 및 R2(R2[블록] 및 R2[WL])를 초기 상태로 리셋한다.
- <126> 이상의 설명으로부터 알 수 있는 바와 같이 리프레시 동작 자체는 제1 클록 신호(CLK1)에 동기하고 있지만 일련의 동작이 종료하면 다음 제2 클록 신호(CLK2)가 주어질 때까지 리프레시 동작은 중지된다. 즉, 일련의 리프레시 동작은 제2 클록 신호(CLK2)의 주기로 반복되게 된다.
- <127> 상술한 바와 같이 도 7~도 9에 도시하는 예에서는 설명을 간략화하기 위해서 메모리 블록의 수가 4이고, 각 메모리 블록내의 워드선(WL)의 수가 4인 경우를 설명했는데, 예컨대 메모리 블록 수는 256이고 각 메모리 블록내의 워드선수는 16 인 것을 필요로 하는 다이내믹형 반도체 메모리의 사양에 따라서 여러가지 구성으로 할 수 있는 것은 물론이다.
- <128> 도 10은 본 발명에 따른 다이내믹형 반도체 메모리의 하나의 실시예에 있어서의 리프레시 어드레스의 생성을 설명하기 위한 도이고, 제1 및 제2 카운트 신호(CNT1 및 CNT2)의 생성 및 제1 및 제2 내부 리프레시 후보 어드레스(R1 및 R2)의 선택을 실현하기 위한 구성예를 도시하는 것이다.
- <129> 비교기(41)는 입력된 외부 액세스 블록 어드레스와 R1의 블록 메모리의 내부 리프레시 후보 어드레스(R1[블록])를 제1 클록 신호(CLK1)에 동기하여 비교하고, 비교 결과로서 일치 신호(HIT) 및 불일치 신호(MISS)를 출력한다.
- <130> 일치 신호(HIT) 및 불일치 신호(MISS)는 각각 제1 카운트 신호(CNT1) 및 제2 카운트 신호(CNT2)로서 R1 및 R2의 카운트 신호로서 사용한다. 또한, 비교기(41)에는 제2 클록 신호(CLK2) 및 리셋 신호(RST)가 입력되어 있지만, 리셋 신호(RST)는 도 4(b) 및 도 5를 참조하여 설명한 제1 리프레시 카운터(21) 및 제2 리프레시 카운터(22)에 입력되는 리셋 신호와 동일한 신호이며, 제2 클록 신호(CLK2)가 주어지고 나서 제1 클록 신호(CLK1)에 동기하여 비교 동작을 하고, 리셋 신호(RST)가 주어지면, 다음 제2 클록 신호(CLK2)가 주어질 때까지 대기 상태(비교 동작을 하지 않는 것)가 된다.
- <131> 또한, 이러한 제어를 하지 않고 항상 제1 클록 신호(CLK1)에 동기하여 비교동작을 해도 되지만, 리프레시 동작에 관계하지 않는 비교 동작도 행하게 된다.
- <132> 셀렉터(42)는 일치 신호(HIT) 및/또는 불일치 신호(MISS)의 상태에 의해 R1 또는 R2의 어느 쪽을 출력할까 선택한다. 구체적으로, 도 7~도 9를 참조하여 설명한 예에서는 비교기(41)에서 일치(HIT)의 판정이 이루어지면 R2를 선택하고, 또한, 비교기(41)에서 불일치(MISS)의 판정이 이루어지면 R1을 선택하여 리프레시 어드레스로서 출력

한다.

<133> 그런데, 이상의 동작에 있어서 예컨대, 항상 동일한 메모리 블록에 외부 액세스가 집중한 경우가 문제가 되지만, 도 7~도 9를 참조하여 설명한 예에서는 항상 메모리 블록(0)에 외부 액세스가 계속 들어간 경우를 생각한다. 초기에는 R2를 이용하여 외부 액세스와 리프레시를 병행하여 행하지만 R2가 카운트를 계속하여 메모리 블록 1의 리프레시를 완료하면 제1 및 제2 내부 리프레시 후보 어드레스(R1 및 R2)가 함께 메모리 블록 0을 나타내도록 되고 이후 리프레시 동작을 일체 할 수 없게 된다(외부 액세스가 메모리 블록 0으로 계속 들어가기 때문에).

<134> 이것에 대한 해결책으로서는 크게 두 가지 있다. 그 하나는 반도체 메모리측에서 비지 신호(Busy)를 출력하여 비지 신호가 출력되고 있는 동안에는 외부 액세스를 접수하지 않도록 하는 것으로 리프레시 동작을 우선적으로 행하도록 하는 것이다. 또한, 다른 하나는 정기적인 리프레시 커맨드 입력을 반도체 메모리의 사양으로서 규정하고, 리프레시 커맨드 입력시에 리프레시 동작을 우선적으로 행하도록 한다. 이에 따라 가령 외부 액세스가 계속해서 동일한 메모리 블록에 대하여 집중하는 것 같은 경우라도, 모든 메모리 셀에 대한 리프레시 처리를 할 수 있게 된다.

<135> 도 11은 본 발명에 따른 다이내믹형 반도체 메모리의 하나의 실시예에 있어서 특정한 메모리 블록에 액세스가 집중하는 경우를 설명하기 위한 타이밍 도이다. 도 11을 참조하여 상술한 외부 액세스가 계속해서 동일한 메모리 블록에 대하여 집중하는 경우를 더욱 자세히 설명한다.

<136> 도 11에 있어서, $CLK = CLK1$ (분주수 = 1), 메모리 블록수 = M, 각 메모리 블록 중 워드선(WL)의 수 = N, LSB(최하위 비트) = 0, MSB(최상위 비트) = $M \times N - 1$ 이라 가정한다.

<137> 도 11에 있어서, 외부 액세스가 어드레스 0(= LSB)에 집중하면 LSB 『00』은 블록 「0」에 해당하기 때문에 리프레시 동작이 시작되면 어드레스 비교 판정시는 반드시 R1(제1 내부 리프레시 후보 어드레스)에 HIT(일치)하기 때문에 R2(제2 내부 리프레시 후보 어드레스)의 어드레스를 이용하면서 리프레시 동작이 진행한다.

<138> 즉, R2에 의해 MSB부터 순으로 MSB-1, MSB-2 … 로 리프레시하여 행하고, N까지는 외부 액세스와 리프레시가 동시 진행으로 진행한다. 그러나, R2 = N의 리프레시가 종료하면 R2의 블록 어드레스가 블록 「0」을 나타내기 때문에 이 이후 외부 액세스 어드레스와의 비교가 HIT 하기 때문에, 리프레시 동작이 계속 보류되게 된다. 여기서, 도 11에 있어서는 타이밍 TT0까지 블록 「0」 이외의 메모리 블록의 리프레시 처리는 완료한다.

<139> 그래서, 최종적으로 남은 리프레시 미블록(블록 「0」)을 확실하게 리프레시하기 위해서 기간 A에 리프레시 커マン드(Ref)를 외부에서 부여하는 것으로 대응하는 경우를 보이고 있다.

<140> 도 11에 도시하는 예에서는 하나의 메모리 블록 중 워드선(WL)의 수는 N 이기 때문에, 다음 CLK2의 타이밍이 오기까지의 기간 A 동안에 N 회의 리프레시 커マン드 (Ref)가 주어지면 모든 메모리 셀에 대하여 리프레시 동작을 할 수 있다.

<141> 여기서, 기간 A의 시간은 CLK의 주기를 tCY로 하고 또한 CLK2의 주기를 tCY2로 하면 $tCY2 - tCY \times (M-N) \times N (= tR)$ 로 한다)이 된다. 따라서, 예컨대 평균 $tR/N (= tCY2/N - tCY \times (M-N))$ 의 간격으로 리프레시 커マン드(Ref)를 부여하면 되는 것을 알 수 있다.

<142> 다음에, 기간 A 후에는 외부 액세스가 MSB($= M \times N - 1$)에 집중하는 경우를 생각한다. 외부 액세스가 MSB에 집중하면 MSB는 블록 「M-1」에 해당하기 때문에 리프레시 동작이 시작되면 어드레스 비교 판정시는 반드시 R1과는 다르기(MISS 한다) 때문에, R1의 어드레스를 이용하면서 리프레시 동작이 진행한다.

<143> 즉, R1에 의해 LSB부터 순으로 0, 1, 2, … 로 리프레시하고, $(M-1) \times N - 1$ 까지는 외부 액세스와 리프레시가 동시 진행으로 진행한다. 그러나, R 1=($M-1) \times N - 1$ 의 리프레시가 종료하면 R1의 블록 어드레스가 블록 「M-1」을 나타내고, 이 이후 외부 액세스 어드레스와의 비교가 HIT 하는 것으로 되어 리프레시 동작이 계속 보류된다.

<144> 상술한 바와 같이 최종적으로 남은 리프레시 미블록을 확실하게 리프레시하기 위해서 이 기간 B에 리프레시 커マン드(Ref)를 외부에서 부여한다. 즉, 다음 CLK2타이밍이 오기까지의 기간 B의 사이에 N 회의 리프레시 커マン드(Ref)가 주어지면 모든 메모리 셀에 대하여 리프레시 동작을 할 수 있다.

<145> 여기서, MSB가 속하는 블록의 리프레시 간격에 주목하면 이 블록에서는 리프레시 간격이 $2 \times tCY2$ 로 되어 있는 것을 알 수 있다. 이 $2 \times tCY2$ 의 시간이 메모리 셀의 데이터 유지 시간(tREF)보다도 작아서는 안되기 때문에 $tCY2 \leq tREF/2$ 를 만족시킬 필요가 있다.

- <146> 따라서, $tREF/2-tCY \times (M-1) \times N$ 의 시간내에 N 회의 리프레시 커맨드(Ref)를 투입하면 메모리 셀의 데이터를 계속 유지할 수 있는 것을 알 수 있다. 즉, 임의의 X에 대해서 X 회째의 리프레시 커맨드와 X + N 회째의 리프레시의 시간 간격은 $tREF/2-tCY \times (M-1) \times N$ 시간 이내인 것이 필요하다.
- <147> 상술한 제1 실시예에서 제2 클록 신호(CLK2)는 시스템 클록 신호(CLK)에서 분주하여 생성한 신호로서 설명했는데, CLK는 적용되는 시스템에 의해서 주파수가 다르고, 또한, CLK2의 주기는 메모리 셀의 데이터 유지 시간을 고려하여 설정해야 하기 때문에 CLK의 주기에 의해서 CLK2의 주기가 변동하는 것은 부적합한 경우가 있다.
- <148> 이러한 경우, 도 12 및 도 13에 도시되는 제2 및 제3 실시예의 것과 같이 CLK2는 CLK와는 다른 클록을 이용하여 생성할 수 있다.
- <149> 도 12는 본 발명에 따른 다이나믹형 반도체 메모리의 제2 실시예에 있어서의 주요부를 도시하는 블럭도이며, 도 13은 본 발명에 따른 다이내믹형 반도체 메모리의 제3 실시예에 있어서의 주요부를 도시하는 블럭도이다.
- <150> 도 12에 도시된 바와 같이 본 제2 실시예의 다이내믹형 반도체 메모리는 제1 클록 신호(CLK1)를 시스템 클록 신호(CLK)를 분주기(511)로 분주함으로써 생성하고 또한 제2 클록 신호(CLK2)를 시계 클록(TCLK)을 분주기(512)로 분주함으로써 생성한다. 또한, 시계 클록(TCLK)은 본 발명의 다이내믹형 반도체 메모리가 적용되는 장치, 예컨대, 휴대 전화기 등의 정보 단말기에서 일반적으로 사양되는 것으로, 그 시계 클록(TCLK)을 전용하여 제2 클록 신호(CLK2)를 생성하도록 되어 있다.
- <151> 도 13에 도시된 바와 같이 본 제3 실시예의 다이내믹형 반도체 메모리는 제1 클록 신호(CLK1)를 시스템 클록 신호(CLK)를 분주기(511)로 분주함으로써 생성하고 또한 제2 클록 신호(CLK2)를 발진기(513)에 의해 직접 생성한다. 또, 발진기(513)로서는 예컨대, 기수단(奇數段)의 인버터에 의한 킹 오실레이터로서 구성할 수 있다.
- <152> 그런데, 도 11에서는 최종적으로 남은 미(未)리프레시 블록을 확실하게 리프레시하기 위해서 반도체 메모리를 이용하는 시스템에 대하여 리프레시 커맨드(Ref)를 삽입하는 예를 설명했는데, 예컨대 반도체 메모리측에서 $tR/N (= tCY2/N - tCY \times (M-N))$ 의 간격으로 이하의 주기로 비지(Busy) 신호를 출력하고, 이 비지 신호가 출력되고 있는 경우에는, 외부 액세스를 접수하지 않고서 내부 리프레시 동작을 우선하여 행하도록 구성할 수도 있다.
- <153> 또한, R1과 R2가 동일 블록을 나타내고 나서 모든 메모리 셀이 리프레시 완료할 때까지 비지 신호를 출력하여 제어하도록 구성해도 좋다. 이 경우, 비지 신호는 N 회 연속으로 출력된다.
- <154> 또한, 리프레시되지 않은 메모리 셀이 남아 있는 상태로 다음 CLK2가 주어진 것을 받아서 모든 메모리 셀이 리프레시를 완료할 때까지 비지 신호를 계속해서 내도록 구성할 수도 있다. 이 경우, 리프레시되지 않은 어드레스는 최대 N 개이므로 비지 신호는 최대 N 회 연속하여 출력되는데, 외부 액세스 어드레스에 기울기가 없어서 랜덤인 경우, 다음 CLK2가 주어질 때까지 리프레시되지 않은 어드레스가 남는 확률은 매우 낮기 때문에, 비지를 거의 출력하지 않고 액세스 효율을 향상시키는 것을 기대할 수 있다. 다만, 본 방식에서는 다음 CLK2가 주어지고 나서 리프레시되지 않은 블록을 리프레시하기 때문에 CLK2의 주기를 $tCY2 \leq tREF/2-tCY1 \times N$ 으로 설정해야 한다.
- <155> 여기서, 외부 액세스 어드레스에 기울기가 없어서 랜덤인 경우에 있어서, 다음 CLK2가 주어질 때까지 리프레시 되지 않은 어드레스가 남는 확률을 구한다. 구체적으로, 예컨대 M=128, N=32, tREF=200 μ sec, tCY=tCY1=10 ns라고 하면,
- <156> A 기간은 $tREF/2-tCY \times (M-1) \times N$ 으로부터 $160 \mu sec$ 가 되고, 이 기간 A의 액세스 횟수는 16000 회가 된다. 기간 A에 리프레시되지 않은 어드레스를 리프레시할 수 없는 경우는, 리프레시되지 않은 블록(= 1 블록) 이외에의 액세스가 0~N-1 회인 경우이다. 구체적으로, 예컨대
- <157> 0 회인 확률은 $\text{COMBIN } \{16000, 0\} \times (1/128)^{16000} \times (127/128)^0$
 - <158> 1 회인 확률은 $\text{COMBIN } \{16000, 1\} \times (1/128)^{15999} \times (127/128)^1$
 - <159> 2 회인 확률은 $\text{COMBIN } \{16000, 2\} \times (1/128)^{15998} \times (127/128)^2$
 - <160> 3 회인 확률은 $\text{COMBIN } \{16000, 3\} \times (1/128)^{15997} \times (127/128)^3$
 - <161> ...
 - <162> 31 회인 확률은 $\text{COMBIN } \{16000, 31\} \times (1/128)^{15969} \times (127/128)^{31}$

- <163> 이상의 합계가 리프레시되지 않은 어드레스를 리프레시할 수 없는 확률이 되는데, 계산하면 거의 0 이 된다. 즉, 외부 액세스 어드레스에 기울기가 없고 랜덤인 경우에는 기간 A(기간 B) 사이에 리프레시되지 않은 어드레스에 대하여 리프레시 동작이 행하여지지 않는 확률은 거의 0 이 된다. 따라서, 리프레시되지 않은 메모리 셀이 남아 있는 상태로 다음 CLK2 가 주어진 것을 받아서 모든 메모리 셀이 리프레시 완료할 때까지 비지 신호를 계속해서 내는 방식을 취한 경우, 상기한 계산에 의해 비지 신호가 실제로 출력될 확률은 거의 0 인 것을 알 수 있다.
- <164> 본 발명은 예컨대, 논리 칩에 흔재되는 DRAM 등의 SoC 메모리에 알맞은 것이지만 반드시 SoC 메모리에 한정되는 것은 아니며, 여러가지 다이내믹형 반도체 메모리에 대하여 적용할 수 있다.
- <165> (부기 1)
- <166> 센스 앰프 및 이 센스 앰프에 접속된 복수의 비트선과 복수의 워드선의 교차 개소에 각각 메모리 셀이 설치된 메모리 코어를 갖는 메모리 블록을 복수 가지고, 상기 워드선을 선택하여 상기 워드선에 접속된 메모리 셀을 상기 센스 앰프에 의해 동시에 활성화하여 상기 메모리 블록을 순차 리프레시하는 다이내믹형 반도체 메모리로서,
- <167> 제1 내부 리프레시 후보 어드레스를 출력하는 제1 리프레시 카운터와,
- <168> 제1 내부 리프레시 후보 어드레스와는 다른 제2 내부 리프레시 후보 어드레스를 출력하는 제2 리프레시 카운터를 구비하고, 리프레시 동작시에 있어서 외부에서 액세스된 어드레스가 상기 제1 내부 리프레시 후보 어드레스에 일치했을 때는 상기 제2 내부 리프레시 후보 어드레스로부터 리프레시 동작을 개시하는 것을 특징으로 하는 다이내믹형 반도체 메모리.
- <169> (부기 2)
- <170> 부기 1에 기재된 다이내믹형 반도체 메모리에 있어서,
- <171> 상기 제1 리프레시 카운터는 제1 카운트 신호를 카운트하여 상기 제1 내부 리프레시 후보 어드레스를 출력하는 제1 카운터를 구비하고,
- <172> 상기 제2 리프레시 카운터는 제2 카운트 신호를 카운트하는 제2 카운터와, 상기 제2 카운터의 출력을 보수 변환하여 상기 제2 내부 리프레시 후보 어드레스를 출력하는 보수 변환 회로를 구비하는 것을 특징으로 하는 다이내믹형 반도체 메모리.
- <173> (부기 3)
- <174> 부기 1 또는 2에 기재된 다이내믹형 반도체 메모리에 있어서,
- <175> 상기 제1 리프레시 카운터는 제1 카운트 신호를 카운트하여 제1 워드선의 내부 리프레시 후보 어드레스를 출력하는 제1 워드선 어드레스 카운터 및 이 제1 워드선 어드레스 카운터로부터의 캐리 신호를 카운트하여 제1 블록 메모리의 내부 리프레시 후보 어드레스를 출력하는 제1 블록 어드레스 카운터를 구비하고,
- <176> 상기 제2 리프레시 카운터는 제2 카운트 신호를 카운트하여 제2 워드선의 내부 리프레시 후보 어드레스를 출력하는 제2 워드선 어드레스 카운터 및 이 제2 워드선 어드레스 카운터로부터의 캐리 신호를 카운트하여 제2 블록 메모리의 내부 리프레시 후보 어드레스를 출력하는 제2 블록 어드레스 카운터를 갖추는 것을 특징으로 하는 다이내믹형 반도체 메모리.
- <177> (부기 4)
- <178> 부기 3에 기재된 다이내믹형 반도체 메모리에 있어서,
- <179> 상기 제1 워드선 어드레스 카운터 및 상기 제1 블록 어드레스 카운터는 초기 상태에서 워드선 어드레스 및 블록 어드레스의 최하위 비트가 설정되어 상기 제1 카운트 신호에 따라서 카운트업되고 또한,
- <180> 상기 제2 워드선 어드레스 카운터 및 상기 제2 블록 어드레스 카운터는 초기 상태에서 워드선 어드레스 및 블록 어드레스의 최상위 비트가 설정되어 상기 제2 카운트 신호에 따라서 카운트 다운되는 것을 특징으로 하는 다이내믹형 반도체 메모리.
- <181> (부기 5)

- <182> 부기 3에 기재된 다이내믹형 반도체 메모리에 있어서,
- <183> 리프레시 동작시에 외부에서 액세스된 블록의 어드레스가 상기 제1 블록 메모리의 내부 리프레시 후보 어드레스에 일치하지 않을 때는 상기 제1 내부 리프레시 후보 어드레스로부터 리프레시 동작을 시작하고 또한,
- <184> 상기 리프레시 동작시에 외부에서 액세스된 블록의 어드레스가 상기 제1 블록 메모리의 내부 리프레시 후보 어드레스에 일치했을 때는 상기 제2 내부 리프레시 후보 어드레스로부터 리프레시 동작을 개시하는 것을 특징으로 하는 다이내믹형 반도체 메모리.
- <185> (부기 6)
- <186> 부기 1에 기재된 다이내믹형 반도체 메모리에 있어서, 추가로,
- <187> 상기 리프레시 동작은 정기적인 제어 신호를 바탕으로 생성한 리프레시 신호에 따라서 행하는 것을 특징으로 하는 다이내믹형 반도체 메모리.
- <188> (부기 7)
- <189> 부기 6에 기재된 다이내믹형 반도체 메모리에 있어서, 추가로,
- <190> 상기 정기적인 제어 신호를 제1 분주율로 분주하여 제1 클록 신호를 생성하는 제1 분주기를 갖추고, 상기 리프레시 신호는 상기 제1 클록 신호에 동기하여 생성되는 것을 특징으로 하는 다이내믹형 반도체 메모리.
- <191> (부기 8)
- <192> 부기 7에 기재된 다이내믹형 반도체 메모리에 있어서,
- <193> 상기 정기적인 제어 신호는 상기 다이내믹형 반도체 메모리의 외부에서 주어지는 시스템 클록 신호인 것을 특징으로 하는 다이내믹형 반도체 메모리.
- <194> (부기 9)
- <195> 부기 7에 기재된 다이내믹형 반도체 메모리에 있어서, 추가로,
- <196> 상기 정기적인 제어 신호를 제1 분주율과는 다른 제2 분주율로 분주하여 제2 클록 신호를 생성하는 제2 분주기를 갖추는 것을 특징으로 하는 다이내믹형 반도체 메모리.
- <197> (부기 10)
- <198> 부기 7에 기재된 다이내믹형 반도체 메모리에 있어서, 추가로,
- <199> 상기 정기적인 제어 신호와는 상이한 다른 정기적인 제어 신호를 분주하여 제2 클록 신호를 생성하는 제2 분주기를 갖추는 것을 특징으로 하는 다이내믹형 반도체 메모리.
- <200> (부기 11)
- <201> 부기 10에 기재된 다이내믹형 반도체 메모리에 있어서, 상기 다른 정기적인 제어 신호는 시계 클록 신호인 것을 특징으로 하는 다이내믹형 반도체 메모리.
- <202> (부기 12)
- <203> 부기 7에 기재된 다이내믹형 반도체 메모리에 있어서, 추가로,
- <204> 제2 클록 신호를 생성하는 발진기를 갖추는 것을 특징으로 하는 다이내믹형 반도체 메모리.
- <205> (부기 13)
- <206> 부기 9 내지 12 중 어느 한 항에 기재된 다이내믹형 반도체 메모리에 있어서,
- <207> 상기 제2 클록 신호에 의해 리프레시 동작이 시작되고, 그 후 상기 제1 클록 신호에 따라서 모든 메모리 셀에 대한 리프레시 동작이 종료하면, 다음 상기 제2 클록 신호가 주어질 때까지 리프레시 동작을 하지 않는 것을 특징으로 하는 다이내믹형 반도체 메모리.
- <208> (부기 14)
- <209> 부기 13에 기재된 다이내믹형 반도체 메모리에 있어서, 상기 다이내믹형 반도체 메모리에 대한 외부 액세스 동

작 및 상기 리프레시 동작을 동시에 행하는 것을 특징으로 하는 다이내믹형 반도체 메모리.

<210> (부기 15)

리프레시 동작시에 동시에 활성화하는 센스 앤프군을 공유하는 메모리 셀 어레이를 갖는 메모리 블록을 복수 설치하여 구성되는 다이내믹형 반도체 메모리의 리프레시 제어 방법으로서,

<212> 상기 복수의 메모리 블록에 있어서 상이한 제1 및 제2 리프레시 블록 후보를 미리 준비하고,

<213> 상기 제1 또는 제2 중 어느 메모리 블록에 대하여 상기 리프레시 동작을 하도록 한 것을 특징으로 하는 다이내믹형 반도체 메모리의 리프레시 제어방법.

<214> (부기 16)

부기 15에 기재된 다이내믹형 반도체 메모리의 리프레시 제어 방법에 있어서,

<216> 상기 리프레시 동작은 정기적인 제어 신호를 바탕으로 생성한 리프레시 신호에 따라서 행하는 것을 특징으로 하는 다이내믹형 반도체 메모리의 리프레시 제어방법.

<217> (부기 17)

부기 16에 기재된 다이내믹형 반도체 메모리의 리프레시 제어 방법에 있어서,

<219> 상기 정기적인 제어 신호는 상기 다이내믹형 반도체 메모리의 외부에서 주어지는 시스템 클록인 것을 특징으로 하는 다이내믹형 반도체 메모리의 리프레시 제어 방법.

<220> (부기 18)

부기 16에 기재된 다이내믹형 반도체 메모리의 리프레시 제어 방법에 있어서,

<222> 상기 리프레시 신호는 상기 정기적인 제어 신호를 제1 분주율로 분주한 제1 클록 신호에 동기하여 생성되는 것을 특징으로 하는 다이내믹형 반도체 메모리의 리프레시 제어 방법.

<223> (부기 19)

부기 18에 기재된 다이내믹형 반도체 메모리의 리프레시 제어 방법에 있어서,

<225> 추가로, 상기 정기적인 제어 신호를 제1 분주율과는 다른 제2 분주율로 분주한 제2 클록 신호에 의해 리프레시 동작을 시작하고, 그 후 상기 제1 클록 신호에 따라서 모든 메모리 셀에 대하여 리프레시 동작을 축차 행하고, 모든 메모리 셀에 대한 리프레시 동작이 종료하면 다음 상기 제2 클록 신호가 주어질 때까지 리프레시 동작을 하지 않는 것을 특징으로 하는 다이내믹형 반도체 메모리의 리프레시 제어 방법.

<226> (부기 20)

부기 18에 기재된 다이내믹형 반도체 메모리의 리프레시 제어 방법에 있어서,

<228> 상기 제1 클록 신호와는 다른 주파수의 제2 클록 신호를 준비하고,

<229> 상기 제2 클록 신호에 의해 리프레시 동작을 시작하고, 그 후 상기 정기적인 제어 신호에 따라서 모든 메모리 셀에 대하여 리프레시 동작을 축차 행하고, 모든 메모리 셀에 대한 리프레시 동작이 종료하면 다음 상기 제2 클록 신호가 부여되기까지 리프레시 동작을 하지 않는 것을 특징으로 하는 다이내믹형 반도체 메모리의 리프레시 제어 방법.

<230> (부기 21)

부기 20에 기재된 다이내믹형 반도체 메모리의 리프레시 제어 방법에 있어서,

<232> 상기 제2 클록 신호는 상기 정기적인 신호와는 상이한 다른 정기적인 제어 신호를 바탕으로 생성되는 것을 특징으로 하는 다이내믹형 반도체 메모리의 리프레시 제어 방법.

<233> (부기 22)

부기 21에 기재된 다이내믹형 반도체 메모리의 리프레시 제어 방법에 있어서,

<235> 상기 다른 정기적인 제어 신호는 상기 다이내믹형 반도체 메모리의 외부에서 주어지는 것을 특징으로 하는 다이내믹형 반도체 메모리의 리프레시 제어 방법.

<236> (부기 23)

<237> 부기 22에 기재된 다이내믹형 반도체 메모리의 리프레시 제어 방법에 있어서,

<238> 상기 다른 정기적인 제어 신호는 시계 클록 신호인 것을 특징으로 하는 다이내믹형 반도체 메모리의 리프레시 제어 방법.

<239> (부기 24)

<240> 부기 21에 기재된 다이내믹형 반도체 메모리의 리프레시 제어 방법에 있어서,

<241> 상기 다른 정기적인 제어 신호는 상기 다이내믹형 반도체 메모리의 내부에서 발생되는 것을 특징으로 하는 다이내믹형 반도체 메모리의 리프레시 제어 방법.

<242> (부기 25)

<243> 부기 24에 기재된 다이내믹형 반도체 메모리의 리프레시 제어 방법에 있어서,

<244> 상기 다른 정기적인 제어 신호는 상기 다이내믹형 반도체 메모리에 설치된 발진기의 출력 신호인 것을 특징으로 하는 다이내믹형 반도체 메모리의 리프레시 제어 방법.

<245> (부기 26)

<246> 부기 15 내지 25 중 어느 한 항에 기재된 다이내믹형 반도체 메모리의 리프레시 제어 방법에 있어서,

<247> 상기 다이내믹형 반도체 메모리에 대한 외부 액세스 동작 및 상기 리프레시 동작을 동시에 행하는 것을 특징으로 하는 다이내믹형 반도체 메모리의 리프레시 제어 방법.

<248> (부기 27)

<249> 부기 15 내지 26 중 어느 한 항에 기재된 다이내믹형 반도체 메모리의 리프레시 제어 방법에 있어서,

<250> 상기 다이내믹형 반도체 메모리에 대한 외부 액세스 동작이 미리 준비된 제1 및 제2 리프레시 블록 후보의 어느 쪽과도 일치하지 않는 경우, 상기 제1 리프레시 블록 후보에 대하여 리프레시 동작을 하는 것을 특징으로 하는 다이내믹형 반도체 메모리의 리프레시 제어 방법.

<251> (부기 28)

<252> 부기 27에 기재된 다이내믹형 반도체 메모리의 리프레시 제어 방법에 있어서,

<253> 상기 다이내믹형 반도체 메모리에 대한 외부 액세스 블록이 상기 제2 리프레시 블록 후보와 일치하는 경우, 상기 제1 리프레시 블록 후보에 대하여 리프레시 동작을 하는 것을 특징으로 하는 다이내믹형 반도체 메모리의 리프레시 제어 방법.

<254> (부기 29)

<255> 부기 27에 기재된 다이내믹형 반도체 메모리의 리프레시 제어 방법에 있어서,

<256> 상기 다이내믹형 반도체 메모리에 대한 외부 액세스 블록이 상기 제1 리프레시 블록 후보와 일치하는 경우, 상기 제2 리프레시 블록 후보에 대하여 리프레시 동작을 하는 것을 특징으로 하는 다이내믹형 반도체 메모리의 리프레시 제어 방법.

<257> (부기 30)

<258> 리프레시 동작시에 동시에 활성화하는 센스 앰프군을 공유하는 메모리 셀 어레이를 갖는 메모리 블록을 복수 설치하여 구성되는 다이내믹형 반도체 메모리의 리프레시 제어 방법으로서,

<259> 상기 각 메모리 블록에 있어서 한 행의 메모리 셀을 선택하여 리프레시를 행하는 워드선의 논리 어드레스를 리프레시 워드선 어드레스로 하고 또한 리프레시 하는 메모리 블록 어드레스 및 리프레시하는 워드선의 어드레스를 충칭하여 리프레시 어드레스로 하고,

<260> 제1 리프레시 어드레스 및 제2 리프레시 어드레스를 각각 독립된 리셋 기능부 제1 리프레시 카운터 및 제2 리프레시 카운터에 의해 생성하는 것을 특징으로 하는 다이내믹형 반도체 메모리의 리프레시 제어 방법.

<261> (부기 31)

- <262> 부기 30에 기재된 다이내믹형 반도체 메모리의 리프레시 제어 방법에 있어서, 상기 각 제1 및 제2 리프레시 카운터는
- <263> 워드선의 내부 리프레시 후보 어드레스를 생성하는 워드선 어드레스 카운터와,
- <264> 상기 워드선 어드레스 카운터로부터의 캐리 신호를 카운트하여 블록 메모리의 내부 리프레시 후보 어드레스를 생성하는 블록 어드레스 카운터를 구비하는 것을 특징으로 하는 다이내믹형 반도체 메모리의 리프레시 제어 방법.
- <265> (부기 32)
- <266> 부기 30에 기재된 다이내믹형 반도체 메모리의 리프레시 제어 방법에 있어서,
- <267> 상기 제1 리프레시 어드레스를 생성하는 제1 리프레시 카운터 및 상기 제2 리프레시 어드레스를 생성하는 제2 리프레시 카운터에 있어서 리프레시를 행한 메모리 블록에 대응하는 상기 제1 또는 제2 리프레시 카운터에 대하여 카운트 신호가 주어지는 것을 특징으로 하는 다이내믹형 반도체 메모리의 리프레시 제어 방법.
- <268> (부기 33)
- <269> 부기 30에 기재된 다이내믹형 반도체 메모리의 리프레시 제어 방법에 있어서,
- <270> 상기 제1 리프레시 카운터 및 상기 제2 리프레시 카운터는 초기 상태에 있어서 각각 최하위 비트 및 최상위 비트를 나타내는 것을 특징으로 하는 다이내믹형 반도체 메모리의 리프레시 제어 방법.
- <271> (부기 34)
- <272> 부기 33에 기재된 다이내믹형 반도체 메모리의 리프레시 제어 방법에 있어서,
- <273> 상기 초기 상태에 있어서 최하위 비트를 나타내는 리프레시 카운터에 카운트 신호가 입력되면 순차 카운트업하고, 또한,
- <274> 상기 초기 상태에 있어서 최상위 비트를 나타내는 리프레시 카운터에 카운트신호가 입력되면 순차 카운트 다운하는 것을 특징으로 하는 다이내믹형 반도체 메모리의 리프레시 제어 방법.
- <275> (부기 35)
- <276> 부기 30에 기재된 다이내믹형 반도체 메모리의 리프레시 제어 방법에 있어서,
- <277> 상기 제1 리프레시 카운터는 제1 카운트 신호를 카운트하여 상기 제1 내부 리프레시 후보 어드레스를 출력하는 제1 카운터를 갖추고,
- <278> 상기 제2 리프레시 카운터는 제2 카운트 신호를 카운트하는 제2 카운터와, 상기 제2 카운터의 출력을 보수 변환하고 상기 제2 내부 리프레시 후보 어드레스를 출력하는 보수 변환 회로를 구비하는 것을 특징으로 하는 다이내믹형 반도체 메모리의 리프레시 제어 방법.
- <279> (부기 36)
- <280> 부기 30에 기재된 다이내믹형 반도체 메모리의 리프레시 제어 방법에 있어서,
- <281> 제1 리프레시 블록과 제2 리프레시 블록이 동일한 블록 어드레스를 나타내고 또한 상기 블록의 모든 워드선의 어드레스에 대하여 리프레시 동작이 완료한 것을 받아서 상기 제1 및 제2 리프레시 카운터를 리셋하는 것을 특징으로 하는 다이내믹형 반도체 메모리의 리프레시 제어 방법.
- <282> (부기 37)
- <283> 부기 36에 기재된 다이내믹형 반도체 메모리의 리프레시 제어 방법에 있어서,
- <284> 상기 제1 리프레시 카운터가 카운트한 것에 의해서 상기 제2 리프레시 블록과 동일한 블록 어드레스를 나타낸 경우, 그 이후는 상기 제1 및 제2 리프레시 카운터를 리셋할 때까지 상기 제2 리프레시 어드레스만을 리프레시 어드레스 후보로 하는 것을 특징으로 하는 다이내믹형 반도체 메모리의 리프레시 제어 방법.
- <285> (부기 38)
- <286> 부기 37에 기재된 다이내믹형 반도체 메모리의 리프레시 제어 방법에 있어서,

- <287> 상기 제2 리프레시 어드레스와 외부 액세스 블록의 어드레스가 일치한 경우는, 리프레시 동작을 하지 않는 것을 특징으로 하는 다이내믹형 반도체 메모리의 리프레시 제어 방법.
- <288> (부기 39)
- <289> 부기 30에 기재된 다이내믹형 반도체 메모리의 리프레시 제어 방법에 있어서,
- <290> 제1 리프레시 블록과 제2 리프레시 블록이 동일 블록 어드레스를 나타낸 경우, 상기 블록의 모든 워드선의 어드레스에 대하여 리프레시 동작이 완료할 때까지, 비지 신호를 출력하는 것을 특징으로 하는 다이내믹형 반도체 메모리의 리프레시 제어 방법.
- <291> (부기 40)
- <292> 부기 30에 기재된 다이내믹형 반도체 메모리의 리프레시 제어 방법에 있어서,
- <293> 제1 리프레시 블록과 제2 리프레시 블록이 동일 블록 어드레스를 나타내고 또한 제2 클록 신호가 주어진 경우, 상기 블록의 모든 워드선의 어드레스에 대하여 리프레시 동작이 완료할 때까지 비지 신호를 출력하는 것을 특징으로 하는 다이내믹형 반도체 메모리의 리프레시 제어 방법.
- <294> (부기 41)
- <295> 부기 40에 기재된 다이내믹형 반도체 메모리의 리프레시 제어 방법에 있어서,
- <296> 상기 제2 클록 신호의 주기는 다이내믹형 반도체 메모리의 데이터 유지 시간이하인 것을 특징으로 하는 다이내믹형 반도체 메모리의 리프레시 제어 방법.
- <297> (부기 42)
- <298> 부기 30 내지 41 중 어느 한 항에 기재된 다이내믹형 반도체 메모리의 리프레시 제어 방법에 있어서,
- <299> 리프레시 블록의 총수를 M, 블록중 워드선의 총수를 N, 메모리 셀의 데이터 유지 시간을 tREF, 제1 클록의 주기를 tCY라고 할 때, $tREF/2-tCY \times (M-1) \times N$ 의 시간내에 N 회의 리프레시 커맨드를 요구하는 것을 특징으로 하는 다이내믹형 반도체 메모리의 리프레시 제어 방법.
- <300> (부기 43)
- <301> 부기 42에 기재된 다이내믹형 반도체 메모리의 리프레시 제어 방법에 있어서,
- <302> $tREF/2-tCY \times (M-1) \times N/N$ 주기 이하의 빈도로 비지 신호를 자동적으로 또한 정기적으로 출력하는 것을 특징으로 하는 다이내믹형 반도체 메모리의 리프레시 제어 방법.

발명의 효과

- <303> 본 발명에 따르면 리프레시 커맨드의 요구 빈도를 낮추는 동시에 시분할 동작을 필요로 하지 않는 다이내믹형 반도체 메모리 및 그 리프레시 제어 방법을 제공할 수 있다.

도면의 간단한 설명

- <1> 도 1은 다이내믹형 반도체 메모리의 일례를 도시하는 블럭도.
- <2> 도 2는 도 1에 도시한 다이내믹형 반도체 메모리에 있어서의 하나의 메모리 블록의 구성예를 도시하는 도면.
- <3> 도 3은 도 1에 도시한 다이내믹형 반도체 메모리에 있어서의 리프레시 동작의 일례를 설명하기 위한 도면.
- <4> 도 4는 본 발명에 따른 다이내믹형 반도체 메모리의 제1 실시예에 있어서의 주요부를 도시하는 블럭도.
- <5> 도 5는 본 발명에 따른 다이내믹형 반도체 메모리의 하나의 실시예에 있어서의 리프레시 카운터를 도시하는 블럭도.
- <6> 도 6은 도 5에 도시한 본 발명에 따른 리프레시 카운터에 있어서의 카운터부의 일례를 도시하는 블럭도.
- <7> 도 7은 본 발명에 따른 다이내믹형 반도체 메모리의 리프레시 제어 방법의 일례를 설명하기 위한 플로우차트도.

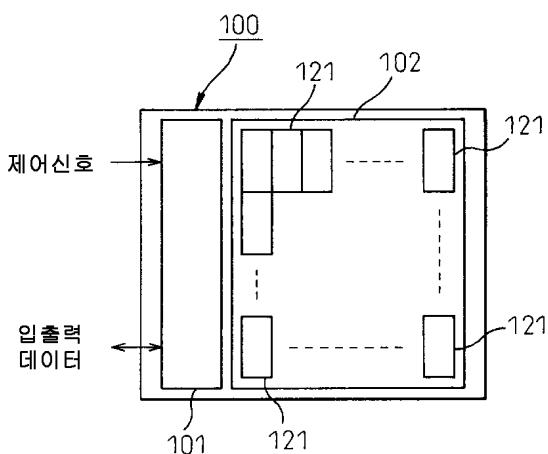
- <8> 도 8은 본 발명에 따른 다이내믹형 반도체 메모리의 리프레시 제어 방법의 일례를 설명하기 위한 타이밍도(#1).
- <9> 도 9는 본 발명에 따른 다이내믹형 반도체 메모리의 리프레시 제어 방법의 일례를 설명하기 위한 타이밍도(#2).
- <10> 도 10은 본 발명에 따른 다이내믹형 반도체 메모리의 하나의 실시예에 있어서의 리프레시 어드레스의 생성을 설명하기 위한 도면.
- <11> 도 11은 본 발명에 따른 다이내믹형 반도체 메모리의 하나의 실시예에 있어서 특정한 메모리 블록에 액세스가 집중하는 경우를 설명하기 위한 타이밍도.
- <12> 도 12는 본 발명에 따른 다이내믹형 반도체 메모리의 제2 실시예에 있어서의 주요부를 도시하는 블럭도.
- <13> 도 13은 본 발명에 따른 다이내믹형 반도체 메모리의 제3 실시예에 있어서의 주요부를 도시하는 블럭도.
- <14> <도면의 주요부분에 대한 부호의 설명>
- <15> 11 : 제1 분주기
- <16> 12 : 제2 분주기
- <17> 21 : 제1 리프레시 카운터
- <18> 22 : 제2 리프레시 카운터
- <19> 31 : 블록 어드레스 카운터
- <20> 32 : 워드선 어드레스 카운터
- <21> 41 : 비교기
- <22> 42 : 셀렉터
- <23> 100 : 다이내믹형 반도체 메모리
- <24> 101 : 주변 회로(메모리 코어 제어 회로, 전원 회로 외)
- <25> 102 : 메모리 코어
- <26> 121 : 메모리 블록
- <27> 210, 220 : 카운터
- <28> 221 : 보수 변환 회로
- <29> 511, 512 : 분주기
- <30> 513 : 발진기
- <31> 1211 : 센스 앰프
- <32> 1212 : 메모리 셀 어레이
- <33> BL : 비트선
- <34> C : 캐리 신호
- <35> CLK : 시스템 클록 신호(정기적인 제어 신호)
- <36> CLK1 : 제1 클록 신호
- <37> CLK2 : 제2 클록 신호
- <38> CNT1 : 제1 카운트 신호
- <39> CNT2 : 제2 카운트 신호
- <40> MC : 메모리 셀

- <41> R1 : 제1 내부 리프레시 후보 어드레스
 <42> R1[블록] : 제1 블록 메모리의 내부 리프레시 후보 어드레스(제1 리프레시 블록 후보)
 <43> R1[WL] : 제1 워드선의 내부 리프레시 후보 어드레스
 <44> R2 : 제2 내부 리프레시 후보 어드레스
 <45> R2[블록] : 제2 블록 메모리의 내부 리프레시 후보 어드레스(제2 리프레시 블록 후보)
 <46> R2[WL] : 제2 워드선의 내부 리프레시 후보 어드레스
 <47> Ref : 리프레시 커맨드
 <48> RST : 리셋 신호
 <49> WL : 워드선

도면

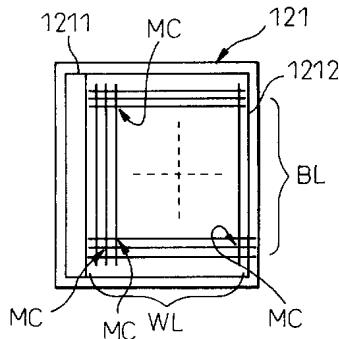
도면1

다이내믹형 반도체 메모리의 일례를 도시하는 블럭도.



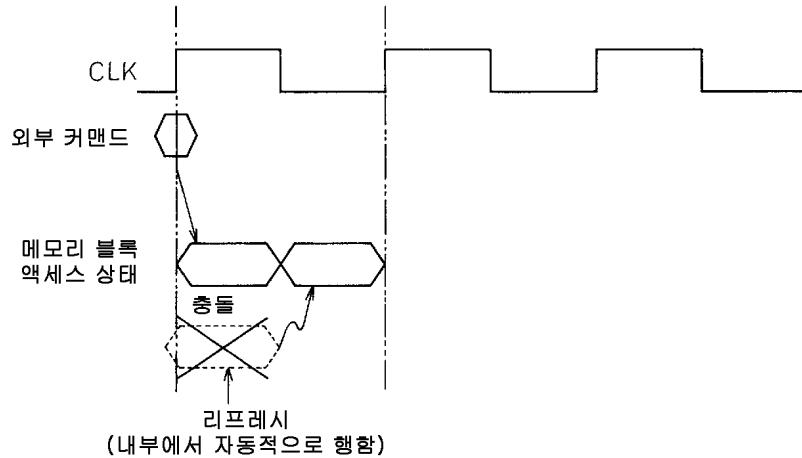
도면2

도 1에 도시한 다이내믹형 반도체 메모리에 있어서의 하나의 메모리 블록의 구성예를 도시하는 도면.



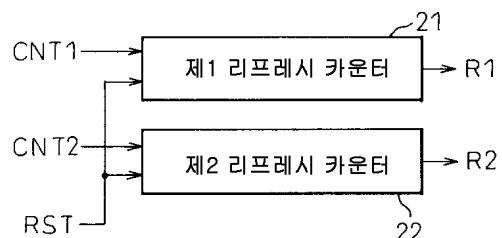
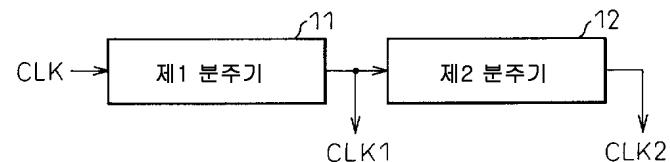
도면3

도 1에 도시한 다이내믹형 반도체 메모리에 있어서의 리프레시 동작의 일례를 설명하기 위한 도면.



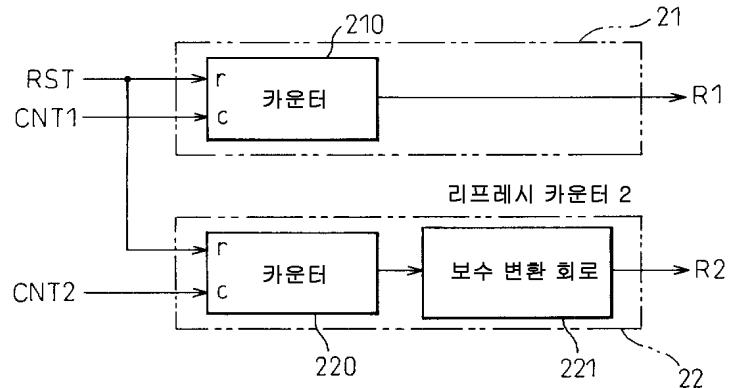
도면4

본 발명에 따른 다이내믹형 반도체 메모리의 제1 실시예에 있어서의 주요부를 도시하는 블럭도.



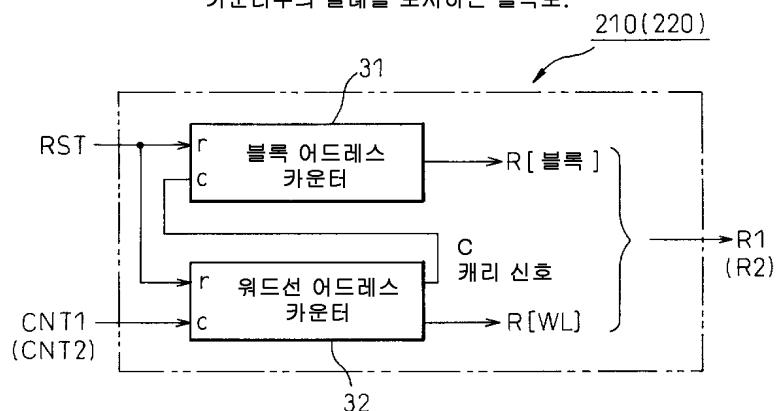
도면5

본 발명에 따른 다이내믹형 반도체 메모리의 하나의 실시예에 있어서의 리프레시 카운터를 도시하는 블럭도.



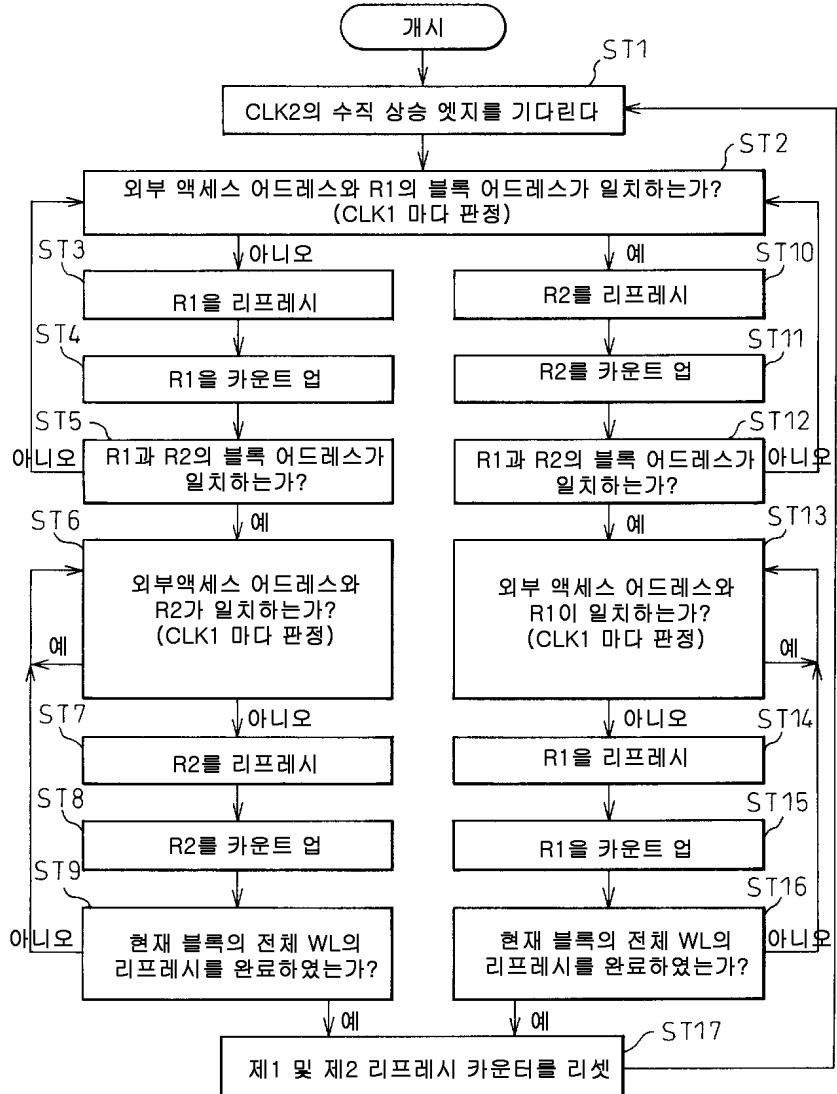
도면6

도 5에 도시한 본 발명에 따른 리프레시 카운터에 있어서의 카운터부의 일례를 도시하는 블럭도.

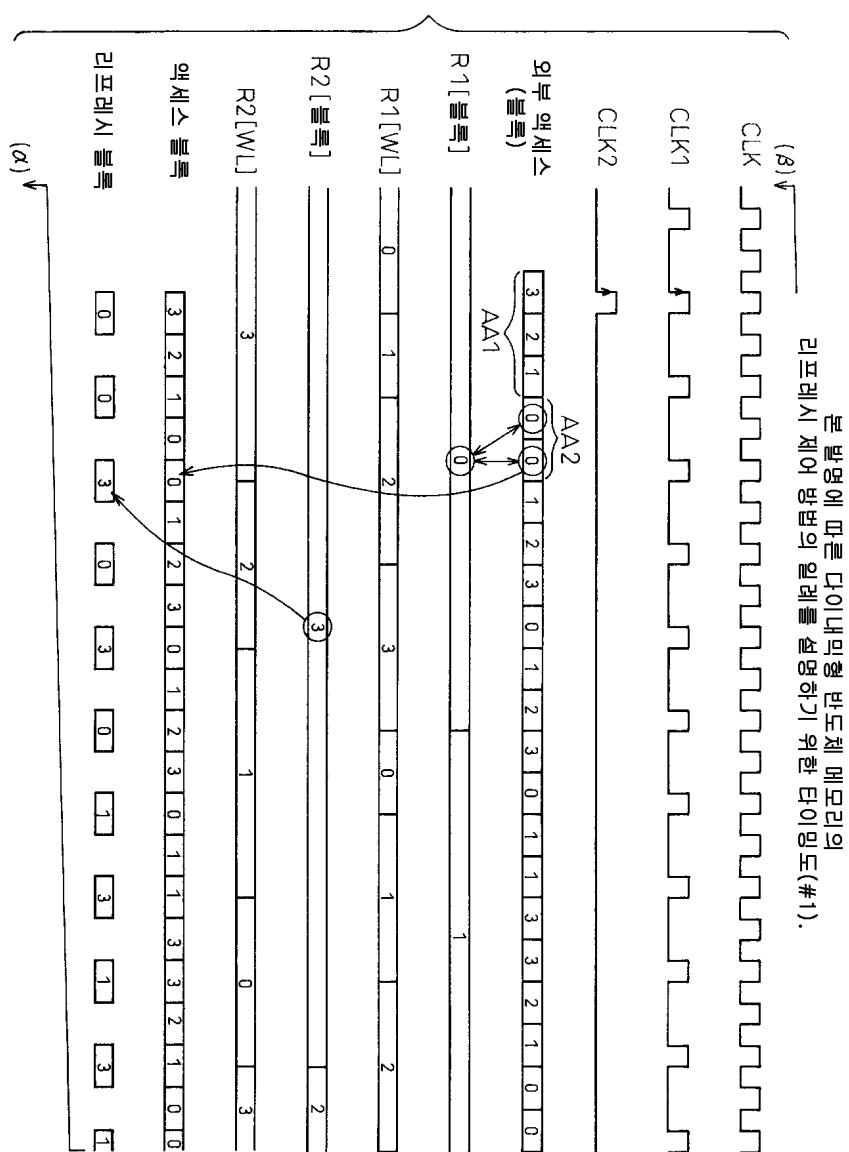


도면7

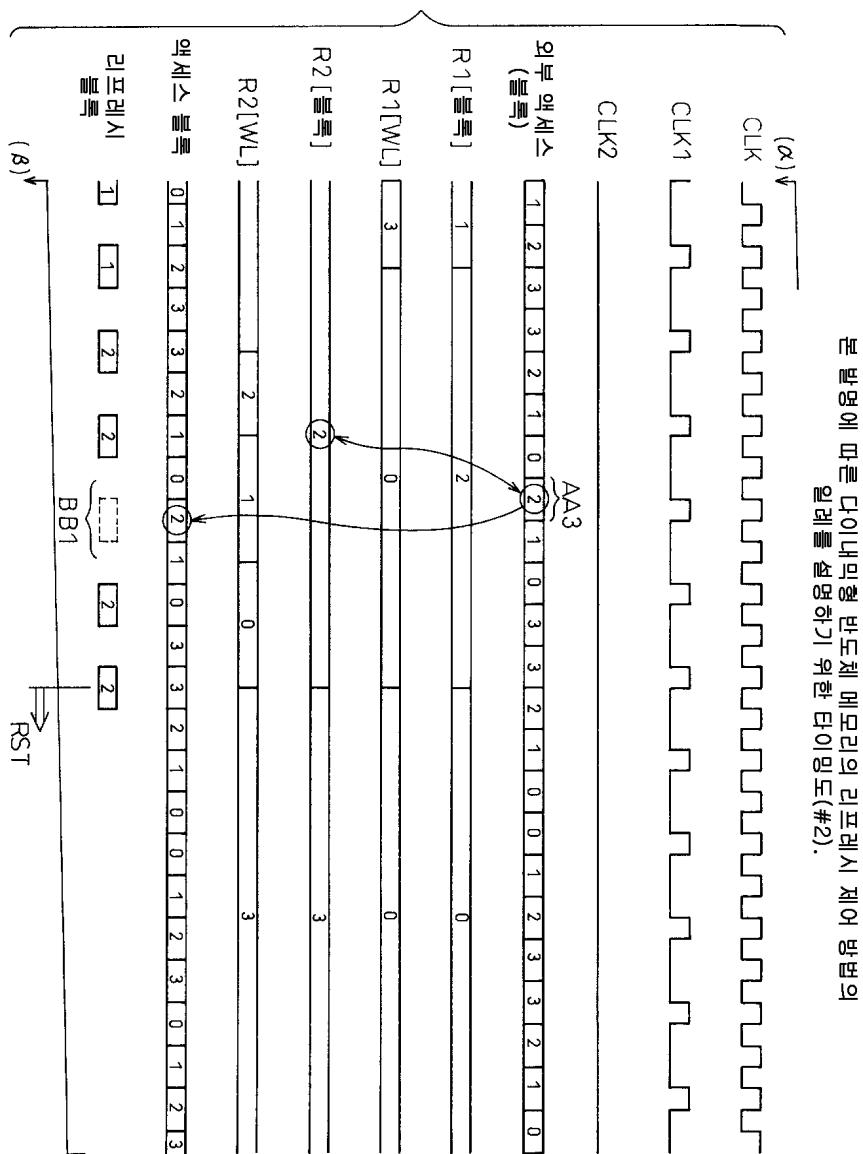
본 발명에 따른 다이내믹형 반도체 메모리의 리프레시 제어 방법의 일례를 설명하기 위한 플로우차트도.



도면8

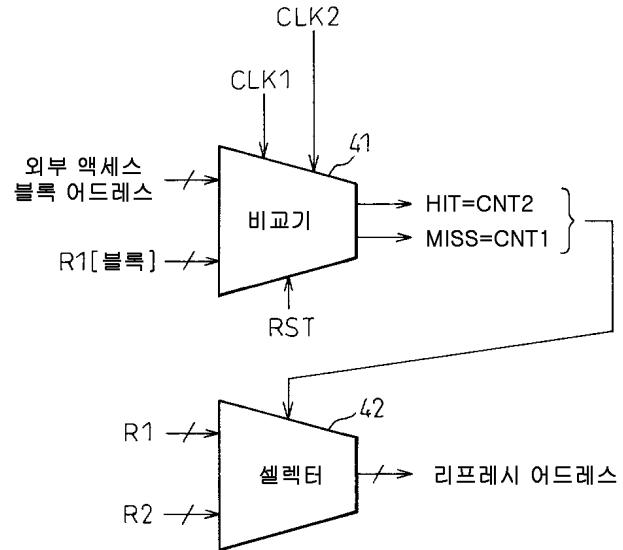


도면9

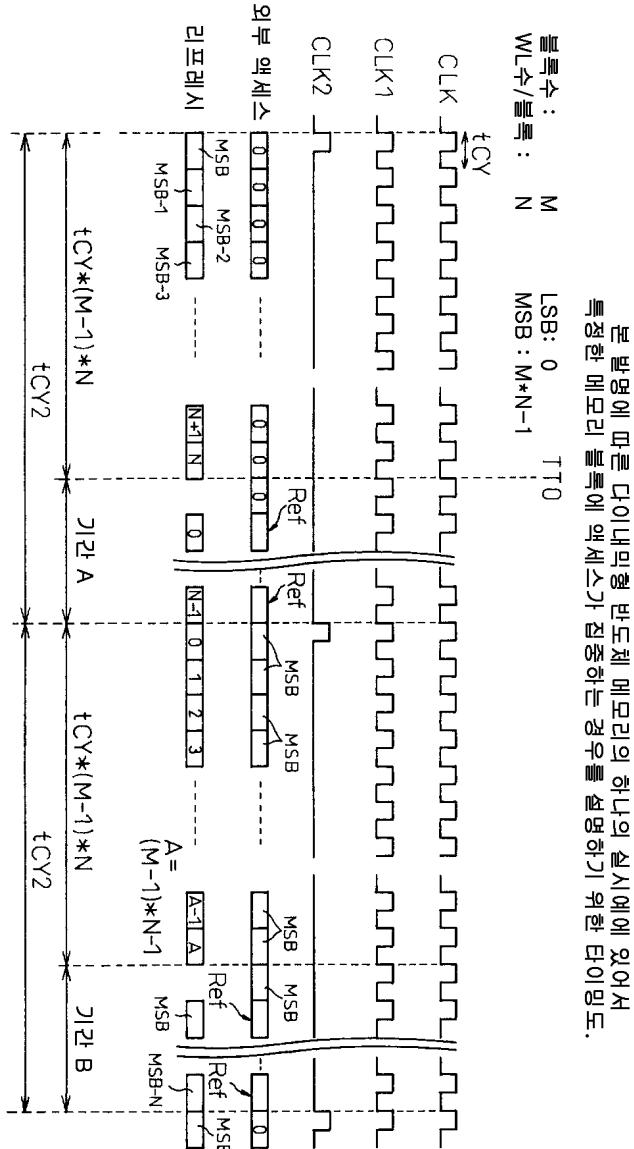


도면10

본 발명에 따른 다이내믹형 반도체 메모리의 하나의 실시예에 있어서의 리프레시 어드레스의 생성을 설명하기 위한 도면.

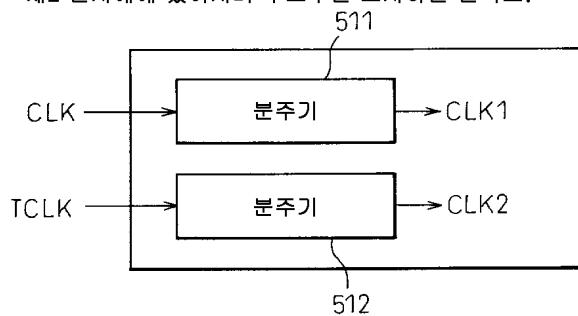


도면11



도면12

본 발명에 따른 다이나믹형 반도체 메모리의 제2 실시예에 있어서의 주요부를 도시하는 블럭도.



도면13

본 발명에 따른 다이내믹형 반도체 메모리의
제3 실시예에 있어서의 주요부를 도시하는 블럭도.

