



(12) 发明专利

(10) 授权公告号 CN 103503151 B

(45) 授权公告日 2016.08.24

(21) 申请号 201280020245. X

(22) 申请日 2012.04.26

(30) 优先权数据

13/094,645 2011.04.26 US

(85) PCT国际申请进入国家阶段日

2013. 10. 25

(86) PCT国际申请的申请数据

PCT/US2012/035249 2012. 04. 26

(87) PCT国际申请的公布数据

W02012/149184 EN 2012. 11. 01

(73) 专利权人 德克萨斯仪器股份有限公司

地址 美国德克萨斯州

(72) 发明人 W·弗兰茨 V·瓦施琛克

R · W · 弗提 A · 萨多夫尼科夫

P·博拉 P·J·浩珀

(74) 专利代理机构 北京纪凯知识产权代理有限公司

公司 11245

代理人 赵蓉民

(51) Int. Cl.

H01L 29/78(2006.01)

H01L 21/336(2006.01)

(56) 对比文件

US 2006/0231894 A1, 2006. 10. 19,

US 2010/0258869 A1, 2010. 10. 14.

US 2009/0127615 A1, 2009. 05. 21,

US 6580126 B1, 2003. 06. 17,

US 5561077 A, 1996. 10. 01,

审查员 宋晶晶

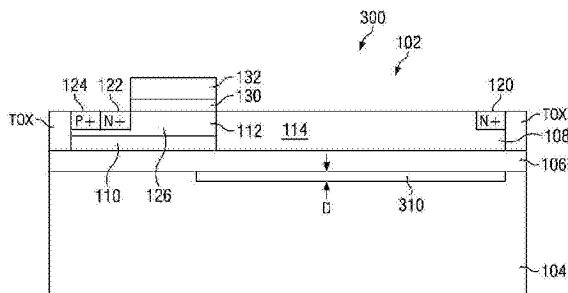
权利要求书1页 说明书6页 附图22页

(54) 发明名称

具有在漂移区下面的腔体的 DMOS 晶体管

(57) 摘要

一种在绝缘体上的硅(SOI)结构(102)上形成的横向DMOS晶体管(300)由于在所述SOI结构的体区(104)中形成的腔体(310)而具有较高的击穿电压。所述腔体露出位于所述DMOS晶体管的漂移区的垂直正下方的所述SOI结构的绝缘体层(106)的底表面的一部分。



1. 一种形成DMOS晶体管的方法,其包括:

提供绝缘体上的硅结构即SOI结构,所述SOI结构包括:具有顶表面的体区;接触所述体区的所述顶表面的绝缘体层,所述绝缘体层具有顶表面和底表面;以及单晶半导体;

形成接触所述绝缘体层的第一导电类型的掺杂本体区以及接触所述绝缘体层的第二导电类型的漂移区;

形成沟槽隔离结构,所述沟槽隔离结构延伸穿过所述单晶区以接触所述绝缘体层,从而形成单晶半导体区的多个隔离区;

在所述单晶半导体区上沉积衬垫氧化层,紧接着在所述衬垫氧化层上沉积氮化硅层;

在所述氮化硅层的顶表面上形成图案化的光致抗蚀剂层,以在所述氮化硅层上形成露出区域;

通过利用所述图案化的光致抗蚀剂层作为掩模来蚀刻所述氮化硅层和衬垫氧化层上的所述露出区域以导致在所述单晶半导体区的表面上形成露出区域,从而形成硬掩模;

利用所述硬掩模,选择性地蚀刻所述单晶半导体区的表面上的露出区域以形成穿过所述单晶半导体区和所述绝缘体层的多个开口,从而露出所述绝缘体上的硅结构即SOI结构的所述体区的顶表面上的多个对应区域,所述多个开口具有多个侧壁;

形成接触所述多个开口的所述多个侧壁的多个侧壁间隔件;以及

穿过所述多个开口湿法蚀刻所述体区以形成位于所述多个开口中每一个下方的单个腔体;

其中所述单个腔体露出所述绝缘体层的一部分底表面,所述绝缘体层的该部分底表面位于所述漂移区的垂直正下方;

形成覆盖但不填满所述多个开口的盖帽氧化层;以及

平坦化所述绝缘体上的硅结构即SOI结构的顶表面以去除所述衬垫氧化层和部分所述盖帽氧化层,直到露出所述单晶半导体区的顶表面。

2. 根据权利要求1所述的方法,其进一步包括形成插入所述多个开口的多个非导电塞。

3. 根据权利要求1所述的方法,其进一步包括形成第一导电类型的掺杂本体区和第二导电类型的漂移区,所述掺杂区接触所述绝缘体层,所述漂移区接触所述掺杂本体区。

4. 根据权利要求3所述的方法,其中所述腔体位于全部所述漂移区的正下方。

5. 根据权利要求3所述的方法,其中所述腔体位于少于全部所述漂移区的正下方。

6. 根据权利要求3所述的方法,其进一步包括形成第二导电类型的源极区和漏极区,所述源极区接触所述掺杂本体区并与所述漂移区间隔开,所述漏极区接触所述漂移区并与所述掺杂本体区间隔开。

具有在漂移区下面的腔体的DMOS晶体管

技术领域

[0001] 本发明涉及DMOS晶体管,并且更具体地涉及具有在漂移区下面的腔体的DMOS晶体管。

背景技术

[0002] 金属-氧化物-半导体(MOS)晶体管是一种众所周知的器件,其具有重掺杂的源极和漏极半导体区,二者被相反导电类型的轻掺杂沟道半导体区分隔开。MOS晶体管也具有位于沟道半导体区上方的氧化层以及接触氧化层并位于沟道半导体区上方的金属栅极。除了金属,MOS晶体管的栅极通常也由掺杂的多晶硅形成。

[0003] 双扩散MOS(DMOS)是一种功率晶体管,其具有被称为漂移区的大的轻掺杂漏极半导体区,该漂移区接触沟道半导体区并且通常位于沟道半导体区和重掺杂漏极半导体区之间。DMOS晶体管一般形成为源极和漏极垂直分开的垂直器件,并形成源极和漏极水平分开的横向器件。

[0004] 在操作中,垂直DMOS晶体管通常比横向DMOS晶体管提供更好的性能(例如,更低的导通状态漏源电阻)。然而,横向DMOS晶体管通常更容易制作,因此比生产垂直DMOS晶体管更便宜。

[0005] 图1示出说明常规横向DMOS晶体管100的示例的横截面图。如图1所示,DMOS晶体管100包括绝缘体上的硅(SOI)结构102,该SOI结构包括体区104、覆盖体区104的顶表面的厚度约为0.4 μm 的绝缘体层106以及接触绝缘体层106的顶表面的厚度约为0.8 μm 的单晶半导体区108。

[0006] 另外,SOI结构102包括沟槽隔离结构TOX,其延伸穿过单晶半导体区108以接触绝缘体层106并形成单晶半导体区108的数个隔离区。(为清晰起见仅示出单晶半导体区108的一个隔离区)。

[0007] 进一步如图1所示,单晶半导体区108包括接触绝缘体层106的p型阱110、接触p型阱(并设置DMOS晶体管100的阈值电压)的p-本体区112以及接触绝缘体层106、p型阱110和p-本体区112的n-漂移区114。

[0008] 单晶半导体区108还包括接触n-漂移区114并与p-本体区112间隔开的n+漏极区120、接触p-本体区112并与n-漂移区114间隔开的n+源极区122以及接触p-本体区112的p+接触区124。因此,n-漂移区114接触包括p型阱110、p-本体区112和p+接触区124的掺杂区。同样地,p-本体区112的沟道区126水平地位于n-漂移区114和n+源极区122之间并与二者接触。

[0009] 另外如图1所示,横向DMOS晶体管100进一步包括在沟道区126上方接触p-本体区112的栅极氧化层130以及在沟道区126上方接触栅极氧化层130的栅极132。栅极132可以用金属或掺杂的多晶硅来实现。

[0010] 在操作中,第一正电压被置于n+漏极区120上并且第二正电压被置于栅极132上,同时接地电压被置于n+源极区122和p+接触区124上。响应于这些偏置条件,p-本体区112的

沟道区126倒置,并且电子从n+源极区122流到n+漏极区120。

[0011] DMOS晶体管的一个重要特性是晶体管的击穿电压 BV_{dss} ,其为在漂移区114至本体区112的结击穿或绝缘体层106击穿之前可以被置于n+漏极区120上的最大断态电压(以较低者为准)。由于DMOS晶体管是功率晶体管,存在处理较大电压的需求,因此需要增加晶体管的击穿电压 BV_{dss} 。

[0012] Udrea等人的美国专利6,703,684教导了横向DMOS晶体管的击穿电压 BV_{dss} 可以通过移除位于DMOS晶体管下面的部分体区104来增大。图2示出说明常规Udrea DMOS晶体管200的示例的横截面图。

[0013] Udrea DMOS晶体管200与DMOS晶体管100类似,并且因此使用相同的参考数字来指示两种DMOS晶体管共有的结构。如图2所示,Udrea DMOS晶体管200与DMOS晶体管100的不同之处在于Udrea DMOS晶体管200具有背面开口210,该背面开口延伸穿过体区104以暴露出位于DMOS晶体管200下面的绝缘体层106的一部分。

[0014] 然而,尽管Udrea DMOS晶体管200增加了晶体管的击穿电压 BV_{dss} ,但是背面沟槽蚀刻显著增加了工艺流程的复杂度,需要厚SOI晶片用于使蚀刻停止进行,并且可能需要高费用支出来购买该工艺流程所需要的设备。

附图说明

[0015] 图1是示出常规横向DMOS晶体管100的示例的横截面图。

[0016] 图2是示出常规Udrea DMOS晶体管200的示例的横截面图。

[0017] 图3是示出根据本发明的DMOS晶体管300的示例的横截面图。

[0018] 图4是进一步示出根据本发明的DMOS晶体管300的操作的图表。

[0019] 图5A-5C至图19A-19C是示出根据本发明形成DMOS晶体管的方法的图示。图5A-19A是平面图。图5B-19B是图5A-19A中沿着线5B-5B至19B-19B获取的横截面图。图5C-19C是图5A-19A中沿着线5C-5C至19C-19C获取的横截面图。

[0020] 图20是示出根据本发明的可替换实施例的DMOS晶体管2000的示例的横截面图。

[0021] 图21A-21B是进一步示出根据本发明的DMOS晶体管2000的操作的图表。

具体实施方式

[0022] 图3示出说明根据本发明的DMOS晶体管300的示例的横截面图。如在下文中更详细地描述,通过在SOI结构的体区内形成腔体增加了DMOS晶体管300的击穿电压 BV_{dss} 。

[0023] DMOS晶体管300与DMOS晶体管100类似,并且因此使用相同的参考数字来指示两种晶体管共有的结构。如图3所示,DMOS晶体管300与DMOS晶体管100的不同之处在于DMOS晶体管300在体区104中具有暴露出绝缘体层106的部分底表面的腔体310。绝缘体层106的该部分底表面进而位于n-漂移区114的垂直正下方。

[0024] 腔体310是具有深度D的单独区域,并且在图3的示例中是位于一部分栅电极132的垂直正下方的部分。作为替代,腔体310的任何部分都可以不位于任何部分栅电极132的垂直正下方。如所描述,DMOS晶体管300包括横向pn二极管(p-本体区112和n-漂移区114)和垂直隔离场板。

[0025] DMOS晶体管300与DMOS晶体管100的操作相同,除了当对n+漏极区120施加电压时,

由于RESURF(降低表面场)原理,穿过绝缘体层106的电场垂直分量感应生成穿过n-漂移区114和绝缘体层106的空间电荷耗尽区,进而降低横向电场。降低的横向电场增加了DMOS晶体管300的击穿电压 BV_{dss} ,进而允许DMOS晶体管300以更高的漏极电压电平进行操作。

[0026] 图4示出进一步说明根据本发明的DMOS晶体管300的操作的图表。该图表比较了模拟击穿电压 BV_{dss} 对比DMOS晶体管300的腔体310的深度D。如图4所示,通过腔体310的正确深度D,可以实现超过700V的击穿电压 BV_{dss} 。

[0027] 另外,图4也示出了DMOS晶体管300的通态漏源电阻 $r_{DS(ON)}$ 和腔体310的深度D之间的关系。进一步如图4所示,随着腔体310的深度D增加,通态漏源电阻 $r_{DS(ON)}$ 大致呈线性增长。DMOS晶体管是功率晶体管,因此在导通时可以传递较大的电流。因此,该晶体管的较低的通态漏源电阻 $r_{DS(ON)}$ 是重要的因素。

[0028] 进一步地,(腔体310中的)硅、氧化物和空气具有非常不同的介电常数(例如分别为11.9、3.9和1.0)。数值越低,被吸引到该区域的电场线越多。然而,随着腔体310的深度D增加,更少的电场线可以被吸引到该区域。介电常数越低,对这种效应越好。

[0029] 当腔体310的深度D非常大时,电位线自由地伸展到腔体310内,并且绝缘体层106的厚度不再限制击穿电压 BV_{dss} 。因此,当腔体310的深度D非常大时,应该极大地减少n-漂移区114的掺杂。

[0030] 在图4的示例中,当腔体的深度D约为 $1.5\mu m$ 时,可以实现具有超过700V的击穿电压 BV_{dss} 和较低的通态漏源电阻 $r_{DS(ON)}$ 的DMOS晶体管(其中绝缘体层106的厚度约为 $0.4\mu m$ 并且半导体区108的厚度约为 $0.8\mu m$)。

[0031] 图5A-5C至图19A-19C示出说明根据本发明形成DMOS晶体管的方法的视图。图5A-19A是平面图,而图5B-19B是图5A-19A中沿着线5B-5B至19B-19B获取的横截面图,图5C-19C是图5A-19A中沿着线5C-5C至19C-19C获取的横截面图。

[0032] 如图5A-5C所示,该方法使用常规形成的SOI晶片502,该SOI晶片包括厚度约为 $750\mu m$ 的体区504、覆盖体区504的顶表面的厚度约为 $0.4\mu m$ 的绝缘体层506以及接触绝缘体层506的顶表面的厚度约为 $0.45\mu m$ 的单晶半导体区510。

[0033] 另外,SOI晶片502包括沟槽隔离结构TOX,该沟槽隔离结构延伸穿过单晶半导体区510以接触绝缘体层506并形成单晶半导体区510的数个隔离区。(为了清晰起见仅示出单晶半导体区510的一个隔离区)。

[0034] 进一步如图5A-5C所示,该方法开始于通过例如低压化学气相沉积(LPCVD)将衬垫氧化层512沉积到单晶半导体区510上,紧接着通过例如LPCVD将氮化硅层514沉积到衬垫氧化层512上。

[0035] 然后,在氮化硅层514的顶表面上形成图案化的光致抗蚀剂层516。图案化的光致抗蚀剂层516是以常规方式形成的,包括沉积光致抗蚀剂层以及投射光经过被称为掩模的图案化的黑色/透明玻璃板以在光致抗蚀剂层上形成图案化的图像。光会软化暴露于光中的光致抗蚀剂区。紧接着软化的光致抗蚀剂区被去除。

[0036] 如图6A-6C所示,在形成图案化的光致抗蚀剂层516之后,以常规方式各向异性地蚀刻氮化硅层514和衬垫氧化层512的露出区从而露出单晶半导体区510的表面上的一些区域,并由此形成图案化的硬掩模520。因此,图案化的硬掩模具有由氮化硅层514和衬垫氧化层512的蚀刻限定的图案。在该蚀刻之后,以常规方式去除图案化的光致抗蚀剂层516。

[0037] 如图7A-7C所示,在形成硬掩模520之后,各向异性地干法蚀刻单晶半导体区510和绝缘体层506的露出区域以形成数个开口522,其中每个开口露出体区504的顶表面。开口522可以延伸穿过单晶半导体区510的一些区域,这些区域随后将被注入以形成轻掺杂漂移区并因此充当横向RESURF区,或者形成重掺杂区。作为替代,开口522可以通过沟槽隔离结构TOX形成。

[0038] 接下来,如图8A-8C所示,氧化SOI晶片502以在通过蚀刻露出的硅表面上形成氧化层524。紧接着常规地沉积氮化硅层。然后以常规方式各向异性地回蚀刻氮化硅层和氧化层524从而露出体区504的顶表面,并形成对齐开口522的侧壁的侧壁间隔件526。

[0039] 如图9A-9C所示,在形成侧壁间隔件526之后,以常规方式通过对硅有选择的蚀刻剂来湿法蚀刻SOI晶片502,从而在体区504中形成腔体530。另外,相邻开口522之间的腔体530的底表面由于使用湿法各向同性蚀刻而具有尖端532。开口522的密度应被设置成使得尖端532的高度最小化。

[0040] 另外如图9B所示,腔体530在单晶半导体区510的晶体管部分534和绝缘体层506的下衬部分之下延伸。一旦腔体530形成,以常规工艺去除氮化硅层514和侧壁间隔件526的氮化物部分。

[0041] 在去除氮化硅层514和侧壁间隔件526的氮化物部分之后,如图10A-10C所示,通过例如化学气相沉积在衬垫氧化层512上沉积盖帽氧化层536。进一步如图10A-10C所示,盖帽氧化层536覆盖但不填满开口522。

[0042] 接下来,如图11A-11C所示,以常规方式平坦化SOI晶片502将位于单晶半导体区510的顶表面上方的衬垫氧化层512和部分盖帽氧化层536去除,从而露出单晶半导体区510的顶表面。

[0043] 例如,可以首先在盖帽氧化层536上沉积平坦化材料以形成平坦表面。然后可以使用以基本相同速率蚀刻平坦化材料和氧化物(盖帽氧化层536和衬垫氧化层512)的蚀刻剂对SOI晶片502进行湿法蚀刻。该蚀刻继续进行直到露出单晶半导体区510的顶表面。

[0044] 作为替代,可以使用化学机械抛光来去除氧化物的上面部分,但是不太可能用于露出单晶半导体区510的顶表面,除非可以在不损坏单晶半导体区510的顶表面的情况下执行化学机械抛光。

[0045] 另外,进一步如图11A-11C所示,平坦化过程形成氧化物塞540。在平坦化并露出单晶半导体区510的顶表面之后,如图12A-12C所示,将p型掺杂剂(例如硼)均匀注入(blanket implanted)到单晶半导体区510的顶表面中以设置将要形成的p型阱区的掺杂剂浓度。作为替代,可以在平坦化SOI晶片502之前执行该均匀注入。

[0046] 接下来,如图13A-13C所示,在单晶半导体区510的顶表面上形成非导电层542如栅极氧化物。在形成非导电层542之后,形成多晶硅层544以接触栅极氧化物542。

[0047] 一旦形成多晶硅层544,使用例如剂量为 1.79×10^{16} 原子数/ cm^2 和注入能量为30KeV的n型均匀注入来掺杂多晶硅层544。然后以常规方式在多晶硅层544上形成图案化的光致抗蚀剂层546。

[0048] 接下来,如图14A-14C所示,以常规方式蚀刻掉多晶硅层544的露出区域以形成栅极550。然后使用常规步骤去除图案化的光致抗蚀剂层546。然后,如图15A-15C所示,以常规方式在单晶半导体区510上方形成图案化的光致抗蚀剂层552。

[0049] 接下来,将n型掺杂剂(例如磷)注入到单晶半导体区510的顶表面以形成n-漂移区554,并且由此也形成p型阱区556。例如,n-漂移区554可以具有约为 1×10^{16} 原子数/cm³的掺杂剂浓度和约为30-50 μ m的长度。随着腔体530的深度D增加,掺杂减少。

[0050] 作为替代,可以通过使用多重图案化的光致抗蚀剂层来形成具有梯度掺杂浓度的n-漂移区554。例如,与栅极550最近的n-漂移区554的区域可以具有约 8×10^{15} 原子数/cm³的掺杂剂浓度,并线性增加到离栅极550最远的区域中约 3×10^{16} 原子数/cm³的掺杂剂浓度。然后以常规方式去除图案化的光致抗蚀剂层552。

[0051] 在去除图案化的光致抗蚀剂层552之后,如图16A-16C所示,以常规方式在单晶半导体区510的上方形成图案化的光致抗蚀剂层560。然后将n型掺杂剂(例如砷)注入到单晶半导体区510的顶表面上以形成n+源极区562和n+漏极区564。例如,n+源极区562和n+漏极区564可以具有 1×10^{18} 原子数/cm³的掺杂剂浓度。然后以常规方式去除图案化的光致抗蚀剂层560。

[0052] 在去除图案化的光致抗蚀剂层560之后,如图17A-17C所示,以常规方式在单晶半导体区510的上方形成图案化的光致抗蚀剂层566。然后以一定的角度将p型掺杂剂(例如硼)注入到单晶半导体区510的顶表面以形成p-本体区568。该注入过程设置将要形成的DMOS晶体管的阈值电压。然后以常规方式去除图案化的光致抗蚀剂层566。

[0053] 在去除图案化的光致抗蚀剂层566之后,如图18A-18C所示,以常规方式在单晶半导体区510的上方形成图案化的光致抗蚀剂层569。然后将p型掺杂剂(例如硼)注入到单晶半导体510的顶表面以形成接触p-本体区568的p+接触区570。例如,p+接触区570可以具有 1×10^{18} 原子数/cm³的掺杂剂浓度。

[0054] 因此,n-漂移区554接触包括p型阱区556,p-本体区568和p+接触区570的掺杂区。同样地,p-本体区568的沟道区572水平地位于n-漂移区554和n+源极区562之间并与二者接触。(可以进行额外的垂直p型注入,以便例如以上述同样的方式(即形成掩模、注入、移除掩模)在位于n+源极区562和p+接触区570下方的p-本体区568中形成深p型区,以进一步修整p型区。)

[0055] 接着,如图19A-19C所示,以常规方式去除图案化的光致抗蚀剂层569。使用常规的快速热处理工艺来向内驱动并激活注入物。(作为替代,注入物可以被多次向内驱动并激活,例如在每一次注入之后)。一旦注入物被向内驱动并激活,该方法继续进行常规的后端处理步骤来完成DMOS晶体管的形成。

[0056] 因此,本发明公开了一种在SOI晶片502中形成具有腔体530的横向DMOS晶体管。该方法通过选择性蚀刻穿过单晶半导体区510和绝缘体层506的数个开口以暴露出SOI晶片502的体区504上的相应数量的区域来形成腔体530。

[0057] 该方法也形成数个侧壁间隔件以接触数个开口522的侧壁,并且穿过数个开口522湿法蚀刻体区504以形成位于每个开口522下方的单个的腔体530。一旦形成腔体530,该方法也形成插入开口522中的数个塞540。

[0058] 图20示出说明根据本发明的DMOS晶体管2000的示例的横截面图。DMOS晶体管2000与晶体管300类似,并且因此使用相同的参考数字来指示两种晶体管共有的结构。

[0059] 如图20所示,DMOS晶体管2000与DMOS晶体管300的不同之处在于DMOS晶体管2000使用n-漂移区2010代替n-漂移区114。而n-漂移区2010比n-漂移区114更薄,因此允许一部

分p型阱区110位于n-漂移区2010下方。

[0060] 另外,腔体310也更短以便最接近栅极132的腔体310的边缘和与最接近腔体310的栅极132的边缘重合的垂线水平间隔开一水平间隔距离 X_{SON} 。在这种情况下,腔体310位于少于全部漂移区2010的垂直正下方。

[0061] 除了穿过位于n-漂移区2010和在n-漂移区2010下方的部分p型阱区110之间的结的耗尽区基本覆盖n-漂移区114以及一部分p型阱区110位于n-漂移区114下方之外,DMOS晶体管2000与DMOS晶体管300以相同的方式操作。

[0062] DMOS晶体管2000可以通过在单晶半导体区510中注入p型掺杂剂而具有约为每立方厘米 2.5×10^{15} 原子数/ cm^3 的掺杂剂浓度,然后在沟槽隔离区TOX形成之前在单晶半导体510的顶表面上生长n型外延层而形成。

[0063] 另外,形成较少的开口522以便在湿法蚀刻体区504时缩短腔体530的长度。同样地,在随后形成n-漂移区2010时,以较低的注入能量形成具有约为 3.0×10^{15} 原子数/ cm^3 的掺杂剂浓度的n-漂移区2010。

[0064] 图21A和图21B示出进一步说明根据本发明的DMOS晶体管2000的操作的图表。图21A中的图表比较模拟击穿电压 BV_{dss} 对比DMOS晶体管2000的腔体310的深度D。如图21A所示,通过腔体310的正确深度D,可以实现约600V的击穿电压 BV_{dss} 。

[0065] 图21B中的图表比较了模拟击穿电压 BV_{dss} 对比水平间隔距离 X_{SON} (在栅极132的边缘与腔体310的边缘之间测量)。如图21B所示,当栅极132的边缘与腔体310的边缘之间存在较小的水平间隔时,可以实现最高的击穿电压。

[0066] 在图20的示例中,当腔体310的厚度约为 $14\mu\text{m}$ 时,可以实现具有约为600V的击穿电压 BV_{dss} 的DMOS晶体管(其中绝缘体层106的厚度约为 $1.0\mu\text{m}$,n-漂移区2010的厚度约为 $2.25\mu\text{m}$,以及位于n-漂移区2010正下方的p型阱区110的厚度约为 $2.2\mu\text{m}$)。因此,尽管DMOS晶体管2000比DMOS晶体管300具有稍微较低的击穿电压 BV_{dss} ,但实质上DMOS晶体管2000中的腔体310的深度D更大。

[0067] 本发明所涉及领域的技术人员将认识到,在不偏离所要求保护的发明范围的情况下,可以对所描述的实施例做出各种修改并且许多其他的实施例是可能的。

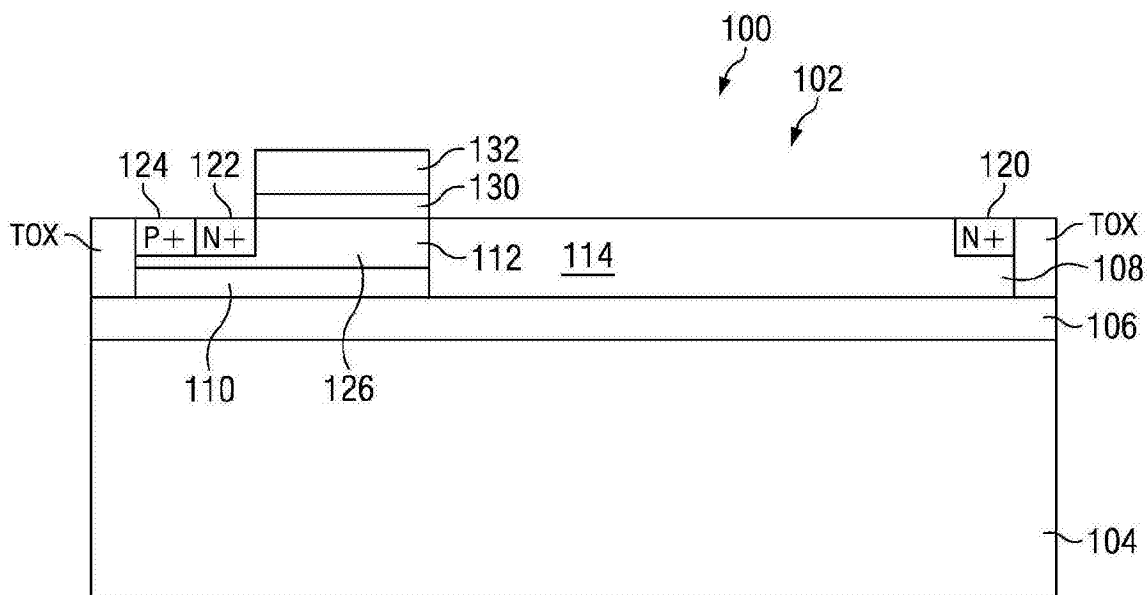


图1(现有技术)

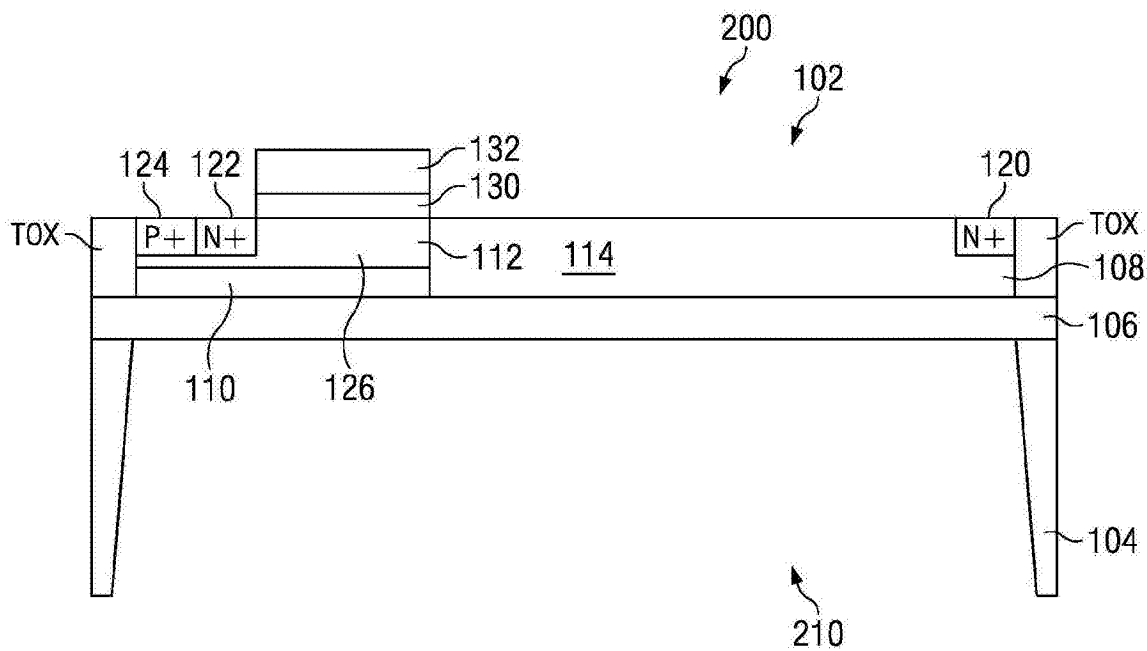


图2(现有技术)

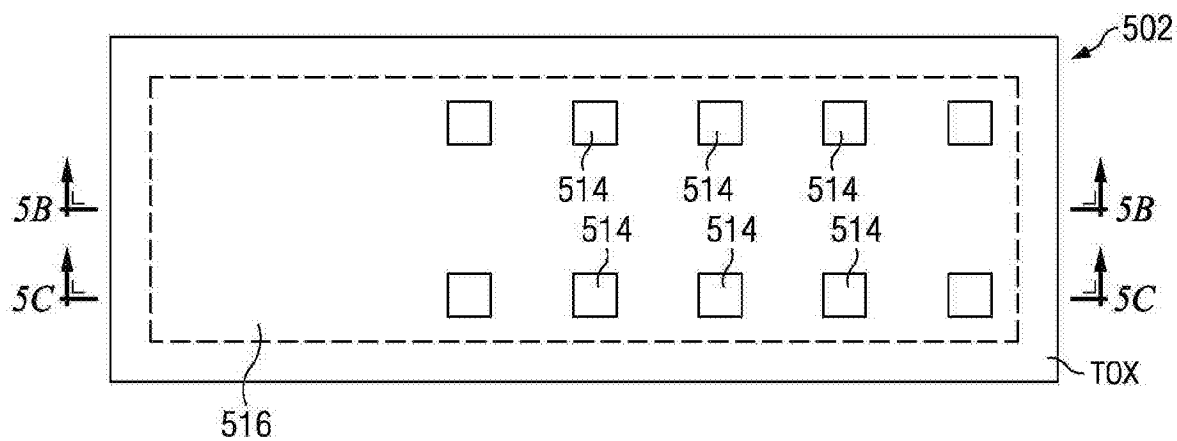


图5A

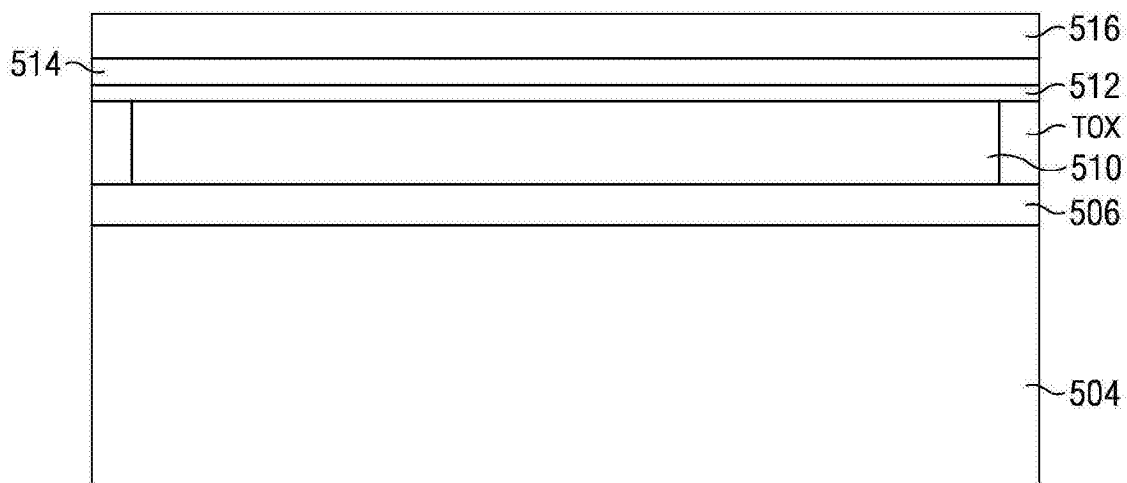


图5B

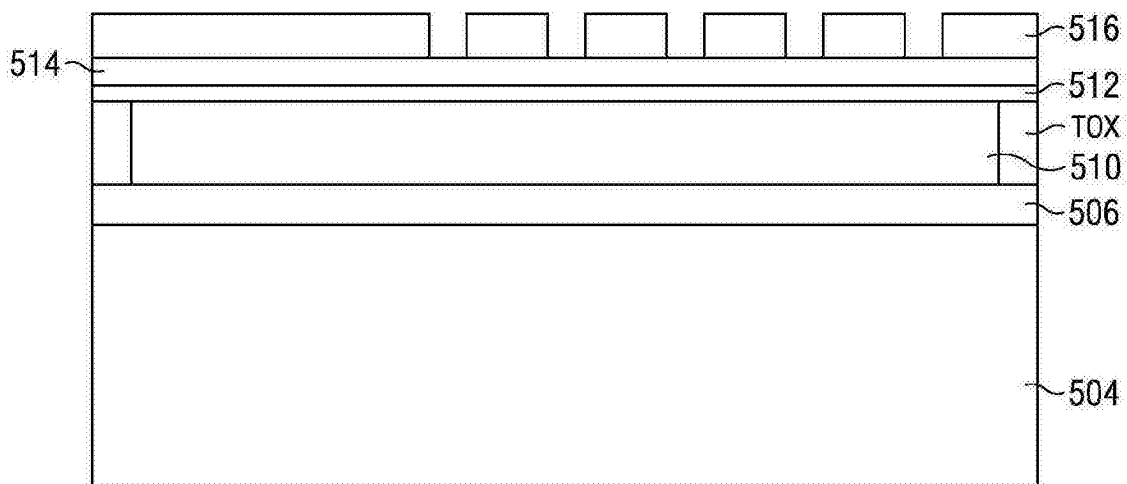


图5C

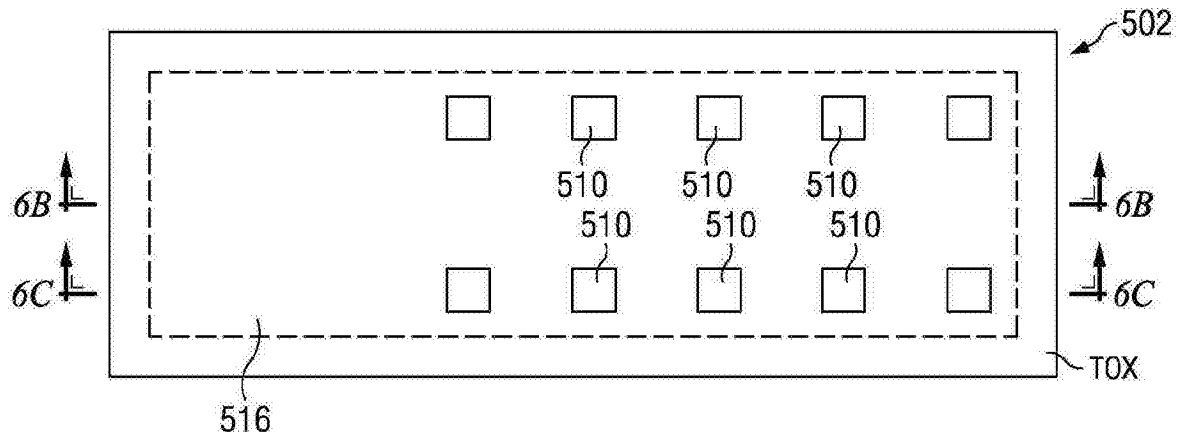


图6A

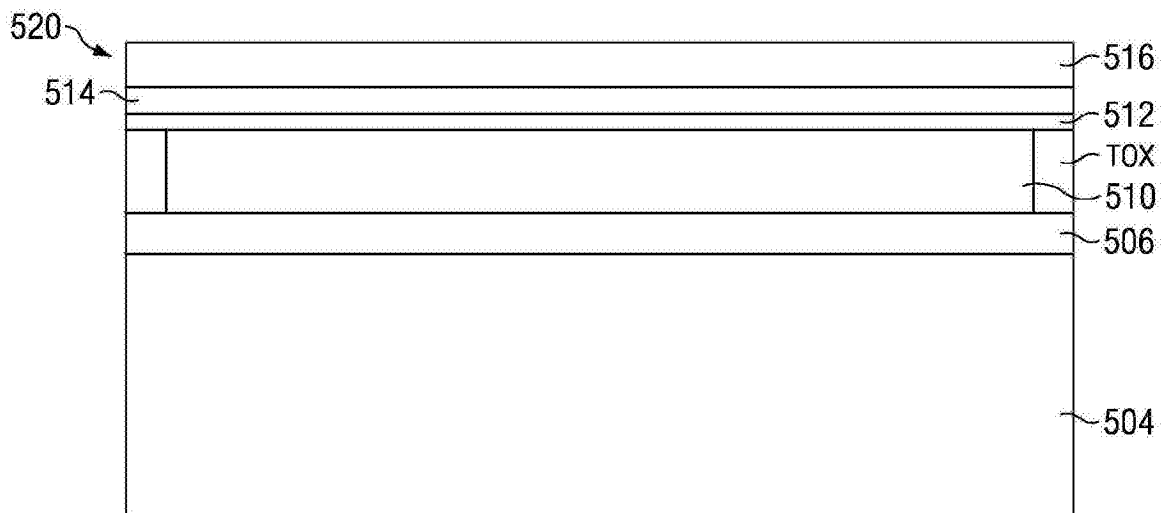


图6B

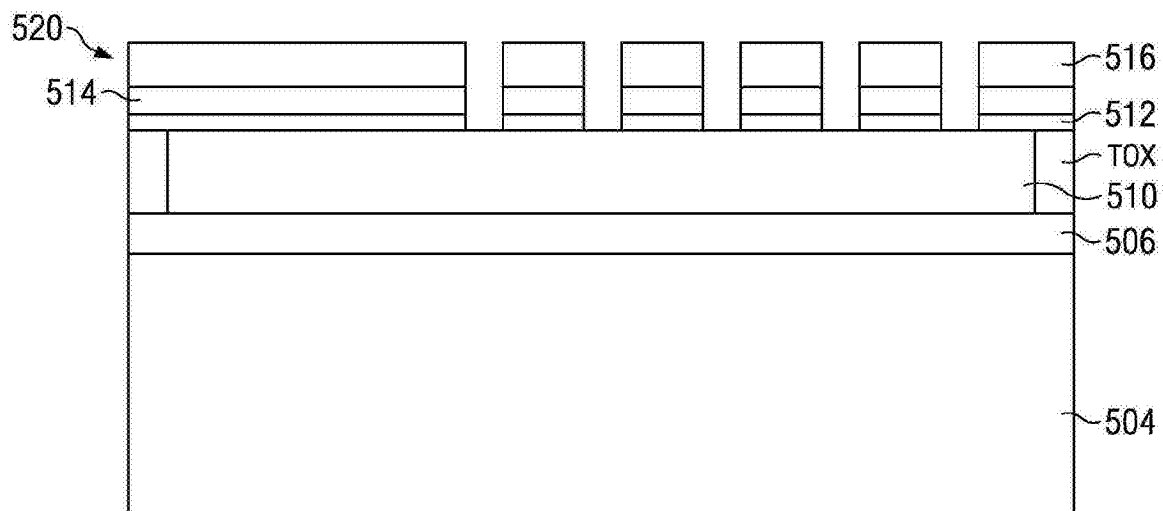


图6C

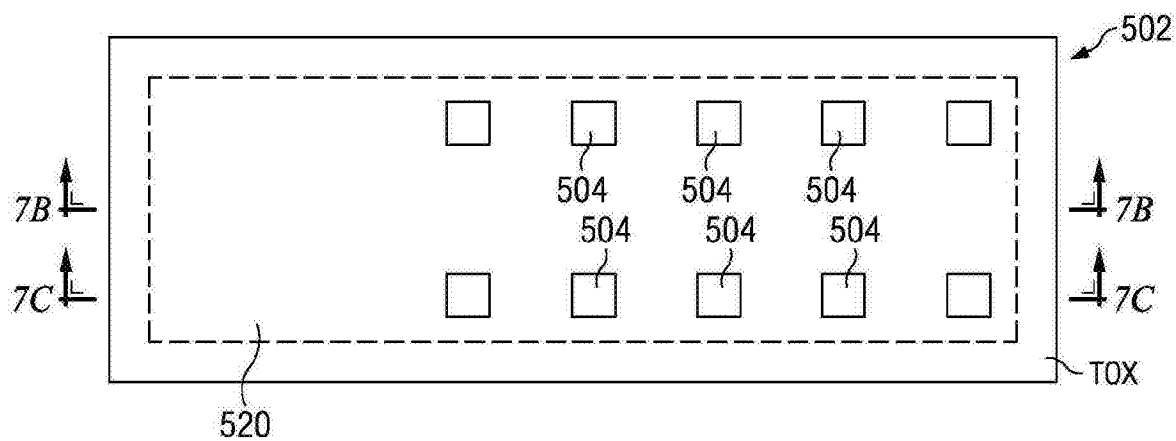


图7A

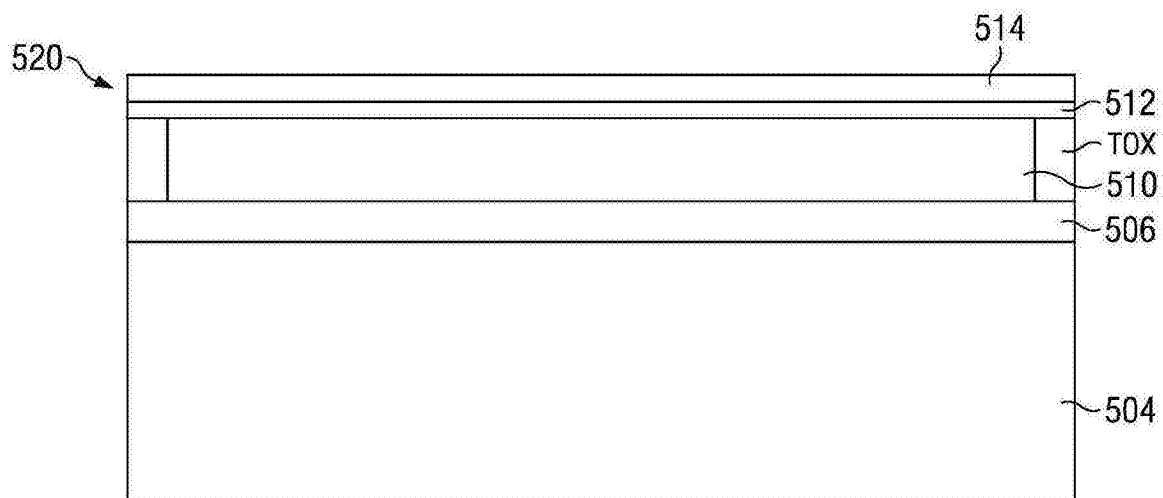


图7B

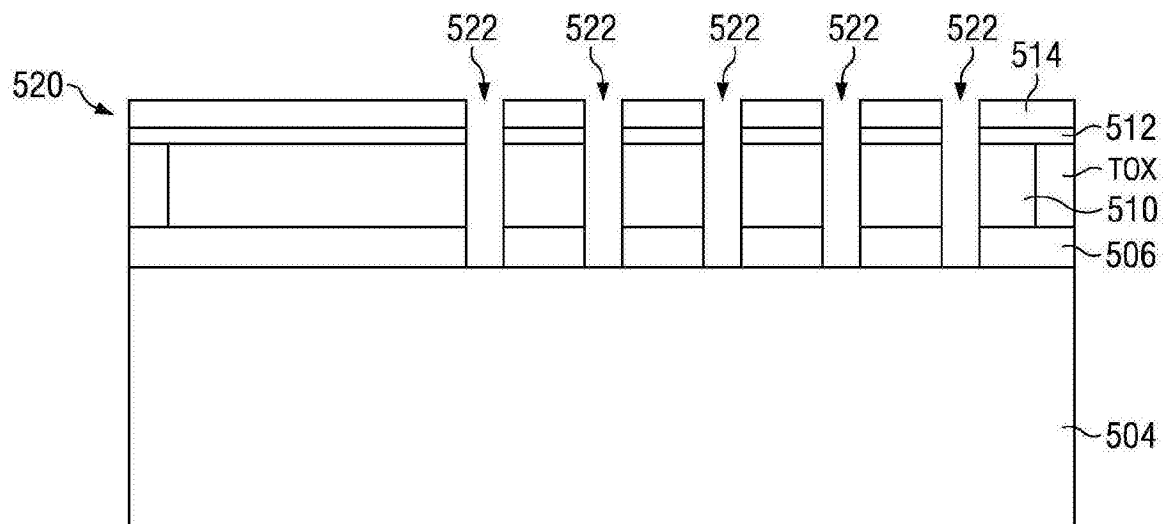


图7C

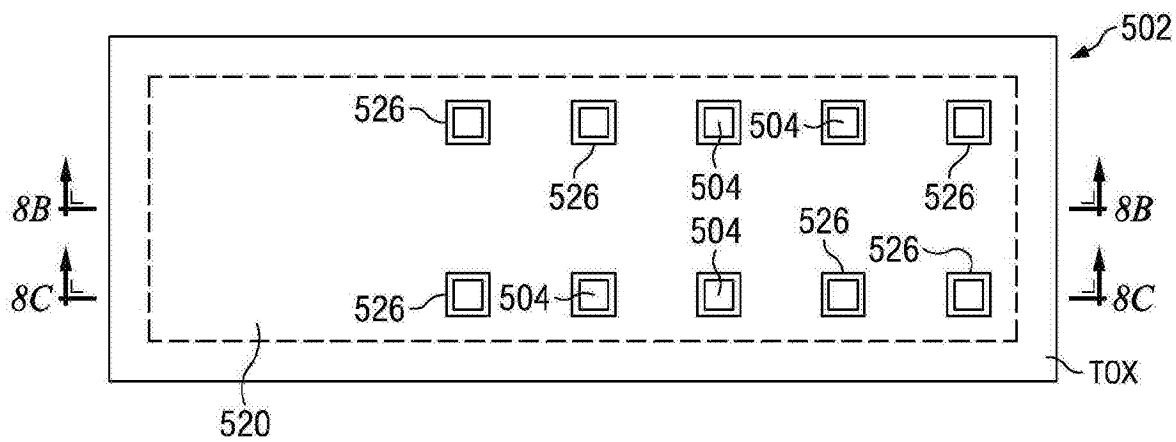


图8A

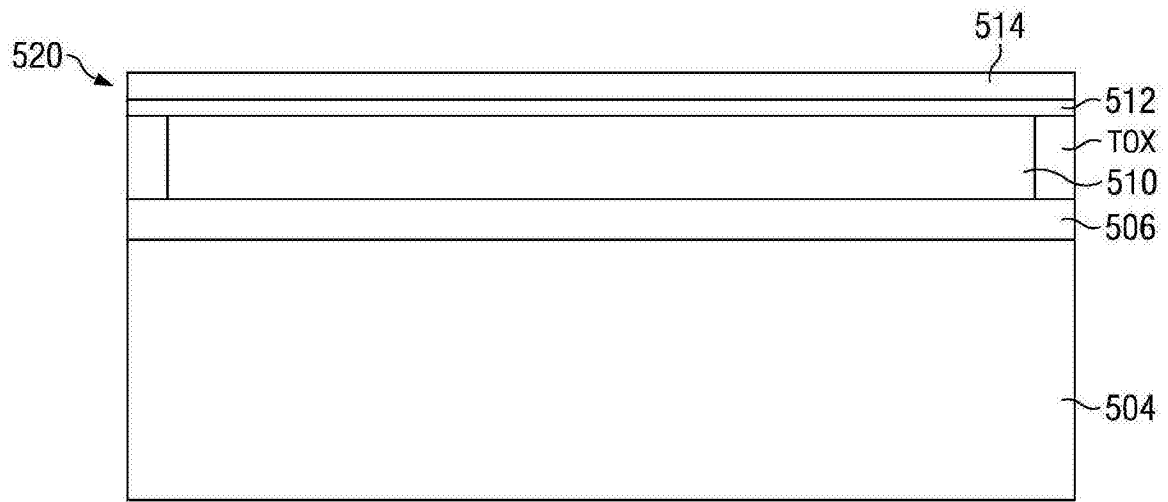


图8B

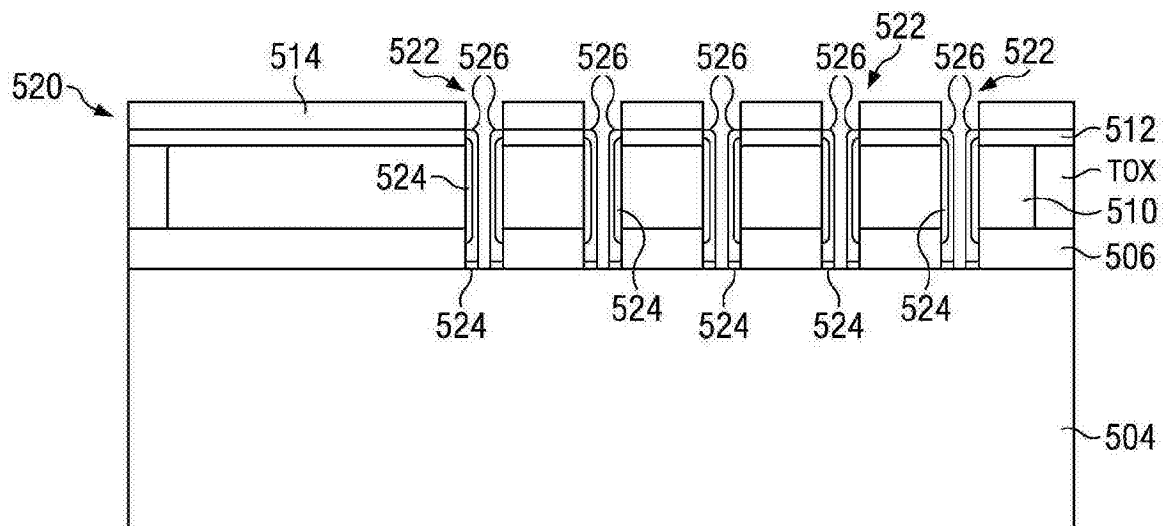


图8C

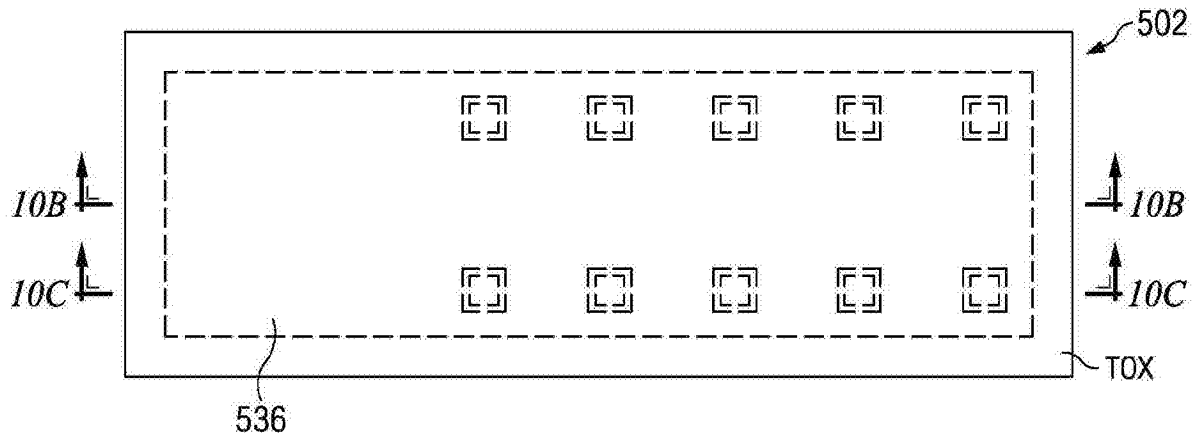


图10A

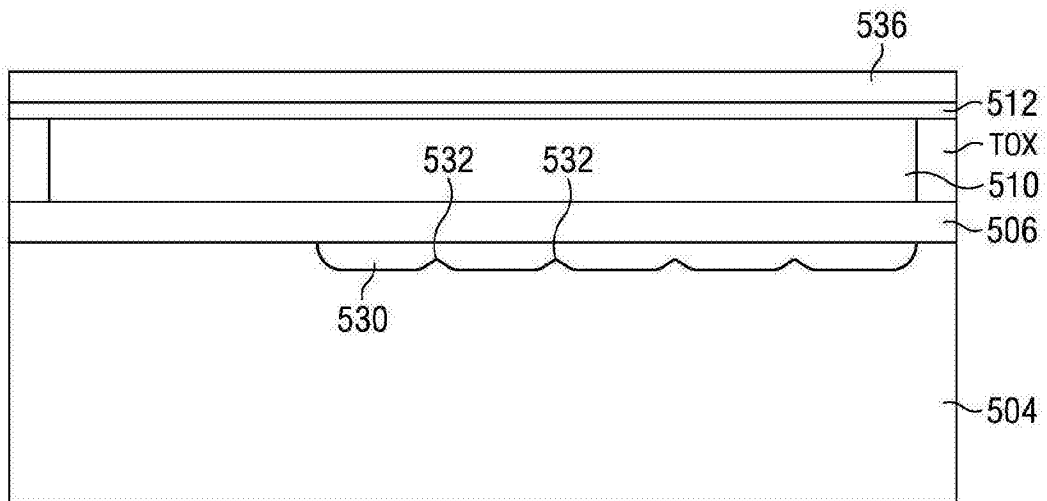


图10B

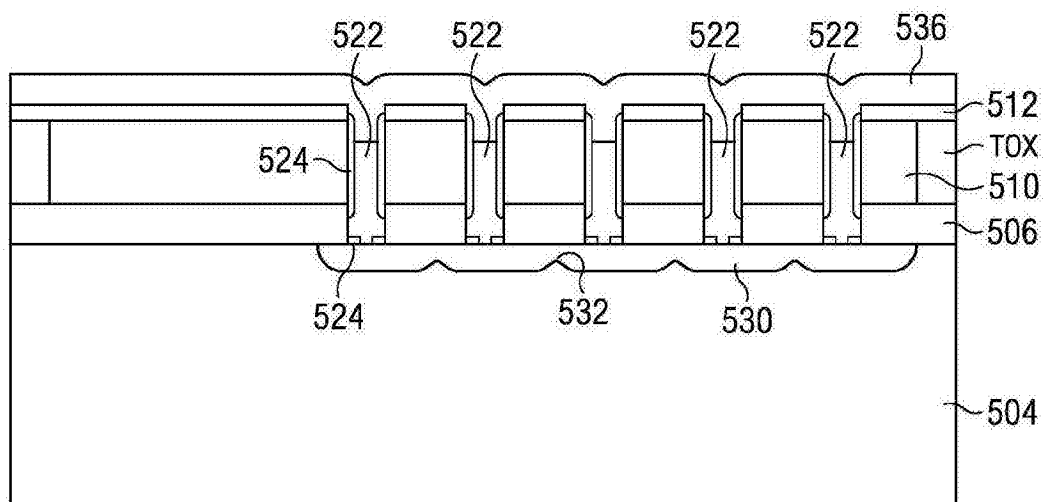


图10C

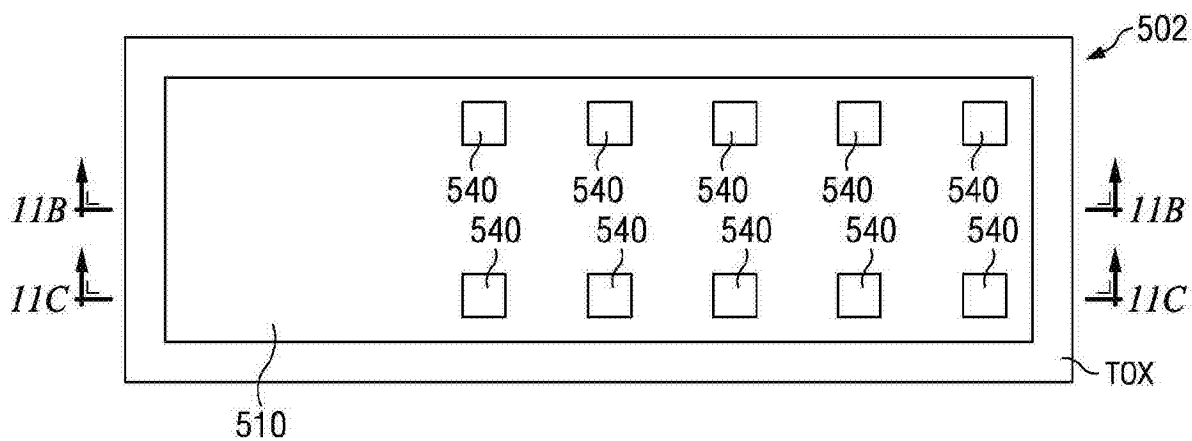


图11A

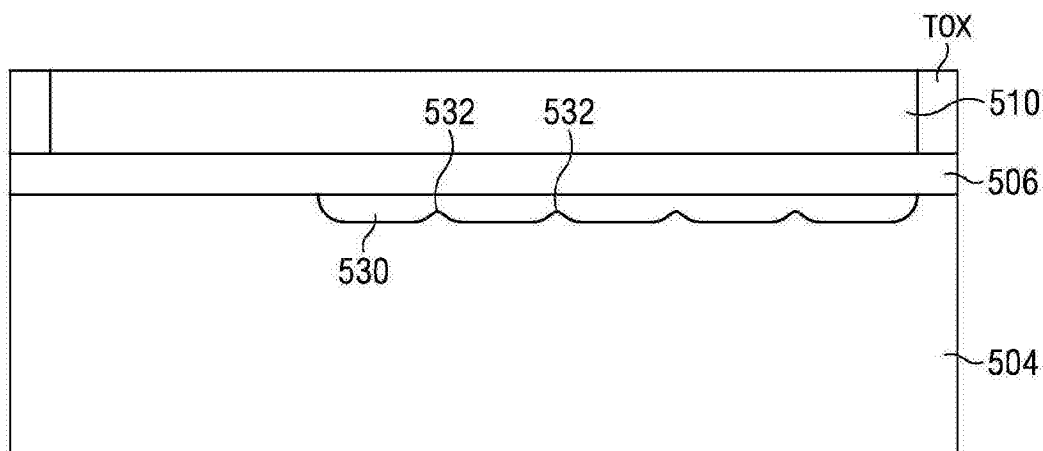


图11B

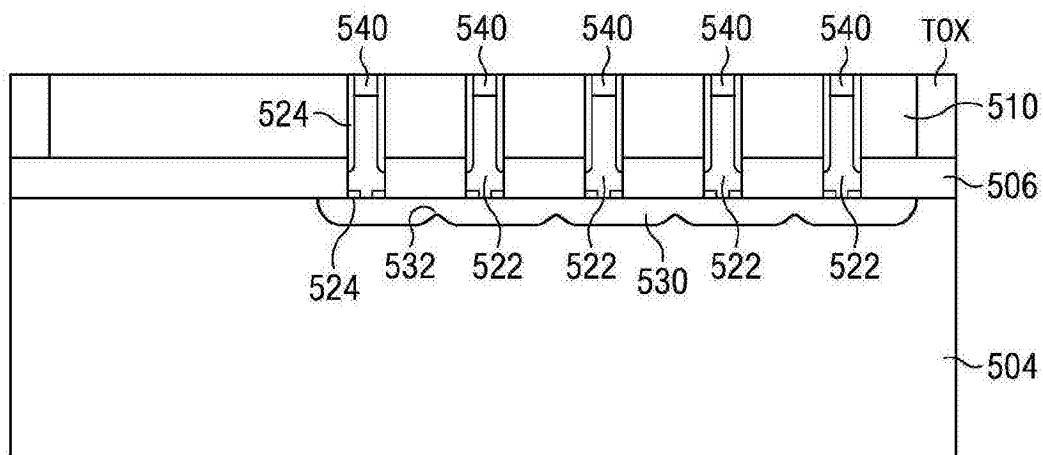


图11C

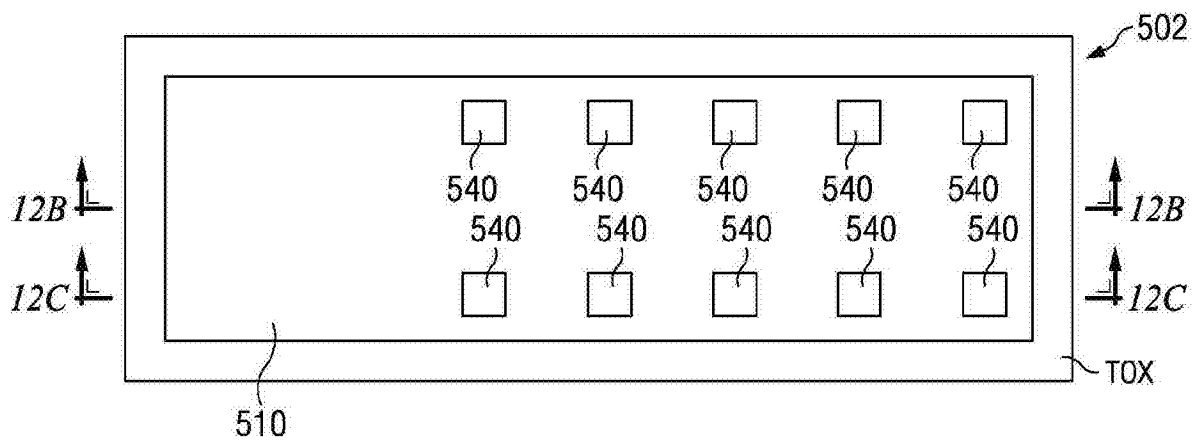


图12A

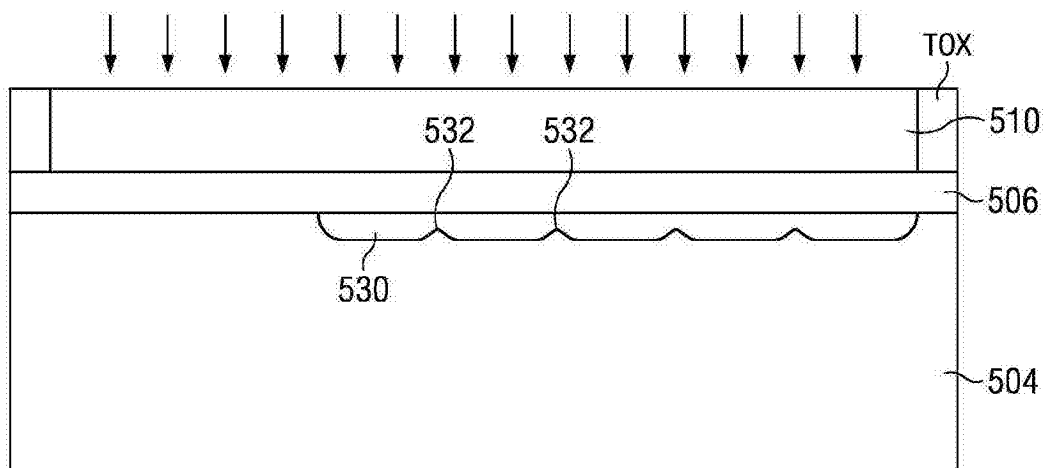


图12B

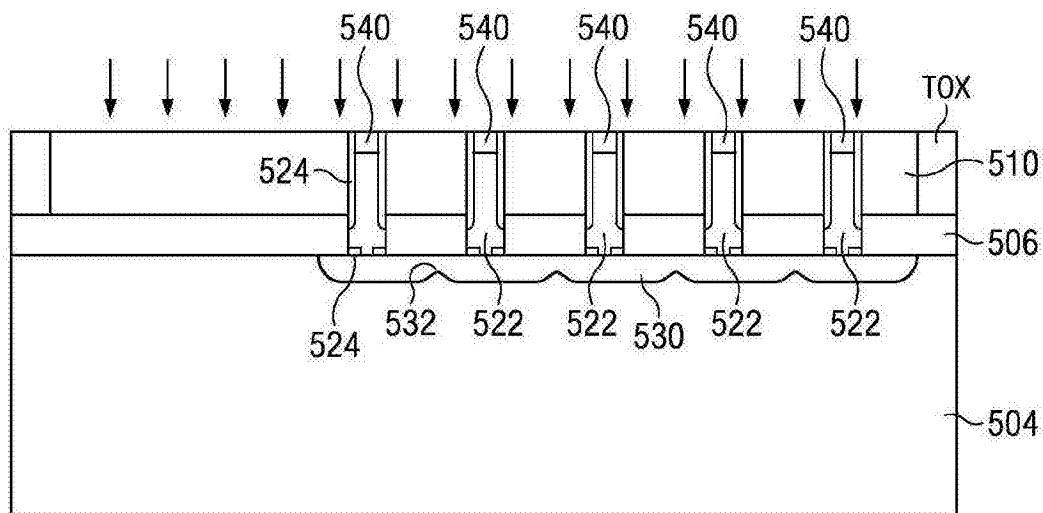


图12C

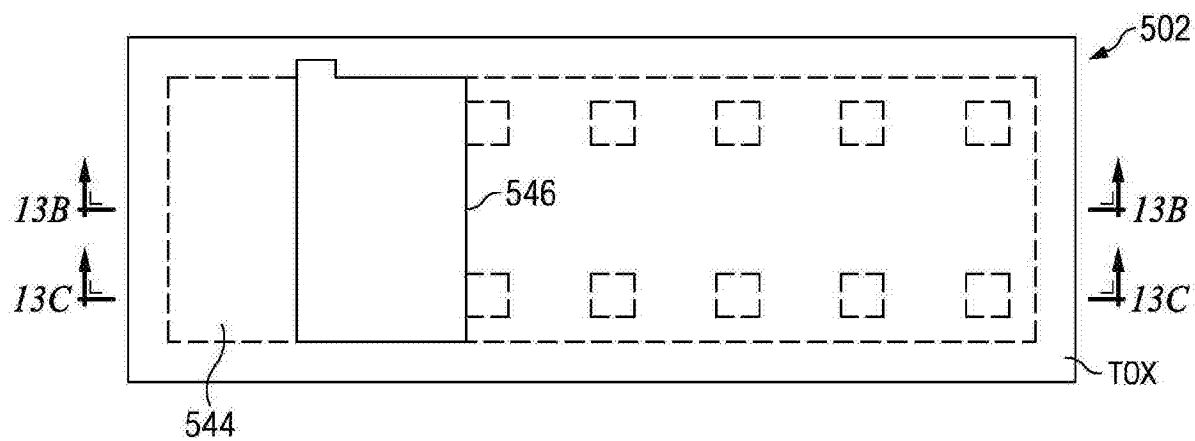


图13A

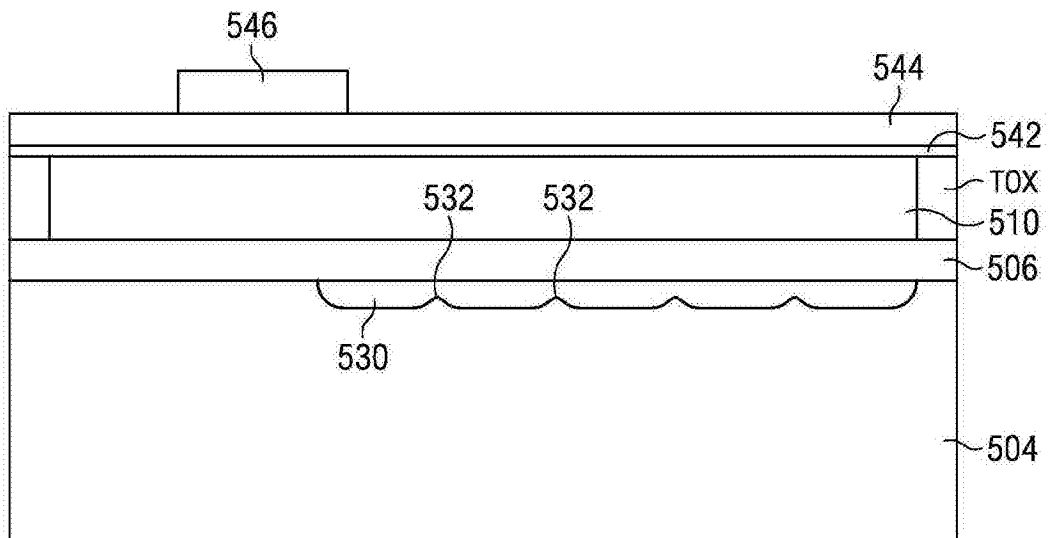


图13B

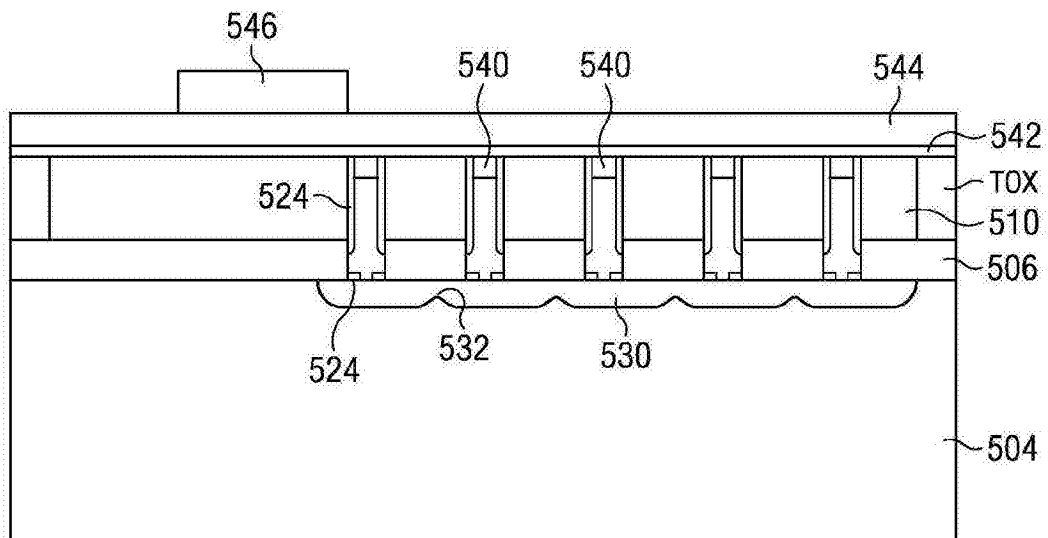


图13C

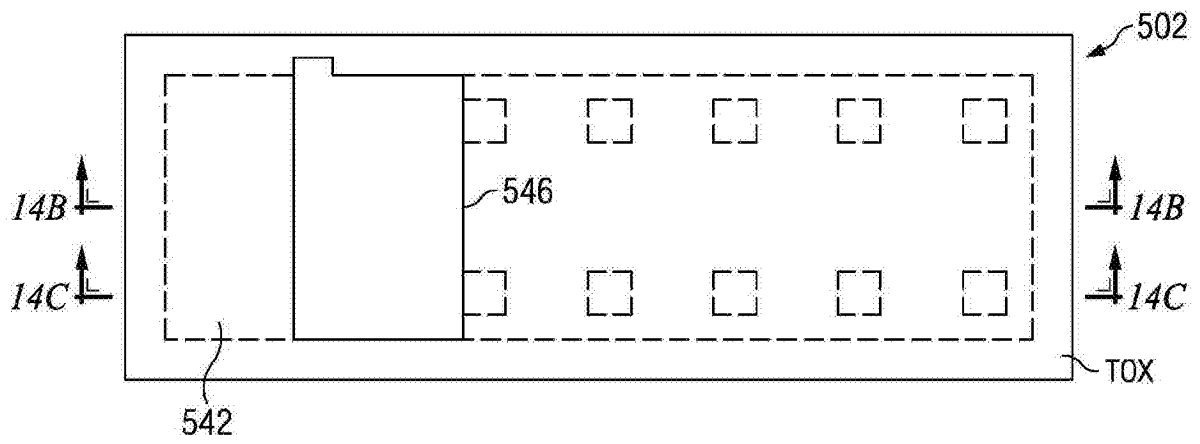


图14A

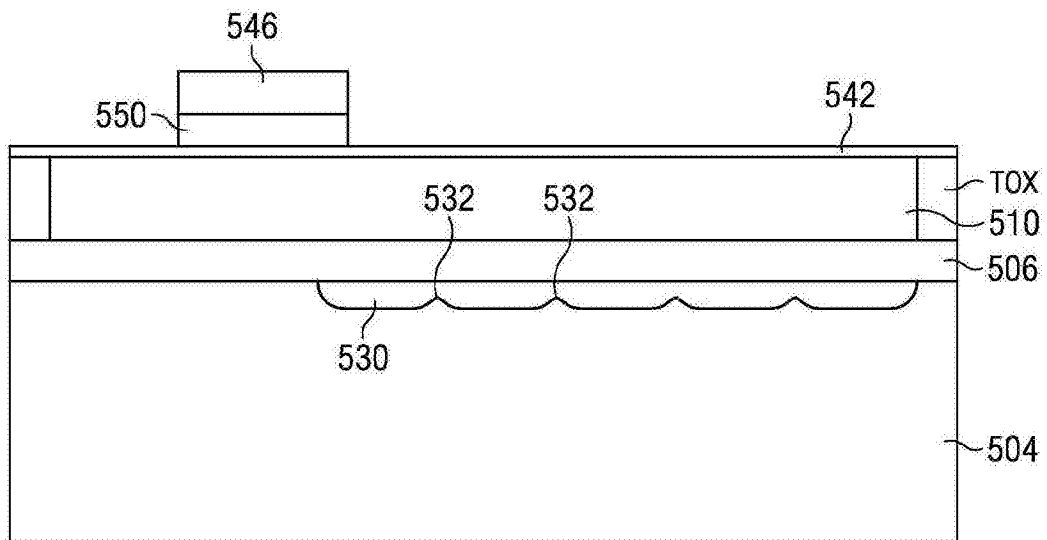


图14B

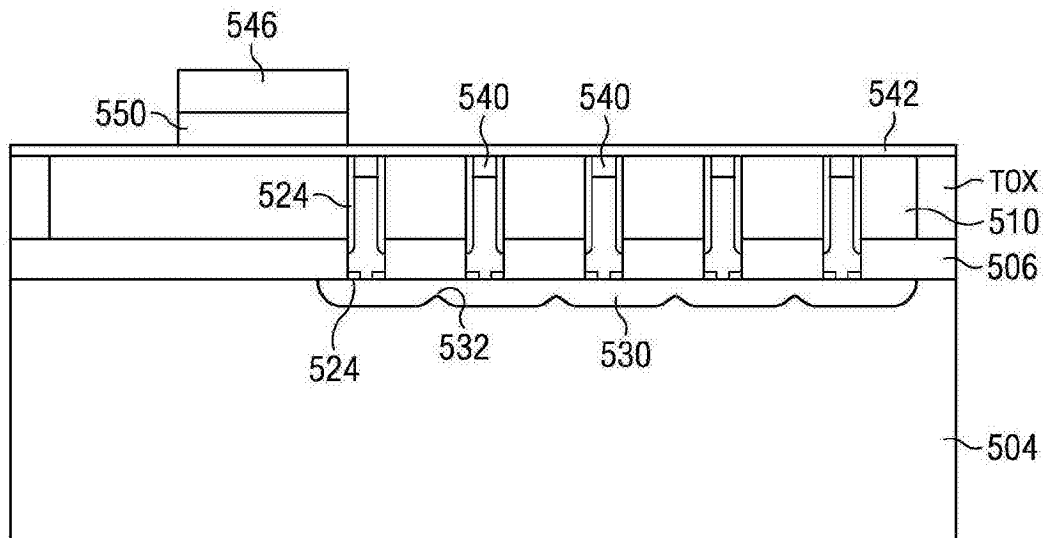


图14C

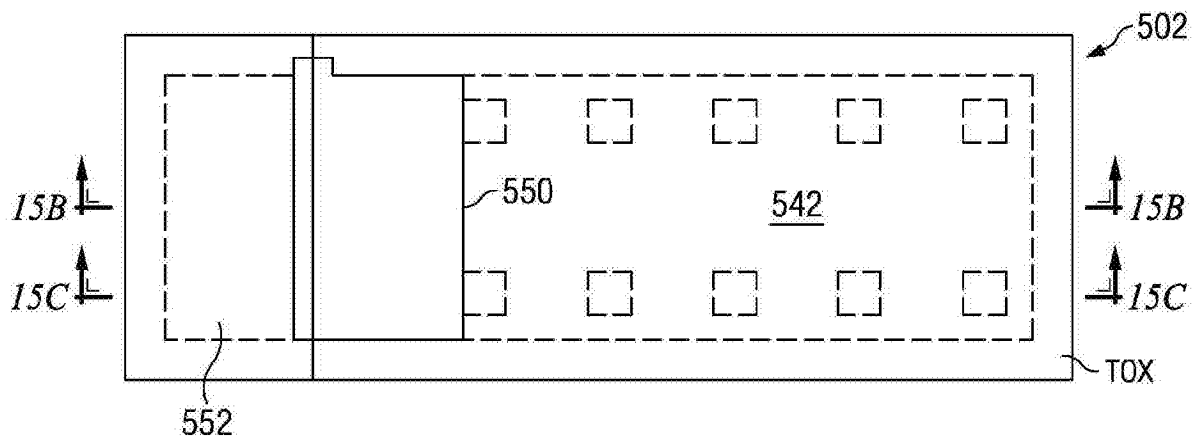


图15A

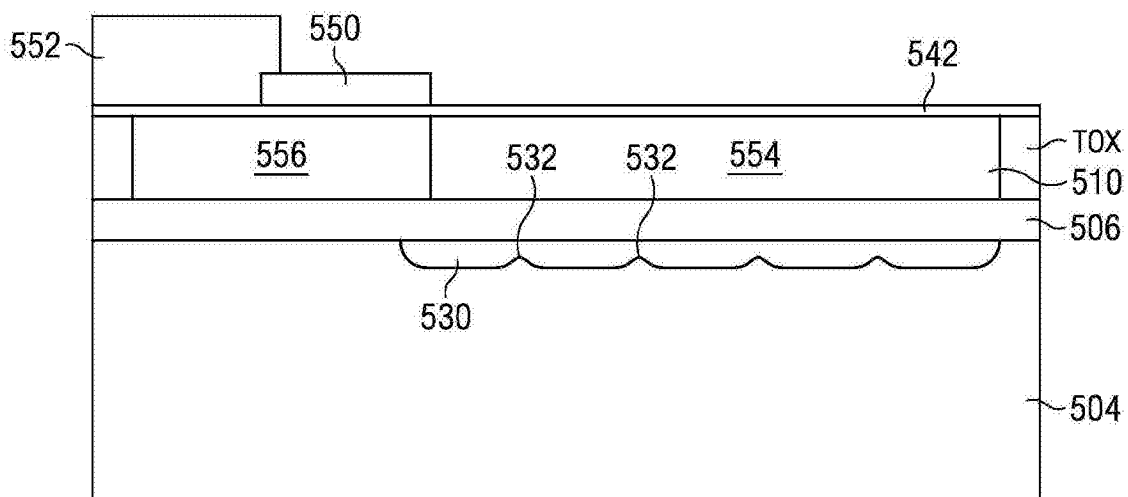


图15B

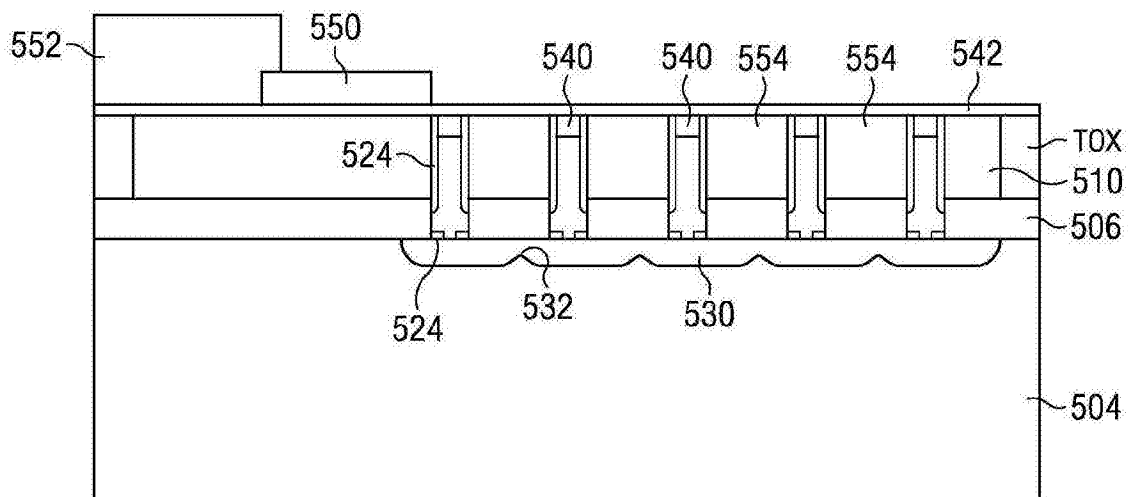


图15C

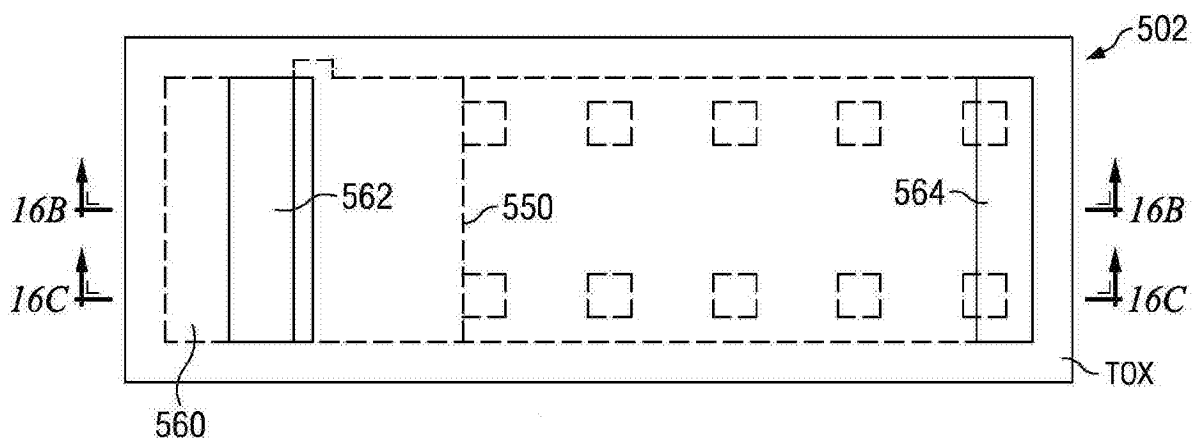


图16A

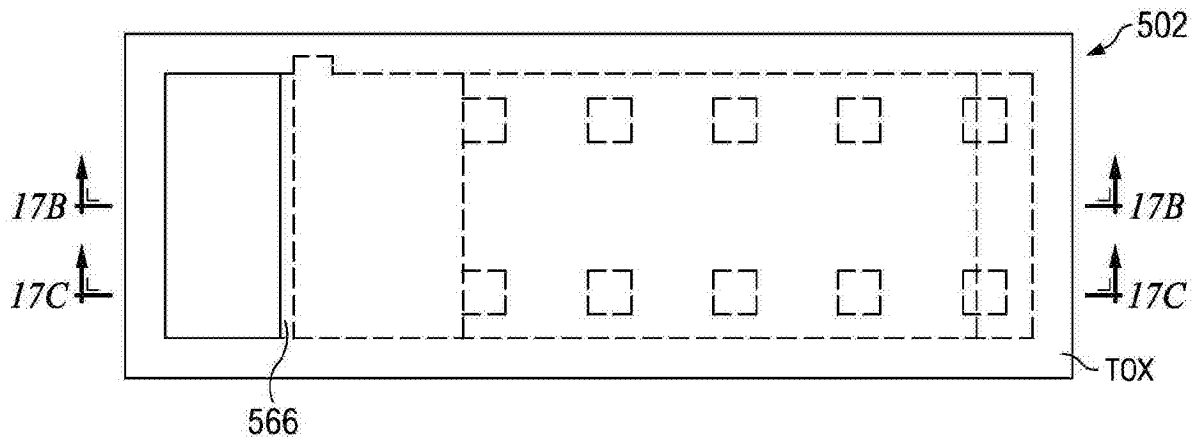


图17A

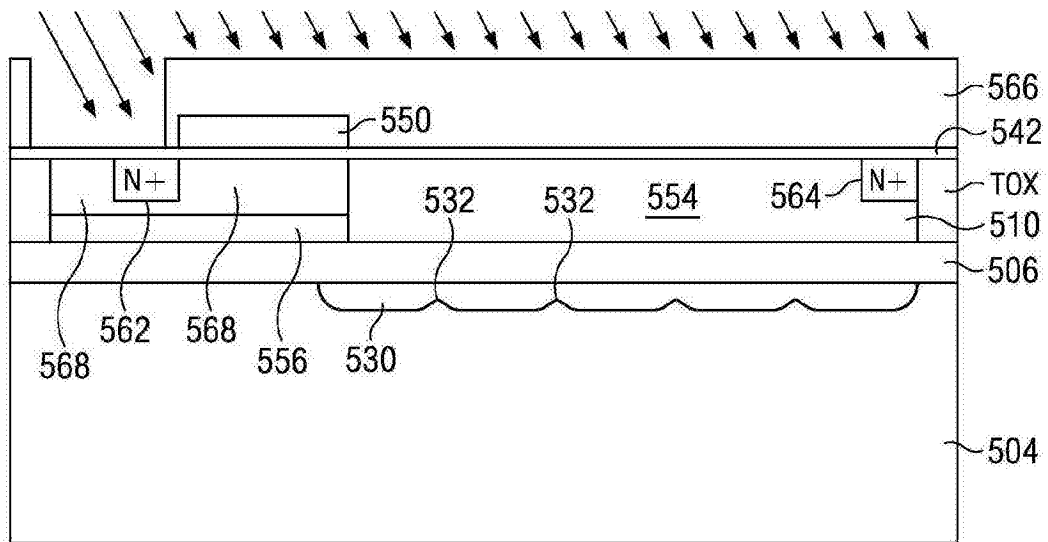


图17B

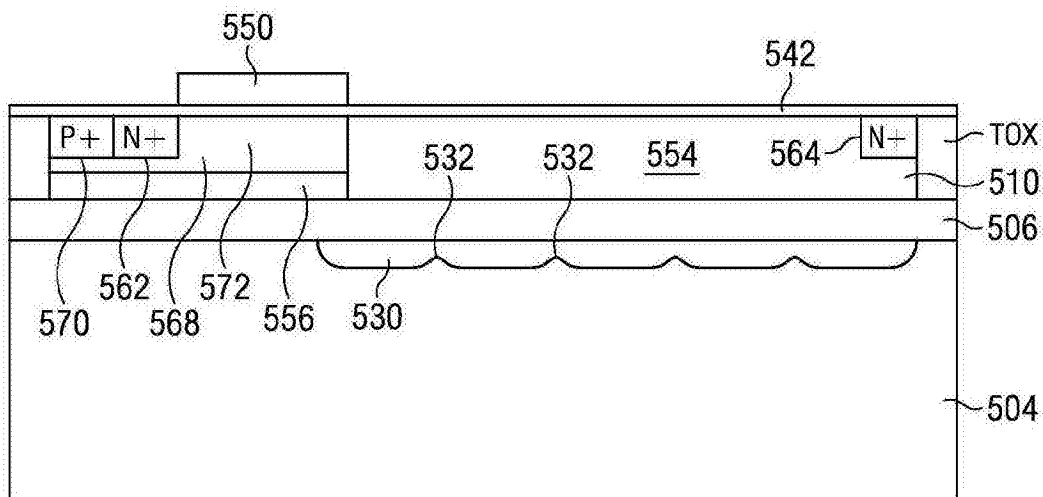


图19B

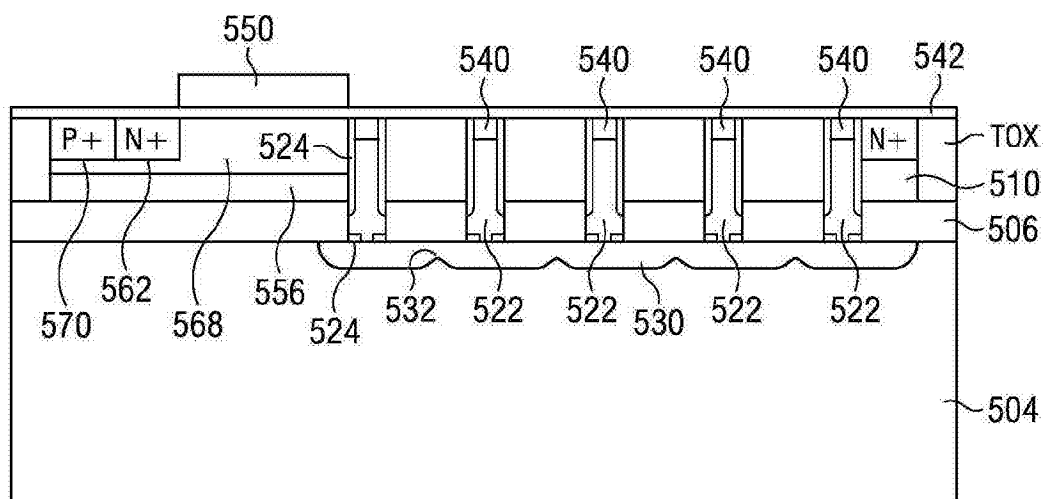


图19C

