(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年8月11日(11.08.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/168431 A1

(51) 国際特許分類:
G09G 3/20 (2006.01) *G09F 9/00* (2006.01)
G09G 3/32 (2016.01) *G09F 9/302* (2006.01)
H01L 33/00 (2010.01) *G09F 9/33* (2006.01)

(21) 国際出願番号： PCT/JP2021/045002

(22) 国際出願日： 2021年12月7日(07.12.2021)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2021-016809 2021年2月4日(04.02.2021) JP

(71) 出願人:株式会社ジャパンディスプレイ(**JAPAN DISPLAY INC.**) [JP/JP]; 〒1050003 東京都港区西新橋三丁目７番１号 Tokyo (JP).

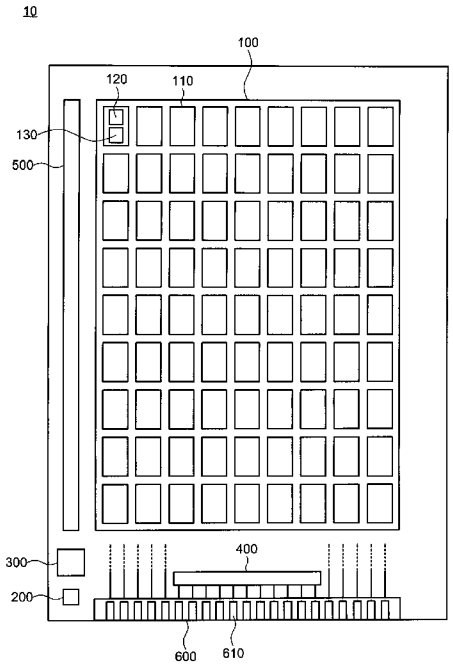
(72) 発明者: 池 田 雅 延 (**IKEDA Masanobu**); 〒1050003 東京都港区西新橋三丁目７番１号 株式会社ジャパンディスプレイ内 Tokyo (JP). 青木 義典(**AOKI Yoshinori**); 〒1050003 東京都港区西新橋三丁目７番１号 株式会社ジャパンディスプレイ内 Tokyo (JP).

(74) 代理人:特許業務法人高橋・林アンドパートナーズ(**TAKAHASHI, HAYASHI AND PARTNER PATENT ATTORNEYS, INC.**); 〒1440052 東京都大田区蒲田５－２４－２ 損保ジャパン日本興亜蒲田ビル９階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,

(54) **Title:** DISPLAY DEVICE

(54) 発明の名称： 表示装置



(57) **Abstract:** This display device includes a display unit including a plurality of pixels and a gradation control circuit unit for controlling a pixel gradation scale, wherein: each of the pixels includes a first LED chip and a second LED chip; the gradation scale control circuit unit controls the pixel gradation scale by a gradation scale control mode; and the gradation scale control mode includes a first subframe period during which the pixel gradation scale is controlled by light emitting areas of the first and second LED chips, a second subframe period during which the pixel gradation scale is controlled by light emitting times of the first and second LED chips, and a third subframe period during which the pixel gradation scale is controlled by current values supplied to the first and second LED chips.

(57) 要約：表示装置は、複数の画素を含む表示部と、画素の階調を制御する階調制御回路部と、を含み、複数の画素の各々は、第１のＬＥＤチップおよび第２のＬＥＤチップを含み、階調制御回路部は、画素の階調を階調制御モードによって制御し、階調制御モードは、第１のＬＥＤチップおよび第２のＬＥＤチップの発光面積によって画素の階調が制御される第１のサブフレーム期間と、第１のＬＥＤチップおよび第２のＬＥＤチップの発光時間によって画素の階調が制御される第２のサブフレーム期間と、第１のＬＥＤチップおよび第２のＬＥＤチップへ供給される電流値によって画素の階調が制御される第３のサブフレーム期間と、を含む。

WO 2022/168431 A1

［続葉有］

HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一　国際調査報告（条約第21条(3)）

明　細　書

発明の名称 ： 表示装置

技術分野

[0001] 本発明の一実施形態は、表示装置に関する。

背景技術

[0002] スマートフォン等の中小型表示装置においては、液晶やＯＬＥＤ（Ｏｒｇａｎｉｃ　Ｌｉｇｈｔ　Ｅｍｉｔｔｉｎｇ　Ｄｉｏｄｅ）を用いた表示装置が既に製品化されている。なかでも、自発光型素子であるＯＬＥＤを用いたＯＬＥＤ表示装置は、液晶表示装置と比べて、高コントラストでバックライトが不要という利点を有する。しかしながら、ＯＬＥＤは有機化合物で構成されるため、有機化合物の劣化によってＯＬＥＤ表示装置の高信頼性を確保することが難しい。

[0003] 近年、次世代表示装置として、回路基板の画素内に微小なＬＥＤチップを実装した、いわゆるマイクロＬＥＤ表示装置またはミニＬＥＤ表示装置の開発が進められている（例えば、特許文献１参照。）。ＬＥＤは、ＯＬＥＤと同様の自発光型素子であるが、ＯＬＥＤと異なり、ガリウム（Ｇａ）またはインジウム（Ｉｎ）などを含む安定した無機化合物で構成されるため、ＯＬＥＤ表示装置と比較すると、マイクロＬＥＤ表示装置は高信頼性を有する。さらに、ＬＥＤチップは、発光効率が高く、高輝度を実現することができる。したがって、マイクロＬＥＤ表示装置またはミニＬＥＤ表示装置は、高信頼性、高輝度、および高コントラストを有する次世代表示装置として期待されている。

先行技術文献

特許文献

[0004] 特許文献1：米国特許出願公開第２０２０／０１１１４０３号明細書

発明の概要

発明が解決しようとする課題

[0005] しかしながら、ＬＥＤチップは、供給される電流値によって発光波長が変化することが知られている。発光波長の変化は、特に、ＧａＮを用いたＬＥＤチップにおいて顕著である。そのため、特許文献１には、発光波長の変化を低減させるため、電流制御法に加えて、パルス幅変調（Ｐｕｌｓｅ Ｗｉｄｔｈ Ｍｏｄｕｌａｔｉｏｎ：PWM）制御法によるＬＥＤチップの駆動方法が記載されている。ＰＷＭ制御法において階調数を増加させる場合、パルス幅の数を増加する必要がある。しかしながら、パルス幅の数の増加は、１フレーム期間における走査回数の増加につながるため困難であり、階調数が制限される場合があった。

[0006] また、外光の照度値により、表示装置の表示に要求される画質が異なる。例えば、外光の照度値が低い場合には、表示の輝度は低くてもよいが、発光波長のシフトの低減が要求される。これに対し、外光の照度値が高い場合には、発光波長のシフトよりも表示の輝度の高さが要求される。

[0007] 本発明の一実施形態は、上記問題に鑑み、外光の照度値に応じて画素の階調を制御することができる表示装置を提供することを目的の一つとする。

課題を解決するための手段

[0008] 本発明の一実施形態に係る表示装置は、複数の画素を含む表示部と、画素の階調を制御する階調制御回路部と、を含み、複数の画素の各々は、第１のＬＥＤチップおよび第２のＬＥＤチップを含み、階調制御回路部は、画素の階調を階調制御モードによって制御し、階調制御モードは、第１のＬＥＤチップおよび第２のＬＥＤチップの発光面積によって画素の階調が制御される第１のサブフレーム期間と、第１のＬＥＤチップおよび第２のＬＥＤチップの発光時間によって画素の階調が制御される第２のサブフレーム期間と、第１のＬＥＤチップおよび第２のＬＥＤチップへ供給される電流値によって画素の階調が制御される第３のサブフレーム期間と、を含む。

[0009] また、本発明の一実施形態に係る表示装置は、複数の画素を含む表示部と、外光の照度値を検出する照度検出部と、照度値に基づき、第１の階調制御モード、第２の階調制御モード、および第３の階調制御モードのいずれか１

つを選択する階調制御回路部と、を含み、複数の画素の各々は、第１のＬＥＤチップおよび第２のＬＥＤチップを含み、第１の階調制御モードは、１フレーム期間内に、第１のサブフレーム期間および第２のサブフレーム期間を含み、第２の階調制御モードは、１フレーム期間内に、第３のサブフレーム期間、第４のサブフレーム期間、および第５のサブフレーム期間を含み、第３の階調制御モードは、１フレーム期間内に、第６のサブフレーム期間、第７のサブフレーム期間、および第８のサブフレーム期間を含み、第１のサブフレーム期間、第３のサブフレーム期間、および第６のサブフレーム期間では、第１のＬＥＤチップまたは第２のＬＥＤチップの発光または非発光によって画素の階調が制御され、第２のサブフレーム期間、第４のサブフレーム期間、および第７のサブフレーム期間では、第１のＬＥＤチップおよび第２のＬＥＤチップの発光時間によって画素の階調が制御され、第５のサブフレーム期間および第８のサブフレーム期間では、第１のＬＥＤチップおよび第２のＬＥＤチップへ供給される電流値によって画素の階調が制御される。

図面の簡単な説明

[0010] [図1]本発明の一実施形態に係る表示装置の平面レイアウトの構成を示す模式図である。

[図2]本発明の一実施形態に係る表示装置の画素の構成を示す模式的な平面図である。

[図3]本発明の一実施形態に係る表示装置の画素の模式的な断面図である。

[図4]本発明の一実施形態に係る表示装置の画素の回路構成を示す回路図である。

[図5]本発明の一実施形態に係る表示装置において、第１の階調制御モードを用いて１フレーム期間における画素の階調の制御を説明する模式図である。

[図6]本発明の一実施形態に係る表示装置において、第２の階調制御モードを用いて１フレーム期間における画素の階調の制御を説明する模式図である。

[図7]本発明の一実施形態に係る表示装置において、第３の階調制御モードを用いて１フレーム期間における画素の階調の制御を説明する模式図である。

[図8]本発明の一実施形態に係る表示装置の階調制御回路部で実行される階調制御モードの選択処理を示すフローチャート図である。

[図9]本発明の一実施形態に係る表示装置の画素の断面模式図である。

[図10]本発明の一実施形態に係る表示装置の階調制御回路部で実行される平均照度値の算出処理を示すフローチャート図である。

[図11]本発明の一実施形態に係る表示装置の階調制御回路部で実行される階調制御モードの選択処理を示すフローチャート図である。

発明を実施するための形態

[0011] 以下、本発明に係る各実施形態について、図面を参照しつつ説明する。なお、各実施形態はあくまで一例にすぎず、当業者が、発明の主旨を保ちつつ適宜変更することによって容易に想到し得るものについても、当然に本発明の範囲に含まれる。また、図面は、説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、または形状などが模式的に表される場合がある。しかし、図示された形状などはあくまで一例であって、本発明の解釈を限定するものではない。

[0012] 本明細書において「αはA、BまたはCを含む」、「αはA、BおよびCのいずれかを含む」、「αはA、BおよびCからなる群から選択される一つを含む」、といった表現は、特に明示が無い限り、αがA～Cの複数の組み合わせを含む場合を排除しない。さらに、これらの表現は、αが他の要素を含む場合も排除しない。

[0013] 本明細書において、説明の便宜上、「上」または「上方」もしくは「下」または「下方」という語句を用いて説明するが、原則として、構造物が形成される基板を基準とし、基板から構造物に向かう方向を「上」または「上方」とする。逆に、構造物から基板に向かう方向を「下」または「下方」とする。したがって、基板上の構造物という表現において、基板と向き合う方向の構造物の面が構造物の下面となり、その反対側の面が構造物の上面となる。また、基板上の構造物という表現においては、基板と構造物との上下関係を説明しているに過ぎず、基板と構造物との間に他の部材が配置されていて

もよい。さらに、「上」または「上方」もしくは「下」または「下方」の語句は、複数の層が積層された構造における積層順を意味するものであり、平面視において重畳する位置関係になくてもよい。

[0014] 本明細書において、各構成に付記される「第１」、「第２」、または「第３」などの文字は、各構成を区別するために用いられる便宜的な標識であり、特段の説明がない限り、それ以上の意味を有さない。

[0015] 本明細書および図面において、同一または類似する複数の構成を総じて表記する際には同一の符号を用い、これらの複数の構成のそれぞれを区別して表記する際には、小文字または大文字のアルファベットを添えて表記する場合がある。また、１つの構成のうちの複数の部分を区別して表記する際には、ハイフンと自然数を用いる場合がある。

[0016] 本明細書において、「表示装置」とは、映像を表示する装置を幅広く含むものであり、表示パネルや表示モジュールだけでなく、他の光学部材（例えば、偏光部材、バックライト、タッチパネル、または生体認証センサなど）が取り付けられた装置も含む場合がある。

[0017] 以下の各実施形態は、技術的な矛盾を生じない限り、互いに組み合わせることができる。

[0018] ＜第１実施形態＞

図１～図８を参照して、本発明の一実施形態に係る表示装置１０について説明する。

[0019] ［１．表示装置１０の構成の概要］

図１は、本発明の一実施形態に係る表示装置１０の構成を示す模式的な平面図である。

[0020] 図１に示すように、表示装置１０は、表示部１００、照度検出部２００、階調制御回路部３００、映像信号線駆動回路部４００、走査信号線駆動回路部５００、および端子部６００を含む。照度検出部２００、階調制御回路部３００、映像信号線駆動回路部４００、走査信号線駆動回路部５００、および端子部６００は、表示部１００の周囲に設けられている。なお、表示部１

００の周囲の領域は、非表示部または額縁部などど称する場合がある。

[0021] 表示部１００は、映像を表示することができる。表示部１００は、複数の画素１１０を含む。複数の画素１１０は、例えば、マトリクス状に配置されるが、複数の画素１１０の配置はこれに限られない。複数の画素１１０の各々は、第１のＬＥＤチップ１２０、第２のＬＥＤチップ１３０、およびトランジスタ１４０を含む。なお、第１のＬＥＤチップ１２０、第２のＬＥＤチップ１３０、およびトランジスタ１４０の構造の詳細は、後述する。

[0022] 第１のＬＥＤチップ１２０と第２のＬＥＤチップ１３０とは、同じ発光色である。第１のＬＥＤチップ１２０および第２のＬＥＤチップ１３０の各々は、赤色ＬＥＤチップ、緑色ＬＥＤチップ、および青色ＬＥＤチップのいずれか１つである。すなわち、複数の画素１１０の各々は、赤色発光、緑色発光、および青色発光のいずれか１つの発光色を有する。複数の画素１１０の各々の発光色および階調が制御されることにより、表示部１００では、フルカラーの映像を表示することができる。

[0023] 第１のＬＥＤチップ１２０および第２のＬＥＤチップ１３０の大きさは、特に限定されない。表示装置１０の大きさまたは解像度を考慮して、第１のＬＥＤチップ１２０および第２のＬＥＤチップ１３０の大きさが決定されてもよい。例えば、表示装置１０が中小型表示装置である場合、ミニＬＥＤチップまたはマイクロＬＥＤチップを用いることができる。

[0024] 第１のＬＥＤチップ１２０と第２のＬＥＤチップ１３０とは、同一の大きさのＬＥＤチップであってもよく、異なる大きさのＬＥＤチップであってもよい。なお、以下では、便宜上、第１のＬＥＤチップ１２０と第２のＬＥＤチップ１３０とが、同一の大きさのＬＥＤチップとして説明する。

[0025] 照度検出部２００は、外光の照度値を検出することができる。照度検出部２００は、例えば、照度センサである。

[0026] 階調制御回路部３００は、照度値を判定し、階調制御モードを選択することができる。また、選択された階調制御モードに応じて、画素１１０を制御するための信号を生成することができる。

[0027] 映像信号線駆動回路部４００および走査信号線駆動回路部５００は、画素１１０に含まれるトランジスタ１４０を駆動し、第１のＬＥＤチップ１２０および第２のＬＥＤチップ１３０の発光または非発光を制御することができる。

[0028] 端子部６００は、複数の端子６１０を含み、外部装置と電気的に接続することができる。すなわち、表示装置１０は、端子部６００を介して、外部装置から電源または信号を供給することができる。

[0029] 図２は、本発明の一実施形態に係る表示装置１０の画素１１０の構成を示す模式的な平面図である。図２には、赤色画素１１０Ｒ、緑色画素１１０Ｇ、および青色画素１１０Ｂを含む画素ユニットが示されている。

[0030] 図２に示すように、赤色画素１１０Ｒは、第１の赤色ＬＥＤチップ１２０Ｒおよび第２の赤色ＬＥＤチップ１３０Ｒを含む。緑色画素１１０Ｇは、第１の緑色ＬＥＤチップ１２０Ｇおよび第２の緑色ＬＥＤチップ１３０Ｇを含む。青色画素１１０Ｂは、第１の青色ＬＥＤチップ１２０Ｂおよび第２の青色ＬＥＤチップ１３０Ｂを含む。なお、以下では、画素、第１のＬＥＤチップ、および第２のＬＥＤチップの色を特に区別しないときは、画素１１０、第１のＬＥＤチップ１２０、および第２のＬＥＤチップ１３０として記載する場合がある。

[0031] 走査信号線駆動回路部５００は、表示部１００内のｎ行目（ｎは１以上の整数）に位置する画素ユニットに、共通に、走査信号ＳＧ（ｎ）、発光制御信号ＢＧ（ｎ）、初期化制御信号ＩＧ（ｎ）、および第１のリセット信号ＲＧ（ｎ）を供給することができる。第１のリセット信号ＲＧ（ｎ）は、表示部１００内のｎ行目に位置する画素ユニットに、電圧Ｖｒｓｔを供給することができる。基準電圧線ＰＶＳＳは、画素ユニットに、共通に、基準電圧ＶＳＳを供給することができる。リセット信号ＶＬ１は、画素ユニットに、共通に、電圧Ｖｒｓｔを供給することができる。

[0032] 映像信号線駆動回路部４００は、表示部１００内のｍ列目（ｍは１以上の整数）に位置する画素ユニットに、共通に、映像信号ＳＬ（ｍ）および第２

のリセット信号ＶＬ２を供給することができる。第２のリセット信号ＶＬ２は、表示部１００内のｍ列目に位置する画素ユニットに、電圧Ｖｉｎｉを供給することができる。第１の駆動電源線ＰＶＤＤ１は、表示部１００内のｍ列目に位置する画素ユニットに、第１の駆動電圧ＶＤＤＨ１を供給することができる。第２の駆動電源線ＰＶＤＤ２は、表示部１００内のｍ列目に位置する画素ユニットに、第２の駆動電圧ＶＤＤＨ２を供給することができる。第３の駆動電源線ＰＶＤＤ３は、表示部１００内のｍ列目に位置する画素ユニットに、第３の駆動電圧ＶＤＤＨ３を供給することができる。第４の駆動電源線ＰＶＤＤ４は、表示部１００内のｍ列目に位置する画素ユニットに、第４の駆動電圧ＶＤＤＨ４を供給することができる。第５の駆動電源線ＰＶＤＤ５は、表示部１００内のｍ列目に位置する画素ユニットに、第５の駆動電圧ＶＤＤＨ５を供給することができる。第６の駆動電源線ＰＶＤＤ６は、表示部１００内のｍ列目に位置する画素ユニットに、第６の駆動電圧ＶＤＤＨ６を供給することができる。

[0033] 本明細書において、電圧Ｖｒｓｔおよび電圧Ｖｉｎｉが固定電圧である例を示すが、電圧Ｖｒｓｔおよび電圧Ｖｉｎｉは時間経過とともに変化してもよい。また、本明細書において、走査信号線駆動回路部５００が、画素ユニットに、第１のリセット信号ＲＧを供給し、映像信号線駆動回路部４００が、画素ユニットに、第２のリセット信号ＶＬ２を供給するが、これに限定されない。映像信号線駆動回路部４００が、画素ユニットに、第１のリセット信号ＲＧを供給してもよく、走査信号線駆動回路部５００が、画素ユニットに、第２のリセット信号ＶＬ２を供給してもよい。また、走査信号線駆動回路部５００および映像信号線駆動回路部４００のいずれか１つが、画素ユニットに、第１のリセット信号ＲＧおよび第２のリセット信号ＶＬ２を供給してもよい。また、第１のリセット信号ＲＧおよび第２のリセット信号ＶＬ２は、端子６１０に電気的に接続されてもよい。この場合、電圧Ｖｒｓｔおよび電圧Ｖｉｎｉは、外部装置から供給される。本明細書において、電圧Ｖｒｓｔはリセット電圧と呼ぶ場合がある。また、本明細書において、電圧Ｖｉ

ｎｉは初期化電圧と呼ぶ場合がある。

[0034] また、本明細書において、第１の駆動電源線ＰＶＤＤ１、第２の駆動電源線ＰＶＤＤ２、第３の駆動電源線ＰＶＤＤ３、第４の駆動電源線ＰＶＤＤ４、第５の駆動電源線ＰＶＤＤ５、および第６の駆動電源線ＰＶＤＤ６は、映像信号線駆動回路部４００に設けられ、第１の駆動電圧ＶＤＤＨ１、第２の駆動電圧ＶＤＤＨ２、第３の駆動電圧ＶＤＤＨ３、第４の駆動電圧ＶＤＤＨ４、第５の駆動電圧ＶＤＤＨ５、および第６の駆動電圧ＶＤＤＨ６は、映像信号線駆動回路部４００から画素ユニットに供給するが、これに限られない。第１の駆動電源線ＰＶＤＤ１、第２の駆動電源線ＰＶＤＤ２、第３の駆動電源線ＰＶＤＤ３、第４の駆動電源線ＰＶＤＤ４、第５の駆動電源線ＰＶＤＤ５、および第６の駆動電源線ＰＶＤＤ６は、走査信号線駆動回路部５００に設けられてもよく、第１の駆動電圧ＶＤＤＨ１、第２の駆動電圧ＶＤＤＨ２、第３の駆動電圧ＶＤＤＨ３、第４の駆動電圧ＶＤＤＨ４、第５の駆動電圧ＶＤＤＨ５、および第６の駆動電圧ＶＤＤＨ６の一部が走査信号線駆動回路部５００に設けられ、一部以外が映像信号線駆動回路部４００に設けられてもよい。本実施形態に係る表示装置１０においては、用途または仕様などに合わせて、電源線の配置を適宜変えてもよい。

[0035] ［２．画素１１０の素子構造］

図３は、本発明の一実施形態に係る表示装置１０の画素１１０の模式的な断面図である。具体的には、図３は、図２に示すＡ１－Ａ２線に沿って切断された画素１１０の模式的な断面図である。

[0036] 図３に示すように、画素１１０は、基板１０００、遮光層１０１０、アンダーコート層１０２０、半導体層１０３０、第１の絶縁層１０４０、第１の導電層１０５０、第２の絶縁層１０６０、第２の導電層１０７０、第１の平坦化層１０８０、第３の導電層１０９０、第３の絶縁層１１００、第４の導電層１１１０、第５の導電層１１２０、第６の導電層１１３０、第１のＬＥＤチップ１２０、第２のＬＥＤチップ１３０、第２の平坦化層１１４０、第７の導電層１１５０、およびオーバーコート層１１６０を含む。

[0037] 基板１０００は、基板１０００上に設けられる各層を支持することができる。基板１０００は、第１のＬＥＤチップ１２０または第２のＬＥＤチップ１３０からの発光を透過することができる基板であってもよい。基板１０００として、例えば、ガラス基板、石英基板、またはサファイア基板などの透光性を有する剛性基板を用いることができる。また、基板１０００として、シリコン基板などの透光性を有しない剛性基板を用いることもできる。また、基板１０００として、ポリイミド樹脂基板、アクリル樹脂基板、シロキサン樹脂基板、またはフッ素樹脂基板などの透光性を有する可撓性基板を用いることができる。基板１０００の耐熱性を向上させるために、上記の樹脂基板に不純物を導入してもよい。なお、上述した剛性基板または可撓性基板の上に酸化シリコン膜または窒化シリコン膜が成膜された基板を、基板１０００として用いることもできる。

[0038] 遮光層１０１０は、外光を反射または吸収することができる。遮光層１０１０の材料として、例えば、アルミニウム（Ａｌ）、銅（Ｃｕ）、チタン（Ｔｉ）、モリブデン（Ｍｏ）、もしくはタングステン（Ｗ）、またはこれらの合金もしくは化合物などを用いることができる。また、遮光層１０１０の材料として、例えば、ブラックマトリクスを用いることもできる。また、遮光層１０１０は、単層構造だけでなく、積層構造とすることもできる。例えば、遮光層１０１０は、赤色カラーフィルタ、緑色カラーフィルタ、および青色カラーフィルタの積層構造であってもよい。

[0039] アンダーコート層１０２０は、半導体層１０３０への不純物の拡散を防止することができる。アンダーコート層１０２０の材料として、例えば、酸化シリコンまたは窒化シリコンなどを用いることができる。また、アンダーコート層１０２０は、単層であってもよく、積層であってもよい。なお、アンダーコート層１０２０を設けない構成とすることもできる。

[0040] 半導体層１０３０、第１の絶縁層１０４０、第１の導電層１０５０、第２の絶縁層１０６０、および第２の導電層１０７０は、いわゆるトランジスタ１４０の構成を含む。すなわち、半導体層１０３０、第１の絶縁層１０４０

、第１の導電層１０５０、第２の絶縁層１０６０、および第２の導電層１０７０は、それぞれ、半導体膜、ゲート絶縁膜、ゲート電極、層間絶縁膜、およびソース電極またはドレイン電極として機能することができる。

[0041] 図３に示すトランジスタ１４０は、トップゲート型トランジスタである。半導体層１０３０（半導体膜）の上に、第１の絶縁層１０４０（ゲート絶縁膜）が設けられている。第１の絶縁層１０４０（ゲート絶縁膜）の上に、第１の導電層１０５０（ゲート電極）が設けられている。第１の導電層１０５０（ゲート電極）の上に、第２の絶縁層１０６０（層間絶縁膜）が設けられている。第２の絶縁層１０６０（層間絶縁膜）の上に、第２の導電層１０７０（ソース電極またはドレイン電極）が設けられている。第１の絶縁層１０４０（ゲート絶縁膜）および第２の絶縁層１０６０には、開口部が設けられている。第２の導電層１０７０（ソース電極またはドレイン電極）は、開口部を介して、半導体層１０３０（半導体膜）と電気的に接続している。なお、画素１１０に含まれるトランジスタ１４０は、トップゲート型トランジスタに限られない。トランジスタ１４０は、ボトムゲート型トランジスタであってもよい。また、半導体層１０３０の上下に設けられた絶縁層を介して２つのゲート電極を有するデュアルゲート型トランジスタであってもよい。デュアルゲート型トランジスタの場合、例えば、第1のゲート電極として第１の導電層１０５０が用いられ、第２のゲート電極として、遮光層１０１０が用いられる。

[0042] 半導体層１０３０の材料として、チャネル領域を形成することができる半導体材料を用いることができる。半導体材料として、例えば、シリコン、酸化インジウムガリウム亜鉛（ＩＧＺＯ）もしくは酸化亜鉛（ＺｎＯ）などの酸化物半導体、またはヒ化ガリウム（ＧａＡｓ）もしくは窒化ガリウム（ＧａＮ）などの化合物半導体を用いることができる。半導体材料がシリコンである場合、半導体材料は、アモルファスシリコン、ポリシリコン、または単結晶シリコンのいずれであってもよい。半導体層１０３０は、チャネル領域だけでなく、ソース領域またはドレイン領域（高濃度不純物領域）を含んで

いてもよい。さらに、チャネル領域とソース領域との間、またはチャネル領域とドレイン領域との間に、低濃度不純物領域を含んでいてもよい。

[0043] 第１の絶縁層１０４０および第２の絶縁層１０６０の各々の材料として、例えば、酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、または窒化アルミニウムなどを用いることができる。また、第１の絶縁層１０４０または第２の絶縁層１０６０は、単層であってもよく、積層であってもよい。

[0044] 第１の導電層１０５０および第２の導電層１０７０の各々の材料として、金属材料を用いることができる。金属材料としては、例えば、銅（Ｃｕ）、アルミニウム（Ａｌ）、チタン（Ｔｉ）、クロム（Ｃｒ）、コバルト（Ｃｏ）、ニッケル（Ｎｉ）、モリブデン（Ｍｏ）、ハフニウム（Ｈｆ）、タンタル（Ｔａ）、タングステン（Ｗ）、もしくはビスマス（Ｂｉ）、またはこれらの合金もしくは化合物を用いることができる。また、第１の導電層１０５０および第２の導電層１０７０は、単層であってもよく、積層であってもよい。

[0045] 第１の平坦化層１０８０は、トランジスタ１４０の凹凸を平坦にすることができる。第１の平坦化層１０８０は、第２の導電層１０７０の上に設けられている。第１の平坦化層１０８０には、必要に応じて、第２の導電層１０７０の一部が露出するように、開口部が設けられていてもよい。第１の平坦化層１０８０の材料として、例えば、アクリル樹脂、シリコーン樹脂、またはポリイミド樹脂などを用いることができる。

[0046] 第３の導電層１０９０は、共通電極として機能することができる。第３の導電層１０９０の材料として、インジウム・スズ酸化物（ＩＴＯ）またはインジウム・亜鉛酸化物（ＩＺＯ）などの透明導電材料を用いることができる。

[0047] 第３の絶縁層１１００は、容量の誘電体として機能することができる。第３の絶縁層１１００の材料として、例えば、窒化シリコンなどを用いることができる。

[0048] 第４の導電層１１１０は、画素電極として機能することができる。第４の導電層１１１０の材料として、例えば、インジウム・スズ酸化物（ＩＴＯ）またはインジウム・亜鉛酸化物（ＩＺＯ）などの透明導電材料を用いることができる。

[0049] 第５の導電層１１２０は、陽極として機能することができる。第５の導電層１１２０の材料として、例えば、インジウム・スズ酸化物（ＩＴＯ）もしくはインジウム・亜鉛酸化物（ＩＺＯ）などの透明導電材料、または銀（Ａｇ）などの金属材料を用いることができる。また、第５の導電層１１２０は、それらの材料の積層構造とすることもできる。例えば、積層構造としては、ＩＴＯ／Ａｇ／ＩＴＯのような構造を用いることができる。

[0050] 第６の導電層１１３０は、第１のＬＥＤチップ１２０または第２のＬＥＤチップ１３０に設けられた電極と、基板１０００側に設けられた第５の導電層１１２０とを接続する接続層として機能することができる。第６の導電層１１３０の材料として、例えば、銀ペーストまたはハンダなどを用いることができる。

[0051] 第２の平坦化層１１４０は、第１のＬＥＤチップ１２０または第２のＬＥＤチップ１３０の凹凸を平坦化することができる。第２の平坦化層１１４０の材料として、例えば、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、またはシリコーン樹脂などを用いることができる。

[0052] 第７の導電層１１５０は、陰極として機能することができる。第７の導電層１１５０の材料として、例えば、インジウム・スズ酸化物（ＩＴＯ）またはインジウム・亜鉛酸化物（ＩＺＯ）などの透明導電材料を用いることができる。

[0053] オーバーコート層１１６０は、外部からの影響（水分や衝撃など）を低減することができる。オーバーコート層１１６０の材料として、窒化シリコンなどの無機材料、またはアクリル樹脂またはポリイミド樹脂などの有機材料を用いることができる。また、オーバーコート層１１６０は、これら材料の積層構造とすることもできる。

[0054] ［４．画素１１０の回路構成］

図４は、本発明の一実施形態に係る表示装置１０の画素１１０の回路構成を示す回路図である。

[0055] 図４に示すように、画素１１０は、第１のＬＥＤチップ１２０を制御する第１の駆動部１２１および第２のＬＥＤチップおよび第２の駆動部１３１を有する。第２の駆動部１３１の構成は、ＬＥＤチップが第２のＬＥＤチップ１３０であり、保持容量素子が保持容量素子ＳＣ２であり、および駆動電源線が第２の駆動電源線ＰＶＤＤ２である点において、第１の駆動部１２１の構成と異なっている。換言すると、第２の駆動部１３１において、ＬＥＤチップ、保持容量素子、および駆動電源以外の構成は、第１の駆動部１２１と同様の構成である。

[0056] 図４に示すように、第１の駆動部１２１は、駆動トランジスタＤＲＴ、選択トランジスタＳＳＴ（第１スイッチ）、初期化トランジスタＩＳＴ（第２スイッチ）、リセットトランジスタＲＳＴ（第３スイッチ）、発光制御トランジスタＢＣＴ（第４スイッチ）、保持容量素子（容量素子）ＳＣ１、第１のＬＥＤチップ１２０、カソード容量Ｃｃｄ、および付加容量ＣｅｌＩを含む。これらのトランジスタの各々は、第１の電極（ゲート電極）、ならびに第２の電極および第３の電極からなる一対の電極（ソース電極、ドレイン電極）を含む。保持容量素子ＳＣ１、カソード容量Ｃｃｄ、および付加容量ＣｅｌＩの各々は、一対の電極を含む。なお、付加容量ＣｅｌＩは、第１のＬＥＤチップ１２０の寄生容量であってよく、第１のＬＥＤチップ１２０と並列に設けられた容量素子および第１のＬＥＤチップ１２０の寄生容量とを含んでもよい。

[0057] 第１の駆動部１２１の第１のＬＥＤチップ１２０を駆動する電源として、第１の駆動電源線ＰＶＤＤ１から第１の駆動電圧ＶＤＤＨ１が供給され、基準電圧線ＰＶＳＳから基準電圧ＶＳＳが供給され、リセット信号ＶＬ１から電圧Ｖｒｓｔが供給される。また、第２の駆動部１３１の第２のＬＥＤチップ１３０を駆動する電源として、第２の駆動電源線ＰＶＤＤ２から第２の駆

動電圧ＶＤＤＨ２が供給される。電圧Ｖｒｓｔは、第１の駆動電圧ＶＤＤＨ１、および第２の駆動電圧ＶＤＤＨ２よりも小さく、基準電圧ＶＳＳと略同一とすることができる。第１の駆動電圧ＶＤＤＨ１は第２の駆動電圧ＶＤＤＨ２より大きくてもよく、第３の駆動電圧ＶＤＤＨ３は第４の駆動電圧ＶＤＤＨ４より大きくてもよく、第５の駆動電源線ＰＶＤＤ５は第６の駆動電圧ＶＤＤＨ６より大きくてもよい。

[0058] 駆動トランジスタＤＲＴは、入力された映像信号を用いて、第１のＬＥＤチップ１２０に電流を流し、第１のＬＥＤチップ１２０を発光させる機能を有する。選択トランジスタＳＳＴは、駆動トランジスタＤＲＴに映像信号を供給する機能を有する。初期化トランジスタＩＳＴは、駆動トランジスタＤＲＴの第１の電極１４１（ゲート電極１４１）などに電圧Ｖｉｎｉを供給し、駆動トランジスタＤＲＴをリセットする機能を有する。発光制御トランジスタＢＣＴは、第１の駆動電源線ＰＶＤＤ１または第２の駆動電源線ＰＶＤＤ２と駆動トランジスタＤＲＴとの接続または非接続を制御する。発光制御トランジスタＢＣＴは、駆動トランジスタＤＲＴと第１のＬＥＤチップ１２０、および駆動トランジスタＤＲＴと付加容量Ｃｅｌとの電気的な接続または非接続を制御する。すなわち、第１の駆動部１２１の発光制御トランジスタＢＣＴは、第１のＬＥＤチップ１２０の発光または非発光を制御する機能を有する。また、第２の駆動部１３１の第２のＬＥＤチップ１３０を駆動する電源として、第２の駆動電源線ＰＶＤＤ２から第２の駆動電圧ＶＤＤＨ２が供給される。すなわち、第２の駆動部１３１の発光制御トランジスタＢＣＴは、第２のＬＥＤチップ１３０の発光または非発光を制御する機能を有する。

[0059] リセットトランジスタＲＳＴは、駆動トランジスタＤＲＴの第３の電極１４２（ドレイン電極１４２）に電圧Ｖｒｓｔを供給し、第１のＬＥＤチップ１２０の第１の電極１２２に電圧Ｖｒｓｔを供給し、駆動トランジスタＤＲＴの第２の電極１４３（ソース電極１４３）、および第１のＬＥＤチップ１２０をリセットする機能を有する。第１のＬＥＤチップ１２０の第１の電極

１２２は、例えば、陽極である。また、第２の駆動部１３１のリセットトランジスタＲＳＴは、第２のＬＥＤチップ１３０の第１の電極１３２に電圧Ｖｒｓｔを供給し、第１の駆動部１２１のリセットトランジスタＲＳＴと同様の機能を有する。

[0060] 保持容量素子ＳＣ１は、駆動トランジスタＤＲＴの閾値に相当する電圧を確保する機能を有する。また、保持容量素子ＳＣ１は、第１のＬＥＤチップ１２０が発光するために駆動トランジスタＤＲＴの第１の電極１４１（ゲート電極１４１）に入力する電圧を維持する機能を有する。すなわち、保持容量素子ＳＣ１は、入力された映像信号を保持するための機能を有する。また、保持容量素子ＳＣ２は、保持容量素子ＳＣ１と同様の構成を有し、同様の機能を有する。

[0061] 本実施形態に係る表示装置１０は、入力された映像信号を保持するものとして、保持容量素子ＳＣ２、または保持容量素子ＳＣ１などの保持容量素子を有するが、入力された映像信号を保持するものは保持容量素子でなくてもよい。例えば、信号または電圧を保持可能な素子は、ＳＲＡＭのように２値のデータを保持可能な素子であってもよい。

[0062] 第１のＬＥＤチップ１２０は、ダイオード特性を有する。付加容量Ｃｅｌは、第１のＬＥＤチップ１２０が含む容量である。カソード容量Ｃｃｄは、第１のＬＥＤチップ１２０の第１の電極１２２と基準電圧線ＰＶＳＳの間に形成される容量である。また、第２のＬＥＤチップ１３０は、第１のＬＥＤチップ１２０と同様に、ダイオード特性を有する。第２の駆動部１３１の付加容量Ｃｅｌは、第２のＬＥＤチップ１３０が含む容量でもある。第２の駆動部１３１のカソード容量Ｃｃｄは、第２のＬＥＤチップ１３０の第１の電極１３２と基準電圧線ＰＶＳＳの間に形成される容量でもある。なお、本実施形態においては、付加容量Ｃｅｌと保持容量素子ＳＣ１またはＳＣ２とによって、入力された映像信号を保持してもよい。

[0063] 初期化トランジスタＩＳＴのゲート電極は、初期化制御線４１６に電気的に接続される。初期化制御線４１６には、初期化制御信号ＩＧ（ｎ）が供給

される。初期化トランジスタＩＳＴは、初期化制御信号ＩＧ（ｎ）に供給される信号によって、導通状態、非導通状態が制御される。初期化制御信号ＩＧ（ｎ）に供給される信号がローレベル（Ｌｏｗ　Ｌｅｖｅｌ、Ｌレベル）のとき、初期化トランジスタＩＳＴは、非導通状態となる。初期化制御信号ＩＧ（ｎ）に供給される信号がハイレベル（Ｈｉｇｈ　Ｌｅｖｅｌ、Ｈレベル）のとき、初期化トランジスタＩＳＴは、導通状態となる。初期化トランジスタＩＳＴのソース電極は、第２のリセット電圧線４１４に電気的に接続される。第２のリセット電圧線４１４には、第２のリセット信号ＶＬ２が供給される。初期化トランジスタＩＳＴのドレイン電極は、駆動トランジスタＤＲＴのゲート電極１４１、選択トランジスタＳＳＴのドレイン電極、および保持容量素子ＳＣ１の第１の電極１４４に電気的に接続される。保持容量素子ＳＣ１の第２の電極１４５は、駆動トランジスタＤＲＴのソース電極１４３、リセットトランジスタＲＳＴのドレイン電極、第１のＬＥＤチップ１２０の第１の電極１２２、および付加容量Ｃｅｌの第１の電極に電気的に接続される。保持容量素子ＳＣ２の第２の電極１４５は、第２の駆動部１３１の駆動トランジスタＤＲＴのソース電極１４３、第２の駆動部１３１のリセットトランジスタＲＳＴのドレイン電極、第２のＬＥＤチップ１３０の第１の電極１３２、および付加容量Ｃｅｌの第１の電極に電気的に接続される。

[0064] 選択トランジスタＳＳＴのゲート電極は、走査信号線４０８に電気的に接続される。走査信号線４０８には、走査信号ＳＧ（ｎ）が供給される。選択トランジスタＳＳＴは、走査信号ＳＧ（ｎ）に供給される信号によって、導通状態または非導通状態が制御される。走査信号ＳＧ（ｎ）に供給される信号がＬレベルのとき、選択トランジスタＳＳＴは、非導通状態となる。走査信号ＳＧ（ｎ）に供給される信号がＨレベルのとき、選択トランジスタＳＳＴは、導通状態となる。選択トランジスタＳＳＴのソース電極は、映像信号線４０９に電気的に接続される。映像信号線４０９には、映像信号ＳＬ（ｍ）が供給される。

[0065] 発光制御トランジスタＢＣＴのゲート電極は、発光制御線４１８に電気的

に接続される。発光制御線４１８には、発光制御信号ＢＧ（ｎ）が供給される。発光制御トランジスタＢＣＴは、発光制御信号ＢＧ（ｎ）に供給される信号によって、導通状態または非導通状態が制御される。発光制御信号ＢＧ（ｎ）に供給される信号がＬレベルのとき、発光制御トランジスタＢＣＴは、非導通状態となる。発光制御信号ＢＧ（ｎ）に供給される信号がＨレベルのとき、発光制御トランジスタＢＣＴは、導通状態となる。発光制御トランジスタＢＣＴのドレイン電極は、第１の駆動電源線ＰＶＤＤ１または第２の駆動電源線ＰＶＤＤ２に電気的に接続される。第１の駆動電源線ＰＶＤＤ１は、第１の駆動電源線４２８である。第２の駆動電源線ＰＶＤＤ２は、第２の駆動電源線４２９である。発光制御トランジスタＢＣＴのソース電極は、駆動トランジスタＤＲＴのドレイン電極１４２と電気的に接続される。

[0066] リセットトランジスタＲＳＴのゲート電極は、第１のリセット信号線４１２に電気的に接続される。第１のリセット信号線４１２には、第１のリセット信号ＲＧが供給される。リセットトランジスタＲＳＴは、第１のリセット信号線４１２に供給される信号によって、導通状態、非導通状態が制御される。第１のリセット信号線４１２に供給される信号がＬレベルのとき、リセットトランジスタＲＳＴは、非導通状態となる。第１のリセット信号線４１２に供給される信号がＨレベルのとき、リセットトランジスタＲＳＴは、導通状態となる。リセットトランジスタＲＳＴのソース電極は、第１のリセット電圧線４１０に電気的に接続される。第１のリセット電圧線４１０には、第１のリセット信号ＶＬ１が供給される。

[0067] 第１のＬＥＤチップ１２０の第２の電極１２３、カソード容量Ｃｃｄ、および付加容量Ｃｅｌの第２の電極は、基準電圧線ＰＶＳＳに電気的に接続される。基準電圧線ＰＶＳＳは、例えば、陰極に電気的に接続される。なお、第２のＬＥＤチップ１３０の第２の電極１３３は、第１のＬＥＤチップ１２０の第２の電極１２３と同様に、カソード容量Ｃｃｄおよび付加容量Ｃｅｌの第２の電極は、基準電圧線ＰＶＳＳに電気的に接続される。

[0068] 初期化トランジスタＩＳＴのドレイン電極、選択トランジスタＳＳＴのド

レイン電極、駆動トランジスタＤＲＴのゲート電極１４１、および保持容量素子ＳＣ１の第１の電極１４４は、第１のノードＡに電気的に接続される。駆動トランジスタＤＲＴのソース電極１４３、保持容量素子Ｃｓの第２の電極、第１のＬＥＤチップ１２０の第１の電極１２２、および付加容量Ｃｅｌの第１の電極は、第３のノードＣに電気的に接続される。リセットトランジスタＲＳＴのドレイン電極、駆動トランジスタＤＲＴのドレイン電極１４２、および発光制御トランジスタＢＣＴのソース電極は、第２のノードＢに電気的に接続される。

[0069] 第１のリセット電圧線４１０は、画素１１０に共通の電圧Ｖｒｓｔを供給するため、本明細書等では第２の共通電極と呼ぶ場合がある。第２のリセット電圧線４１４は、画素１１０に共通の電圧Ｖｉｎｉを供給するため、本明細書等では第３の共通電極と呼ぶ場合がある。なお、電圧Ｖｒｓｔと電圧Ｖｉｎｉとは略同一の電圧である。電圧Ｖｒｓｔと電圧Ｖｉｎｉが略同一であることによって、駆動トランジスタＤＲＴのリセット時に、駆動トランジスタＤＲＴのゲート電極１４１の電圧と駆動トランジスタＤＲＴのソース電極１４３の電圧とを略同一にすることができるため、駆動トランジスタＤＲＴのリセットと、駆動トランジスタＤＲＴの閾値補正との両方を精度よく行うことができる。

[0070] 本明細書等において、導通状態とは、トランジスタのソース電極とドレイン電極とが導通し、トランジスタがオン（ＯＮ）の状態を示すものとする。また、本明細書等において、非導通状態とは、トランジスタのソース電極とドレイン電極とが非導通となり、トランジスタがオフ（ＯＦＦ）の状態を示すものとする。なお、各トランジスタにおいて、ソース電極とドレイン電極とは、各電極の電圧によって、入れ替わる場合がある。また、トランジスタがオフの状態であっても、リーク電流などのように、わずかに電流が流れることは、当業者であれば容易に理解できる。

[0071] ［５．画素１１０の階調の制御］

本実施形態に係る表示装置１０では、階調制御回路部３００が階調制御モ

ードを選択し、階調制御モードに基づいて画素１１０の階調が制御される。階調制御モードには、画素１１０の階調を制御するための複数の制御方法が含まれる。制御方法としては、例えば、面積制御法、パルス幅変調（ＰＷＭ）制御方法、または電流制御法などである。

[0072] 始めに、本実施形態に係る表示装置１０の画素１１０の階調を制御する面積制御法、ＰＷＭ制御法、および電流制御法について説明する。

[0073] ［５－１．面積制御法］

面積制御法では、ＬＥＤチップの発光面積によって画素の階調が制御される。すなわち、表示装置１０では、第１のＬＥＤチップ１２０または第２のＬＥＤチップ１３０の発光または非発光によって画素１１０の階調が制御される。以下では、便宜上、階調数が２ビットであるとして説明する。

[0074] ２ビットの一方のビット（以下、「第０のビット」とする。）には、第１のＬＥＤチップ１２０の発光の制御が割り当てられる。すなわち、第０のビットでは、第１のＬＥＤチップ１２０の発光または非発光によって画素１１０の階調を制御することができる。また、２ビットの他方のビット（以下、「第１のビット」とする。）には、第１のＬＥＤチップ１２０および第２のＬＥＤチップ１３０の両方の発光の制御が割り当てられる。すなわち、第１のビットでは、第１のＬＥＤチップ１２０および第２のＬＥＤチップ１３０の両方の発光または非発光によって画素１１０の階調を制御することができる。第０のビットでは、第１のＬＥＤチップ１２０のみが発光するのに対し、第１のビットでは、第１のＬＥＤチップ１２０および第２のＬＥＤチップ１３０の両方が発光する。そのため、第１のＬＥＤチップ１２０と第２のＬＥＤチップ１３０とが同じ大きさおよび構造を有する場合（同一のＬＥＤチップである場合）、第１のビットで制御される発光面積は、第０ビットで制御される発光面積よりも大きい。したがって、面積制御法では、第１のＬＥＤチップ１２０または第２のＬＥＤチップ１３０の発光または非発光の制御により、表１に示すような４つの階調を表現することができる。

[0075]

[表1]

階調	第0のビット	第1のビット
0	第1のLEDチップ非発光	第1のLEDチップ非発光 第2のLEDチップ非発光
1	第1のLEDチップ発光	第1のLEDチップ非発光 第2のLEDチップ非発光
2	第1のLEDチップ非発光	第1のLEDチップ発光 第2のLEDチップ発光
3	第1のLEDチップ発光	第1のLEDチップ発光 第2のLEDチップ発光

[0076] 面積制御法では、映像信号ＳＬ（ｍ）に印加される電圧を一定とし、発光制御トランジスタＢＣＴによって第１のＬＥＤチップ１２０または第２のＬＥＤチップ１３０の発光または非発光を制御することができる。

[0077] なお、面積制御法では、ＬＥＤチップの数を増やすことにより、階調数を増やすことができる。

[0078] ［５－２．ＰＷＭ制御法］

ＰＷＭ制御法では、ＬＥＤチップの発光時間（パルス幅）によって画素の階調が制御される。すなわち、表示装置１０では、第１のＬＥＤチップおよび第２のＬＥＤチップ１３０の発光時間によって画素１１０の階調が制御される。以下では、便宜上、階調数が２ビットであるとして説明する。

[0079] ２ビットの一方のビット（以下、「第０のビット」とする。）には、第１のパルス幅が割り当てられる。すなわち、第０のビットでは、第１のパルス幅のオンまたはオフによる第１のＬＥＤチップ１２０および第２のＬＥＤチップ１３０の発光または非発光によって画素１１０の階調を制御することができる。また、２ビットの他方のビット（以下、「第１のビット」とする。）には、第２のパルス幅が割り当てられる。すなわち、第１のビットでは、第２のパルス幅のオンまたはオフによる第１のＬＥＤチップ１２０および第２のＬＥＤチップ１３０の発光または非発光によって画素１１０の階調を制

御することができる。ここでは、第２のパルス幅は、第１のパルス幅よりも大きいとする。そのため、第１のビットにおける第１のＬＥＤチップ１２０および第２のＬＥＤチップ１３０の発光時間は、第０のビットにおける第１のＬＥＤチップ１２０および第２のＬＥＤチップ１３０の発光時間よりも長い。したがって、ＰＷＭ制御法では、第１のパルス幅または第２のパルス幅による第１のＬＥＤチップ１２０および第２のＬＥＤチップ１３０の発光または非発光の制御により、表２に示すような４つの階調を表現することができる。

[0080] [表2]

階調	第０のビット	第１のビット
0	第１のパルス幅オフ	第２のパルス幅オフ
1	第１のパルス幅オン	第２のパルス幅オフ
2	第１のパルス幅オフ	第２のパルス幅オン
3	第１のパルス幅オン	第２のパルス幅オン

[0081] ＰＷＭ制御法では、映像信号ＳＬ（ｍ）に印加される電圧を一定とし、発光制御トランジスタＢＣＴのゲート電極に接続される発光制御信号ＢＧ（ｎ）に供給される信号のパルス幅によって第１のＬＥＤチップ１２０および第２のＬＥＤチップ１３０の発光時間を制御することができる。

[0082] なお、ＰＷＭ制御法では、パルス幅の数を増やすことにより、階調数を増やすことができる。

[0083] ［５－３．電流制御法］

電流制御法では、ＬＥＤチップに供給される電流値によって画素の階調が制御される。すなわち、表示装置１０では、第１のＬＥＤチップ１２０および第２のＬＥＤチップ１３０に供給される電流値によって画素１１０の階調が制御される。以下では、便宜上、階調数が２ビットであるとして説明する。

[0084] ２ビットの一方のビット（以下、「第０のビット」とする。）には、第１

の電流値が割り当てられる。すなわち、第０のビットでは、第１の電流値のオンまたはオフによる第１のＬＥＤチップ１２０および第２のＬＥＤチップ１３０の発光または非発光によって画素１１０の階調を制御することができる。また、２ビットの他方のビット（以下、「第１のビット」）には、第２の電流値が割り当てられる。すなわち、第１のビットでは、第２の電流値のオンまたはオフによる第１のＬＥＤチップ１２０および第２のＬＥＤチップ１３０の発光または非発光によって画素１１０の階調を制御することができる。ここでは、第２の電流値は、第１の電流値よりも大きいとする。そのため、第１のビットにおける第１のＬＥＤチップ１２０および第２のＬＥＤチップ１３０の発光輝度は、第０のビットにおける第１のＬＥＤチップ１２０および第２のＬＥＤチップ１３０の発光輝度よりも大きい。したがって、電流制御法では、第１の電流値または第２の電流値による第１のＬＥＤチップ１２０および第２のＬＥＤチップ１３０の発光または非発光の制御により、表３に示すような４つの階調を表現することができる。

[0085] [表3]

階調	第０のビット	第１のビット
0	第１の電流値オフ	第２の電流値オフ
1	第１の電流値オン	第２の電流値オフ
2	第１の電流値オフ	第２の電流値オン
3	第１の電流値オン	第２の電流値オン

[0086] 電流制御法では、映像信号ＳＬ（ｍ）に印加される電圧を変化されることによって第１のＬＥＤチップ１２０および第２のＬＥＤチップ１３０に供給される電流値を制御することができる。

[0087] なお、電流制御法では、電流値の数を増やすことにより、階調数を増やすことができる。

[0088] 続いて、本実施形態に係る表示装置１０の画素１１０の階調の制御で選択されるいくつかの階調制御モードについて説明する。階調制御モードは、例

えば、外光の照度に応じて選択されてもよい。以下では、便宜上、階調数が６ビットであるとして説明する。

[0089] ［５－４．第１の階調制御モード］

図５は、本発明の一実施形態に係る表示装置１０において、第１の階調制御モードを用いて１フレーム期間における画素１１０の階調の制御を説明する模式図である。

[0090] 第１の階調制御モードでは、１フレーム期間（１Ｆ）は、第１のサブフレーム期間（１ＳＦ）および第２のサブフレーム期間（２ＳＦ）に分割される。第１のサブフレーム期間（１ＳＦ）では、面積制御法による画素１１０の階調の制御が行われる。第２のサブフレーム期間（２ＳＦ）では、ＰＷＭ制御法による画素１１０の階調の制御が行われる。第１のサブフレーム期間（１ＳＦ）および第２のサブフレーム期間（２ＳＦ）は、それぞれ、面積制御法およびＰＷＭ制御法における階調数に応じて、複数の期間に分割されてもよい。第１の階調制御モードでは、６ビットの階調数のうちの２ビットが面積制御法に割り当てられ、６ビットの階調数のうちの４ビットがＰＷＭ制御法に割り当てられる。そのため、第１のサブフレーム期間（１ＳＦ）の第１の期間（１－１ＳＦ）および第２の期間（１－２ＳＦ）では、第１のＬＥＤチップ１２０または第２のＬＥＤチップ１３０の発光または非発光によって画素１１０の階調が制御される。また、第２のサブフレーム期間（２ＳＦ）の第３の期間（２－１ＳＦ）、第４の期間（２－２ＳＦ）、第５の期間（２－３ＳＦ）、および第６の期間（２－４ＳＦ）では、それぞれ、第１のパルス幅、第２のパルス幅、第３のパルス幅、および第４のパルス幅によって画素１１０の階調が制御される（ここでは、第１のパルス幅＞第２のパルス幅＞第３のパルス幅＞第４のパルス幅とする。）。したがって、第１の階調制御モードの１フレーム期間（１Ｆ）内の各期間（１－１ＳＦ～２－４ＳＦ）における画素１１０の階調の制御をまとめると、表４に示す通りである。

[0091]

[表4]

第１の期間（１－１ＳＦ）	面積制御法	第１のＬＥＤチップ
第２の期間（１－２ＳＦ）	面積制御法	第１のＬＥＤチップおよび第２のＬＥＤチップ
第３の期間（２－１ＳＦ）	PWM制御法	第１のパルス幅
第４の期間（２－２ＳＦ）	PWM制御法	第２のパルス幅
第５の期間（２－３ＳＦ）	PWM制御法	第３のパルス幅
第６の期間（２－４ＳＦ）	PWM制御法	第４のパルス幅

[0092] 第１の階調制御モードでは、ＰＷＭ制御法によって制御される階調数が多い。ＰＷＭ駆動法は、ＬＥＤチップの発光波長のシフトが少ない特徴を有する。そのため、第１の階調制御モードによる画素１１０の制御は、発光波長のシフトが重要視される外光照度が低い場合において有効である。そのため、例えば、外光照度が５００［ｌｕｘ］以下であるとき、階調制御回路部３００によって第１の階調制御モードが選択される。

[0093] なお、１フレーム期間（１Ｆ）内の各期間（１－１ＳＦ～２－４ＳＦ）の長さは同一であってもよく、異なっていてもよい。

[0094] ［５－５．第２の階調制御モード］

図６は、本発明の一実施形態に係る表示装置１０において、第２の階調制御モードを用いて１フレーム期間における画素１１０の階調の制御を説明する模式図である。

[0095] 第２の階調制御モードでは、１フレーム期間（１’Ｆ）は、第１のサブフレーム期間（１’ＳＦ）、第２のサブフレーム期間（２’ＳＦ）、および第３のサブフレーム期間（３’ＳＦ）に分割される。第１のサブフレーム期間（１’ＳＦ）では、面積制御法による画素１１０の階調の制御が行われる。第２のサブフレーム期間（２’ＳＦ）では、ＰＷＭ制御法による画素１１０の階調の制御が行われる。第３のサブフレーム期間（３’ＳＦ）では、電流制御法による画素１１０の階調の制御が行われる。第１のサブフレーム期間（１’ＳＦ）、第２のサブフレーム期間（２’ＳＦ）、および第３のサブフ

レーム期間（３’ＳＦ）は、それぞれ、面積制御法、ＰＷＭ制御法、および電流制御法における階調数に応じて、複数の期間に分割されてもよい。第２の階調制御モードでは、６ビットの階調数のうちの２ビットが面積制御法に割り当てられ、６ビットの階調数のうちの３ビットがＰＷＭ制御法に割り当てられ、６ビットの階調数のうちの１ビットが電流制御法に割り当てられる。そのため、第１のサブフレーム期間（１’ＳＦ）の第１の期間（１’－１ＳＦ）および第２の期間（１’－２ＳＦ）では、第１のＬＥＤチップ１２０または第２のＬＥＤチップ１３０の発光または非発光によって画素１１０の階調が制御される。また、第２のサブフレーム期間（２’ＳＦ）の第３の期間（２’－１ＳＦ）、第４の期間（２’－２ＳＦ）、および第５の期間（２’－３ＳＦ）では、それぞれ、第５のパルス幅、第６のパルス幅、および第７のパルス幅によって画素１１０の階調が制御される（ここでは、第５のパルス幅＞第６のパルス幅＞第７のパルス幅とする。なお、第２の階調制御モードのパルス幅は、第１の階調制御モードのパルス幅と同一であってもよい。例えば、第２の階調制御モードの第６のパルス幅および第７のパルス幅は、それぞれ、第１の階調制御モードの第１のパルス幅および第２のパルス幅であってもよい。）。また、第３のサブフレーム期間（３’ＳＦ）の第６の期間（３’－１ＳＦ）では、第１の電流値によって画素１１０の階調が制御される。したがって、第２の階調制御モードの１フレーム期間（１’Ｆ）内の各期間（１’－１ＳＦ～３’－１ＳＦ）における画素１１０の階調の制御をまとめると、表５に示す通りである。

[0096]

[表5]

第１の期間（１’－１ＳＦ）	面積制御法	第１のＬＥＤチップ
第２の期間（１’－２ＳＦ）	面積制御法	第１のＬＥＤチップおよび第２のＬＥＤチップ
第３の期間（２’－１ＳＦ）	ＰＷＭ制御法	第５のパルス幅
第４の期間（２’－２ＳＦ）	ＰＷＭ制御法	第６のパルス幅
第５の期間（２’－３ＳＦ）	ＰＷＭ制御法	第７パルス幅
第６の期間（３’－１ＳＦ）	電流制御法	第１の電流値

[0097] 第２の階調制御モードでは、面積制御法およびＰＷＭ制御法のデジタル階調制御法だけでなく、電流制御法のアナログ階調制御法によっても画素１１０の階調を制御することができる。そのため、第２の階調制御モードによる画素１１０の制御は、発光波長のシフトが重要視されながら、発光輝度の大きさが要求される外光照度において有効である。そのため、例えば、外光照度が５００［ｌｕｘ］を超え、かつ、５０００「ｌｕｘ」以下であるとき、階調制御回路部３００によって第２の階調制御モードが選択される。

[0098] なお、１フレーム期間（１’Ｆ）内の各期間（１’－１ＳＦ～３’－１ＳＦ）の長さは同一であってもよく、異なっていてもよい。

[0099] ［５－６．第３の階調制御モード］

図７は、本発明の一実施形態に係る表示装置１０において、第３の階調制御モードを用いて１フレーム期間における画素１１０の階調の制御を説明する模式図である。

[0100] 第３の階調制御モードでは、１フレーム期間（１’’Ｆ）は、第１のサブフレーム期間（１’’ＳＦ）、第２のサブフレーム期間（２’’ＳＦ）、および第３のサブフレーム期間（３’’ＳＦ）に分割される。第１のサブフレーム期間（１’’ＳＦ）では、面積制御法による画素１１０の階調の制御が行われる。第２のサブフレーム期間（２’’ＳＦ）では、ＰＷＭ制御法による画素１１０の階調の制御が行われる。第３のサブフレーム期間（３’’ＳＦ）では、電流制御法による画素１１０の階調の制御が行われる。第１のサ

ブフレーム期間（1’’ＳＦ）、第２のサブフレーム期間（2’’ＳＦ）、および第３のサブフレーム期間（3’’ＳＦ）は、それぞれ、面積制御法、ＰＷＭ制御法、および電流制御法における階調数に応じて、複数の期間に分割されてもよい。第３の階調制御モードでは、６ビットの階調数のうちの２ビットが面積制御法に割り当てられ、６ビットの階調数のうちの２ビットがＰＷＭ制御法に割り当てられ、６ビットの階調数のうちの２ビットが電流制御法に割り当てられる。そのため、第１のサブフレーム期間（1’’ＳＦ）の第１の期間（1’’－１ＳＦ）および第２の期間（1’’－２ＳＦ）では、第１のＬＥＤチップ１２０または第２のＬＥＤチップ１３０の発光または非発光によって画素１１０の階調が制御される。また、第２のサブフレーム期間（2’’ＳＦ）の第３の期間（2’’－１ＳＦ）および第４の期間（2’’－２ＳＦ）では、それぞれ、第８のパルス幅および第９のパルス幅によって画素１１０の階調が制御される（ここでは、第８のパルス幅＞第９のパルス幅とする。なお、第３の階調制御モードのパルス幅は、第１の階調制御モードまたは第２の階調制御モードのパルス幅と同一であってもよい。例えば、第３の階調制御モードの第９のパルス幅は、第２の階調制御モードの第５のパルス幅であってもよい。）。また、第３のサブフレーム期間（3’’ＳＦ）の第５の期間（3’’－１ＳＦ）および第６の期間（3’’－２ＳＦ）では、それぞれ、第２の電流値および第３の電流値によって画素１１０の階調が制御される。したがって、第３の階調制御モードの１フレーム期間（1’’Ｆ）内の各期間（1’’－１ＳＦ～3’’－２ＳＦ）における画素１１０の階調の制御をまとめると、表６に示す通りである。

[0101]

[表6]

第１の期間（１’’－１ＳＦ）	面積制御法	第１のＬＥＤチップ
第２の期間（１’’－２ＳＦ）	面積制御法	第１のＬＥＤチップおよび第２のＬＥＤチップ
第３の期間（２’’－１ＳＦ）	ＰＷＭ制御法	第８のパルス幅
第４の期間（２’’－２ＳＦ）	ＰＷＭ制御法	第９のパルス幅
第５の期間（３’’－１ＳＦ）	電流制御法	第２の電流値
第６の期間（３’’－２ＳＦ）	電流制御法	第３の電流値

[0102] 第３の階調制御モードでは、電流制御法のアナログ階調制御法によって画素１１０の階調を制御することができるため、発光輝度を大きくすることができる特徴を有する。そのため、第３の階調制御モードによる画素１１０の制御は、発光輝度の大きさが重要視される外光照度が高い場合において有効である。そのため、例えば、外光照度が５０００［ｌｕｘ］を超えるとき、階調制御回路部３００によって第３の階調制御モードが選択される。

[0103] なお、１フレーム期間（１’’Ｆ）内の各期間（１’’－１ＳＦ～３’’－２ＳＦ）の長さは同一であってもよく、異なっていてもよい。

[0104] 続いて、本実施形態に係る表示装置１０の階調制御回路部３００で実行される階調制御モードの選択処理について説明する。以下では、階調制御回路部３００によって、上述した第１の階調制御モード～第３の階調制御モードのいずれか１つが選択されるものとして説明する。

[0105] ［５－７．階調制御モードの選択処理］

図８は、本発明の一実施形態に係る表示装置１０の階調制御回路部３００で実行される階調制御モードの選択処理（ステップＳ１００）を示すフローチャート図である。

[0106] 始めに、階調制御回路部３００は、照度検出部２００によって生成された外光の照度値を取得する（ステップＳ１１０）。次に、階調制御回路部３００は、取得した照度値が第１の値以下である否かを判定する（ステップＳ１２０）。照度値が第１の値以下である場合（ステップＳ１２０：ＹＥＳ）、

階調制御回路部３００は、第１の階調制御モードを選択する（ステップＳ１３０）。第１の階調制御モードが選択されると、ステップＳ１００は終了する。

[0107] 照度値が第１の値を超える場合（ステップＳ１２０：ＮＯ）、階調制御回路部３００は、照度値が第２の値以下である否かを判定する（ステップＳ１４０）。照度値が第２の値以下である場合（ステップＳ１４０：ＹＥＳ）、階調制御回路部３００は、第２の階調制御モードを選択する（ステップＳ１５０）。第２の階調制御モードが選択されると、ステップＳ１００は終了する。

[0108] 照度値が第２の値を超える場合（ステップＳ１４０：ＮＯ）、階調制御回路部３００は、第３の階調制御モードを選択する（ステップＳ１６０）。第３の階調制御モードが選択されると、ステップＳ１００は終了する。

[0109] 階調制御回路部３００は、選択された第１の階調制御モード～第３の階調制御モードに応じて、画素１１０の階調を制御するための信号を生成する。

[0110] 第１の値は、例えば、５００［ｌｕｘ］である。また、第２の値は、例えば、５０００［ｌｕｘ］である。但し、第１の値および第２の値は、これに限られない。

[0111] 本実施形態に係る表示装置１０は、階調制御回路部３００によって階調制御モードが選択される。外光の照度値によっては表示部１００の表示に要求される画質が異なるが、階調制御回路部３００は、外光の照度値を判定し、階調制御モードを選択するため、外光の照度値に対応して画素１１０の階調を制御することができる。そのため、表示装置１０の表示部１００では、視認性に優れた表示が可能である。

[0112] ＜第２実施形態＞

表示装置１０の第１のＬＥＤチップ１２０および第２のＬＥＤチップ１３０は、同一のＬＥＤチップに限られない。そこで、本実施形態では、図９を参照して、大きさが同一であるが素子構造が異なる第１のＬＥＤチップ１２０Ａおよび第２のＬＥＤチップ１３０Ａについて説明する。なお、以下では

、本実施形態の構成が上述した第１実施形態の構成と同様であるとき、本実施形態の構成の説明を省略する場合がある。

[0113] 図９は、本発明の一実施形態に係る表示装置１０の画素１１０Ａの断面模式図である。

[0114] 図９に示すように、画素１１０Ａは、第１のＬＥＤチップ１２０Ａおよび第２のＬＥＤチップ１３０Ａを含む。第１のＬＥＤチップ１２０Ａおよび第２のＬＥＤチップ１３０Ａの上には、それぞれ、第１の抵抗膜１２５Ａおよび第２の抵抗膜１３５Ａが設けられている。第１の抵抗膜１２５Ａが第１のＬＥＤチップ１２０Ａと接する面積は、第２の抵抗膜１３５Ａが第２のＬＥＤチップ１３０Ａと接する面積よりも大きい。そのため、第１のＬＥＤチップ１２０Ａに注入される電荷量は、第２のＬＥＤチップ１３０Ａに注入される電荷量よりも小さい。すなわち、第１のＬＥＤチップ１２０Ａおよび第２のＬＥＤチップ１３０に同一の電圧が印加されたとき、第１のＬＥＤチップ１２０Ａに供給される電流値は、第２のＬＥＤチップ１３０Ａに供給される電流値よりも小さい。

[0115] 本実施形態では、第１のＬＥＤチップ１２０Ａおよび第２のＬＥＤチップに供給される電流値の違いを利用することができる。例えば、面積制御法において、第１のＬＥＤチップ１２０Ａおよび第２のＬＥＤチップ１３０Ａの各々の発光または非発光によって画素１１０の階調が制御されてもよい。以下では、便宜上、階調数が２ビットであるとして説明する。

[0116] ２ビットの一方のビット（以下、「第０のビット」とする。）には、第１のＬＥＤチップ１２０Ａの発光の制御が割り当てられる。すなわち、第０のビットでは、第１のＬＥＤチップ１２０Ａの発光または非発光によって画素１１０の階調を制御することができる。また、２ビットの他方のビット（以下、「第１のビット」とする。）には、第２のＬＥＤチップ１３０Ａの発光の制御が割り当てられる。すなわち、第１のビットでは、第２のＬＥＤチップ１３０Ａの発光または非発光によって画素１１０の階調を制御することができる。第１のビットで制御される第２のＬＥＤチップ１３０Ａの発光面積

は、第０のビットで制御される第１のＬＥＤチップ１２０Ａの発光面積よりも大きい。したがって、本実施形態の面積制御法では、第１のＬＥＤチップ１２０Ａおよび第２のＬＥＤチップ１３０Ａの各々の発光または非発光の制御により、表７に示すような４つの階調を表現することができる。

[0117] [表7]

階調	第0のビット	第1のビット
0	第1のＬＥＤチップ非発光	第2のＬＥＤチップ非発光
1	第1のＬＥＤチップ発光	第2のＬＥＤチップ非発光
2	第1のＬＥＤチップ非発光	第2のＬＥＤチップ発光
3	第1のＬＥＤチップ発光	第2のＬＥＤチップ発光

[0118] なお、本実施形態の面積制御法でも、ＬＥＤチップの数を増やすことにより、階調数を増やすことができる。

[0119] 本実施形態の第１のＬＥＤチップ１２０Ａおよび第２のＬＥＤチップ１３０Ａは、大きさが同一であるため、第１のＬＥＤチップ１２０Ａと第２のＬＥＤチップ１３０Ａとは同様の方法で転写することができる。そのため、製造方法を変更することなく、表示装置１０を製造することができる。また、面積制御法においては、第１のＬＥＤチップ１２０Ａおよび第２のＬＥＤチップ１３０Ａの各々が階調数のビットに割り当てられるため、発光の頻度が第１のＬＥＤチップ１２０Ａおよび第２のＬＥＤチップ１３０Ａのいずれか１つに偏ることがない。そのため、第１のＬＥＤチップ１２０Ａと第２のＬＥＤチップ１３０Ａとはほぼ同様に劣化するため、表示部１００の表示のばらつきを低減することができる。

[0120] ＜第３実施形態＞

表示装置１０の階調制御回路部３００は、第１実施形態で説明した階調制御モードの選択処理に限られない。そこで、本実施形態では、図１０および図１１を参照して、表示装置１０の階調制御回路部３００で実行される別の階調制御モードの選択処理について説明する。なお、以下では、本実施形態

の構成が上述した第１実施形態の構成と同様であるとき、本実施形態の構成の説明を省略する場合がある。

[0121] 図１０および図１１は、それぞれ、本発明の一実施形態に係る表示装置１０の階調制御回路部３００で実行される平均照度値算出処理（ステップＳ２００）および階調制御モードの選択処理（ステップＳ３００）を示すフローチャート図である。

[0122] 始めに、階調制御回路部３００は、照度検出部２００によって生成された外光の照度値を取得する（ステップＳ２１０）。次に、階調制御回路部３００は、第１のフレーム～第ｎのフレーム（ｎは２以上の整数）の照度値の平均照度値L_{ave_n}を算出する（ステップＳ２２０）。次に、階調制御回路部３００は、平均照度値L_{ave_n}が単調増加しているか否かを判定する。例えば、第ｎのフレームにおける平均照度値L_{ave_n}が、第ｎ－１のフレームにおける平均照度値L_{ave_n-1}よりも大きいとき、単調増加していると判定することができる。また、ｎが３以上の場合においては、第ｎのフレームにおける平均照度値L_{ave_n}が、第ｎ－１のフレームにおける平均照度値L_{ave_n-1}よりも大きく、かつ、第ｎ－１のフレームにおける平均照度値L_{ave_n-1}が、第ｎ－２のフレームにおける平均照度値L_{ave_n-2}よりも大きいとき、単調増加していると判定してもよい。

[0123] 平均照度値L_{ave_n}が単調増加している場合（ステップＳ２３０：ＹＥＳ）、階調制御モードの選択処理が実行される（ステップＳ３００）。

[0124] 平均照度値L_{ave_n}が単調増加していない場合（ステップＳ２３０：ＮＯ）、階調制御回路部３００は、平均照度値L_{ave_n}が単調減少しているか否かを判定する。例えば、第ｎのフレームにおける平均照度値L_{ave_n}が、第ｎ－１のフレームにおける平均照度値L_{ave_n-1}よりも小さいとき、単調減少していると判定することができる。また、ｎが３以上の場合においては、第ｎのフレームにおける平均照度値L_{ave_n}が、第ｎ－１のフレームにおける平均照度値L_{ave_n-1}よりも小さく、かつ、第ｎ－１のフレームにおける平均照度値L_{ave_n-1}が、第ｎ－２のフレームにおける平均照度値L_{ave_n-2}よりも

小さいとき、単調減少していると判定してもよい。

[0125] 平均照度値L_{ave_n}が単調減少している場合（ステップＳ２４０：ＹＥＳ）、階調制御モードの選択処理が実行される（ステップＳ３００）。

[0126] 平均照度値L_{ave_n}が単調減少していない場合（ステップＳ２４０：ＮＯ）、ステップＳ２００は終了する。この場合、階調制御モード選択処理が実行されない。すなわち、現在の階調制御モードを用いて、画素１１０の階調の制御が実行される。

[0127] 続いて、、階調制御モードの選択処理（ステップＳ３００）について説明する。

[0128] 階調制御回路部３００は、算出された平均照度値L_{ave_n}が第１の値以下であるか否かを判定する（ステップＳ３１０）。平均照度値L_{ave_n}が第１の値以下である場合（ステップＳ３１０：ＹＥＳ）、階調制御回路部３００は、第１の階調制御モードを選択する（ステップＳ３２０）。第１の階調制御モードが選択されると、ステップＳ３００は終了する。

[0129] 平均照度値L_{ave_n}が第１の値を超える場合（ステップＳ３１０：ＮＯ）、階調制御回路部３００は、平均照度値L_{ave_n}が第２の値以下であるか否かを判定する（ステップＳ３３０）。平均照度値L_{ave_n}が第２の値以下である場合（ステップＳ３３０：ＹＥＳ）、階調制御回路部３００は、第２の階調制御モードを選択する（ステップＳ３４０）。第２の階調制御モードが選択されると、ステップＳ３００は終了する。

[0130] 平均照度値L_{ave_n}が第２の値を超える場合（ステップＳ３３０：ＮＯ）、階調制御回路部３００は、第３の階調制御モードを選択する（ステップＳ３５０）。第３の階調制御モードが選択されると、ステップＳ３００は終了する。

[0131] 階調制御回路部３００は、選択された第１の階調制御モード～第３の階調制御モードに応じて、画素１１０の階調を制御するための信号を生成する。

[0132] 第１の値は、例えば、５００［ｌｕｘ］である。また、第２の値は、例えば、５０００［ｌｕｘ］である。但し、第１の値および第２の値は、これに

限られない。

[0133] 本実施形態の階調制御モードの選択処理では、複数のフレームで取得した照度値を平均化し、平均照度値を判定して階調制御モードを選択するため、外光のノイズ（突発的な外光の変化）に対して階調制御モードが切り替わることがない。そのため、階調制御モードの切替をスムーズに行うことができる。

[0134] 本発明の実施形態として上述した各実施形態は、相互に矛盾しない限りにおいて、適宜組み合わせて実施することができる。また、各実施形態を基にして、当業者が適宜構成要素の追加、削除、もしくは設計変更を行ったもの、または、工程の追加、省略、もしくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含まれる。

[0135] 上述した各実施形態によりもたらされる作用効果とは異なる他の作用効果であっても、本明細書の記載から明らかなもの、または、当業者において容易に予測し得るものについては、当然に本発明によりもたらされるものと解される。

符号の説明

[0136] １０：表示装置、 １００：表示部、 １１０、１１０Ａ：画素、 １１０Ｂ：青色画素、 １１０Ｇ：緑色画素、 １１０Ｒ：赤色画素、 １２０、１２０Ａ：第１のＬＥＤチップ、 １２０Ｂ：第１の青色ＬＥＤチップ、１２０Ｇ：第１の緑色ＬＥＤチップ、 １２０Ｒ：第１の赤色ＬＥＤチップ、 １２１：第１の駆動部、 １２２：第１の電極、 １２３：第２の電極、 １２５Ａ：第１の抵抗膜、 １３０、１３０Ａ：第２のＬＥＤチップ、 １３０Ｂ：第２の青色ＬＥＤチップ、 １３０Ｇ：第２の緑色ＬＥＤチップ、 １３０Ｒ：第２の赤色ＬＥＤチップ、 １３１：第２の駆動部、 １３２：第１の電極、 １３３：第２の電極、 １３５Ａ：第２の抵抗膜、１４０：トランジスタ、 １４１：第１の電極、 １４２：第３の電極、１４３：第２の電極、 １４４：第１の電極、 １４５：第２の電極、 ２００：照度検出部、 ３００：階調制御回路部、 ４００：映像信号線駆動

回路部、　４０８：走査信号線、　４０９：映像信号線、　４１０：第１のリセット電圧線、　４１２：第１のリセット信号線、　４１４：第２のリセット電圧線、　４１６：初期化制御線、　４１８：発光制御線、　４２８：第１の駆動電源線、　４２９：第２の駆動電源線、　５００：走査信号線駆動回路部、　６００：端子部、　６１０：端子、　１０００：基板、　１０１０：遮光層、　１０２０：アンダーコート層、　１０３０：半導体層、　１０４０：第１の絶縁層、　１０５０：第１の導電層、　１０６０：第２の絶縁層、　１０７０：第２の導電層、　１０８０：第１の平坦化層、　１０９０：第３の導電層、　１１００：第３の絶縁層、　１１１０：第４の導電層、　１１２０：第５の導電層、　１１３０：第６の導電層、　１１４０：第２の平坦化層、　１１５０：第７の導電層、　１１６０：オーバーコート層

請求の範囲

[請求項1] 複数の画素を含む表示部と、

前記画素の階調を制御する階調制御回路部と、を含み、

前記複数の画素の各々は、第１のＬＥＤチップおよび第２のＬＥＤチップを含み、

前記階調制御回路部は、前記画素の階調を階調制御モードによって制御し、

前記階調制御モードは、１フレーム期間内に、

前記第１のＬＥＤチップおよび前記第２のＬＥＤチップの発光面積によって前記画素の階調が制御される第１のサブフレーム期間と、

前記第１のＬＥＤチップおよび前記第２のＬＥＤチップの発光時間によって前記画素の階調が制御される第２のサブフレーム期間と、

前記第１のＬＥＤチップおよび前記第２のＬＥＤチップへ供給される電流値によって前記画素の階調が制御される第３のサブフレーム期間と、を含む、表示装置。

[請求項2] 複数の画素を含む表示部と、

外光の照度値を検出する照度検出部と、

前記照度値に基づき、第１の階調制御モード、第２の階調制御モード、および第３の階調制御モードのいずれか１つを選択する階調制御回路部と、を含み、

前記複数の画素の各々は、第１のＬＥＤチップおよび第２のＬＥＤチップを含み、

前記第１の階調制御モードは、１フレーム期間内に、第１のサブフレーム期間および第２のサブフレーム期間を含み、

前記第２の階調制御モードは、前記１フレーム期間内に、第３のサブフレーム期間、第４のサブフレーム期間、および第５のサブフレーム期間を含み、

前記第３の階調制御モードは、前記１フレーム期間内に、第６のサ

ブフレーム期間、第７のサブフレーム期間、および第８のサブフレーム期間を含み、

前記第１のサブフレーム期間、前記第３のサブフレーム期間、および前記第６のサブフレーム期間では、前記第１のＬＥＤチップおよび前記第２のＬＥＤチップの発光面積によって前記画素の階調が制御され、

前記第２のサブフレーム期間、前記第４のサブフレーム期間、および前記第７のサブフレーム期間では、前記第１のＬＥＤチップおよび前記第２のＬＥＤチップの発光時間によって前記画素の階調が制御され、

前記第５のサブフレーム期間および前記第８のサブフレーム期間では、前記第１のＬＥＤチップおよび前記第２のＬＥＤチップへ供給される電流値によって前記画素の階調が制御される、表示装置。

[請求項3] 前記照度値が第１の値以下であるとき、前記第１の階調制御モードが選択される、請求項２に記載の表示装置。

[請求項4] 前記第１の値は５００［ｌｕｘ］である、請求項３に記載の表示装置。

[請求項5] 前記照度値が前記第１の値を超え、かつ、第２の値以下であるとき、前記第２の階調制御モードが選択される、請求項３または請求項４に記載の表示装置。

[請求項6] 前記第２の値は５０００［ｌｕｘ］である、請求項５に記載の表示装置。

[請求項7] 前記照度値が前記第２の値を超えるとき、前記第３の階調制御モードが選択される、請求項５または請求項６に記載の表示装置。

[請求項8] 前記第４のサブフレーム期間において制御される階調数は、前記第５のサブフレーム期間において制御される階調数よりも大きい、請求項２乃至請求項７のいずれか一項に記載の表示装置。

[請求項9] 前記第８のサブフレーム期間において制御される階調数は、前記第

５のサブフレーム期間において制御される階調数よりも大きい、請求項２乃至請求項８のいずれか一項に記載の表示装置。

[請求項10] 前記階調制御回路部は、第１乃至第ｎのフレーム（ｎは２以上の整数）における前記照度値の平均化した平均照度値に基づいて前記第１の階調制御モード、前記第２の階調制御モード、および前記第３の階調制御モードのいずれか１つを選択する、請求項２乃至請求項９のいずれか一項に記載の表示装置。

[請求項11] 前記第１のＬＥＤチップおよび前記第２のＬＥＤチップは同一である、請求項２乃至請求項１０のいずれか一項に記載の表示装置。

[請求項12] 前記第１のサブフレーム期間、前記第３のサブフレーム期間、および前記第６のサブフレーム期間において制御される階調数は２ビットであり、

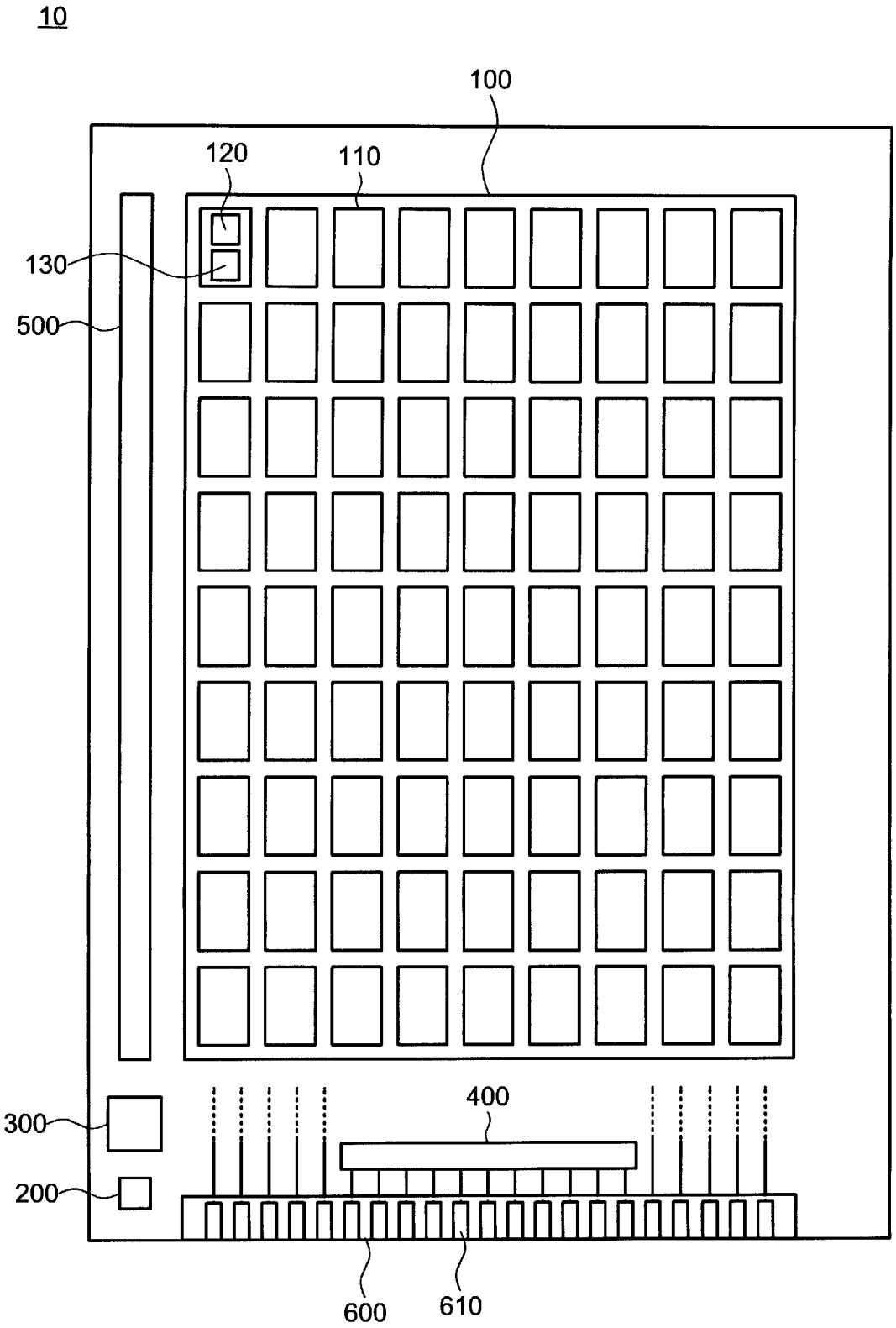
前記２ビットの一方のビットによる前記画素の階調は、前記第１のＬＥＤチップの発光または非発光によって制御され、

前記２ビットの他方のビットによる前記画素の階調は、前記第１のＬＥＤチップおよび前記第２のＬＥＤチップの両方の発光または非発光によって制御される、請求項１１に記載の表示装置。

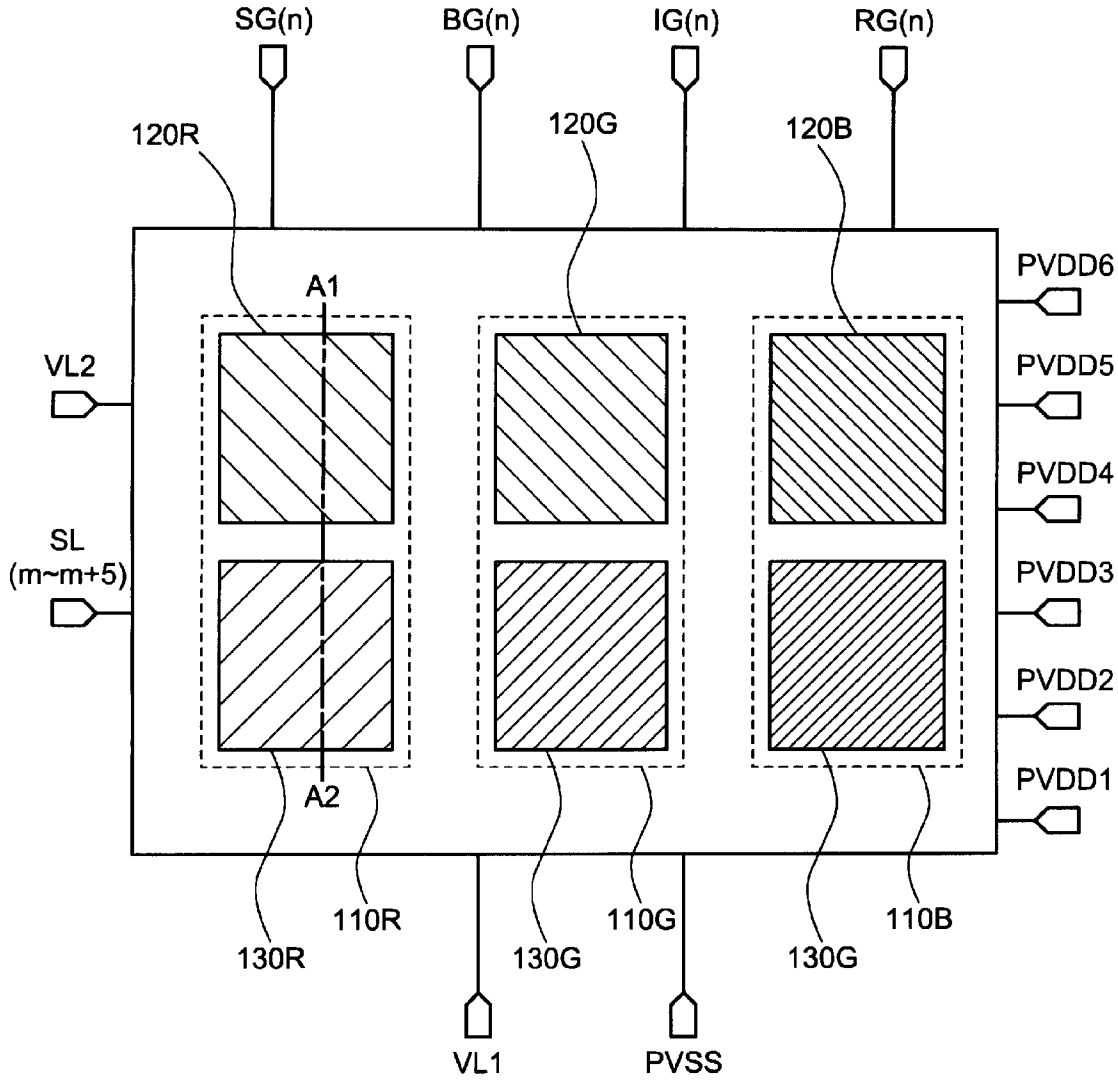
[請求項13] 前記第１のＬＥＤチップと前記第２のＬＥＤチップとは大きさが異なる、請求項１乃至請求項１０のいずれか一項に記載の表示装置。

[請求項14] 第１のＬＥＤチップと前記第２のＬＥＤチップとは、発光面積が異なる、請求項１乃至請求項１０のいずれか一項に記載の表示装置。

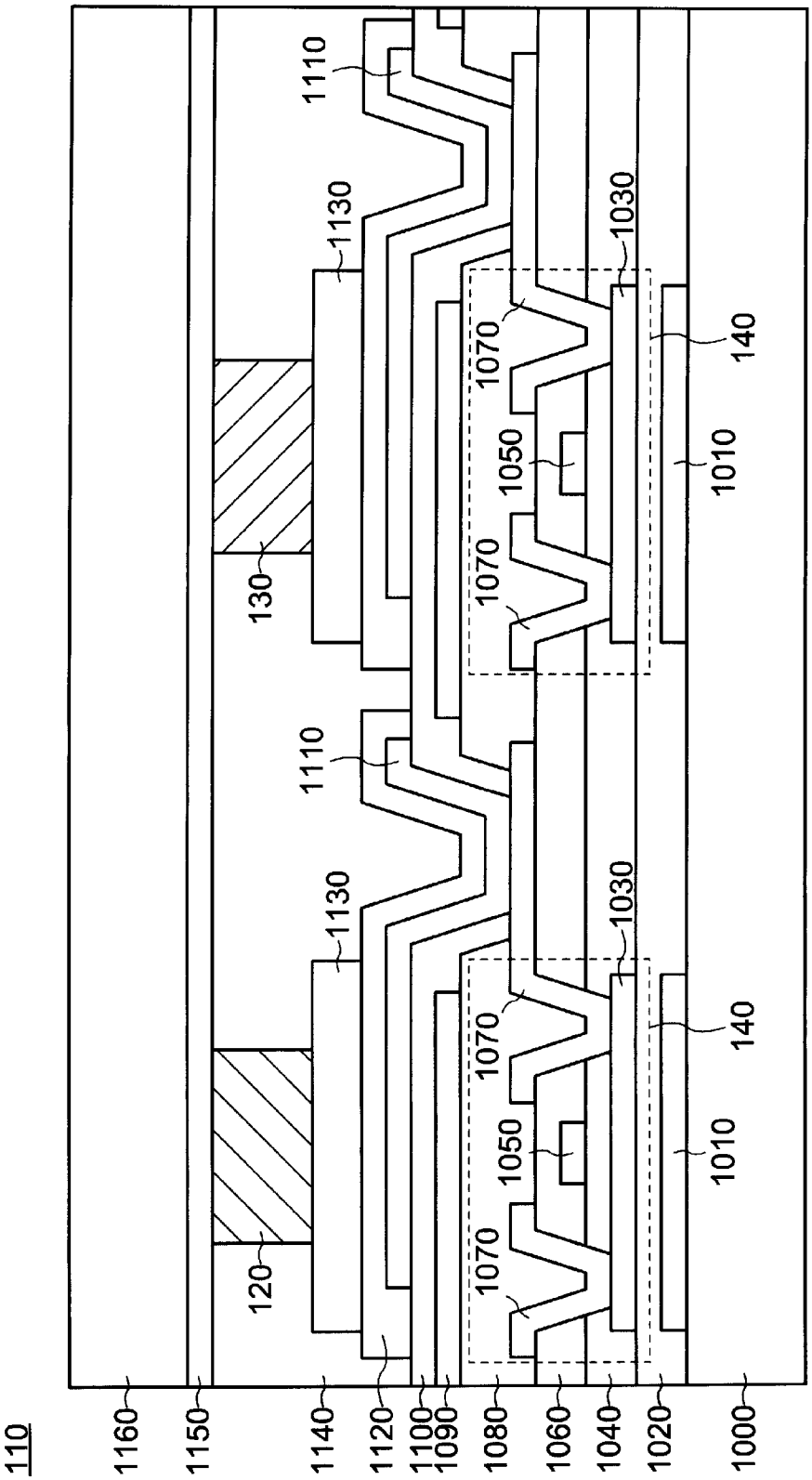
[図1]



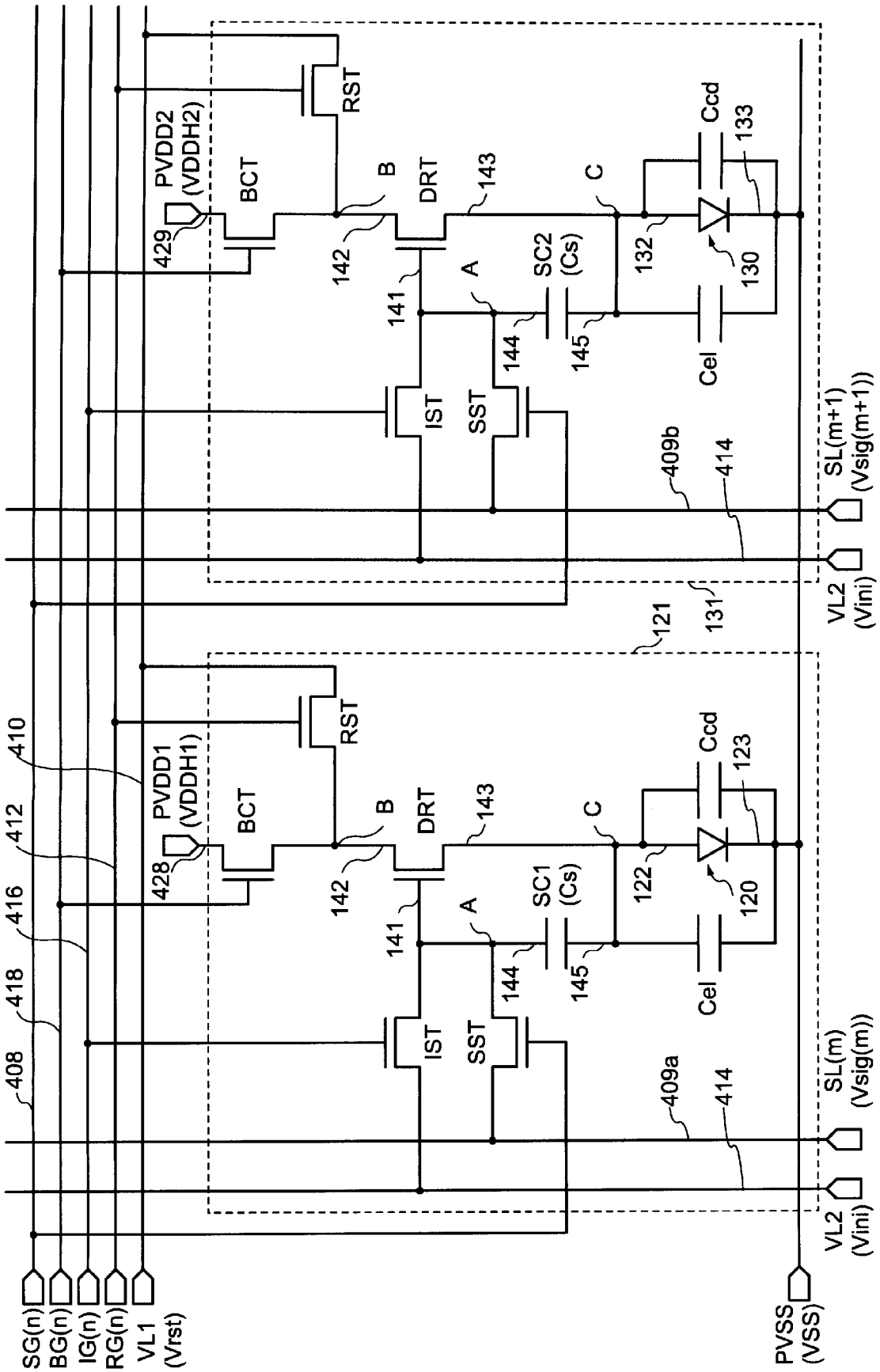
[図2]


SG(n)
BG(n)
IG(n)
RG(n)
120R
120G
120B
A1
A2
VL2
SL
(m~m+5)
PVDD6
PVDD5
PVDD4
PVDD3
PVDD2
PVDD1
130R
110R
130G
110G
130G
110B
VL1
PVSS

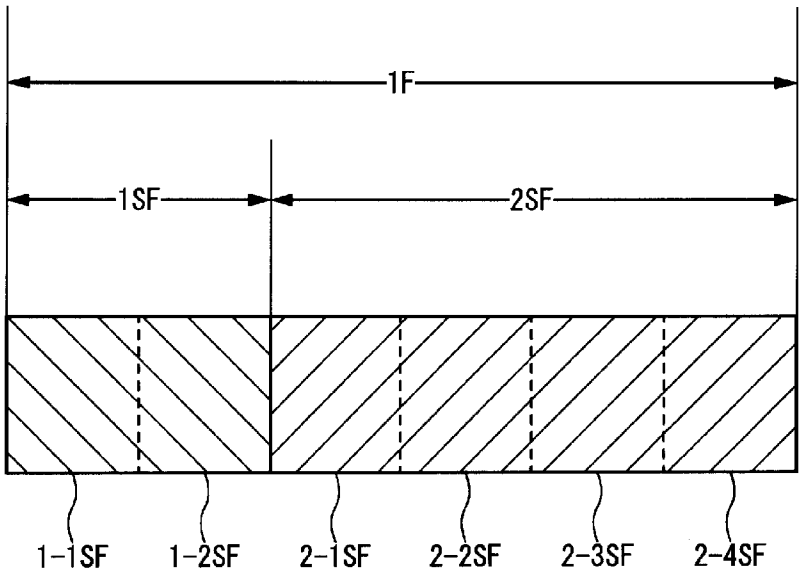
[図3]


110
1160
1150
1140
1120
1100
1090
1080
1060
1040
1020
1000
1110
1130
1030
1070
1050
1010
140
130
120

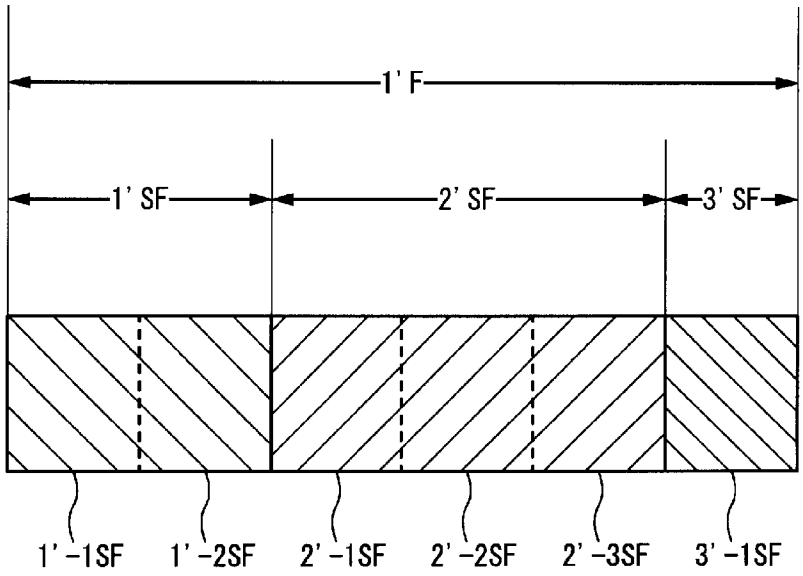
[図4]


SG(n)
BG(n)
IG(n)
RG(n)
VL1
(Vrst)
PVSS
(VSS)
VL2
(Vini)
SL(m)
(Vsig(m))
SL(m+1)
(Vsig(m+1))
PVDD1
(VDDH1)
PVDD2
(VDDH2)
RST
BCT
IST
SST
DRT
SC1
(Cs)
SC2
(Cs)
Cel
Ccd
A
B
C
120
121
122
123
130
131
132
133
141
142
143
144
145
408
409a
409b
410
412
414
416
418
428
429

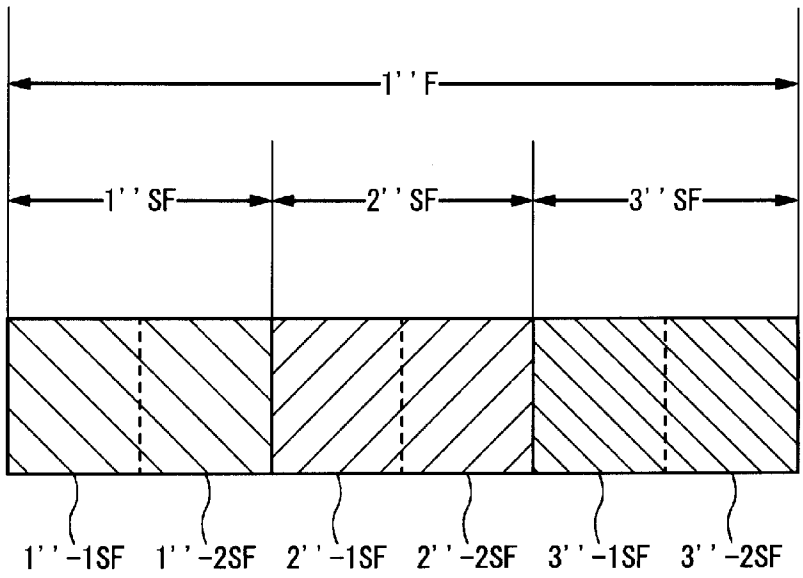
[図5]



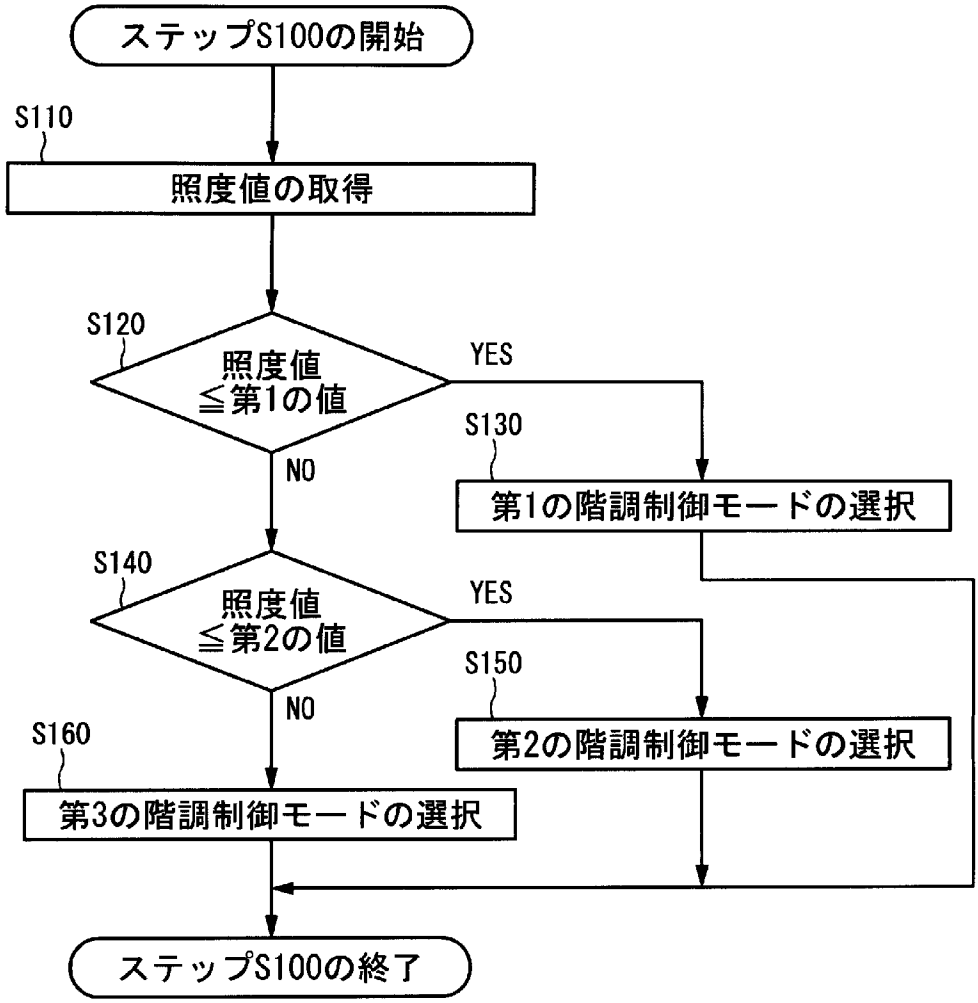
[図6]



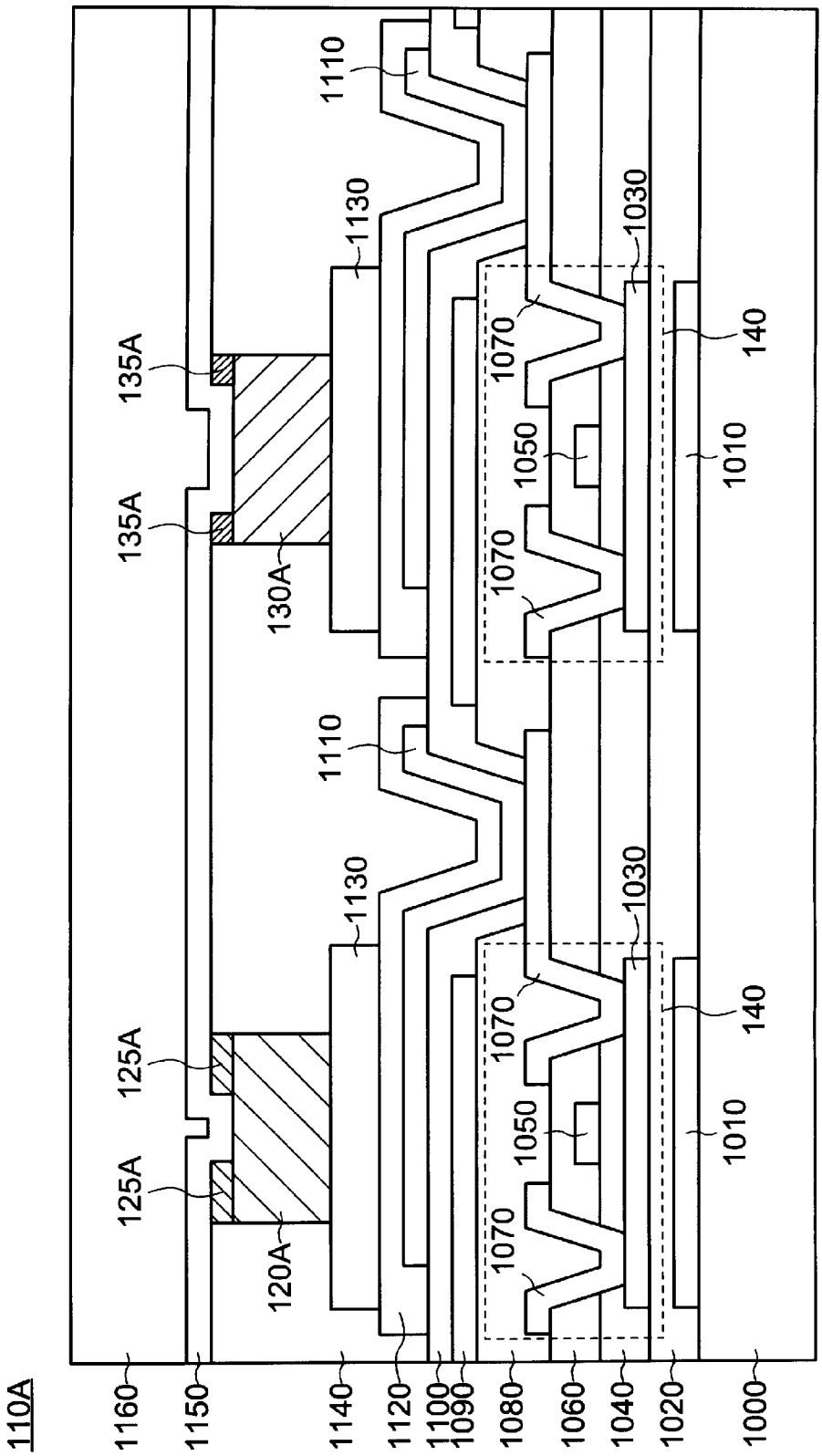
[図7]



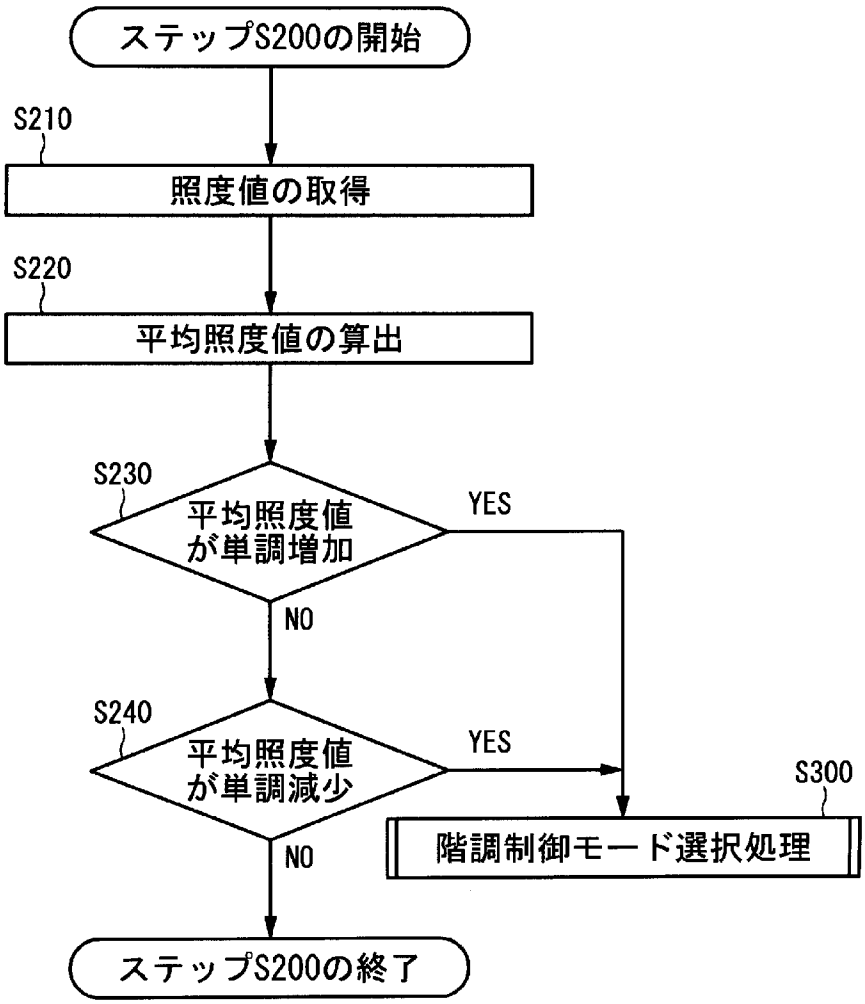
[図8]


ステップS100の開始
S110
照度値の取得
S120
照度値
≦第1の値
YES
NO
S130
第1の階調制御モードの選択
S140
照度値
≦第2の値
YES
NO
S150
第2の階調制御モードの選択
S160
第3の階調制御モードの選択
ステップS100の終了

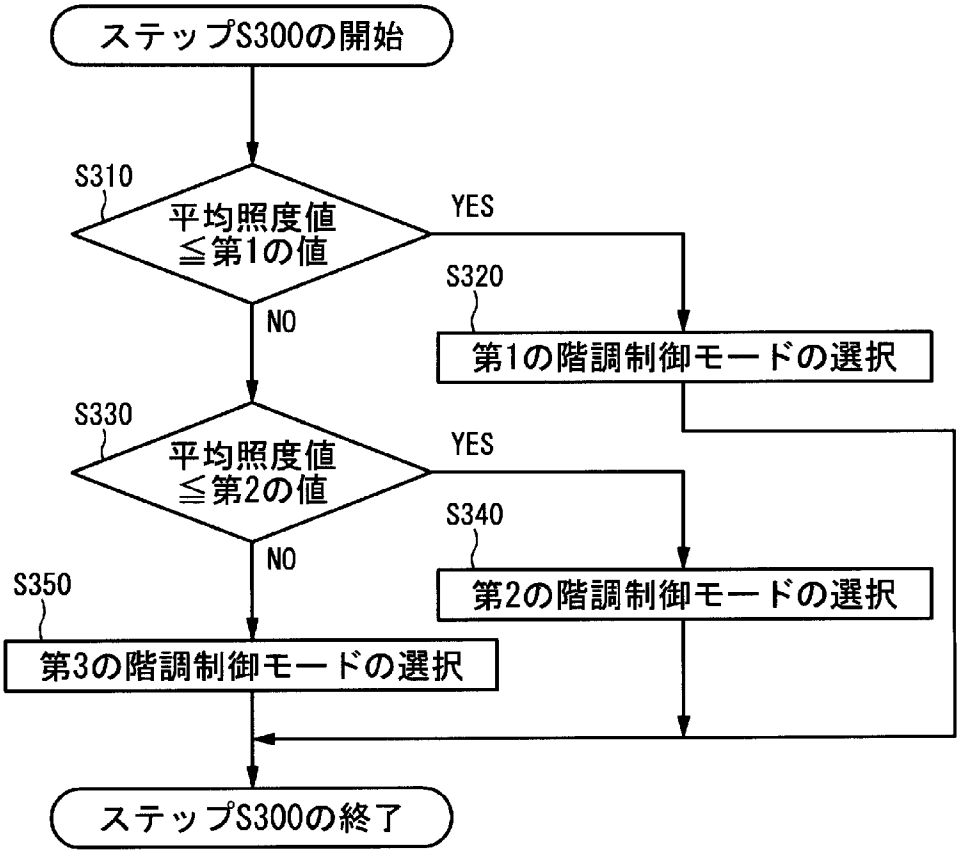
[図9]


110A
1160
1150
1140
1120
1100
1090
1080
1060
1040
1020
1000
1110
1130
1030
140
1070
1050
1010
135A
135A
130A
125A
125A
120A

[図10]


ステップS200の開始
S210
照度値の取得
S220
平均照度値の算出
S230
平均照度値が単調増加
YES
NO
S240
平均照度値が単調減少
YES
NO
S300
階調制御モード選択処理
ステップS200の終了

[図11]


ステップS300の開始
S310
平均照度値
≦第1の値
YES
NO
S320
第1の階調制御モードの選択
S330
平均照度値
≦第2の値
YES
NO
S340
第2の階調制御モードの選択
S350
第3の階調制御モードの選択
ステップS300の終了

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/045002

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20(2006.01)i; ***G09G 3/32***(2016.01)i; ***H01L 33/00***(2010.01)i; ***G09F 9/00***(2006.01)i; ***G09F 9/302***(2006.01)i; ***G09F 9/33***(2006.01)i

FI: G09G3/32 A; H01L33/00 L; G09F9/302 C; G09F9/33; G09F9/00 366G; G09G3/20 641E; G09G3/20 641G; G09G3/20 641K; G09G3/20 641D; G09G3/20 642F; G09G3/20 621K; G09G3/20 641S; G09G3/20 641T; G09G3/20 641A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/20; G09G3/32; H01L33/00; G09F9/00; G09F9/302; G09F9/33

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2022
Registered utility model specifications of Japan 1996-2022
Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 106652963 A (NANJING MAIZHIXINWEI PHOTOELECTRIC TECHNOLOGY CO., LTD.) 10 May 2017 (2017-05-10) entire text, all drawings	1-14
A	CN 111354299 A (TCL TECHNOLOGY GROUP CORPORATION) 30 June 2020 (2020-06-30) entire text, all drawings	1-14
A	EP 2624243 A1 (IGNIS INNOVATION INC.) 07 August 2013 (2013-08-07) entire text, all drawings	1-14
A	EP 2889865 A1 (LG DISPLAY CO., LTD.) 01 July 2015 (2015-07-01) entire text, all drawings	1-14

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
02 February 2022	**15 February 2022**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/045002

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN 106652963 A	10 May 2017	(Family: none)	
CN 111354299 A	30 June 2020	(Family: none)	
EP 2624243 A1	07 August 2013	CN 103247259 A	
EP 2889865 A1	01 July 2015	KR 10-2015-0078836 A	
		CN 104751780 A	

国際調査報告

国際出願番号
PCT/JP2021/045002

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

G09G 3/20(2006.01)i; G09G 3/32(2016.01)i; H01L 33/00(2010.01)i; G09F 9/00(2006.01)i; G09F 9/302(2006.01)i; G09F 9/33(2006.01)i
FI: G09G3/32 A; H01L33/00 L; G09F9/302 C; G09F9/33; G09F9/00 366G; G09G3/20 641E; G09G3/20 641G; G09G3/20 641K; G09G3/20 641D; G09G3/20 642F; G09G3/20 621K; G09G3/20 641S; G09G3/20 641T; G09G3/20 641A

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

G09G3/20; G09G3/32; H01L33/00; G09F9/00; G09F9/302; G09F9/33

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２２年
日本国実用新案登録公報	１９９６－２０２２年
日本国登録実用新案公報	１９９４－２０２２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	CN 106652963 A (NANJING MAIZHIXINWEI PHOTOELECTRIC TECHNOLOGY CO., LTD.) 10.05.2017 (2017-05-10) 全文全図	1-14
A	CN 111354299 A (TCL TECHNOLOGY GROUP CORPORATION) 30.06.2020 (2020-06-30) 全文全図	1-14
A	EP 2624243 A1 (IGNIS INNOVATION INC.) 07.08.2013 (2013-08-07) 全文全図	1-14
A	EP 2889865 A1 (LG DISPLAY CO., LTD.) 01.07.2015 (2015-07-01) 全文全図	1-14

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
02.02.2022	15.02.2022

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
斎藤　厚志 2I 5702
電話番号 03-3581-1101 内線 3273

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2021/045002

引用文献	公表日	パテントファミリー文献	公表日
CN 106652963 A	10.05.2017	（ファミリーなし）	
CN 111354299 A	30.06.2020	（ファミリーなし）	
EP 2624243 A1	07.08.2013	CN 103247259 A	
EP 2889865 A1	01.07.2015	KR 10-2015-0078836 A	
		CN 104751780 A	