

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-103445

(P2010-103445A)

(43) 公開日 平成22年5月6日(2010.5.6)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 S	5 F 0 3 3
HO 1 L 23/52 (2006.01)	HO 1 L 21/90 M	5 F 0 8 3
HO 1 L 21/768 (2006.01)	HO 1 L 27/10 4 3 4	5 F 1 0 1
HO 1 L 23/522 (2006.01)	HO 1 L 29/78 3 7 1	
HO 1 L 21/8247 (2006.01)		

審査請求 未請求 請求項の数 6 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2008-276056 (P2008-276056)
 (22) 出願日 平成20年10月27日 (2008.10.27)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100071526
 弁理士 平田 忠雄
 (74) 代理人 100099597
 弁理士 角田 賢二
 (74) 代理人 100124235
 弁理士 中村 恵子
 (74) 代理人 100124246
 弁理士 遠藤 和光
 (72) 発明者 市川 徹
 東京都港区芝浦一丁目1番1号 株式会社東芝内

最終頁に続く

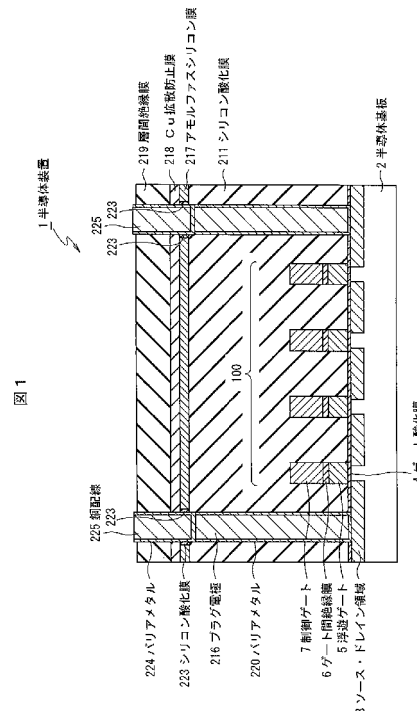
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】金属配線部から、金属が層間絶縁膜に拡散することを抑制するためのシリコン窒化膜等から窒素や水素が拡散することによる影響を軽減した信頼性の高い半導体装置及びその製造方法を提供する。

【解決手段】半導体基板 2 上に形成された半導体素子部 1 0 0 と、半導体素子部 1 0 0 の上部に形成された銅配線 2 2 5 と、半導体素子部 1 0 0 と銅配線 2 2 5 とを電氣的に接続するプラグ電極 2 1 6 と、このプラグ電極 2 1 6 が酸化しないようにするシリコン酸化膜 2 2 3 と、半導体素子部 1 0 0 の上部に形成されたアモルファスシリコン膜 2 1 7 と、アモルファスシリコン膜 2 1 7 の上部に形成された Cu 拡散防止膜 2 1 8 と、を有した半導体装置 1 とする。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

半導体基板上に形成された半導体素子部と、
前記半導体素子部の上部に形成された金属配線部と、
前記半導体素子部と前記金属配線部とを電氣的に接続するプラグ電極と、
前記半導体素子部の上部に形成されたアモルファスシリコン膜と、
前記アモルファスシリコン膜の上部に形成された金属拡散防止膜と、
を有することを特徴とする半導体装置。

【請求項 2】

前記アモルファスシリコン膜は、前記金属配線部又は前記プラグ電極と接することなく、その間に、シリコン酸化膜が形成されていることを特徴とする請求項 1 に記載の半導体装置。 10

【請求項 3】

前記金属拡散防止膜は、シリコン窒化膜、シリコン炭化膜、シリコン炭窒化膜、又はシリコン酸窒化膜であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

前記金属配線部は、銅を含む金属配線であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】

前記アモルファスシリコン膜は、膜厚が 1 nm 以上であることを特徴とする請求項 1 に記載の半導体装置。 20

【請求項 6】

半導体基板上に半導体素子部を形成する工程と、
前記半導体素子部の上部にアモルファスシリコン膜を形成する工程と、
前記アモルファスシリコン膜の上部に金属拡散防止膜を形成する工程と、
前記半導体素子部と電氣的に接続されるプラグ電極、及び、金属配線部を形成する工程と、前記アモルファスシリコン膜と前記プラグ電極または金属配線部が接することなく、その間に、シリコン酸化膜を形成する工程と、を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】 30

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に係り、特に、高い信頼性を要求される半導体装置及びその製造方法に関する。

【背景技術】

【0002】

近年の半導体装置の多層配線化に伴って、金属配線部の材料として銅 (Cu) が盛んに用いられるようになってきている。銅 (Cu) はアルミニウムと比較して低抵抗であり、エレクトロマイグレーション耐性が大きい等のメリットを有している。この銅配線はダマシン (Damascene) 法で形成される。ダマシン法は、配線溝やコンタクト孔を形成し、その配線溝やコンタクト孔にバリアメタルや銅膜を埋め込んだ後、不要な部分のバリアメタルや銅膜を除去する方法である。 40

【0003】

ここで、銅配線の銅元素は、金属配線層が形成されるシリコン酸化膜や low-k 膜と呼ばれる低誘電率の絶縁膜中に拡散しやすい。そのため絶縁膜中に拡散した銅元素は隣接した金属配線間のリーク電流を引き起こすおそれがある。また、銅元素が半導体基板表面に形成された素子へ拡散することによってデバイスの特性に不良を招くことも問題となっている。このため、銅配線と、この銅配線が形成される絶縁膜との間にバリアメタルが形成されている。しかし、バリアメタルは一般的に銅 (Cu) と比較して電気抵抗が高いため、バリアメタルの膜厚を厚くすると配線抵抗が上昇してしまう。そこで、配線抵抗の上 50

昇を抑え、さらに銅元素の半導体基板方向への拡散を抑制する構造が求められている。なお銅(Cu)以外の金属配線についても、絶縁膜中に拡散し金属配線間のリーク電流を引き起こすおそれがある。

【0004】

上記の問題に対して、例えば、シリコン窒化膜を層間絶縁膜及び金属配線が形成される絶縁膜中に形成することが提案されている(例えば、特許文献1参照)。この構成によれば、例えば、シリコン窒化膜により銅元素が層間絶縁膜に拡散することを抑制することができる。とされている。

【0005】

しかしシリコン窒化膜またはシリコン酸窒化膜を用いる場合、CVDにおける原料ガスにNH₃、SiH₄、O₂を一般的に用いる。原料ガスの分解過程において窒素や水素が発生し、ゲート酸化膜中へも拡散する。その際、ゲート酸化膜中の欠陥と結合し電荷トラップとなりNBTI(Negative Bias Temperature Instability)劣化を加速する原因となる。

10

【特許文献1】特開2002-373937号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明の目的は、金属配線部から、金属が層間絶縁膜に拡散することを抑制するためのシリコン窒化膜等から、窒素や水素が拡散することによる影響を軽減する。そのことにより信頼性の高い半導体装置及びその製造方法を提供することにある。

20

【課題を解決するための手段】

【0007】

本発明の一態様によれば、半導体基板上に形成された半導体素子部と、前記半導体素子部の上部に形成された金属配線部と、前記半導体素子部と前記金属配線部とを電気的に接続するプラグ電極と、前記半導体素子部の上部に形成されたアモルファスシリコン膜と、前記アモルファスシリコン膜の上部に形成された金属拡散防止膜と、を有することを特徴とする半導体装置を提供する。

【0008】

また、本発明の一態様によれば、半導体基板上に半導体素子部を形成する工程と、前記半導体素子部の上部にアモルファスシリコン膜を形成する工程と、前記アモルファスシリコン膜の上部に金属拡散防止膜を形成する工程と、前記半導体素子部と電気的に接続されるプラグ電極、及び、金属配線部を形成する工程と、前記アモルファスシリコン膜と前記プラグ電極または金属配線部が接することなく、その間にシリコン酸化膜が形成される工程と、を有することを特徴とする半導体装置の製造方法を提供する。

30

【発明の効果】

【0009】

本発明の実施の態様によれば、金属配線部から、金属が層間絶縁膜に拡散することを抑制するためのシリコン窒化膜等から、窒素や水素が拡散することによる影響を軽減する。そのことにより信頼性の高い半導体装置、及びその製造方法を提供することが可能となる。

40

【発明を実施するための最良の形態】

【0010】

(本発明の実施の形態)

(半導体装置1の構成)

本発明の実施の形態に係る半導体装置1として、一例としてNAND型フラッシュメモリを示す。但し、本発明の実施の形態に係る半導体装置1の半導体素子部は、例えば、MOSFET、MISFET等のトランジスタ等、種々のものに適用可能である。

【0011】

図1は、本発明の実施の形態に係る半導体装置1の断面図である。半導体装置1は、半

50

導体基板 2 上に形成された半導体素子部 1 0 0 と、半導体素子部 1 0 0 の上部に形成された銅配線 2 2 5 と、半導体素子部 1 0 0 と銅配線 2 2 5 とを電氣的に接続するプラグ電極 2 1 6 と、半導体素子部 1 0 0 の上部に形成されたアモルファスシリコン膜 2 1 7 と、アモルファスシリコン膜 2 1 7 の上部に形成された Cu (銅) 拡散防止膜 2 1 8 と、を有して構成されている。

【0012】

アモルファスシリコン膜 2 1 7 は、銅配線 2 2 5 又はプラグ電極 2 1 6 と接することなく、その間にシリコン酸化膜が形成されている。これにより、アモルファスシリコン膜 2 1 7 が銅配線 2 2 5 又はプラグ電極 2 1 6 から絶縁される。

【0013】

ここで、半導体素子部 1 0 0 は、NAND型フラッシュメモリの場合は、半導体基板 2 中に形成されたソース・ドレイン領域 3 と、半導体基板 2 上にゲート酸化膜 4 を介して形成された浮遊ゲート 5 と、浮遊ゲート 5 上にゲート間絶縁膜 6 を介して形成された制御ゲート 7 と、ソース・ドレイン領域 3 を共有する隣接メモリセル間 (それぞれ半導体基板 2 上にゲート酸化膜 4、浮遊ゲート 5、ゲート間絶縁膜 6 および制御ゲート 7 が積層される複数の積層ゲート構造相互間の隙間) に形成される層間絶縁膜であるシリコン酸化膜 2 1 1、とから概略構成されている。

【0014】

銅配線 2 2 5 には、銅 (Cu)、チタン銅、Al-Si-Cu、Al-Si 等が使用されても良い。また、プラグ電極 2 1 6 は、例えばタングステン、窒化チタン、タングステン・シリコン・ナイトライド等の導電性の金属材料が使用されても良い。

【0015】

Cu (銅) 拡散防止膜 2 1 8 は、シリコン窒化膜、シリコン炭化膜、シリコン炭窒化膜またはシリコン酸窒化膜が使用される。

【0016】

上記示した構成は、1層配線であるが、必要に応じて層間絶縁膜を介して多層構成とすることができ、多層配線の半導体装置 1 とできる。詳細な構成は、以下に半導体装置 1 の製造工程を示しながら説明する。

【0017】

(半導体装置 1 の製造)

図 2 A (a) ~ (c)、図 2 B (d), (e)、図 2 C (f), (g)、図 2 D (h), (i) は、本発明の実施の形態に係る半導体装置の製造工程を示す断面図である。

【0018】

図 2 A (a) は、半導体基板 2 上に NAND型フラッシュメモリのメモリセル領域、すなわち、半導体素子部 1 0 0 が形成された断面図である。この図 2 A (a) に至る工程は、次のようである。

【0019】

まず、半導体基板 2 上にゲート酸化膜 4 となる第 1 の絶縁膜および浮遊ゲート 5 となる第 1 の半導体膜を積層する。次に、第 1 の半導体膜、第 1 の絶縁膜を貫通して半導体基板 2 内に至るまで溝を形成し、その溝内に図示しない素子領域を形成する。次に、第 1 の半導体膜および図示しない素子分離領域上にゲート間絶縁膜 6 となる第 2 の絶縁膜および制御ゲート 7 となる第 2 の半導体膜を積層する。

【0020】

ここで、第 2 の半導体膜は、多結晶 Si 等の Si 系多結晶からなる。また、P、B 等の不純物を含んだ Si 系多結晶であってもよい。第 1 の絶縁膜および第 2 の絶縁膜は、熱酸化法、CVD (Chemical Vapor Deposition) 法、LPCVD (Low-Pressure CVD) 法等により形成される。第 1 の半導体膜および第 2 の半導体膜は、LPCVD 法等により形成される。

【0021】

フォトリソグラフィ法および RIE (Reactive Ion Etching) 法等を用いて、第 2 の半

10

20

30

40

50

導体膜、第2の絶縁膜、第1の半導体膜および第1の絶縁膜をパターンングすることにより、制御ゲート7、ゲート間絶縁膜6、浮遊ゲート5、ゲート酸化膜4、およびソース・ドレイン領域3を形成する。

【0022】

ソース・ドレイン領域3は、制御ゲート7、ゲート間絶縁膜6、浮遊ゲート5、およびゲート酸化膜4を形成した後、イオン注入法等により、得られた積層ゲート構造と自己整合的に露出した半導体基板2表面に導電型不純物を注入し、注入した不純物を熱処理により活性化することにより形成される(図2A(a))。

【0023】

次に、図2A(b)に示すように、半導体基板2上にメモリセル領域を形成後、層間絶縁膜としてシリコン酸化膜211、例えばTEOS(Tetra Ethyl Ortho Silicate)をCVD(Chemical Vapor Deposition)法で全面に形成する。シリコン酸化膜211の厚さは、例えば0.5 μ m~5 μ mである。このシリコン酸化膜211は後の加工精度を保つためCMP(Chemical Mechanical Polishing)法により平坦化されることが好ましい。

10

【0024】

次に、図2A(c)に示すように、シリコン酸化膜211上全面にフォトレジストを塗布し、この塗布したフォトレジストをフォトリソグラフィーにより露光、現像して、シリコン酸化膜211上にフォトレジストパターンを形成する。このフォトレジストパターンをマスクにしてシリコン酸化膜211をRIE(Reactive Ion Etching)法にて加工し、シリコン酸化膜211にフォトレジストパターンのパターンを転写して接続孔パターンを形成する。この後、フォトレジストパターンを剥離して、接続孔214が完成する。接続孔214の深さは、例えばメモリセル領域のゲート、ソース、ドレイン領域まで達する。

20

【0025】

図2B(d)に示すように、接続孔214の表面を被覆するように全面にバリアメタル220を形成した後、金属材料215を例えばスパッタ法等の物理成膜法およびCVD法等の化学成膜方法のどちらかを用いて埋め込む。金属材料215の材料としては、例えばタングステン、窒化チタン、タングステン・シリコン・ナイトライド等があげられ、導電性材料を用いる。

【0026】

次に、図2B(e)に示すように、CMP法により接続孔214の上部、シリコン酸化膜211上部の余分な金属材料215を除去すると同時に平坦化する事によりプラグ電極216とする。このときシリコン酸化膜211の研磨速度が金属材料215の研磨速度に比べて十分に遅くなる条件で金属材料をCMPする事により接続孔214の外部の余剰な金属材料215を除去する。プラグ電極216は、メモリセル領域のゲート、ソース、ドレイン領域と上部配線を電氣的に接続する電極となる。

30

【0027】

次に、図2C(f)に示すように、シリコン酸化膜211、プラグ電極216上部全面にCVD(Chemical Vapor Deposition)法によりアモルファスシリコン膜217を成膜する。アモルファスシリコン膜217は、1nm以上の膜厚に形成するのが好ましい。次に、例えばPCVD(Plasma Chemical Vapor Deposition)法により、Cu(銅)拡散防止膜218として、シリコン窒化膜、シリコン炭化膜、シリコン炭窒化膜またはシリコン酸窒化膜を例えば10nm~100nm成膜する。さらにその上に、層間絶縁膜219、例えばTEOSをCVD法成膜する。層間絶縁膜219の膜厚は例えば0.05 μ m~3 μ mである。

40

【0028】

次に、図2C(g)に示すように、配線溝222を形成する。層間絶縁膜219上全面にフォトレジストを塗布し、フォトレジストをフォトリソグラフィーにより露光、現像して、上記層間絶縁膜219上にフォトレジストパターンを形成する。このフォトレジストパターンをマスクにして層間絶縁膜219、Cu(銅)拡散防止膜218、アモルファスシリコン膜217をRIE法にて加工し、層間絶縁膜219、Cu(銅)拡散防止膜21

50

8, アモルファスシリコン膜 217 にフォトレジストパターンのパターンを転写して、プラグ電極 216 まで達する配線溝 222 を形成する。その後、フォトレジストパターンを剥離する。

【0029】

次に、図 2D (h) に示すように、アモルファスシリコン膜 217 の一部を、プラグ電極 216 が酸化しないように、選択熱酸化法等によりシリコン酸化膜 223 として配線溝 222 が完成する。このシリコン酸化膜 223 が形成される領域は、銅配線 225 又はプラグ電極 216 と接触する部分である。

【0030】

次に、図 2D (i) に示すように、例えばスパッタ法等の物理成膜法、又は CVD 法等の化学成膜方法により、配線溝 222 の表面を被覆するように全面にバリアメタル 224 を形成する。バリアメタル 224 の厚さは、例えば 3 nm ~ 50 nm である。バリアメタル 224 の材料としては、例えばニオブやタンタル等の金属、窒化チタン、タングステン・シリコン・ナイトライド等の合金などがあげられ、導電性材料を用いる。

10

【0031】

次に、バリアメタル 224 の形成後、電解めっき法により銅を配線溝 222 の内部に埋め込むように全面に形成し、CMP 法により層間絶縁膜 219 上の余剰な銅、及びバリアメタル 224 を除去すると共に平坦化して銅配線 225 が形成され、図 1 に示したような 1 層配線の工程が終了する。尚、バリアメタルの研磨速度が銅の研磨速度に比べて十分に遅くなる条件で銅を CMP する事により配線溝の外部の余剰な銅を除去する。また、バリアメタル 224 は銅の成長の促進や銅配線 225 の周囲への拡散の防止などの目的を有している。

20

【0032】

必要に応じて、全面に層間絶縁膜、例えば TEOS を CVD 法で成膜し、同様の工程により、プラグ電極と配線形成プロセスを必要な回数繰り返すことにより多層配線が完成する。

【0033】

(半導体装置 1 の作用、効果)

半導体装置に銅配線を使用する場合、銅元素がシリコン酸化膜(層間絶縁膜)へ拡散するのを防止するためシリコン窒化膜やシリコン酸窒化膜等の Cu 拡散防止膜が設けられている。

30

しかし、このシリコン窒化膜やシリコン酸窒化膜等を用いる場合、CVD における原料ガスに NH_3 、 SiH_4 、 O_2 を一般的に用いる。原料ガスの分解過程において窒素や水素が発生し、ゲート酸化膜中へも拡散する。その際、ゲート酸化膜中の欠陥と結合し電荷トラップとなり NBTI (Negative Bias Temperature Instability) 劣化を加速する。

本発明の実施の形態に係る半導体装置 1 は、Cu 拡散防止膜 218 の下層(半導体素子部側)にアモルファスシリコン膜 217 を設けているので、上記示した窒素や水素が半導体素子部側に拡散するのを効果的に抑制できる。

【0034】

図 3 は、アモルファスシリコン膜 217 の膜厚とシリコン酸化膜 211 中における窒素の関係を示す。縦軸は、1 立方センチ当たりの窒素原子数を表している。すなわち、アモルファスシリコン膜 217 の下層絶縁膜であるシリコン酸化膜 211 中における窒素の拡散度合いを表している。横軸はアモルファスシリコン膜厚 (nm) を表している。アモルファスシリコン膜厚が厚くなるとシリコン酸化膜 211 中における窒素が減少する様子が分る。アモルファスシリコン膜厚を 1 nm 以上とする事で、効果的に窒素拡散を抑制することが出来る。

40

【0035】

また、アモルファスシリコン膜 217 は、銅配線 225 又はプラグ電極 216 と接することなく、その間にシリコン酸化膜 223 が形成されている。これにより、アモルファスシリコン膜 217 が銅配線 225 又はプラグ電極 216 から確実に絶縁され、信頼性の高

50

い半導体装置 1 が可能となる。

【 0 0 3 6 】

尚、本発明は上記示した実施の形態に限定されるものではない。例えば、上記の実施の形態では、銅配線 2 2 5 下のシリコン窒化膜、シリコン炭化膜、シリコン炭窒化膜またはシリコン酸窒化膜等の Cu 拡散防止膜 2 1 8 下にアモルファスシリコン膜 2 1 7 を全面に成膜する構造の場合について説明したが、Cu 拡散防止膜 2 1 8 下とアモルファスシリコン膜 2 1 7 の間に層間絶縁膜があってもかまわない。また Cu 拡散防止膜 2 1 8 は、アモルファスシリコン膜 2 1 7 を全面に成膜し、500 以下のラジカル窒化処理により、アモルファスシリコン膜 2 1 7 上部をシリコン窒化膜にする製法であってもかまわない。また最下層の銅配線に用いる場合について説明しているが、繰り返し用いられる銅配線に用いてもかまわない。また銅配線とプラグ電極 2 1 6 を同一に溝加工し、後からバリアメタル、銅配線を埋め込むデュアルダマシンプロセスの場合にも適応できる。また多層配線最上層に水分や不純物をブロックするためにシリコン窒化膜、シリコン炭化膜、シリコン炭窒化膜またはシリコン酸窒化膜等が用いられている下にアモルファスシリコン膜 2 1 7 を全面に成膜する構造でもかまわない。

10

【 図面の簡単な説明 】

【 0 0 3 7 】

【 図 1 】 図 1 は、本発明の実施の形態に係る半導体装置 1 の断面図である。

【 図 2 A 】 図 2 A (a) ~ (c) は、本発明の実施の形態に係る半導体装置の製造工程を示す断面図である。

20

【 図 2 B 】 図 2 B (d) , (e) は、本発明の実施の形態に係る半導体装置の製造工程を示す断面図である。

【 図 2 C 】 図 2 C (f) , (g) は、本発明の実施の形態に係る半導体装置の製造工程を示す断面図である。

【 図 2 D 】 図 2 D (h) , (i) は、本発明の実施の形態に係る半導体装置の製造工程を示す断面図である。

【 図 3 】 図 3 は、アモルファスシリコン膜 2 1 7 の膜厚とシリコン酸化膜 2 1 1 中における窒素の関係を示す。

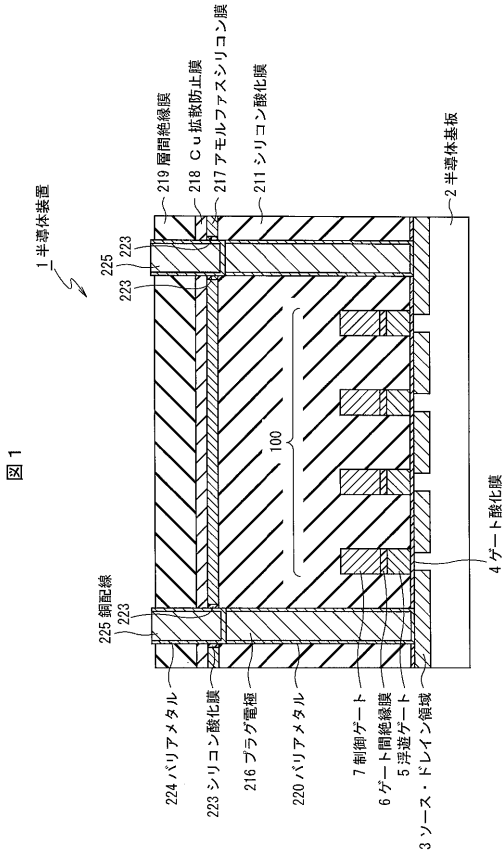
【 符号の説明 】

【 0 0 3 8 】

1 ... 半導体装置、 2 ... 半導体基板、 3 ... ソース・ドレイン領域、 4 ... ゲート酸化膜、 5 ... 浮遊ゲート、 6 ... ゲート間絶縁膜、 7 ... 制御ゲート、 1 0 0 ... 半導体素子部、 2 1 1 ... シリコン酸化膜、 2 1 4 ... 接続孔、 2 1 5 ... 金属材、 2 1 6 ... プラグ電極、 2 1 7 ... アモルファスシリコン膜、 2 1 8 ... Cu 拡散防止膜、 2 1 9 ... 層間絶縁膜、 2 2 0 ... バリアメタル、 2 2 2 ... 配線溝、 2 2 3 ... シリコン酸化膜、 2 2 4 ... バリアメタル、 2 2 5 ... 銅配線

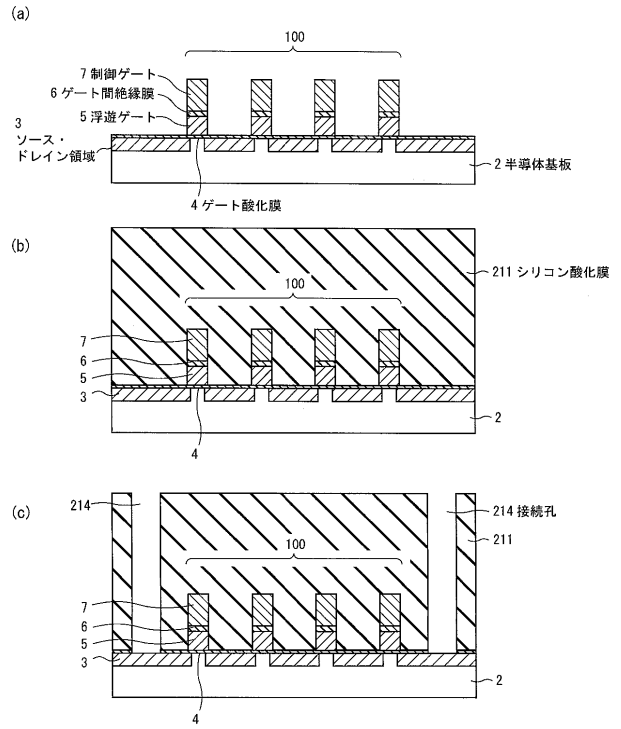
30

【 図 1 】



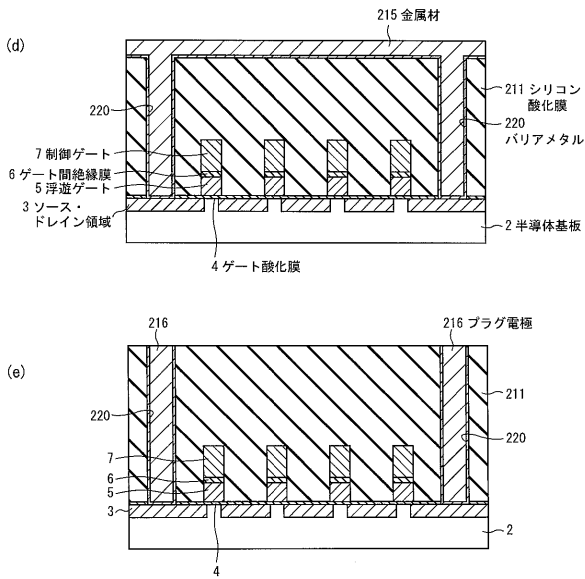
【 図 2 A 】

図 2 A



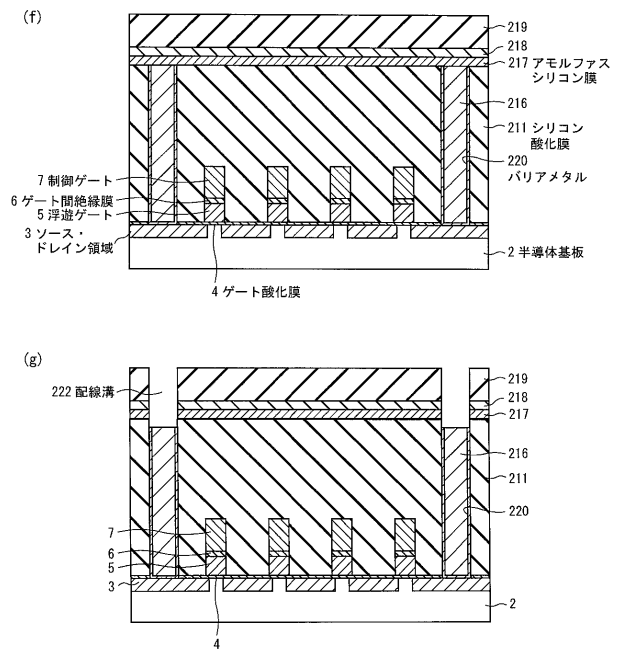
【 図 2 B 】

図 2 B



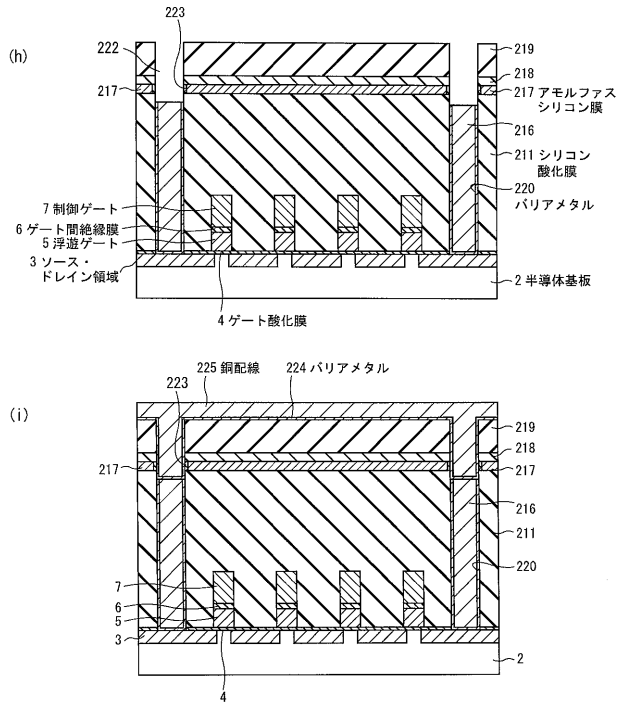
【 図 2 C 】

図 2 C



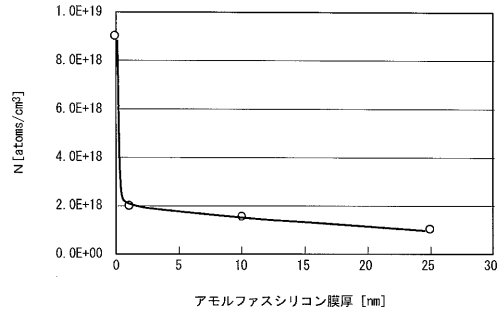
【 図 2 D 】

図 2 D



【 図 3 】

図 3



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 27/115 (2006.01)
H 0 1 L 29/788 (2006.01)
H 0 1 L 29/792 (2006.01)

(72)発明者 赤堀 浩史
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 竹内 和歌子
東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5F033 HH05 HH09 HH11 HH12 HH17 HH21 HH28 HH33 HH34 JJ19
JJ28 JJ33 JJ34 KK01 MM01 MM02 MM12 MM13 NN06 NN07
PP06 PP15 PP27 QQ09 QQ13 QQ38 QQ48 QQ77 QQ78 RR01
RR04 RR06 RR08 SS04 SS11 SS15 VV01 VV16 WW02 XX28
5F083 EP02 EP23 EP76 JA33 JA37 JA39 JA40 MA06 MA19
5F101 BA01 BB05 BD34