



## (12) 发明专利申请

(10) 申请公布号 CN 103493374 A

(43) 申请公布日 2014.01.01

(21) 申请号 201280017874.7

代理人 吕俊刚 刘久亮

(22) 申请日 2012.03.22

(51) Int. Cl.

(30) 优先权数据

H03K 17/687(2006.01)

13/085,648 2011.04.13 US

НОЗК 17/74 (2006. 01)

(85) PCT国际申请进入国家阶段日

2013. 10. 11

(86) PCT国际申请的申请数据

PCT/US2012/030045 2012. 03. 22

### (87) PCT国际申请的公布数据

W02012/141859 EN 2012. 10. 18

(71) 申请人 PI 公司

地址 美国加利福尼亚州

(72)发明人 N·斯普林格特

(74) 专利代理机构 北京三友知识产权代理有限公司

公司 11127

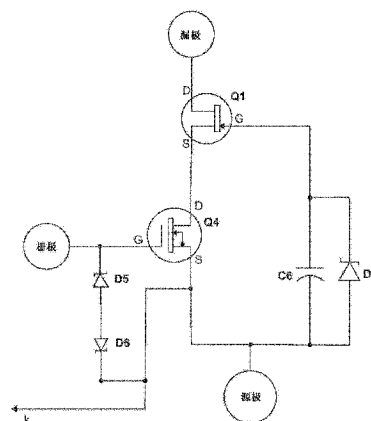
权利要求书3页 说明书8页 附图17页

## (54) 发明名称

包括常闭和常开器件的共源共栅开关以及包括这样的开关的电路

(57) 摘要

描述了包括共源共栅布置的常闭半导体器件和常开半导体器件的开关。开关包括连接在常开器件的栅极与常闭器件的源极之间的电容器。开关还可以包括与电容器并行地连接在常开器件的栅极与常闭器件的源极之间的齐纳二极管。开关还可以包括反向串行布置在常闭器件的栅极与源极之间的一对齐纳二极管。还描述了包括多个常开和 / 或多个常闭器件的开关。常开器件能够是诸如 SiC JFET 的 JFET。常闭器件能够是诸如 Si MOSFET 的 MOSFET。常开器件能够是高电压器件并且常闭器件能够是低电压器件。还描述了包括开关的电路。



1. 一种开关,所述开关包括:

第一常开半导体器件,所述第一常开半导体器件包括栅极、源极和漏极;

第一常闭半导体器件,所述第一常闭半导体器件包括栅极、源极和漏极;

第一电容器;以及

第一二极管;

其中,所述第一常开半导体器件的源极连接到所述第一常闭半导体器件的漏极;

其中,所述第一常开半导体器件的栅极经由第一电容器连接到所述第一常闭半导体器件的源极;并且

其中,所述第一二极管与所述第一电容器并行地连接在所述第一常开半导体器件的栅极与所述第一常闭半导体器件的源极之间,其中,所述第一二极管的阴极连接到所述第一常开半导体器件的栅极并且所述第一二极管的阳极连接到所述第一常闭半导体器件的源极。

2. 根据权利要求1所述的开关,其中,所述第一二极管是第一齐纳二极管。

3. 根据权利要求2所述的开关,其中,所述第一齐纳二极管具有15-25V的齐纳电压。

4. 根据权利要求1所述的开关,所述开关进一步包括第二齐纳二极管和第三齐纳二极管,所述第二齐纳二极管和所述第三齐纳二极管反向串行连接在所述第一常闭半导体器件的栅极与源极之间。

5. 根据权利要求1所述的开关,所述开关进一步包括第一二极管和第二二极管,所述第一二极管和所述第二二极管彼此并行地连接在所述第一常开半导体器件的漏极与所述第一常闭半导体器件的源极之间,使得所述第一二极管和所述第二二极管中的每一个的阴极连接到所述第一常开半导体器件的漏极。

6. 根据权利要求1所述的开关,所述开关进一步包括二极管和电阻器,所述二极管和所述电阻器串行连接在所述第一常闭半导体器件的栅极与所述第一电容器和所述第一常开半导体器件的栅极之间的电连接之间,其中,所述二极管的阳极连接到所述第一常闭半导体器件的栅极。

7. 根据权利要求1所述的开关,所述开关进一步包括电阻器和二极管,所述电阻器和所述二极管彼此并行地并且与所述第一电容器串行地布置在所述第一常开半导体器件的栅极与所述第一电容器之间。

8. 根据权利要求7所述的开关,其中,所述二极管的阴极连接到所述第一常开半导体器件的栅极。

9. 根据权利要求7所述的开关,其中,所述二极管的阳极连接到所述第一常开半导体器件的栅极。

10. 根据权利要求1所述的开关,所述开关进一步包括电阻器和第二电容器,所述电阻器和所述第二电容器串行地布置在所述第一常闭半导体器件的栅极与所述第一常开半导体器件的漏极之间。

11. 根据权利要求1所述的开关,其中,所述第一常开半导体器件是高电压器件。

12. 根据权利要求1所述的开关,其中,所述第一常开半导体器件是结型场效应晶体管。

13. 根据权利要求1所述的开关,其中,所述第一常开半导体器件是SiC结型场效应晶

体管。

14. 根据权利要求 1 所述的开关,其中,所述第一常闭半导体器件是低电压器件。

15. 根据权利要求 1 所述的开关,其中,所述第一常闭半导体器件是金属氧化物半导体场效应晶体管。

16. 根据权利要求 1 所述的开关,其中,所述第一常闭半导体器件是 Si 金属氧化物半导体场效应晶体管。

17. 根据权利要求 1 所述的开关,其中:

所述开关进一步包括一个或多个额外的常开半导体器件;

所述一个或多个额外的常开半导体器件中的每一个的漏极连接到所述第一常开半导体器件的漏极;

所述一个或多个额外的常开半导体器件中的每一个的源极连接到所述第一常闭半导体器件的漏极;并且

所述第一常开半导体器件的栅极连接到所述一个或多个额外的常开半导体器件中的每一个的栅极以形成公共栅极,并且其中,所述公共栅极经由所述第一电容器连接到所述第二常闭半导体器件的源极。

18. 根据权利要求 1 所述的开关,其中:

所述电路进一步包括一个或多个额外的常开半导体器件;

所述一个或多个额外的常开半导体器件中的每一个的漏极连接到所述第一常开半导体器件的漏极;

所述一个或多个额外的常开半导体器件中的每一个的源极连接到所述第一常闭半导体器件的漏极;并且

所述一个或多个额外的常开半导体器件的栅极中的每一个经由电容器连接到所述第二常闭半导体器件的源极。

19. 根据权利要求 1 所述的开关,其中:

所述电路进一步包括一个或多个额外的常开半导体器件和一个或多个额外的常闭半导体器件;

所述一个或多个额外的常开半导体器件中的每一个的漏极连接到所述第一常开半导体器件的漏极;

所述一个或多个额外的常开半导体器件中的每一个的栅极连接到所述第一常开半导体器件的栅极以形成公共栅极,并且其中,所述公共栅极经由所述第一电容器连接到所述第一常闭半导体器件的源极;

所述一个或多个额外的常开半导体器件中的每一个的源极连接到所述一个或多个额外的常闭半导体器件中的单独的一个的漏极;

所述一个或多个额外的常闭半导体器件中的每一个的源极连接到所述第一常闭半导体器件的源极;并且

所述一个或多个额外的常闭半导体器件中的每一个的栅极连接到所述第一常闭半导体器件的栅极。

20. 根据权利要求 1 所述的开关,其中,所述第一电容器具有 1000-100000nF 的电容。

21. 根据权利要求 1 所述的开关,其中,所述第一电容器具有 2200-6800pF 的电容。

22. 根据权利要求 1 所述的开关,其中,所述第一电容器具有至少 25V 的额定电压。

23. 根据权利要求 1 所述的开关,其中,所述第一常开半导体器件是宽带隙结型场效应晶体管。

24. 根据权利要求 1 所述的开关,所述开关进一步包括 DC 电压源,其中,所述 DC 电压源适于将 DC 偏置提供给所述第一电容器。

25. 根据权利要求 24 所述的开关,所述开关进一步包括二极管和电阻器,所述二极管和电阻器串行连接在所述 DC 电压源与所述第一电容器和所述第一常开半导体器件的栅极之间的连接之间,其中,所述二极管的阳极连接到所述第一常闭半导体器件的栅极。

26. 根据权利要求 6 所述的开关,所述开关进一步包括 DC 电压源,所述 DC 电压源连接到所述常闭半导体器件的栅极,其中,所述 DC 电压源适于将 DC 偏置:

经由串行连接在所述第一常闭半导体器件的栅极与所述第一电容器和所述第一常开半导体器件的栅极之间的连接之间的所述二极管和所述电阻器提供到所述第一电容器;以及

提供到所述常闭半导体器件的栅极。

27. 一种电路,所述电路包括根据权利要求 1 所述的开关。

## 包括常闭和常开器件的共源共栅开关以及包括这样的开关的电路

[0001] 这里所使用的章节标题仅用于组织目的并且不应理解为以任何方式限制这里描述的内容。

### 技术领域

[0002] 本申请一般地涉及半导体器件,并且更具体地,涉及包括共源共栅布置的常闭器件和常开高电压器件的开关和包括这样的开关的电路。

### 背景技术

[0003] 常常被称为“共源共栅”的源极开关电路是包括常闭选通器件和常开高电压器件的复合电路使得该组合用作常闭功率半导体器件。器件具有三个外部端子:源极、栅极和漏极。选通器件能够是低电压功率半导体器件,其能够利用小的驱动信号快速地切换。该选通器件能够是低电压场效应晶体管,其漏极端子连接到高电压常开器件的源极端子。在控制器件的栅极上添加保护器件能够用于简化布局并且增强器件可靠性。复合电路适合于封装为用于替代晶体管的三端子器件。

[0004] 在美国专利 No. 4664547、美国专利 No. 7719055、美国专利 No. 6822842B2、美国专利 No. 655050B2 和美国专利 No. 6633195B2 中公开了共源共栅电路。

[0005] 然而,仍然需要具有低切换损耗并且改进了对于切换速度的控制的共源共栅开关器件。

### 发明内容

[0006] 提供了一种开关,其包括:

[0007] 第一常开半导体器件,其包括栅极、源极和漏极;

[0008] 第一常闭半导体器件,其包括栅极、源极和漏极;

[0009] 其中,第一常开半导体器件的源极连接到第一常闭半导体器件的漏极;并且

[0010] 其中,第一常开半导体器件的栅极经由第一电容器连接到第一常闭半导体器件的源极。

[0011] 还提供了一种电路,其包括如上所述的开关。

[0012] 这里阐述本教导的这些和其它特征。

### 附图说明

[0013] 本领域技术人员将理解的是,下面描述的附图仅用于示出目的。附图不意在以任何方式限制本教导的范围。

[0014] 图 1A 是包括共源共栅布置的常闭器件 Q4 和常开器件 Q1 的开关的示意图,其中,电容器 C6 和齐纳二极管 D3 彼此并行地连接在常闭器件的源极与常开器件的栅极之间并且一对齐纳二极管 D5 和 D6 反向串行连接在常闭器件的栅极与源极之间。

[0015] 图 1B 是图 1A 中阐述的开关的示意图,其还包括彼此并行地连接在常闭器件 Q4 的源极与常开器件 Q1 的漏极之间的一对二极管 D1,其中,二极管 D1 的阴极连接到常开器件的漏极。

[0016] 图 1C 是图 1A 中阐述的开关的示意图,其还包括连接在常闭器件 Q4 两端的电容器 C7 和齐纳二极管 D7。

[0017] 图 2A 是图 1A 中阐述的开关,其还包括串行连接在常闭器件 Q4 的栅极与电容器 C6 和常开器件 Q1 的栅极之间的电连接之间的二极管 D2 和电阻器 R1。

[0018] 图 2B 是图 1A 中阐述的开关,其还包括经由串行的二极管 D2 和电阻器 R1 连接到电容器 C6 与常开器件 Q1 的栅极之间的电连接的 DC 电源。

[0019] 图 3 是包括以共源共栅布置连接的常闭器件 Q4 和常开器件 Q1 的开关的示意图,其中,电容器 C6 和齐纳二极管 D3 被示出为彼此并行地连接在常闭器件 Q4 的源极与常开器件 Q1 的栅极之间,并且其中,电阻器 R100 和二极管 D100 也被示出为彼此并行地并且与电容器 C6 和齐纳二极管 D3 串行地连接在电容器 C6 和齐纳二极管 D3 与常开器件 Q1 的栅极之间,并且其中,齐纳二极管 D3 和二极管 D100 的阴极都连接到常开器件的栅极。

[0020] 图 4 是包括以共源共栅布置连接的常闭器件 Q4 和常开器件 Q1 的开关的示意图,其中电容器 C6 和齐纳二极管 D3 被示出为彼此并行地连接在常闭器件 Q4 的源极与常开器件 Q1 的栅极之间,并且其中,电阻器 R100 和二极管 D101 还示出为彼此并行地并且与电容器 C6 和齐纳二极管 D3 串行地连接在电容器 C6 和齐纳二极管 D3 与常开器件的栅极之间,并且其中,齐纳二极管 D3 的阴极和二极管 D101 的阳极连接到常开器件 Q1 的栅极。

[0021] 图 5 是图 1A 中阐述的开关的示意图,其还包括串行连接在常闭器件 Q4 的栅极与常开器件 Q1 的漏极之间的电阻器 R200 和电容器 C200。

[0022] 图 6 是开关的示意图,该开关包括具有栅极、源极和漏极的单个常闭器件 Q4 和均具有栅极、源极和漏极的多个常开器件  $Q1_1-Q1_n$ ,其中,单个电容器 C6 和单个齐纳二极管 D3 被示出为彼此并行地连接在常闭器件 Q4 的源极与常开器件  $Q1_1-Q1_n$  的公共栅极之间。

[0023] 图 7 是开关的示意图,该开关包括具有栅极、源极和漏极的单个常闭器件 Q4 和均具有栅极、源极和漏极的多个常开器件  $Q1_1-Q1_n$ ,其中,各电容器  $C6_1-C6_n$  和齐纳二极管  $D3_1-D3_n$  彼此并行地连接在常闭器件 Q4 的源极与各常开器件  $Q1_1-Q1_n$  的栅极之间。

[0024] 图 8 是开关的示意图,该开关包括均具有栅极、源极和漏极的多个常闭器件  $Q4_n$  和均具有栅极、源极和漏极的多个常开器件  $Q1_n$ ,其中,单个电容器 C6 和单个齐纳二极管 D3 被示出为彼此并行地连接在常闭器件的公共源极与常开器件的公共栅极之间。

[0025] 图 9 是开关的示意图,该开关包括具有栅极、源极和漏极的单个常闭器件 Q4 和划分为均具有栅极、源极和漏极的第一组  $Q1_1-Q1_n$  (示出了  $Q1_1$  和  $Q1_2$ )和第二组  $Q2_1-Q2_n$  (示出了  $Q2_1$  和  $Q2_2$ )的多个常开器件,其中,第一电容器  $C6_1$  和第一齐纳二极管  $D3_1$  被示出为彼此并行地连接在常闭器件的源极与第一组一个或多个常开器件  $Q1_1-Q1_n$  的公共栅极之间,并且其中,第二电容器  $C6_2$  和第二齐纳二极管  $D3_2$  被示出为彼此并行地连接在常闭器件的源极与第二组一个或多个常开器件  $Q2_1-Q2_n$  的公共栅极之间,并且其中,二极管 D2 和电阻器  $R1_1$  被示出为串行地连接在常闭器件 Q4 的栅极与第一电容器  $C6_1$  和第一组常开器件  $Q1_1-Q1_n$  的公共栅极之间的电连接之间,并且其中,二极管 D2 和电阻器  $R1_2$  被示出为串行地连接在常闭器件 Q4 的栅极与第二电容器  $C6_2$  和第二组常开器件  $Q2_1-Q2_n$  的公共栅极之间的电连接之

间。

[0026] 图 10A 和图 10B 是示出操作期间的图 1B 的器件中的各点处的电压的示意图,其中,在图 10A 中示出了接通的器件,并且在图 10B 中示出了断开之后的器件。

[0027] 图 11A- 图 11C 示出了如图 1B 中所示的开关的开关波形。

### 具体实施方式

[0028] 为了解释本发明的目的,这里使用“或”表示“和 / 或”,除非另有所述,或者除非使用“和 / 或”是不恰当的。这里使用“包括”不意在是限制性的。此外,一个或多个实施方式的描述使用词语“包括”,本领域技术人员将理解的是,在一些特定情况下,实施方式能够使用表述“基本上由...构成”和 / 或“由...构成”来替代使用“包括”。还应理解的是,在一些实施方式中,步骤的顺序或者执行某些动作的顺序是不重要的,只要本教导仍然是可操作的。此外,在一些实施方式中,能够同时进行两个或更多步骤或动作。

[0029] 描述包括共源共栅布置的常闭器件和常开高电压器件的开关。开关包括连接在常开(例如,高电压)器件的栅极与常闭(例如,低压)器件的源极之间的电容器。电容器能够用于回收栅极电荷并且简化开关转换速度的控制。特别地,在关闭转换期间在 Miller(即,栅-漏)电容中传输的电荷能够用于提供下一接通时段所要求的电荷。该电荷存储在连接在常开器件的栅极与常闭器件的源极之间的电容器中。通过选择电容器的电容值,能够限定开关速度并且切换速度准独立于开关电流。这允许更好的 EMI(电磁干扰)控制而无需使用抑制电气振荡的大的无源元件(被称为阻尼器)。电容器的添加是对于其中没有回收电荷并且使用其它技术来控制切换速度的传统共源共栅电路的显著改进。此外,这里所描述的电容的使用是几乎无损耗的并且要求最少的组件。

[0030] 如这里使用的,“常开”表示在没有栅极偏置的情况下传导电流并且要求栅极偏置来阻挡电流流动的器件。如这里使用的,“常闭”表示在没有栅极偏置的情况下阻挡电流并且当施加栅极偏置的情况下传导电流的器件。如这里使用的,“高电压”是 100 伏特以上的电压并且“低压”是小于 100 伏特(例如,20-50V)的电压。

[0031] 如这里使用的,电路的“连接到”电路中的另一组件或点或者连接在电路中的两个组件或点之间的组件能够直接或间接地连接到电路中的其它组件或点。如果连接中没有插入组件,则该组件直接连接到电路中的另一组件或点,并且如果连接中存在一个或多个插入组件,则该组件间接地连接到电路中的另一组件或点。如果电路中的第一组件或点被描述为经由第三组件连接到电路中的第二组件或点,则该第三组件电连接在电路中的第一组件或点与电路中的第三组件或点之间。电路中的第一组件或点以及第三组件能够直接或间接地连接在一起。类似地,电路中的第二组件或点和第三组件能够直接或间接地连接在一起。

[0032] 描述源极切换(即,共源共栅)构造的包括连接在常闭器件的源极与常开器件的栅极之间的电容器的若干开关。在图 1A 中示出了根据一些实施方式的开关。图 1A 是包括共源共栅布置的具有栅极、源极和漏极的常闭器件 Q4 和具有栅极、源极和漏极的常开器件 Q1 的开关的示意图,其中,电容器 C6 和二极管 D3 被示出为并行地连接在常闭器件的源极与常开器件的栅极之间。虽然在图 1A 中示出了齐纳二极管 D3,但是也可以使用其它类型的二极管。如图 1A 中所示,齐纳二极管 D3 的阴极连接到常开器件的栅极。齐纳二极管 D3 能够防

止常开器件的栅极电压为负同时还防止常开器件的栅极电压过高(这会强制常闭器件变为雪崩)。在图 1A 中,“k”表示到常闭器件 Q4 的源极的开尔文连接。开尔文连接是可选的,并且能够在高功率应用中使用。

[0033] 如图 1A 中所示,一对齐纳二极管 D5 和 D6 反向串行连接在常闭器件的栅极与源极之间。图 1A 中所示的齐纳二极管 D5 和 D6 是能够用于防止 Q4 的栅极超过操作限制的可选的箝位二极管。例如,齐纳二极管 D5 和 D6 能够防止由于杂散电感和高  $di/dt$  产生的峰值电压导致的对于低压开关器件 Q4 (例如, Si MOSFET 或 SiC JFET) 的损害。图 1A 中所示的二极管 D5 和 D6 能够在这里所描述的任何实施方式中使用。

[0034] 常开器件 Q1 能够是高电压(例如, 100V 以上)常开场效应晶体管。常闭器件 Q4 能够是低电压(例如, < 100V)常闭晶体管。

[0035] 图 1B 是进一步包括彼此并行地连接在常闭器件的源极与常开器件的漏极之间使得二极管 D1 的阴极连接到常开器件的漏极的一对二极管 D1 的开关的示意图。二极管 D1 是可选的。图 1B 中所示的二极管 D1 能够在这里所描述的任何实施方式中使用。二极管能够减少开关用作同步整流器时的传导损耗。在图 1B 中,“k”表示到常闭器件 Q4 的源极的开尔文连接。开尔文连接是可选的,并且能够在高功率应用中使用。虽然在图 1B 中示出了齐纳二极管 D3,但是也可以使用其它类型的二极管。

[0036] 根据输出电容的比率,电容器和 / 或齐纳二极管能够被添加到开关中的常闭器件的两端。图 1C 是开关的示意图,该开关进一步包括连接在常闭器件 Q4 两端的电容器 C7 和齐纳二极管 D7。齐纳二极管 D7 能够在漏极电压过高时减少常闭器件的雪崩能量。电容器 C7 能够减缓关闭。图 1C 中所示的电容器和 / 或齐纳二极管能够在这里所描述的任何实施方式中使用。在图 1C 中,“k”表示到常闭器件 Q4 的源极的开尔文连接。开尔文连接是可选的,并且能够在高功率应用中使用。虽然在图 1C 中示出了齐纳二极管 D3,但是也可以使用其它类型的二极管。

[0037] 这里描述的开关能够与具有各种增强特性的单个封装组合地使用以进一步改变切换速度并减少导通损耗。根据一些实施方式,能够通过从栅极驱动器或从 DC 电源向电容器 C6 添加较小的 DC 偏置来减小导通损耗。在图 2A 中示出了从栅极驱动器向电容器 C6 添加 DC 偏置的实施方式。如图 2A 中所示,二极管 D2 和电阻器 R1 串行地连接在常闭器件的栅极与电容器 C6 和常开器件的栅极之间的电连接之间。图 2A 中所示的二极管 D2 和电阻器 R1 能够在这里所描述的任何实施方式中使用。在图 2A 中,“k”表示到常闭器件 Q4 的源极的开尔文连接。开尔文连接是可选的,并且能够在高功率应用中使用。虽然在图 2A 中示出了齐纳二极管 D3,但是也可以使用其它类型的二极管。

[0038] 图 2B 中示出了从 DC 电源向电容器 C6 添加 DC 偏置的实施方式。如图 2B 中所示,DC 电源经由串行的二极管 D2 和电阻器 R1 连接到电容器 C6 与常开器件 Q1 的栅极之间的电连接。图 2B 中所示的 DC 电源、二极管 D2 和电阻器 R1 能够在这里所描述的任何实施方式中使用。在图 2B 中,“k”表示到常闭器件 Q4 的源极的开尔文连接。开尔文连接是可选的,并且能够在高功率应用中使用。虽然在图 2B 中示出了齐纳二极管 D3,但是也可以使用其它类型的二极管。

[0039] 图 3 是包括以共源共栅布置连接的具有栅极、源极和漏极的常闭器件 Q4 和具有栅极、源极和漏极的常开器件 Q1 的开关的示意图。如图 3 中所示,电容器 C6 和二极管 D3 被

示出为彼此并行地连接在常闭器件 Q4 的源极与常开器件 Q1 的栅极之间。虽然图 3 中示出了齐纳二极管 D3,但是也可以使用其它类型的二极管。如图 3 中所示,电阻器 R100 和二极管 D100 示出为彼此并行地并且与电容器 C6 和齐纳二极管 D3 串行地连接在电容器 C6 和齐纳二极管 D3 与常开器件的栅极之间。而且,如图 3 中所示,齐纳二极管 D3 和二极管 D100 的阴极都连接到常开器件的栅极。该布置能够用于加速开关的接通。在图 3 中还示出了可选的箝位二极管 D5 和 D6。图 3 中所示的电阻器 R100 和二极管 D100 能够在这里所描述的任何实施方式中使用。在图 3 中,“k”表示到常闭器件 Q4 的源极的开尔文连接。开尔文连接是可选的,并且能够在高功率应用中使用。

[0040] 图 4 是包括以共源共栅布置连接的具有栅极、源极和漏极的常闭器件 Q4 和具有栅极、源极和漏极的常开器件 Q1 的开关的示意图,其中电容器 C6 和二极管 D3 被示出为彼此并行地连接在常闭器件 Q4 的源极与常开器件 Q1 的栅极之间。虽然在图 4 中示出了齐纳二极管 D3,但是也可以使用其它类型的二极管。如图 4 中所示,电阻器 R100 和二极管 D101 也示出为彼此并行地并且与电容器 C6 和齐纳二极管 D3 串行地连接在电容器 C6 和齐纳二极管 D3 与常开器件的栅极之间。而且,如图 4 中所示,齐纳二极管 D3 的阴极和二极管 D101 的阳极连接到常开器件的栅极。该布置能够用于加速开关的断开。在图 4 中还示出了可选的箝位二极管 D5 和 D6。图 4 中所示的电阻器 R100 和二极管 D100 能够在这里所描述的任何实施方式中使用。在图 4 中,“k”表示到常闭器件 Q4 的源极的开尔文连接。开尔文连接是可选的,并且能够在高功率应用中使用。

[0041] 图 5 是图 1A 中阐述的开关的示意图,其还包括串行连接在常闭器件的栅极与常开器件的漏极之间的电阻器 R200 和电容器 C200。电容器 C200 能够用于控制开关的切换速度。在图 5 中还示出了可选的箝位二极管 D5 和 D6。图 5 中所示的串行地连接在常闭器件的栅极与常开器件的漏极之间的电阻器 R200 和电容器 C200 能够在这里描述的任何实施方式中使用。在图 5 中,“k”表示到常闭器件 Q4 的源极的开尔文连接。开尔文连接是可选的,并且能够在高功率应用中使用。虽然在图 5 中示出了齐纳二极管 D3,但是也可以使用其它类型的二极管。

[0042] 还提供了包括多个常开器件和单个或多个常闭器件的开关。在图 6-图 9 中示出了包括多个常开器件和单个或多个常闭器件的实施方式的示意图,并且在下面进行描述。虽然在这些图中示出了齐纳二极管 D3,但是也可以使用其它类型的二极管。

[0043] 图 6 是开关的示意图,该开关包括具有栅极、源极和漏极的单个常闭器件 Q4 和均具有栅极、源极和漏极的多个常开器件  $Q1_1-Q1_n$ ,其中,常开器件  $Q1_1-Q1_n$  的栅极连接在一起以形成公共栅极,并且其中,单个电容器 C6 和单个齐纳二极管 D3 被示出为彼此并行地连接在常闭器件 Q4 的源极与常开器件  $Q1_1-Q1_n$  的公共栅极之间。在图 6 中,二极管 D1 被示出为彼此并行地连接在常闭器件 Q4 的源极与常开器件  $Q1_1-Q1_n$  的公共漏极之间。二极管 D1 是可选的。在图 6 中还示出了可选的箝位二极管 D5 和 D6。在图 6 中,“k”表示到常闭器件 Q4 的源极的开尔文连接。开尔文连接是可选的,并且能够在高功率应用中使用。

[0044] 图 7 是开关的示意图,该开关包括具有栅极、源极和漏极的单个常闭器件 Q4 和均具有栅极、源极和漏极的多个常开器件  $Q1_1-Q1_n$ ,其中,各电容器  $C6_n$  和齐纳二极管  $D3_n$  被示出为彼此并行地连接在常闭器件 Q4 的源极与各常开器件  $Q1_1-Q1_n$  的栅极之间。在图 7 中,二极管 D1 被示出为彼此并行地连接在常闭器件 Q4 的源极与常开器件  $Q1_1-Q1_n$  的公共漏极

之间。二极管 D1 是可选的。在图 7 中还示出了可选的箝位二极管 D5 和 D6。在图 7 中，“k”表示到常闭器件 Q4 的源极的开尔文连接。开尔文连接是可选的，并且能够在高功率应用中使用。

[0045] 图 8 是开关的示意图，该开关包括均具有栅极、源极和漏极的多个常闭器件  $Q_{4_1}$ - $Q_{4_n}$  和均具有栅极、源极和漏极的多个常开器件  $Q_{1_1}$ - $Q_{1_n}$ 。如图 8 中所示，常开器件  $Q_{1_1}$ - $Q_{1_n}$  的栅极连接在一起以形成公共栅极。如图 8 中所示，常闭器件  $Q_{4_1}$ - $Q_{4_n}$  的栅极连接在一起以形成公共栅极，常闭器件  $Q_{4_1}$ - $Q_{4_n}$  的源极连接在一起以形成公共源极，并且各常闭器件  $Q_{4_1}$ - $Q_{4_n}$  的漏极连接到多个常开器件中的一个的源极。而且，如图 8 中所示，单个电容器 C6 和单个齐纳二极管 D3 彼此并行地连接在常闭器件的公共源极与常开器件的公共栅极之间。在图 8 中，二极管 D1 被示出为彼此并行地连接在常闭器件  $Q_{4_1}$ - $Q_{4_n}$  的公共源极与常开器件  $Q_{1_1}$ - $Q_{1_n}$  的公共漏极之间。二极管 D1 是可选的。在图 8 中还示出了可选的箝位二极管 D5 和 D6。

[0046] 图 9 是开关的示意图，该开关包括具有栅极、源极和漏极的单个常闭器件 Q4 和均具有栅极、源极和漏极的两组常开器件  $Q_{1_1}$ - $Q_{1_n}$  和  $Q_{2_1}$ - $Q_{2_n}$ 。如图 9 中所示，第一组常开器件  $Q_{1_1}$  和  $Q_{1_2}$  的栅极连接在一起以形成用于第一组常开器件的公共栅极并且第二组常开器件  $Q_{2_1}$  和  $Q_{2_2}$  的栅极连接在一起以形成用于第二组常开器件的公共栅极。而且，如图 9 中所示，第一电容器  $C_{6_1}$  和第一齐纳二极管  $D_{3_1}$  被示出为彼此并行地连接在常闭器件的源极与第一组常开器件的公共栅极之间，并且第二电容器  $C_{6_2}$  和第二齐纳二极管  $D_{3_2}$  被示出为彼此并行地连接在常闭器件的源极与第二组常开器件的公共栅极之间。而且，如图 9 中所示，二极管 D2 和电阻器  $R_{1_1}$  被示出为串行地连接在常闭器件的栅极与第一组常开器件的公共栅极之间，并且，二极管 D2 和电阻器  $R_{1_2}$  被示出为串行地连接在常闭器件的栅极与第二组常开器件的公共栅极之间。二极管 D2 和电阻器  $R_{1_1}$  和  $R_{1_2}$  是可选的。在图 9 中还示出了可选的箝位二极管 D5 和 D6。在图 9 中，“k”表示到常闭器件 Q4 的源极的开尔文连接。开尔文连接是可选的，并且能够在高功率应用中使用。

[0047] 由于电路仅具有三个端子，因此其能够被安装并且封装为三端子器件并且用于替代单个晶体管。

[0048] 根据一些实施方式，常开器件 Q1 能够是诸如高电压 JFET（例如，SiC JFET）的高电压器件。常开器件进行高功率开关。高电压器件能够具有大于 100V 的额定电压。根据一些实施方式，常开器件能够是如美国专利 No. 6767783（其通过引用整体并入这里）中公开的 SiC JFET。适合的商业上可用的常开器件是符合标准 SJDP120R085 的由 SemiSouth Laboratories, Inc. 制造的 1200V 常开 SiC JFET。

[0049] 根据一些实施方式，Q4 能够是低压开关器件，其示例性的非限制示例是 SiMOSFET。低电压器件能够具有小于 100V 的额定电压。示例性低电压器件具有大约 40V（例如，38-42V）的额定电压和常开器件 Q1 的电阻的 5%-10% 的  $R_{ds}$ 。该器件的切换允许主开关导通。

[0050] 连接在常开器件的栅极与常闭器件的源极之间的电容器 C6 用于在主开关的栅漏电容中再循环电荷。能够选择电容器的电容值以提供具有想要的开关速度的开关。根据一些实施方式，电容器 C6 能够具有 1000-100000nF 的电容值。根据一些实施方式，电容器 C6 能够具有 2200-6800pF 的电容值。

[0051] 与电容器 C6 并行地连接在常开器件的栅极与常闭器件的源极之间的齐纳二极管 D3 通常具有大约 20V (例如, 18-22V) 的阻断电压。齐纳二极管 D3 能够防止常开器件 Q1 的栅极为负, 从而其不能够被接通。齐纳二极管 D3 还能够防止常开器件 Q1 的栅极由于雪崩或泄漏电流而过高, 从而 Q4 不会出现雪崩。

[0052] 在常闭器件 Q4 的栅极和源极之间反向串联的齐纳二极管 D5 和 D6 是箝位二极管, 其能够防止 Q4 的栅极由于例如杂散电感和高  $di/dt$  导致的高峰值电压而超过制造限制。二极管 D5 和 D6 是可选的。

[0053] 二极管 D1 是可选的反向导通二极管。在低开关频率的一些应用中, 与同步整流器性能 Q4/Q1 相比, 使用额外的二极管可以降低导通损耗。

[0054] 图 10A 和图 10B 是示出操作期间的器件中的各点处的电压的示意图。如图 10A 和图 10B 中所示, Q4 的源极升高直到达到常开器件的阈值并且不再有电流流过。结果, 没有发生切换。在图 10A 中示出了接通的器件。如图 10A 中所示, Q4 的栅极为高 (10V) 并且 Q4 的漏极为低 (0V), 并且结果, 常开器件 Q1 导通。在接通转换期间, C6 放电 Q4 的漏栅电容, 从而其变为负, 但是由齐纳二极管 D3 箝位。

[0055] 在图 10B 中示出了断开之后的器件。如图 10B 中所示, 常闭器件 Q4 的栅极变为零, 常开器件 Q1 导通并且升高常闭器件 Q4 的漏极, Q1 的漏栅电容提升电容器 C6, 并且最大电压由 D3 箝位。

[0056] 在这里描述的开关中, 接通转换期间的常闭器件 Q4 的栅极电荷来自加速接通的电容器 C6。电容器 C6 在断开期间被充电。特别地, 在断开之后, 常开器件 Q1 的漏栅电容提升电容器 C6 的电压。

[0057] 电容器 C6 的电容值能够变化以影响切换行为。例如, C6 的较小的电容将提供更快接通, 但是较慢的断开。常开器件的电容  $C_{ds}$  能够用于对 Q4 输出电容进行充电。

[0058] 还提供了包括上述开关的电路。开关能够在采用开关晶体管的任何应用中使用。示例性电路包括诸如降压、升压、前馈、半桥和 Cuk 的电源。

[0059] 实验

[0060] 能够通过参考下面的示例进一步理解本发明的实践, 这些示例仅是示出的目的并且不意在限制本发明。

[0061] 制造并且测试这里描述的开关。开关包括单个常开器件和单个常闭器件, 并且具有如图 1B 中所示的构造。常开器件 Q1 是 SiC JFET。常闭器件是 Si MOSFET。在开关中使用的电容器 C6 具有 4700pF 的电容。开关中使用的齐纳二极管 D3、D5 和 D6 均具有 18V 的齐纳电压。开关还包括一对二极管 D1, 如图 1B 中所示。

[0062] 图 11A-图 11C 示出了开关的切换波形。图 11A 是断开的开关的切换波形。图 11B 是接通的开关的切换波形。在图 11A-图 11C 中, 51 是在常开器件的漏极 (即, 共源共栅漏极) 处测量的电压, 52 是在常开器件的源极处测量的电压, 53 是在常开器件的栅极处测量的电压, 并且 54 是在常闭器件的漏极 (即, 共源共栅源极) 处测量的电压。测量的  $di/dt$  是  $\sim 2A/nS$  但是所使用的探针是 100MHz 探针, 因此  $di/dt$  的实际值能够更快。

[0063] 如图 11A-图 11C 中所示, 常闭器件的栅极由于常开器件 Q1 的接通而变高 (例如, 10V)。在接通期间, C6 的电压落到零并且将电流提供给常闭器件 Q4 的栅极, 补偿 Q4 的漏栅电容。这加速了开关的接通。

[0064] 虽然前述说明利用示出目的的示例教导了本发明的原理,但是本领域技术人员通过阅读本公开理解的是,在不偏离本发明的真实范围的情况下,能够对形式和细节进行各种改变。

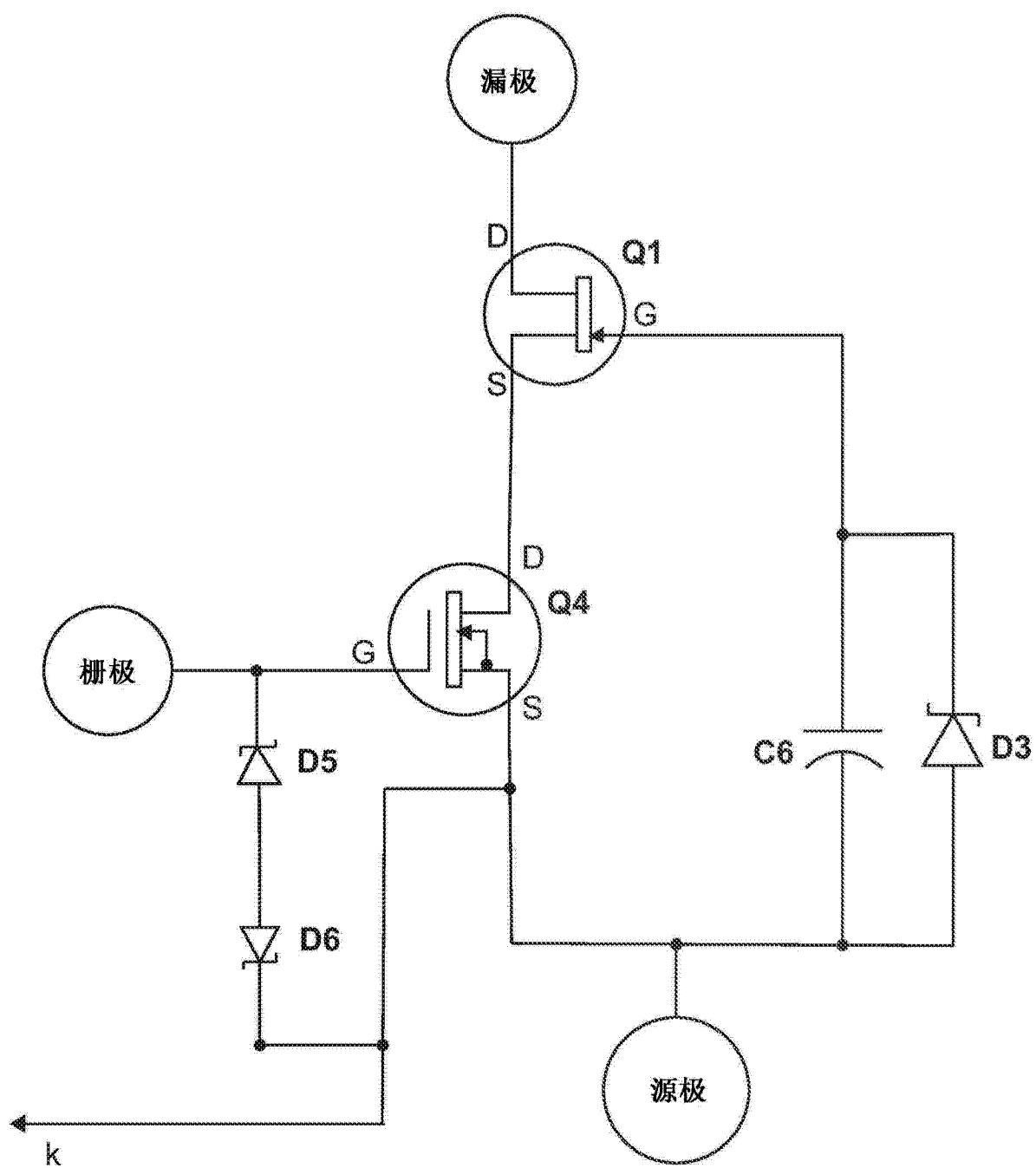


图 1A

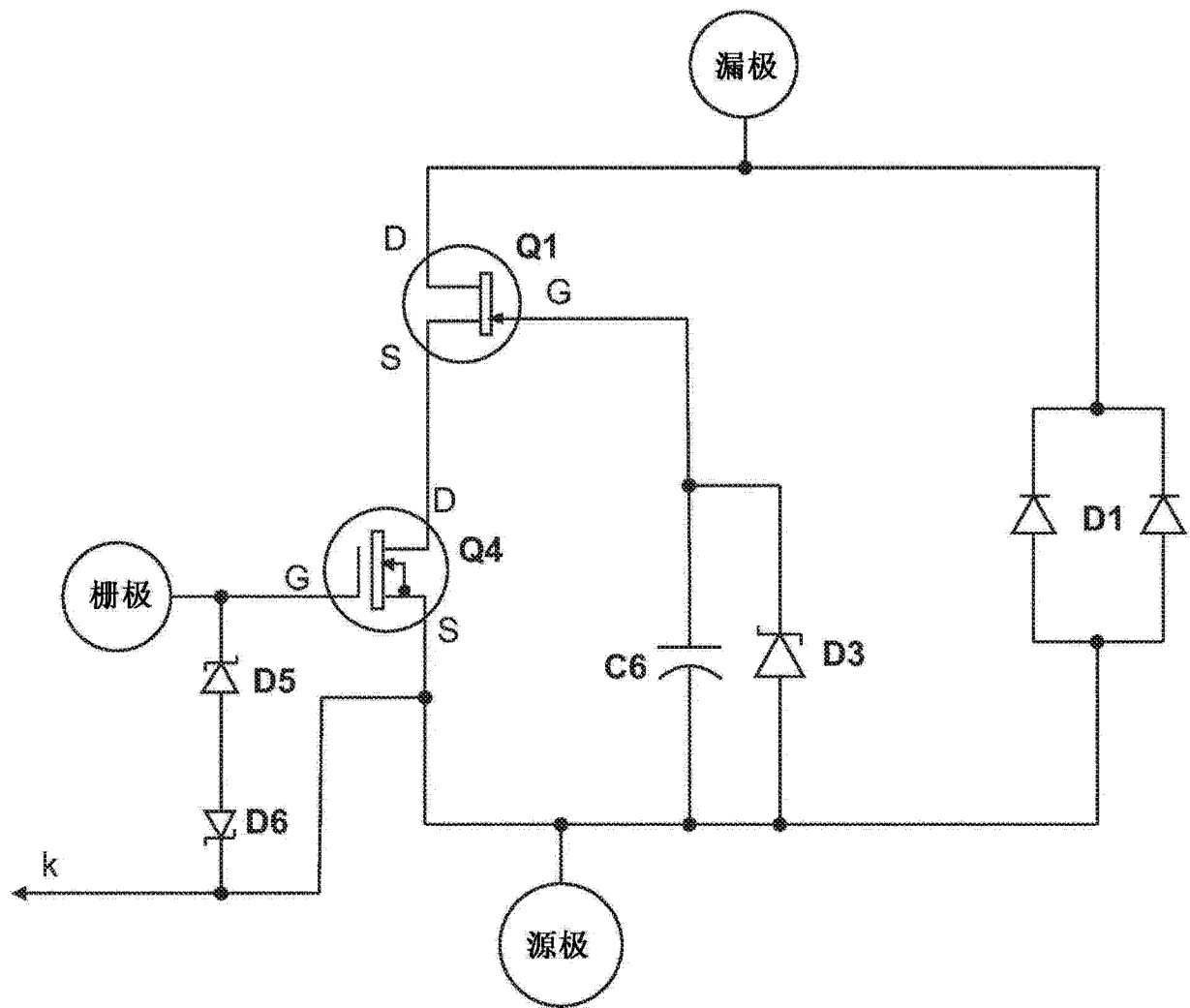


图 1B

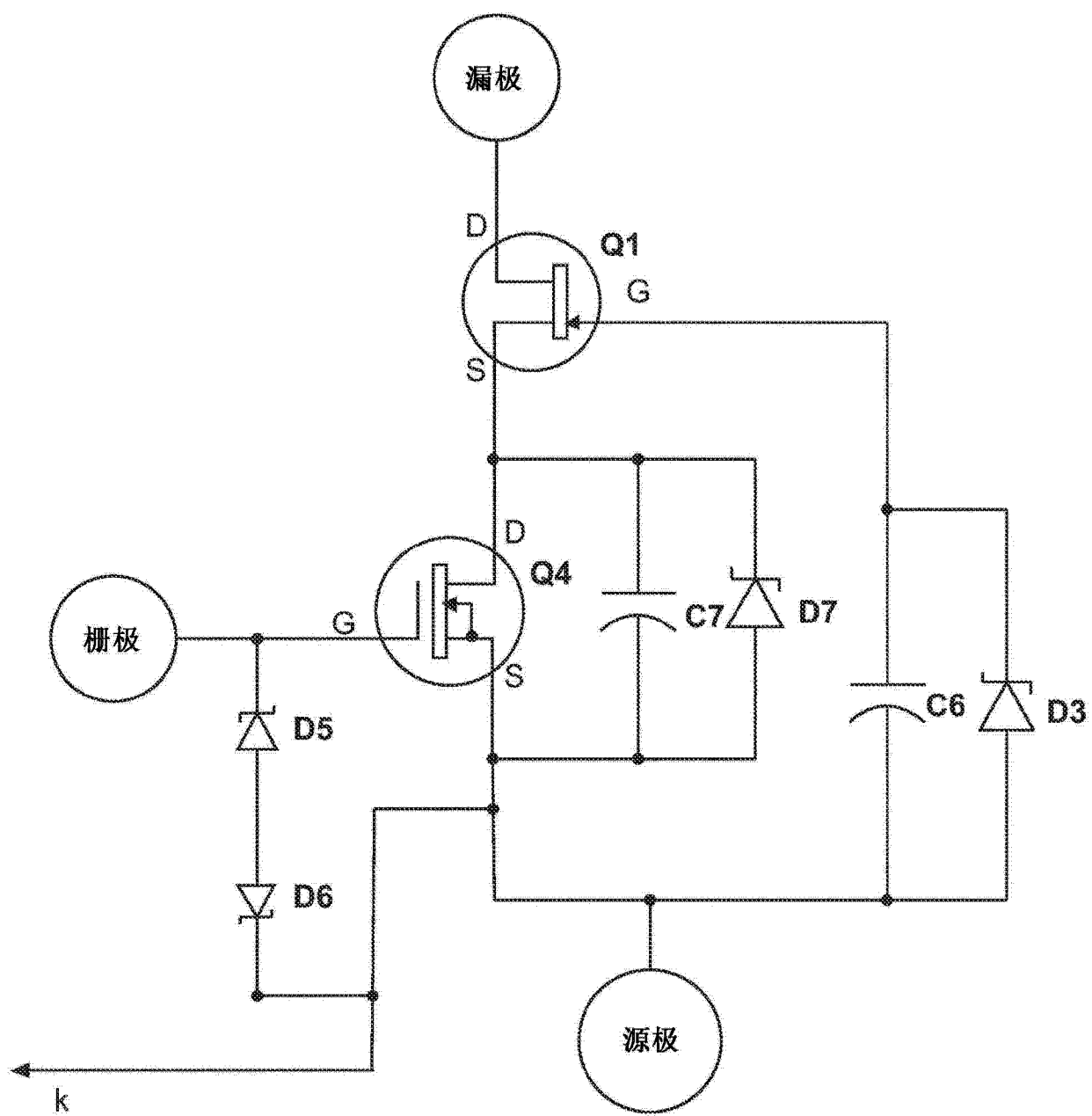


图 1C

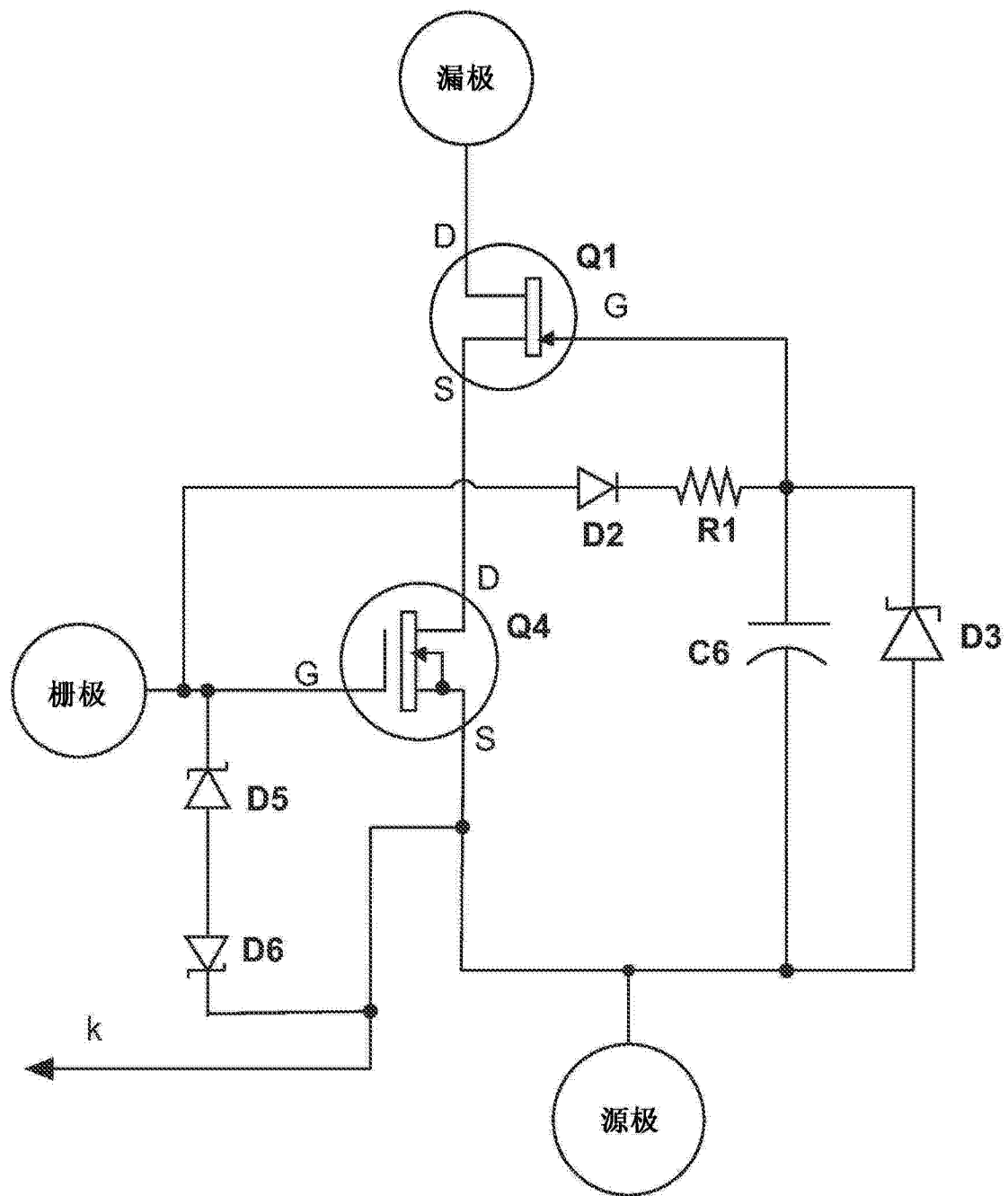


图 2A

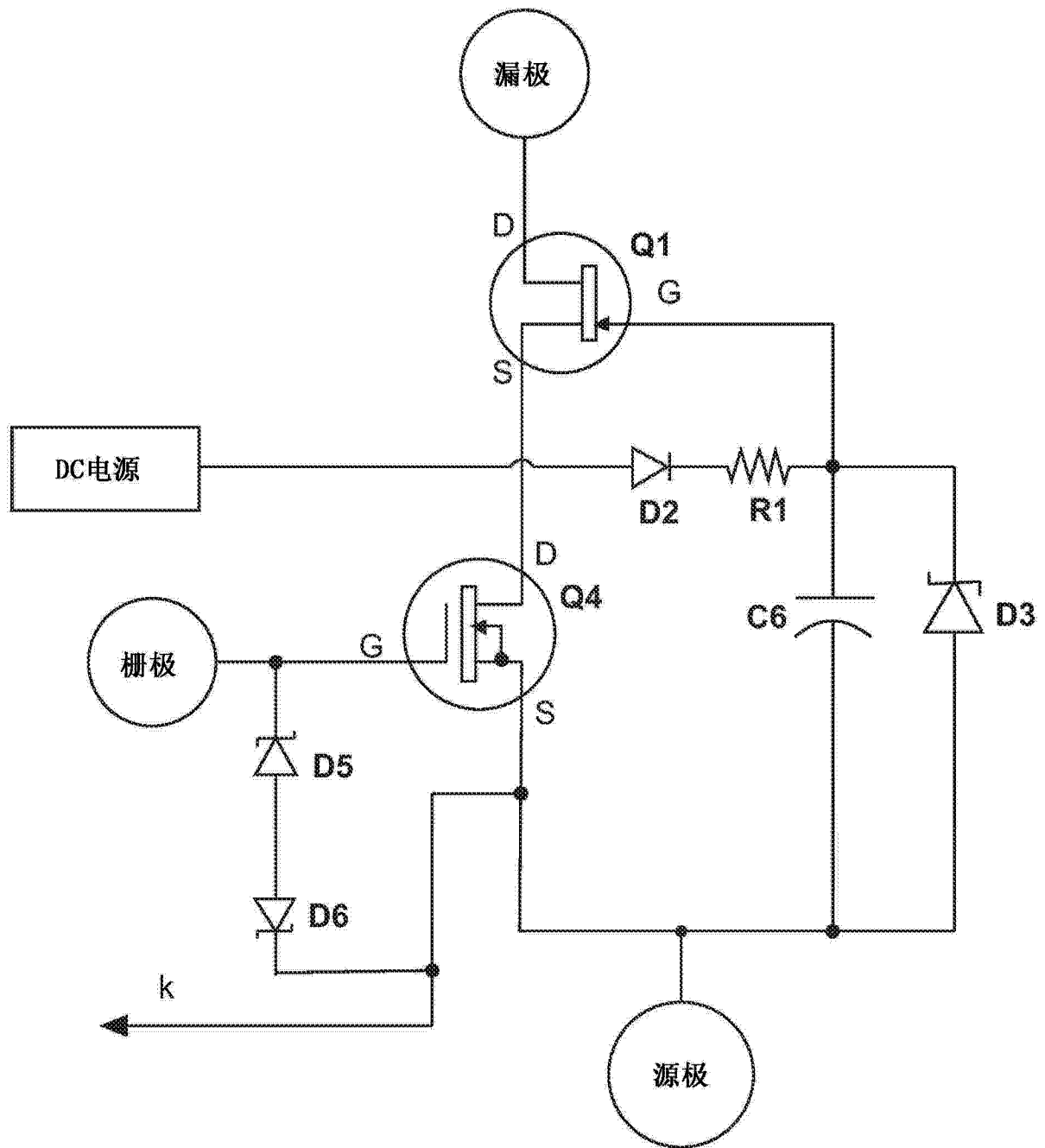


图 2B

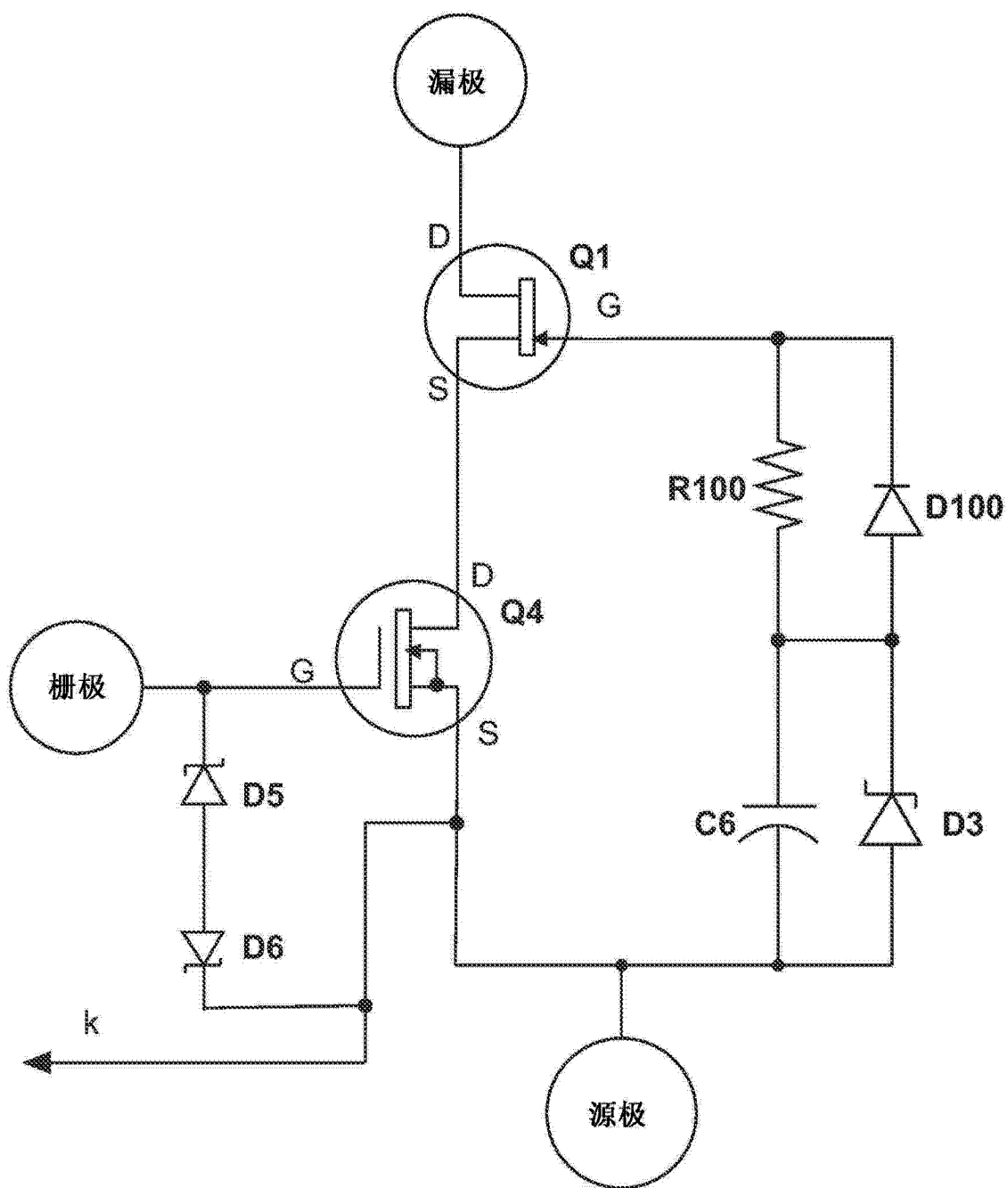


图 3

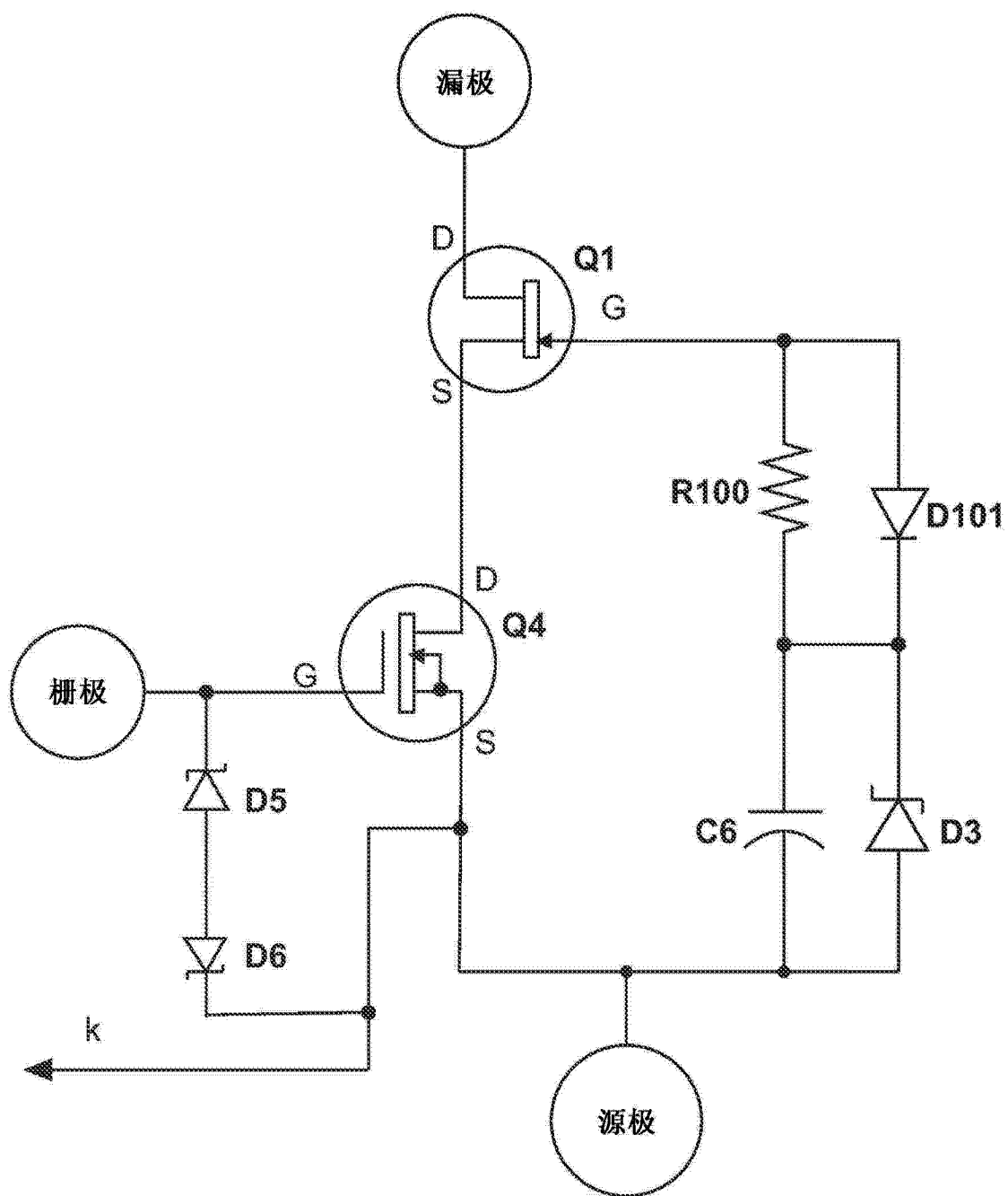


图 4

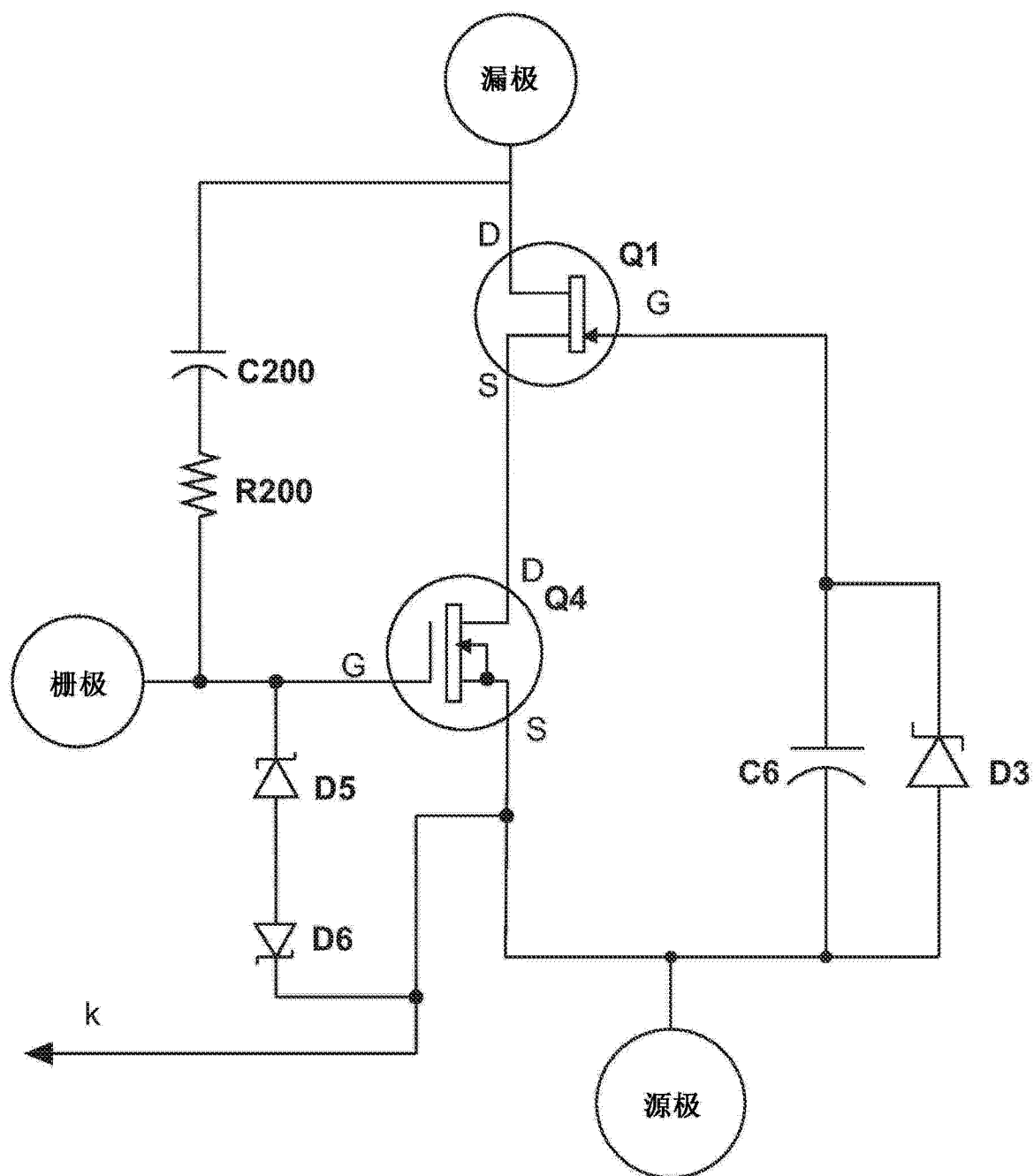


图 5

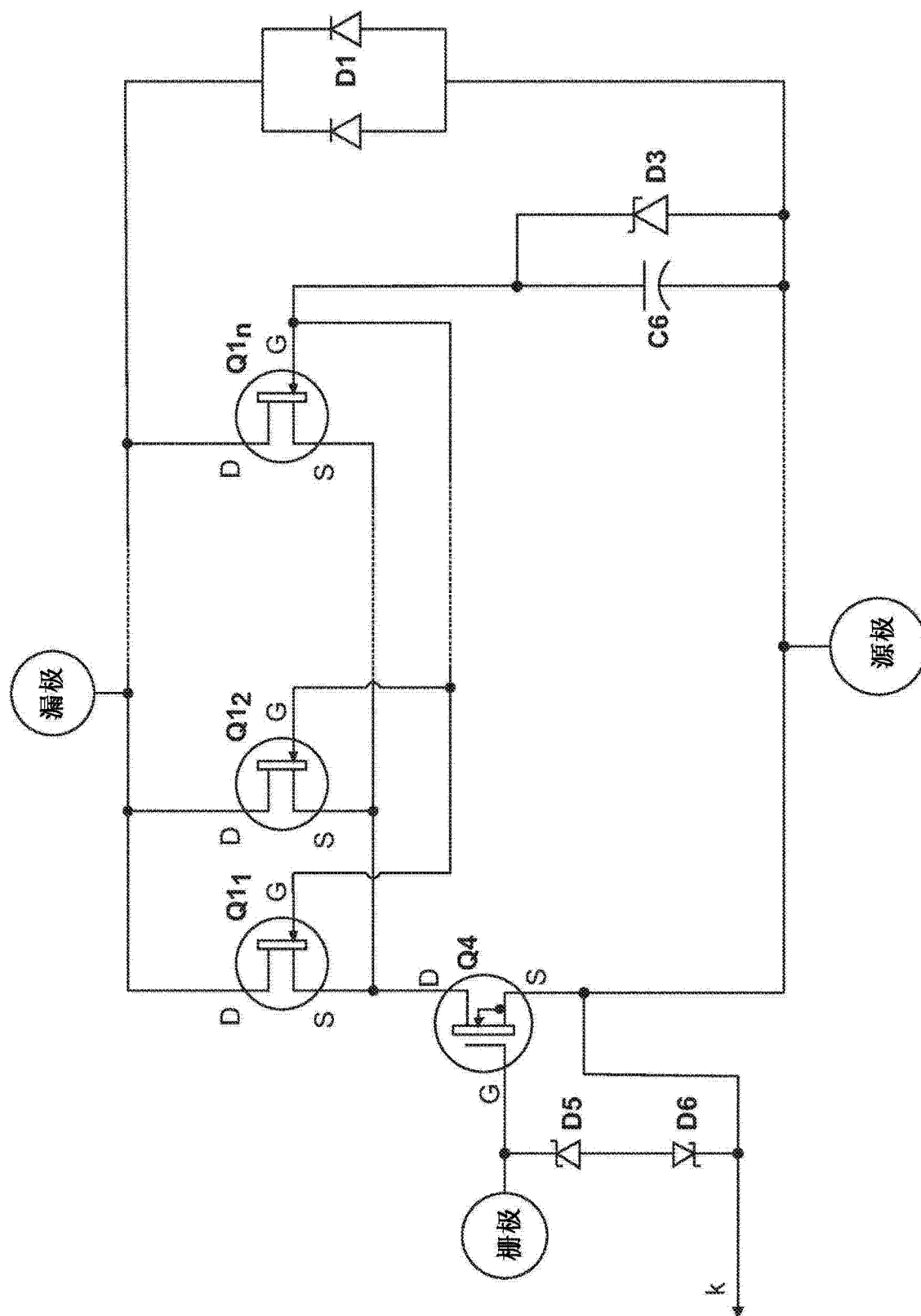


图 6

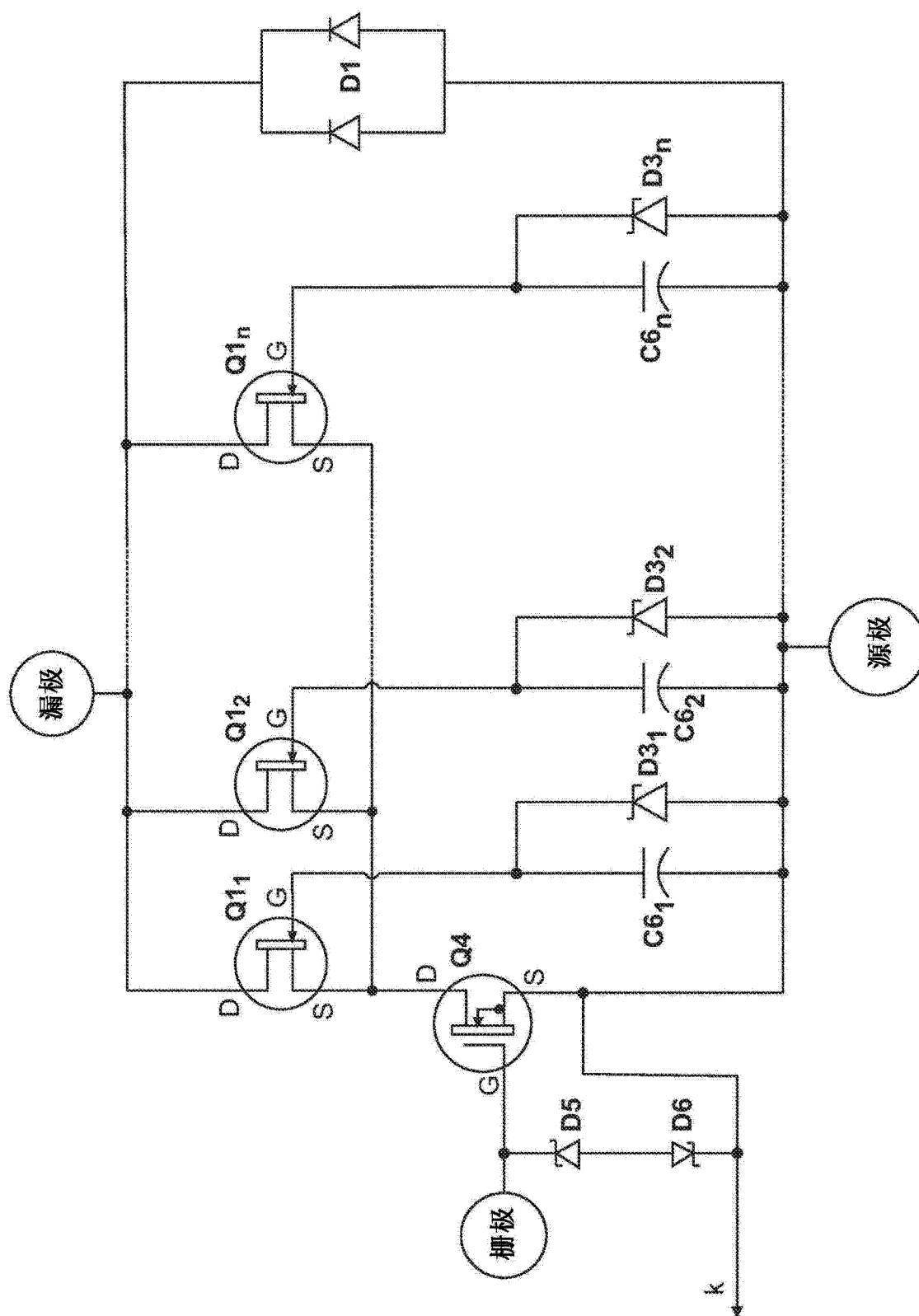


图 7

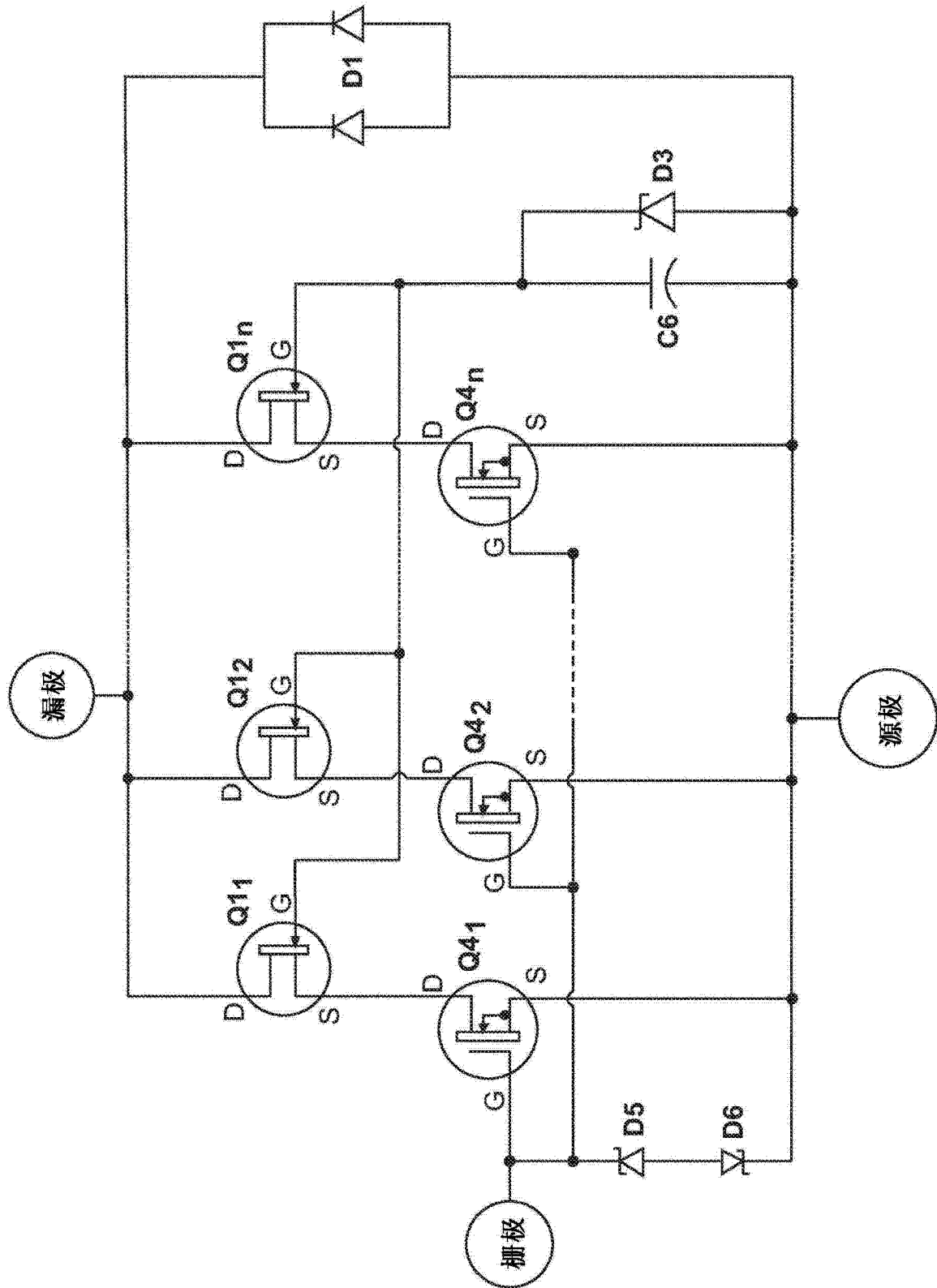


图 8

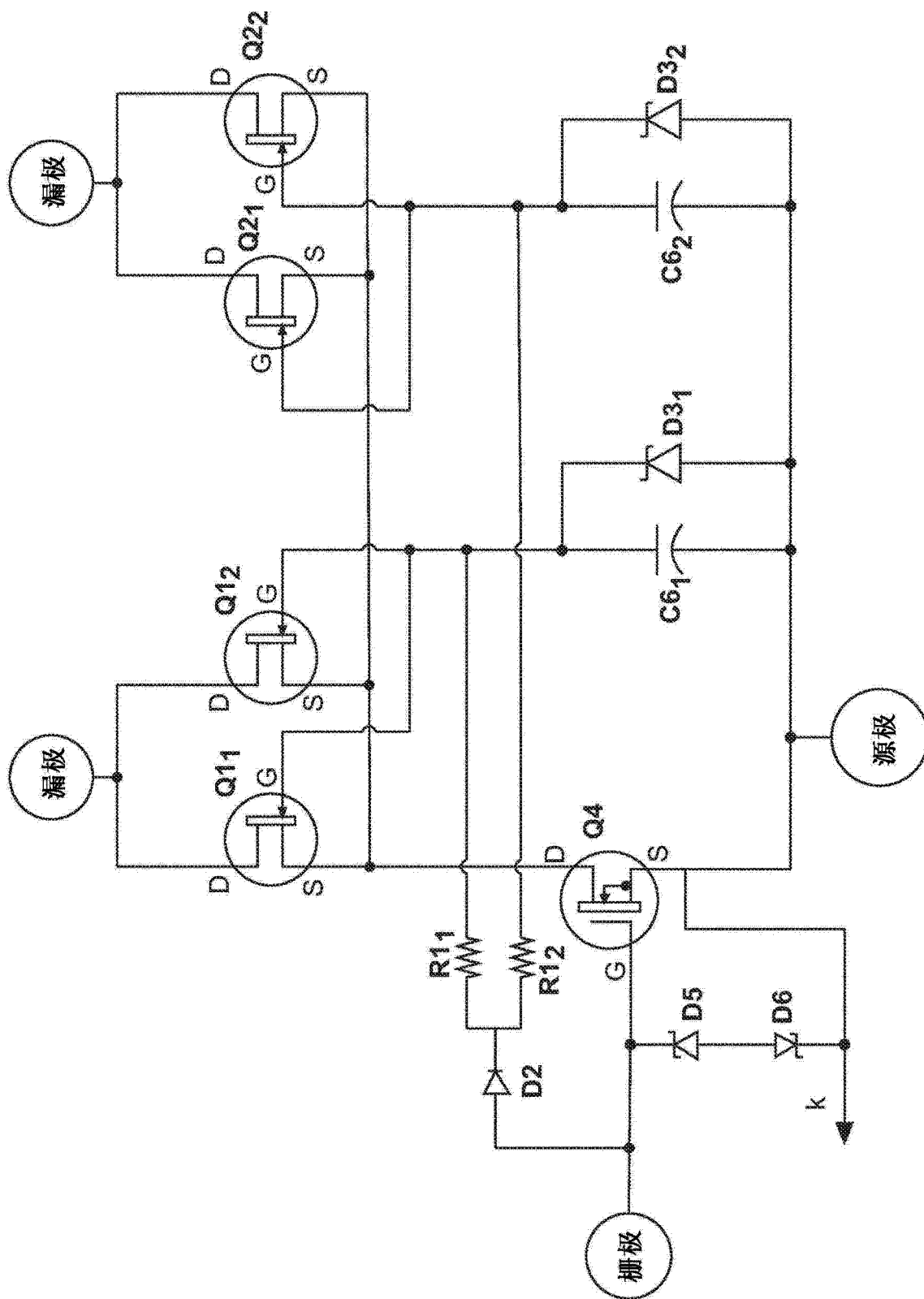


图 9

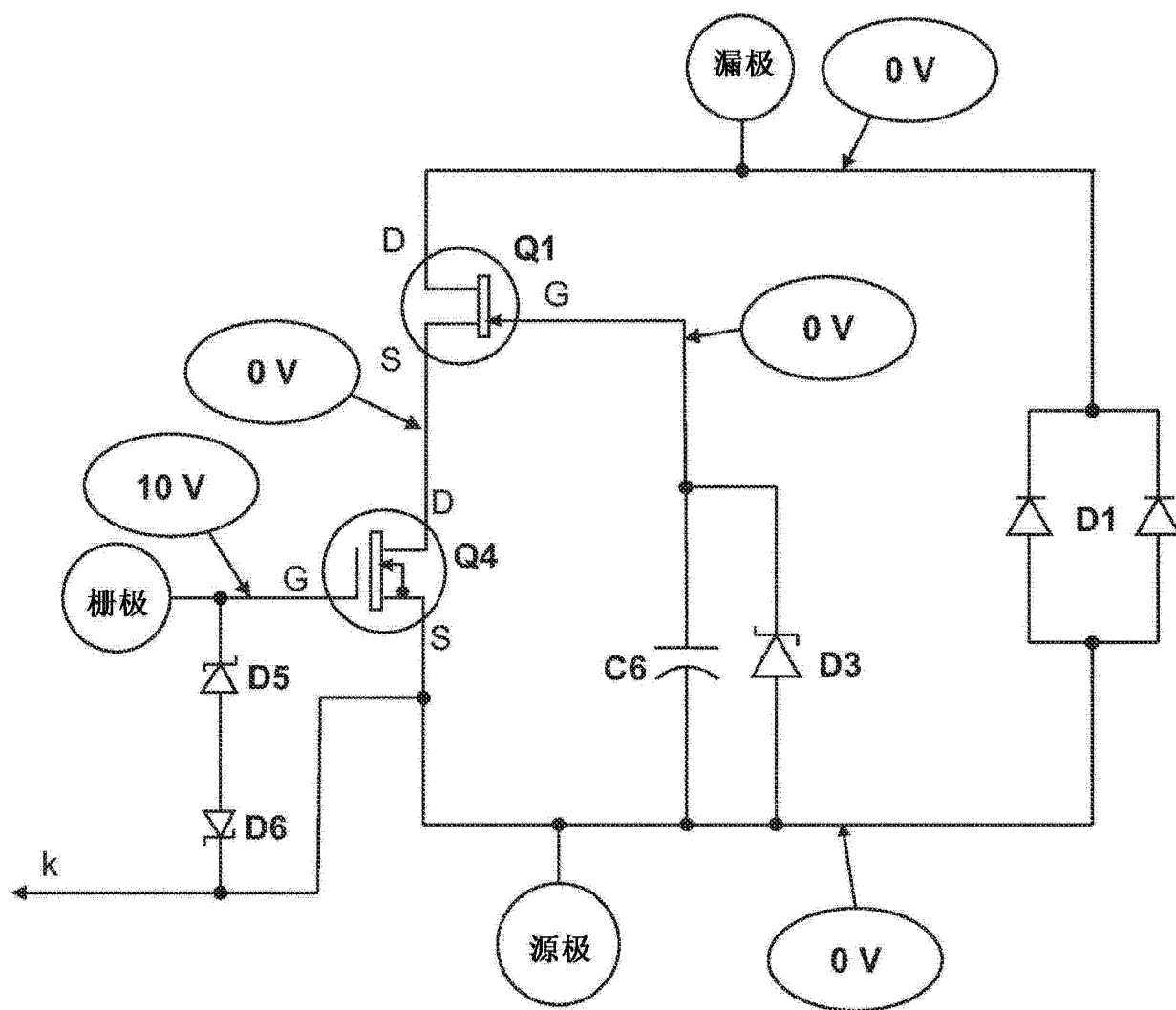


图 10A

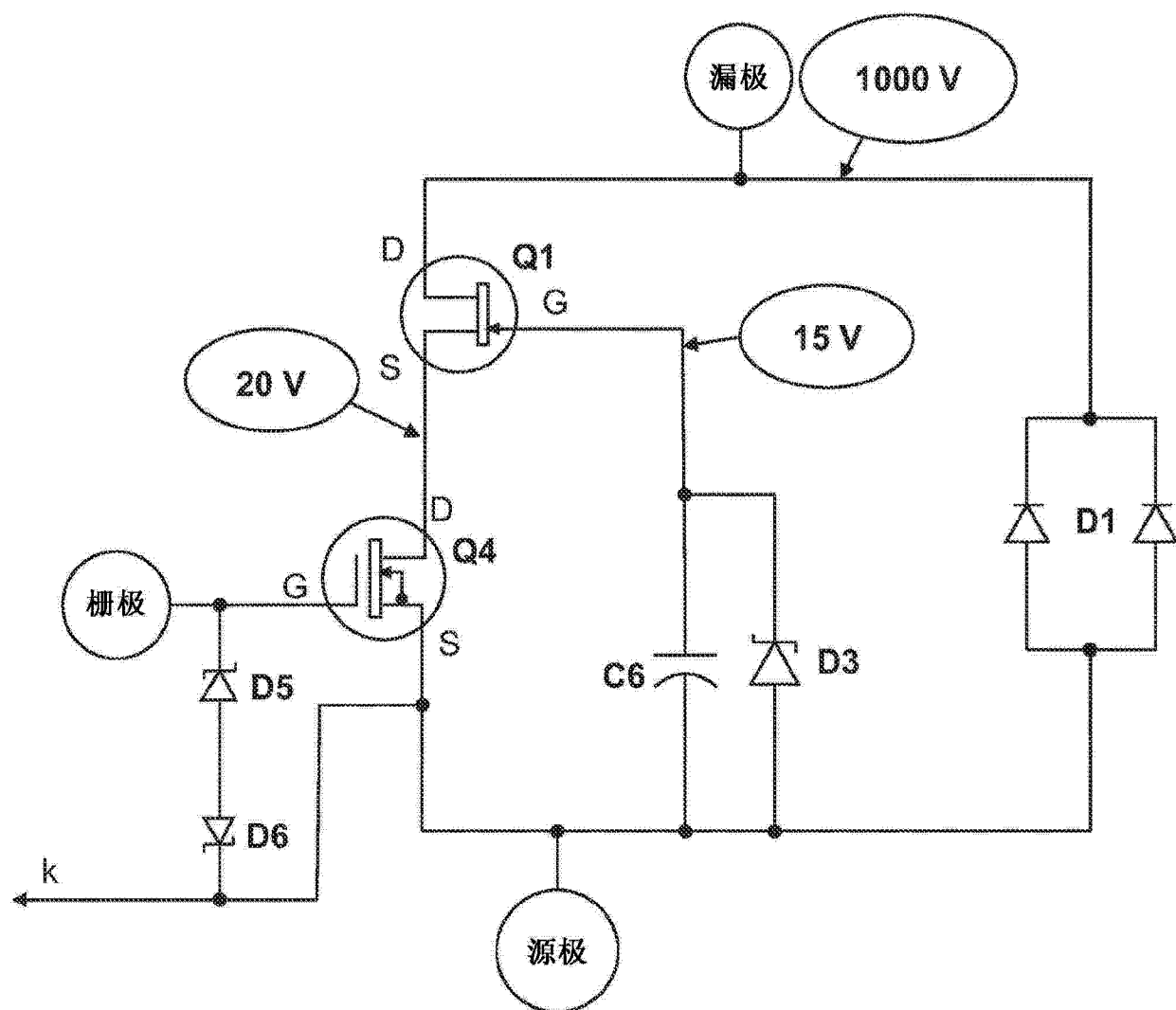


图 10B

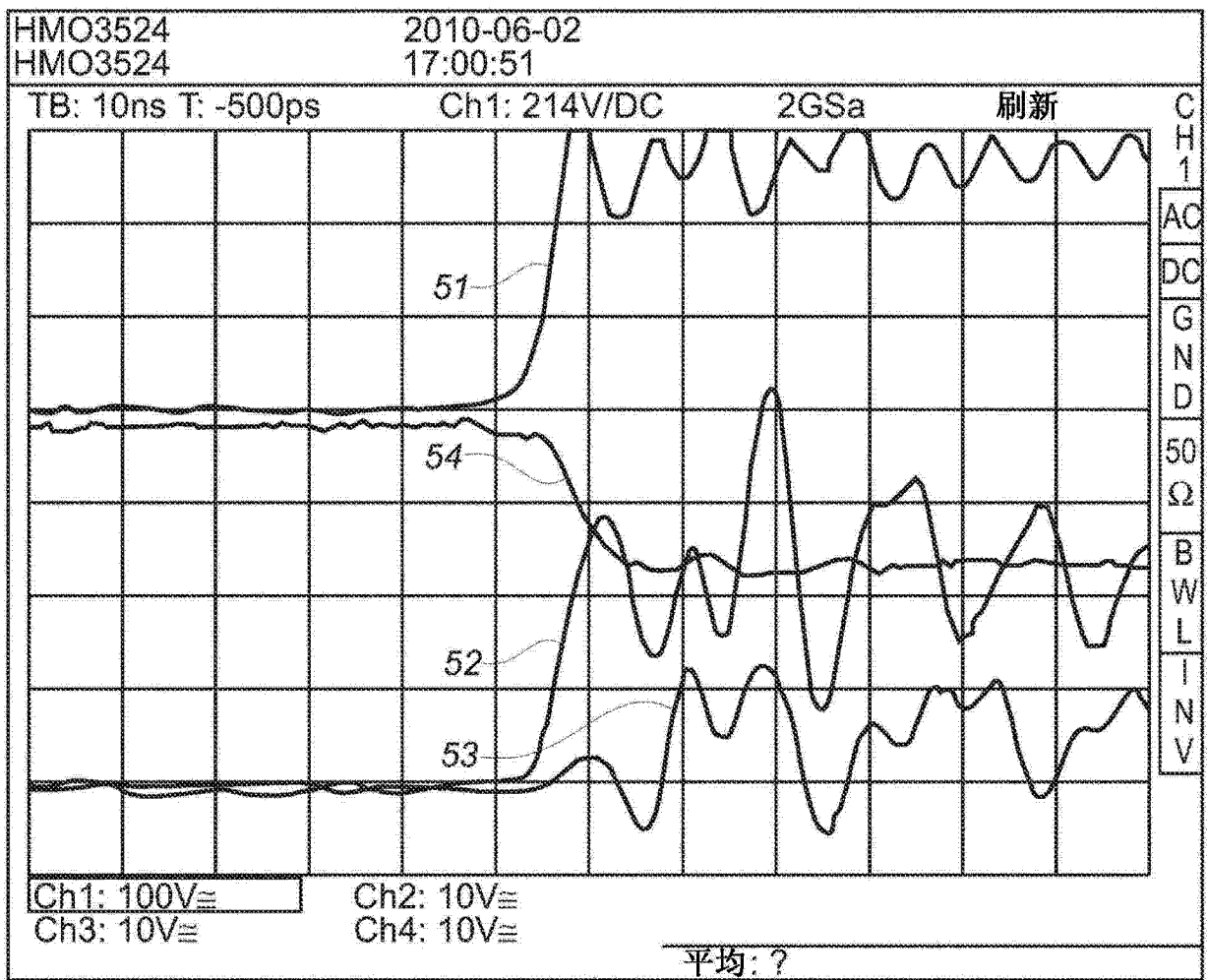


图 11A

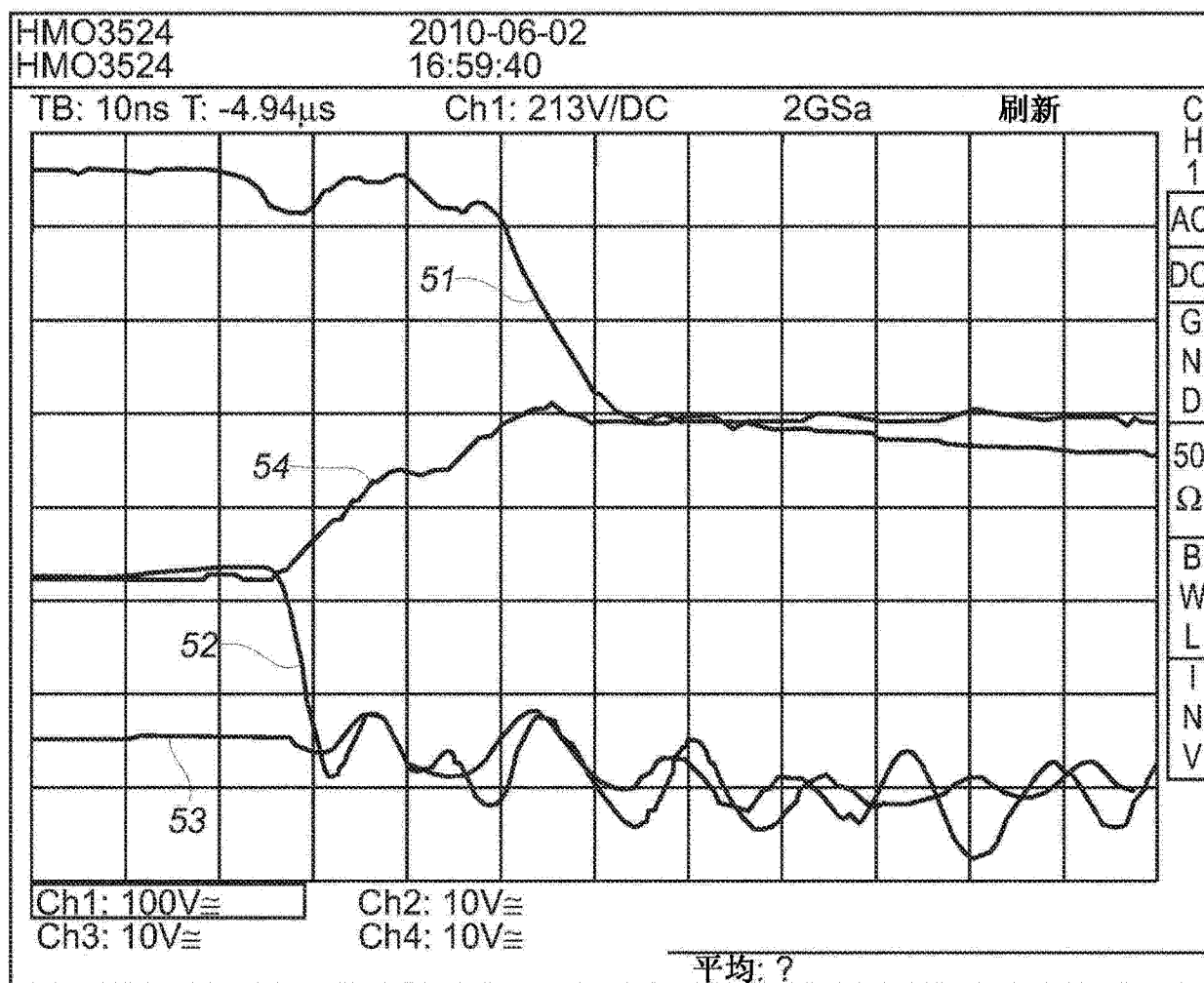


图 11B

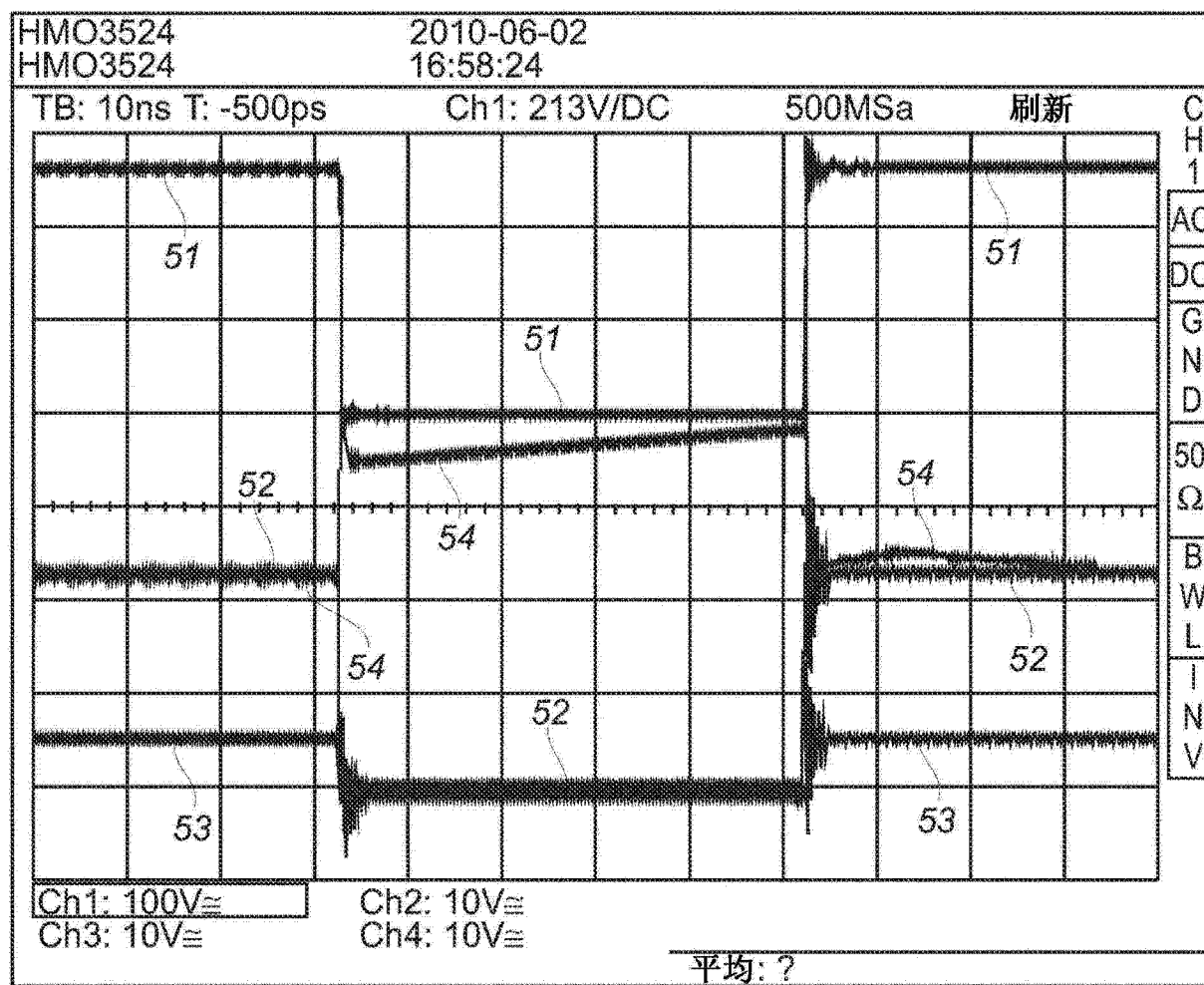


图 11C