

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年6月18日(18.06.2020)



(10) 国際公開番号

WO 2020/121649 A1

(51) 国際特許分類:
H01L 21/20 (2006.01) *H01L 21/306* (2006.01)
H01L 21/02 (2006.01)

(21) 国際出願番号: PCT/JP2019/040926

(22) 国際出願日: 2019年10月17日(17.10.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-230683 2018年12月10日(10.12.2018) JP

(71) 出願人:株式会社フィルネックス(FILNEX INC.)
[JP/JP]; 〒1920363 東京都八王子市別所一丁目
4 2 番地 1、1-310 Tokyo (JP).

(72) 発明者:荻原 光彦 (OGIHARA Mitsuhiro);
〒1920363 東京都八王子市別所一丁目 4

2 番地 1、1-310 株式会社フィ
ルネックス内 Tokyo (JP).

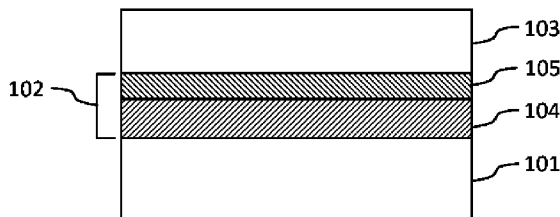
(74) 代理人: 泉 通博 (IZUMI Michihiro); 〒1010047
東京都千代田区内神田一丁目 1 7 番 9
号 TCUビル 8 F Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(54) Title: SEMICONDUCTOR SUBSTRATE, METHOD FOR MANUFACTURING SEMICONDUCTOR SUBS-
TRATE, AND METHOD FOR MANUFACTURING SEMICONDUCTOR ELEMENT

(54) 発明の名称: 半導体基板、半導体基板の製造方法及び半導体素子の製造方法

1



(57) Abstract: In order that the surface of a base substrate and the bottom surface of a separated semiconductor epitaxial layer are not bonded even after a removal layer is removed, this semiconductor substrate 1 has a base substrate 101, a first removal layer 104 provided to the base substrate 101, a second removal layer 105 provided to the first removal layer 104, and a semiconductor epitaxial layer 103 provided to the second removal layer 105, the etching speed of the second removal layer 105 with respect to a prescribed etching material being greater than the etching speed of the first removal layer 104 with respect to the prescribed etching material.

(57) 要約: 除去層を除去した後もベース基板の表面と分離した半導体エピタキシャル層の底面とが接合しないようにするために、半導体基板 1 は、ベース基板 101 と、ベース基板 101 上に設けられた第 1 除去層 104 と、第 1 除去層 104 の上方に設けられた第 2 除去層 105 と、第 2 除去層 105 の上方に設けられた半導体エピタキシャル層 103 と、を有し、所定のエッチング材料に対する第 2 除去層 105 のエッチング速度が、所定のエッチング材料に対する第 1 除去層 104 のエッチング速度よりも大きい。

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：

半導体基板、半導体基板の製造方法及び半導体素子の製造方法

技術分野

[0001] 本発明は、半導体基板、半導体基板の製造方法及び当該半導体基板を用いた半導体素子の製造方法に関する。

背景技術

[0002] 従来、半導体基板上に除去層及び半導体エピタキシャル層を形成し、エッチングにより除去層を除去することで半導体エピタキシャル層を半導体基板から分離する技術が知られている（例えば、特許文献 1 を参照）。

先行技術文献

特許文献

[0003] 特許文献1：特許第3 8 1 3 1 2 3 号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献 1 に記載された技術では、半導体エピタキシャル層を成長させるためのベース基板としての G a A s 基板上に除去層及び半導体エピタキシャル層を形成した後に、弗酸などのエッチング液によって除去層を除去することにより半導体エピタキシャル層を G a A s 基板から分離する。この方法で半導体エピタキシャル層を G a A s 基板から分離する場合、G a A s 基板及び半導体エピタキシャル層のエッチング速度が除去層のエッチング速度よりも格段に小さいことが想定されている。

[0005] エッチングにより除去層を除去した場合、除去層と接する G a A s 基板の表面及び半導体エピタキシャル層の底面は非常に平坦な面となる。その結果、除去層をエッチングにより除去した後に、G a A s 基板の表面と分離した半導体エピタキシャル層の底面とが接合してしまう場合があるという問題が生じていた。除去層をエッチングにより除去した後に G a A s 基板の表面と

半導体エピタキシャル層の底面とが接合すると、半導体エピタキシャル層をGaAs基板から分離することができなくなるため、除去層を除去した後にもGaAs基板の表面と分離した半導体エピタキシャル層の底面とが接合しないようにする技術が求められている。

[0006] そこで、本発明はこれらの点に鑑みてなされたものであり、除去層を除去した後にもベース基板の表面と分離した半導体エピタキシャル層の底面とが接合しないようにすることを目的とする。

課題を解決するための手段

[0007] 本発明の第1の態様の半導体基板は、ベース基板と、前記ベース基板上に設けられた第1除去層と、前記第1除去層の上方に設けられた第2除去層と、前記第2除去層の上方に設けられた半導体エピタキシャル層と、を有し、所定のエッチング材料に対する前記第2除去層のエッチング速度が、前記所定のエッチング材料に対する前記第1除去層のエッチング速度よりも大きい。前記第2除去層の厚みよりも前記第1除去層の厚みが大きくてもよい。

[0008] 前記所定のエッチング材料を用いたエッチングにより前記第2除去層が除去された時点で露出している前記第1除去層の表面が、前記半導体エピタキシャル層の前記第2除去層側の面よりも粗くてもよい。

[0009] 前記ベース基板がGaAsにより構成されており、前記半導体エピタキシャル層が $Al_tGa_{1-t}As$ ($0 \leq t \leq 1$) により構成されており、前記第1除去層が $Al_xGa_{1-x}As$ ($0.6 < x \leq 0.8$) により構成されており、前記第2除去層が $Al_yGa_{1-y}As$ ($0.7 < y \leq 1$ 、 $y > x$) により構成されていてもよい。前記半導体エピタキシャル層が $Al_tGa_{1-t}As$ ($0 \leq t \leq 0.6$) により構成されていてもよい。

[0010] 前記ベース基板がInPにより構成されており、前記半導体エピタキシャル層が $In_{1-x}Ga_xAs_yP_{1-y}$ ($0 \leq x, y \leq 1$) であってもよい。

[0011] 前記第1除去層と前記第2除去層との間に設けられた第3除去層をさらに有し、前記所定のエッチング材料に対する前記第3除去層のエッチング速度は、前記所定のエッチング材料に対する前記第1除去層のエッチング速度よ

りも大きく、前記所定のエッチング材料に対する前記第2除去層のエッチング速度よりも小さくてもよい。

[0012] 前記半導体エピタキシャル層が前記ベース基板の上方に位置するように前記半導体エピタキシャル層を支持するための支持部材をさらに有してもよい。前記支持部材は、前記ベース基板、前記第1除去層、前記第2除去層及び前記半導体エピタキシャル層に接してもよい。前記支持部材は、前記第2除去層に接する領域の一部の厚みが他の領域の厚みよりも小さい形状を有してもよい。

[0013] 本発明の第2の態様の半導体基板の製造方法は、ベース基板を準備する工程と、前記ベース基板上に第1除去層を形成する工程と、前記第1除去層の上方に、所定のエッチング材料に対するエッチング速度が、前記所定のエッチング材料に対する前記第1除去層のエッチング速度よりも大きい第2除去層を形成する工程と、前記第2除去層の上方に半導体エピタキシャル層を形成する工程と、前記半導体エピタキシャル層を形成した後に、前記半導体エピタキシャル層が前記ベース基板の上方に位置するように前記半導体エピタキシャル層を支持するための支持部材を設ける工程と、を有する。

[0014] 本発明の第3の態様の半導体素子の製造方法は、上記の半導体基板を準備する工程と、前記所定のエッチング材料を用いてエッチングすることにより前記第2除去層を除去する除去工程と、前記除去工程の後に、前記半導体エピタキシャル層を前記ベース基板と異なる移動先基板に接合する接合工程と、を有する。前記半導体基板が、前記半導体エピタキシャル層が前記ベース基板の上方に位置するように前記半導体エピタキシャル層を支持するための支持部材をさらに有し、前記製造方法は、前記除去工程と前記接合工程との間に、前記支持部材を切断する工程をさらに有してもよい。

発明の効果

[0015] 本発明によれば、除去層を除去した後にもベース基板の表面と分離した半導体エピタキシャル層の底面とが接合しないようにすることができるという効果を奏する。

図面の簡単な説明

[0016] [図1]本実施形態の半導体基板1の構成を示す模式図である。

[図2A]実験で用いた半導体基板1の顕微鏡写真である。

[図2B]実験結果を示す模式図である。

[図3] $A_{1-z}Ga_zAs$ のエッチング速度と、組成 z との関係を示す図である。

[図4A]半導体素子の製造方法を説明するための図である。

[図4B]半導体素子の製造方法を説明するための図である。

[図4C]半導体素子の製造方法を説明するための図である。

[図4D]半導体素子の製造方法を説明するための図である。

[図5]支持部材を設けた例を示す図である。

発明を実施するための形態

[0017] [半導体基板1の構成]

図1は、本実施形態の半導体基板1の構成を示す模式図である。図1は、半導体エピタキシャルウエハの断面構造を示している。半導体基板1は、ベース基板101と、ベース基板101上に設けられた除去層102と、除去層102の上方に設けられた半導体エピタキシャル層103とを有する。

[0018] ベース基板101は、半導体エピタキシャル層を結晶成長させるための母材基板である。本実施形態において、ベース基板101がIII-V族半導体により構成されている場合を例にして説明するが、ベース基板101はIII-V族半導体以外の材料により構成されていてもよい。

[0019] 除去層102は、少なくとも一部がエッチングにより除去されることが予定されている層である。除去層102は、ベース基板101上に設けられた第1除去層104と、第1除去層104上に設けられた第2除去層105とを有する。詳細については後述するが、所定のエッチング材料に対する第1除去層104のエッチング速度よりも、上記の所定のエッチング材料に対する第2除去層105のエッチング速度が大きい。所定のエッチング材料は、第2除去層105のエッチング速度が半導体エピタキシャル層103のエッ

チング速度よりも十分に大きいエッチング液又はエッチングガスである。第2除去層105のエッチング速度は、例えば第1除去層104のエッチング速度の2倍以上である。

[0020] 以下の説明において、所定のエッチング材料を使用エッチング材料という。使用エッチング材料としては、塩酸、弗酸、硝酸、塩酸と硝酸の混合液、有機酸、塩化水素ガス、及び塩素ガスを例示できる。

[0021] 使用エッチング材料に対する第1除去層104のエッチング速度よりも、上記の所定のエッチング材料に対する第2除去層105のエッチング速度が大きいので、エッチングによって第2除去層105の全てが除去された時点で、第1除去層104の少なくとも一部が残留している。この際、第1除去層104は、エッチングが進行している状態なので、使用エッチング材料を用いたエッチングにより第2除去層105が除去された時点で露出している第1除去層104の表面が、半導体エピタキシャル層103の第2除去層105側の面よりも粗い。したがって、第1除去層104が除去されることにより分離された半導体エピタキシャル層103が第1除去層104に接したとしても、半導体エピタキシャル層103と第1除去層104とが接合しない状態が維持される。

[0022] [各層の組成]

ベース基板101は、例えばGaAs基板である。半導体エピタキシャル層103は、ベース基板101から除去される予定の半導体エピタキシャル層であり、例えば $Al_tGa_{1-t}As$ ($0 \leq t \leq 1$) により構成されている。第1除去層104は、例えば $Al_xGa_{1-x}As$ ($0.6 < x \leq 0.8$) により構成されており、第2除去層105は、例えば $Al_yGa_{1-y}As$ ($0.7 < y \leq 1$ 、 $y > x$) により構成されている。第1除去層104及び第2除去層105の材料組成の範囲として、第1除去層104が $Al_xGa_{1-x}As$ ($0.75 < x \leq 0.8$) であり、第2除去層105が $Al_yGa_{1-y}As$ ($0.8 < y \leq 1$) であることが、より好ましい。

[0023] 第2除去層105に接する半導体エピタキシャル層103の底面（第2除

去層 105 の側の面) を構成する半導体層の材料組成としては、 $Al_tGa_{1-t}As$ ($0 \leq t \leq 0.6$) が好適である。第 2 除去層 105 に接する半導体エピタキシャル層 103 の底面を構成する半導体層が $GaAs$ 層であることが、より好ましい。

[0024] [第 1 除去層 104 及び第 2 除去層 105 の厚み]

使用エッチング材料によりエッチングすることにより第 2 除去層 105 が除去された時点で第 1 除去層 104 の少なくとも一部が残留しやすくするために、第 2 除去層 105 の厚みよりも第 1 除去層 104 の厚みが大きくてもよい。第 1 除去層 104 の厚み及び第 2 除去層 105 の厚みは、第 1 除去層 104 の場所によってエッチングの進行度合いにばらつきがある場合であっても、第 2 除去層 105 が除去された時点で第 1 除去層 104 の全領域にわたって第 1 除去層 104 の少なくとも一部が残留している厚みであってもよい。

[0025] [実験例]

半導体基板 1 を試作して、エッチングを行った。実験に用いた半導体基板 1 において、ベース基板 101 は $GaAs$ 基板であった。第 1 除去層 104 の組成は $Al_xGa_{1-x}As$ ($0.75 < x \leq 0.8$) であった。第 2 除去層 105 の組成は $Al_yGa_{1-y}As$ ($0.8 < y \leq 1$) であった。半導体エピタキシャル層 103 の組成は $Al_tGa_{1-t}As$ ($0 \leq t \leq 0.6$) であった。

[0026] 図 2 A は、実験で用いた半導体基板顕微鏡写真である。図 2 B は、実験結果を示す模式図である。図 2 A に示す顕微鏡写真は、図 2 B に示すように、半導体基板 1 を傾斜させて矢印方向から電子顕微鏡 (Scanning Electron Microscope : SEM) で撮像して得られた写真である。

[0027] 図 2 A に示す写真は、エッチング液で第 2 除去層 105 が完全にエッチング除去され、第 1 除去層 104 の一部がエッチングされた状態を示している。図 2 A に示すように、半導体基板 1 から分離される予定の半導体エピタキシャル層 103 と、第 1 除去層 104 の一部が残留している層である残留層

117との間に隙間が存在することを確認できる。

[0028] さらに、図2Aでは、半導体エピタキシャル層103の下面112が平坦であるのに対して、残留層117の上面115は凹凸が存在する粗面であることも確認できる。これは、使用したエッチング液に対する第1除去層104のエッチング速度が、第2除去層105のエッチング速度よりも小さく、第2除去層105が完全にエッチング除去される間に、第1除去層104の一部のみがエッチングされたことによる。

[0029] 第2除去層105をエッチングにより除去した後、第1除去層104の一部が残留した層である残留層117の上面が粗面になっていることにより、第2除去層105をエッチングにより除去した後に、半導体エピタキシャル層103が、ベース基板101の側の表面（すなわちベース基板101上に残留している残留層117）に接合しづらい。したがって、半導体エピタキシャル層103を良好にベース基板101から分離することができる。

[0030] 少なくとも半導体エピタキシャル層103の底面（すなわち除去した第2除去層105の側の面）の表面粗さ R_a は、残留層117の上面の表面粗さ R_b よりも小さいことが好ましい。表面粗さは、例えば原子間力顕微鏡（Atomic Force Microscope : AFM）で測定した平均粗さである。

[0031] 発明者の実験によれば、第2除去層105が完全に除去されるまでエッチングをした後に、半導体エピタキシャル層103に対してベース基板101の向きに荷重をかけても、半導体エピタキシャル層103が第1除去層104に接合されることなく、半導体エピタキシャル層103をベース基板101から除去することができることが確認できた。

[0032] 図3は、発明者が第2除去層105の除去のためにエッチング液として塩酸を使用したエッチング実験で確認した $Al_zGa_{1-z}As$ のエッチング速度と、 $Al_zGa_{1-z}As$ の組成を定める z の値との関係を示す図である。図3における縦軸は、 $z=1$ の時のエッチング速度を1とした場合の相対値である。図3の結果から、第1除去層104の組成を $Al_xGa_{1-x}As$ ($0.6 < x \leq 0.8$)、第2除去層105の組成を $Al_yGa_{1-y}As$ ($0.7 < y$

≤ 1 、 $y > x$) とすることにより、第1除去層104のエッチング速度と第2除去層105のエッチング速度との間に大きな差がある第1除去層104及び第2除去層105の組合せを選択できることがわかる。

[0033] [半導体基板1の構成の変形例]

図1においては、除去層102が第1除去層104及び第2除去層105の2層を有する構造を例示したが、半導体基板1は、第1除去層104及び第2除去層105を含む2層の他に、他の除去層を有してもよい。この時、除去層102のベース基板101に接する側から半導体エピタキシャル層103に接する側に向けてエッチング速度が大きくなる順番に積層することが望ましい。

[0034] 例えば、半導体基板1は、第1除去層104と第2除去層105との間に第3除去層をさらに有してもよい。この場合、使用エッチング材料に対する第3除去層のエッチング速度は、使用エッチング材料に対する第1除去層104のエッチング速度よりも大きく、使用エッチング材料に対する第2除去層105のエッチング速度よりも小さい。

[0035] なお、以上の説明においては、ベース基板101がGaAs基板である場合を例示したが、本発明は、ベース基板101が他のIII-V族半導体エピタキシャル基板である場合にも適用できる。半導体基板1は、例えば、ベース基板101がInP基板であり、半導体エピタキシャル層103がInP基板上で格子整合又は略格子整合する半導体エピタキシャル層（例えば $\text{In}_{1-x}\text{Ga}_x\text{As}_y\text{P}_{1-y}$ ($0 \leq x, y \leq 1$)）であってもよい。この場合、除去層102は、InP基板上で格子整合又は略格子整合する半導体層であり、例えば、第1除去層104が $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ であり、第2除去層105が $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ である。

[0036] [半導体素子の製造方法]

続いて、半導体エピタキシャル層103をベース基板101から分離した後に、他の基板に半導体エピタキシャル層103を移動させて半導体素子を製造する方法について説明する。

[0037] 図4（図4Aから図4D）は、半導体素子の製造方法を説明するための図である。

まず、図1に示した半導体基板1を準備する。例えば、ベース基板101上に第1除去層104及び第2除去層105を含む積層構造を形成した後に、第2除去層105上に半導体エピタキシャル層103を形成することにより、半導体基板1を作製する。半導体エピタキシャル層103は、所定の素子を形成するための半導体積層構造を有する。所定の素子は、発光ダイオード、トランジスタ及びセンサー等のように、半導体により構成される任意の素子である。

[0038] なお、本製造方法においては、半導体基板1を作製する代わりに、作製済の半導体基板1を用いて半導体素子を製造してもよい。すなわち、ベース基板101上に第1除去層104、第2除去層105、及び半導体エピタキシャル層103が既に形成されている半導体基板1を準備する工程を半導体素子の製造方法の最初の工程としてもよい。また、半導体エピタキシャル層103に所定の素子構造または所定の素子構造の一部が既に形成されている半導体基板1を準備する工程を、半導体素子の製造方法の最初の工程としてもよい。

[0039] 次に、図4Aに示すように、エッチングにより除去する第2除去層105の少なくとも一部（例えば外周面）が露出した島を形成する。例えば、半導体基板1における半導体エピタキシャル層103、第1除去層104及び第2除去層105の外周から所定の範囲をエッチングすることにより、図4Aに示す島を形成する。

[0040] 続いて、図4Bに示すように、所定のエッチング液により第1除去層104及び第2除去層105をエッチングする。エッチング工程では、第2除去層105が完全に除去されるまでの間エッチングを継続し、第2除去層105が除去された時点でエッチングを停止する。このようにすることで、第2除去層105が完全に除去されたことにより空隙114が形成される。第1除去層104の第2除去層105の側の一部の領域（図4Bにおける領域1

13) が除去され、第1除去層104におけるベース基板101に接する側と反対側の面に凹凸が形成された粗面を有する第1除去層104の残留層117が形成される。なお、図4Bでは、形成された凹凸を誇張して描いている。

[0041] 続いて、図4Cに示すように、例えばピックアップバンプ122を備えたピックアップ基板121を使って、半導体エピタキシャル層103をベース基板101から分離する。ピックアップバンプ122は、例えば有機材料層であり、半導体基板上に感光性有機材料を塗布して、標準的なフォトリソグラフィプロセスにより形成することができる。有機材料層は、例えば、スピンコート法、ディップ法などにより、ピックアップ基板121のベースとなるピックアップベース基板上に有機材料をコートすることにより形成してもよいし、有機材料フィルムをピックアップベース基板上に貼り付けることにより形成してもよい。

[0042] 続いて、図4Dに示すように、ピックアップ基板121によりベース基板101から分離させた半導体エピタキシャル層103を移動先基板130の上に圧接して接合する。接合に先立って、接合面の活性化処理などの表面処理工程を実行してもよい。また、移動先基板130上に、移動先基板130の材料と異なる材料層として、例えば別の半導体層、金属層又は絶縁膜層を設けてもよい。

[0043] 移動先基板130上に半導体エピタキシャル層103を接合した後に、ピックアップ基板121を分離する（図示せず）。ピックアップ基板121を分離した後の半導体エピタキシャル層103に、適宜、層間絶縁膜又は金属配線膜等を形成することにより、半導体素子の製造を完了する。

[0044] [第1変形例]

図4Aに示したように半導体エピタキシャル層103、第1除去層104及び第2除去層105を含む島をベース基板101上に形成した後に、半導体エピタキシャル層103がベース基板101の上方に位置するように半導体エピタキシャル層103を支持するための支持部材を設けてもよい。

[0045] 図5は、支持部材106を設けた例を示す図である。支持部材106は、例えば半導体エピタキシャル層103とベース基板101とを結合する半導体薄膜、有機材料薄膜、又は無機材料薄膜である。支持部材106は、例えば一部の領域が第1除去層104及び第2除去層105の側面に接するように形成されている。支持部材106の一部は、半導体エピタキシャル層103の上面又はベース基板101が露出した面に延在するように形成されていてもよい。当該支持部材106を構成する薄膜は、第2除去層105を除去する際に使用されるエッチング材料に対するエッチング速度が第2除去層105のエッチング速度よりも十分に小さく、第2除去層105が除去された時点で、半導体エピタキシャル層103とベース基板101とを結合した状態で残留する。

[0046] 支持部材106は、例えば以下のようにして形成してもよい。アモルファスSi又はポリSiなどの半導体薄膜で支持部材106を形成する場合には、例えば、スパッタ法、熱CVD (Chemical Vapor Deposition) 法、PCVD (Plasma Chemical Vapor Deposition) 法、あるいはLPCVD (Low pressure Chemical Vapor Deposition) 法などを適宜選択して半導体薄膜を形成することができる。この場合、半導体薄膜を形成後、フォトリソグラフィーおよびRIE (Reactive Ion Etching) 法などのドライエッチング又は所定のエッチング液を使ったウェットエッチングによって支持部材106の構造を形成することができる。

[0047] 無機材料薄膜で支持部材106を形成する場合には、例えばスパッタ法、熱CVD法、又はPCVD法などによって無機薄膜を形成することができる。無機薄膜を形成後、フォトリソグラフィー及びRIE法などのドライエッチング又は所定のエッチング液を使ったウェットエッチングによって支持部材106の構造を形成することができる。

[0048] 有機材料薄膜で支持部材106を形成する場合には、例えば感光性有機材料を塗布又は貼付した後にフォトリソグラフィーによって所定の構造を形成し、その後、ベーク処理を行うことにより支持部材106を形成することが

できる。支持部材 106 の構造を形成する際に用いるエッチング液については、支持部材 106 のエッチング速度と比較して第 1 の除去層、第 2 の除去層、及び半導体エピタキシャル層 103 のエッチング速度が小さいエッチング液やエッチングガスを選択することが望ましい。

[0049] このように、第 2 除去層 105 を除去する工程において支持部材 106 が設けられることにより、半導体エピタキシャル層 103 が第 1 除去層 104 又はベース基板 101 と接触する確率を低くすることができる。特に、第 2 除去層 105 よりもエッチング速度が小さい第 1 除去層 104 が設けられていることにより、支持部材 106 を構成する薄膜が破損したり残留しない状態になったりした場合であっても、半導体エピタキシャル層 103 がベース基板 101 と接合してしまうことを防止できる。

[0050] なお、支持部材 106 は、半導体エピタキシャル層 103 がベース基板 101 から離れる向きに力が加わることで、容易に切断されるように形成されていることが好ましい。例えば、支持部材 106 が、第 2 除去層 105 の側面に接する領域の一部の厚みが他の領域の厚みよりも小さい形状（例えば溝の形状）を有することで、第 2 除去層 105 が除去された後に支持部材 106 は容易に切断される。この場合、所定のエッチング材料を用いてエッチングすることにより第 2 除去層 105 を除去する除去工程と、半導体エピタキシャル層 103 を 101 ベース基板と異なる移動先基板 130 に接合する接合工程との間に、半導体エピタキシャル層 103 を引き上げるにより支持部材 106 を切断する工程をさらに有してもよい。

[0051] 所定領域の厚みが他の領域の厚みよりも小さい支持部材 106 は、例えば以下の方法により作製することができる。まず、厚みを小さくする領域（例えば溝を形状を形成する領域）以外の領域をレジストで被覆する。続いて、支持部材 106 の材料をエッチングするエッチング液を使ったウェットエッチング又は RIE などのドライエッチングによって所定の厚さになるようにエッチングした後にレジストを除去する。

[0052] [第 2 変形例]

以上の説明においては、第1除去層104のエッチング速度よりも、上記の所定のエッチング材料に対する第2除去層105のエッチング速度が大きい場合を例示したが、第1除去層104のエッチング速度が第2除去層105のエッチング速度以上であってもよい。ただし、この場合、エッチングによる第2除去層105の除去が完了した時点で第1除去層104の少なくとも一部が残留しているように、第1除去層104の厚みを第2除去層105の厚みよりも大きくすることが求められる。

[0053] [半導体基板1による効果]

本発明の半導体基板1は、ベース基板101から分離する予定の半導体エピタキシャル層103とベース基板101との間に、エッチング速度が異なる少なくとも2層の除去層を有する。したがって、半導体エピタキシャル層103が分離された後に、半導体エピタキシャル層103がベース基板101と接合することを防止できる。

[0054] そして、半導体基板1を用いて半導体素子を製造することにより、平坦な面を有する半導体エピタキシャル層103を移動先基板130に容易に移動させ、移動後の半導体エピタキシャル層103を加工して、各種の半導体素子を製造することができる。

[0055] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されず、その要旨の範囲内で種々の変形及び変更が可能である。例えば、装置の分散・統合の具体的な実施の形態は、以上の実施の形態に限られず、その全部又は一部について、任意の単位で機能的又は物理的に分散・統合して構成することができる。また、複数の実施の形態の任意の組み合わせによって生じる新たな実施の形態も、本発明の実施の形態に含まれる。組み合わせによって生じる新たな実施の形態の効果は、もとの実施の形態の効果を合わせ持つ。

符号の説明

[0056] 1 半導体基板
101 ベース基板

- 1 0 2 除去層
- 1 0 3 半導体エピタキシャル層
- 1 0 4 第1除去層
- 1 0 5 第2除去層
- 1 1 2 下面
- 1 1 5 上面
- 1 1 7 残留層
- 1 2 1 ピックアップ基板
- 1 2 2 ピックアップバンプ
- 1 3 0 移動先基板

請求の範囲

- [請求項1] ベース基板と、
前記ベース基板上に設けられた第1除去層と、
前記第1除去層の上方に設けられた第2除去層と、
前記第2除去層の上方に設けられた半導体エピタキシャル層と、
を有し、
所定のエッチング材料に対する前記第2除去層のエッチング速度が、
前記所定のエッチング材料に対する前記第1除去層のエッチング速度よりも大きい、
半導体基板。
- [請求項2] 前記第2除去層の厚みよりも前記第1除去層の厚みが大きい、
請求項1に記載の半導体基板。
- [請求項3] 前記所定のエッチング材料を用いたエッチングにより前記第2除去層が除去された時点で露出している前記第1除去層の表面が、前記半導体エピタキシャル層の前記第2除去層側の面よりも粗い、
請求項1又は2に記載の半導体基板。
- [請求項4] 前記ベース基板がGaAsにより構成されており、
前記半導体エピタキシャル層が $\text{Al}_t\text{Ga}_{1-t}\text{As}$ ($0 \leq t \leq 1$)
により構成されており、
前記第1除去層が $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($0.6 < x \leq 0.8$) により構成されており、
前記第2除去層が $\text{Al}_y\text{Ga}_{1-y}\text{As}$ ($0.7 < y \leq 1$ 、 $y > x$)
により構成されている、
請求項1から3のいずれか一項に記載の半導体基板。
- [請求項5] 前記半導体エピタキシャル層が $\text{Al}_t\text{Ga}_{1-t}\text{As}$ ($0 \leq t \leq 0.6$) により構成されている、
請求項4に記載の半導体基板。
- [請求項6] 前記ベース基板がInPにより構成されており、

前記半導体エピタキシャル層が $In_{1-x}Ga_xAs_yP_{1-y}$ ($0 \leq x$ 、 $y \leq 1$) である、

請求項 1 から 3 のいずれか一項に記載の半導体基板。

[請求項7] 前記第 1 除去層と前記第 2 除去層との間に設けられた第 3 除去層をさらに有し、

前記所定のエッチング材料に対する前記第 3 除去層のエッチング速度は、前記所定のエッチング材料に対する前記第 1 除去層のエッチング速度よりも大きく、前記所定のエッチング材料に対する前記第 2 除去層のエッチング速度よりも小さい、

請求項 1 から 6 のいずれか一項に記載の半導体基板。

[請求項8] 前記半導体エピタキシャル層が前記ベース基板の上方に位置するように前記半導体エピタキシャル層を支持するための支持部材をさらに有する、

請求項 1 から 7 のいずれか一項に記載の半導体基板。

[請求項9] 前記支持部材は、前記ベース基板、前記第 1 除去層、前記第 2 除去層及び前記半導体エピタキシャル層に接する、

請求項 8 に記載の半導体基板。

[請求項10] 前記支持部材は、前記第 2 除去層に接する領域の一部の厚みが他の領域の厚みよりも小さい形状を有する、

請求項 8 又は 9 に記載の半導体基板。

[請求項11] ベース基板を準備する工程と、

前記ベース基板上に第 1 除去層を形成する工程と、

前記第 1 除去層の上方に、所定のエッチング材料に対するエッチング速度が、前記所定のエッチング材料に対する前記第 1 除去層のエッチング速度よりも大きい第 2 除去層を形成する工程と、

前記第 2 除去層の上方に半導体エピタキシャル層を形成する工程と、

前記半導体エピタキシャル層を形成した後に、前記半導体エピタキ

シヤル層が前記ベース基板の上方に位置するように前記半導体エピタキシヤル層を支持するための支持部材を設ける工程と、

を有する、

半導体基板の製造方法。

[請求項12]

請求項 1 に記載の半導体基板を準備する工程と、

前記所定のエッチング材料を用いてエッチングすることにより前記第 2 除去層を除去する除去工程と、

前記除去工程の後に、前記半導体エピタキシヤル層を前記ベース基板と異なる移動先基板に接合する接合工程と、

を有する、半導体素子の製造方法。

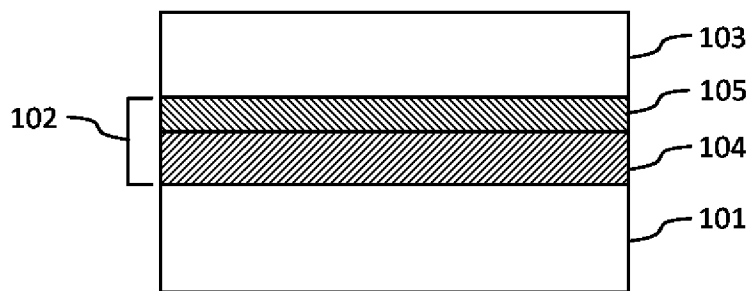
[請求項13]

前記半導体基板が、前記半導体エピタキシヤル層が前記ベース基板の上方に位置するように前記半導体エピタキシヤル層を支持するための支持部材をさらに有し、

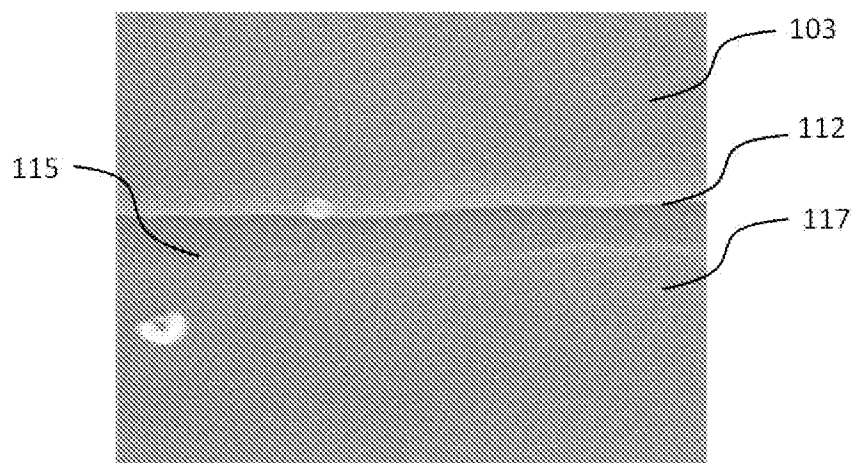
前記除去工程と前記接合工程との間に、前記支持部材を切断する工程をさらに有する、

請求項 1 2 に記載の半導体素子の製造方法。

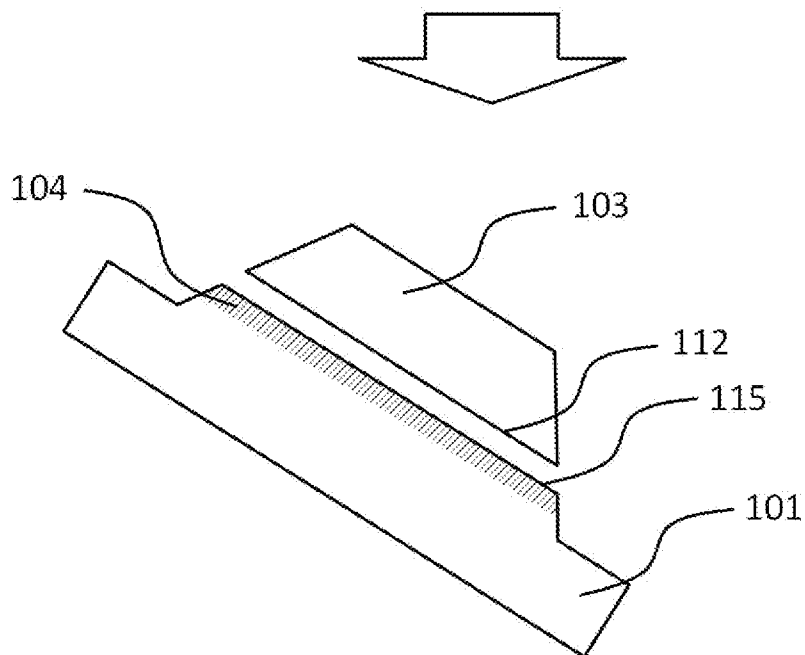
[図1]

1

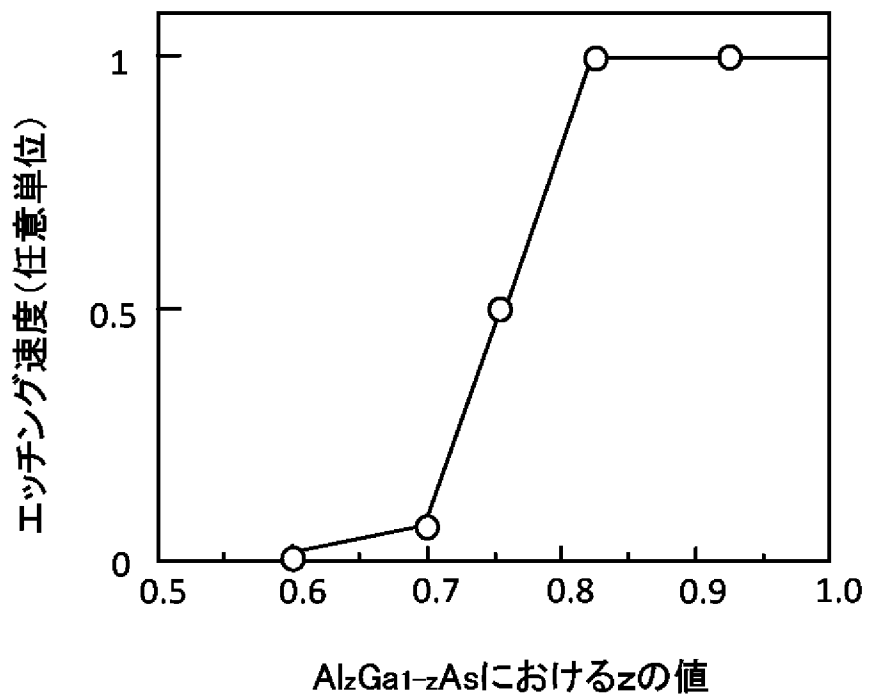
[図2A]



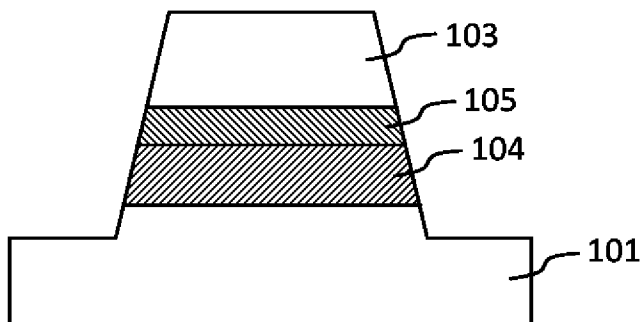
[図2B]



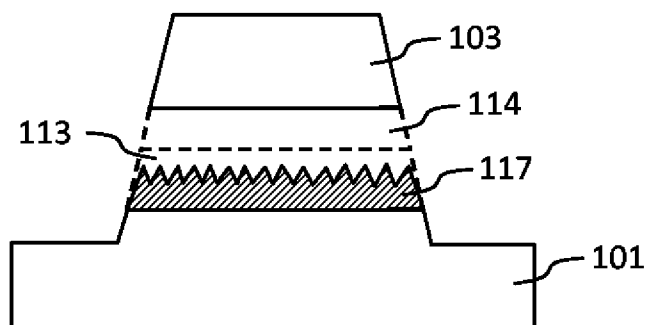
[図3]



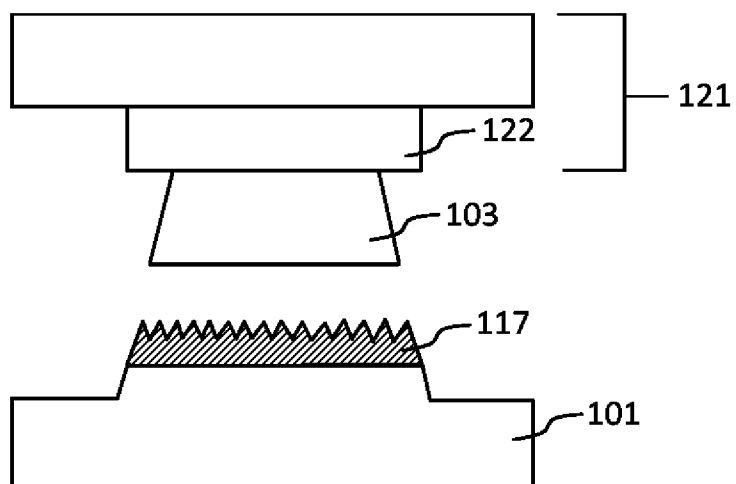
[図4A]



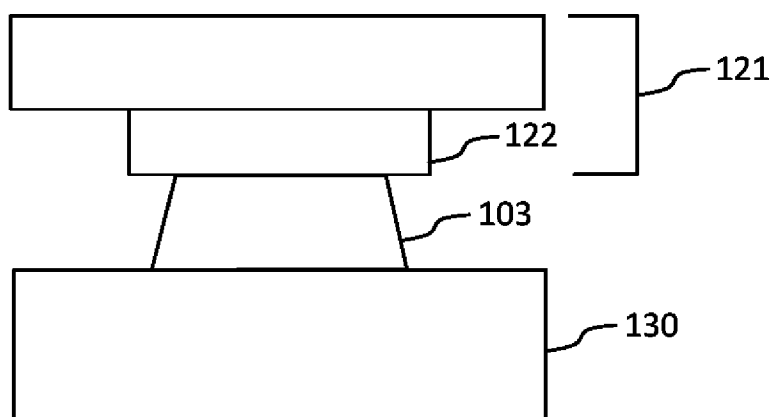
[図4B]



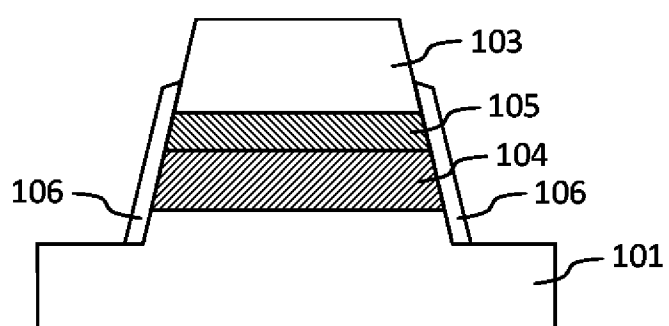
[図4C]



[図4D]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/040926

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/20 (2006.01) i, H01L21/02 (2006.01) i, H01L21/306 (2006.01) n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/20, H01L21/02, H01L21/306

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2006-080305 A (SHARP CORPORATION) 23 March 2006, paragraphs [0015]-[0025], [0038]-[0043], fig. 1, 2 & US 2006/0054900 A1, paragraphs [0025]-[0034], [0050]-[0055], fig. 1, 2 & EP 1635383 A2	1-7 8-13
X Y A	JP 2005-019590 A (OKI DATA CORPORATION) 20 January 2005, claims, paragraphs [0012]-[0030], fig. 1-4 & CN 1577905 A & TW 200503297 A	1-3, 12 8-13 4-7



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19.12.2019

Date of mailing of the international search report
07.01.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/040926

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	WO 2018/070120 A1 (SHIN-ETSU HANDOTAI CO., LTD.) 19 April 2018, paragraphs [0039]-[0041], [0051]- [0053], [0103]-[0110], fig. 2 & TW 201817035 A	1-3 8-13 4-7
Y A	JP 2013-211355 A (OKI DATA CORPORATION) 10 October 2013, paragraphs [0026]-[0028], fig. 1-4 (Family: none)	8-11, 13 1-7, 12
A	WO 2016/079929 A1 (SHIN-ETSU HANDOTAI CO., LTD.) 26 May 2016 & TW 201622174 A	1-13
A	JP 2010-504649 A (THE BOARD OF TRUSTEES OF THE UNIVERSITY OF ILLINOIS) 12 February 2010 & US 2008/0108171 A1 & WO 2008/036837 A2 & EP 2064734 A2 & KR 10-2009-0078803 A & CN 101517700 A & TW 200832513 A	1-13

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/20(2006.01)i, H01L21/02(2006.01)i, H01L21/306(2006.01)n

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/20, H01L21/02, H01L21/306

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2006-080305 A（シャープ株式会社）2006.03.23, 段落 [0015]-[0025], [0038]-[0043], 第1-2図 & US 2006/0054900 A1, 段 落[0025]-[0034], [0050]-[0055], 第1-2図 & EP 1635383 A2	1-7 8-13
X Y A	JP 2005-019590 A（株式会社沖データ）2005.01.20, 特許請求の範 囲, 段落[0012]-[0030], 第1-4図 & CN 1577905 A & TW 200503297 A	1-3, 12 8-13 4-7

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

19.12.2019

国際調査報告の発送日

07.01.2020

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

桑原 清

50

9375

電話番号 03-3581-1101 内線 3559

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	WO 2018/070120 A1 (信越半導体株式会社) 2018.04.19, 段落 [0039]-[0041], [0051]-[0053], [0103]-[0110], 第2図 & TW 201817035 A	1-3 8-13 4-7
Y A	JP 2013-211355 A (株式会社沖データ) 2013.10.10, 段落 [0026]-[0028], 第1-4図 (ファミリーなし)	8-11, 13 1-7, 12
A	WO 2016/079929 A1 (信越半導体株式会社) 2016.05.26, & TW 201622174 A	1-13
A	JP 2010-504649 A (ザ ボード オブ トラスティーズ オブ ザ ユニヴァーシティー オブ イリノイ) 2010.02.12, & US 2008/0108171 A1 & WO 2008/036837 A2 & EP 2064734 A2 & KR 10-2009-0078803 A & CN 101517700 A & TW 200832513 A	1-13