



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0062255
(43) 공개일자 2025년05월08일

(51) 국제특허분류(Int. Cl.)
H10D 30/67 (2025.01) H10D 62/10 (2025.01)
H10D 64/27 (2025.01)
(52) CPC특허분류
H10D 30/6734 (2025.01)
H10D 30/673 (2025.01)
(21) 출원번호 10-2023-0147004
(22) 출원일자 2023년10월30일
심사청구일자 2023년10월30일

(71) 출원인
경상국립대학교산학협력단
경상남도 진주시 진주대로 501 (가좌동)
(72) 발명자
전대영
경상남도 진주시 사들로 13 (충무공동, 혁신도시
엘에이치아파트9단지) 906동 1102호
(74) 대리인
윤귀상, 박철현

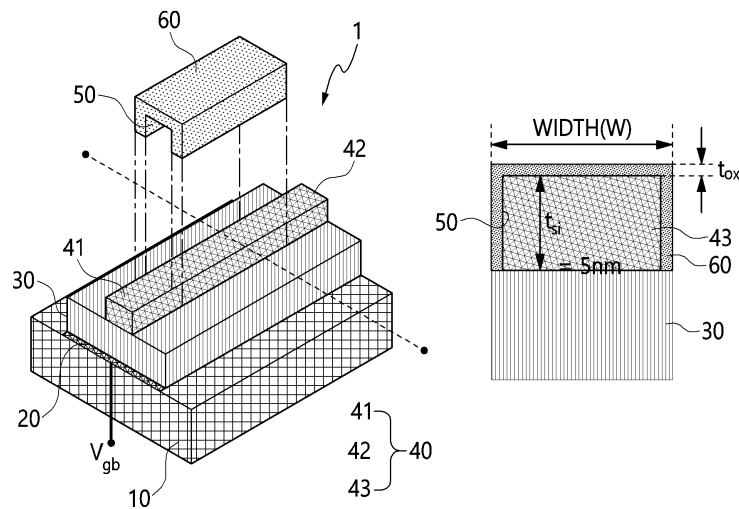
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 정전기적으로 고농도 도핑된 채널을 가지는 멀티 게이트 무접합 트랜지스터

(57) 요약

본 발명은 기판, 상기 기판 상에 형성된 바닥 게이트, 상기 바닥 게이트 상에 형성된 매몰 산화물(Buried Oxide), 상기 매몰 산화물 상에 형성되고, 서로 동일한 타입의 도펀트(dopant)로 도핑된 소스 및 드레인, 상기 소스와 상기 드레인을 연결하고, 상기 소스 및 상기 드레인과 동일한 타입의 도펀트로 도핑되며, 나노 스케일의 두께를 갖는 채널, 상기 채널을 둘러싸도록 형성된 게이트 절연막 및 상기 게이트 절연막을 둘러싸도록 형성된 멀티 게이트를 포함하고, 상기 바닥 게이트에 전압이 인가됨에 따라 상기 채널이 정전기적으로 고농도 도핑되는, 정전기적으로 고농도 도핑된 채널을 가지는 멀티 게이트 무접합 트랜지스터에 관한 것으로, 기존의 무접합 트랜지스터의 장점을 유지함과 동시에 접합 트랜지스터와 비슷한 수준으로 모빌리티 감소율을 억제할 수 있다.

대표도 - 도1



(52) CPC특허분류

H10D 30/6743 (2025.01)

H10D 62/121 (2025.01)

명세서

청구범위

청구항 1

기관;

상기 기관 상에 형성된 바닥 게이트;

상기 바닥 게이트 상에 형성된 매몰 산화물(Buried Oxide);

상기 매몰 산화물 상에 형성되고, 서로 동일한 타입의 도펀트(dopant)로 도핑된 소스 및 드레인;

상기 소스와 상기 드레인을 연결하고, 상기 소스 및 상기 드레인과 동일한 타입의 도펀트로 도핑되며, 나노 스케일의 두께를 갖는 채널;

상기 채널을 둘러싸도록 형성된 게이트 절연막; 및

상기 게이트 절연막을 둘러싸도록 형성된 멀티 게이트를 포함하고,

상기 바닥 게이트에 전압이 인가됨에 따라 상기 채널이 정전기적으로 고농도 도핑되는, 정전기적으로 고농도 도핑된 채널을 가지는 멀티 게이트 무접합 트랜지스터.

청구항 2

제1항에 있어서,

상기 소스 및 상기 드레인에 도핑된 도펀트의 농도는 상기 채널에 도핑된 도펀트의 농도보다 높은, 고농도 도핑된 채널을 가지는 멀티 게이트 무접합 트랜지스터.

청구항 3

제1항에 있어서,

정전기적으로 고농도 도핑된 채널의 평균 농도는 $10^{19}/\text{cm}^3$ 이상인, 고농도 도핑된 채널을 가지는 멀티 게이트 무접합 트랜지스터.

청구항 4

제1항에 있어서,

상기 바닥 게이트에 인가되는 전압은 50V인, 고농도 도핑된 채널을 가지는 멀티 게이트 무접합 트랜지스터.

청구항 5

제4항에 있어서,

상기 매몰 산화물의 두께가 상기 바닥 게이트에 인가되는 전압이 50V일 때보다 감소되는 경우, 상기 바닥 게이트에 인가되는 전압은 50V보다 작아지는, 고농도 도핑된 채널을 가지는 멀티 게이트 무접합 트랜지스터.

청구항 6

제1항에 있어서,

상기 멀티 게이트는 더블 게이트(Double-gate), 트리 게이트(Tri-gate), 게이트 올 어라운드(Gate-All-Around) 및 오메가 게이트(Omega-gate) 중 어느 하나인, 고농도 도핑된 채널을 가지는 멀티 게이트 무접합 트랜지스터.

청구항 7

제1항에 있어서,

상기 소스, 상기 드레인 및 상기 채널은 일체의 실리콘으로 형성되고,

상기 실리콘은 상기 게이트 절연막 형성 이전에 서로 동일한 타입의 도펀트로 도핑된 것인, 고농도 도핑된 채널을 가지는 멀티 게이트 무접합 트랜지스터.

청구항 8

제7항에 있어서,

상기 소스 및 상기 드레인은 상기 게이트 절연막 형성 이후에 서로 동일한 타입의 도펀트로 추가 도핑되는, 고농도 도핑된 채널을 가지는 멀티 게이트 무접합 트랜지스터.

청구항 9

제1항에 있어서,

상기 나노 스케일의 두께는 1 나노미터 내지 10 나노미터인, 고농도 도핑된 채널을 가지는 멀티 게이트 무접합 트랜지스터.

발명의 설명

기술 분야

[0001] 개시된 발명은 모빌리티 감소율을 최소화한 무접합 트랜지스터에 관한 것으로, 보다 구체적으로는 나노 스케일 채널 두께와 바닥 게이트를 포함하는 트랜지스터 구조를 적용하여 모빌리티 저하 문제를 해결할 수 있는 정전기적으로 고농도 도핑된 채널을 가지는 멀티 게이트 무접합 트랜지스터에 관한 것이다.

배경 기술

[0002] 기술 발전에 따라 반도체 소자의 집적도는 지속적으로 높아졌다. 따라서 초소형화된 트랜지스터를 생산하기 위한 공정 난이도가 상승했고, 보다 높은 제조 비용이 소요된다.

[0003] 현재 일반적으로 생산되는 접합 트랜지스터는 소스와 드레인에 P타입 또는 N타입이 도핑되고, 채널에 N타입 또는 P타입이 도핑되는 P형 또는 N형 접합 트랜지스터가 존재한다. 접합 트랜지스터는 채널 유형 외에도 채널 모드, 게이트 갯수, 채널 구조에 따라 다양한 형태로 분류될 수 있다.

[0004] 그 중에서 트랜지스터의 성능을 높이기 위해 다양한 채널 구조가 제안되었는데 가장 기본적인 평면 트랜지스터부터 현재 가장 많이 쓰이는 핀펫(FinFET) 트랜지스터, 차세대 구조 중 하나인 나노와이어 또는 게이트 올 어라운드(Gate-All-Around, GAA) 트랜지스터 등이 있다.

[0005] 그러나, 기존의 접합 트랜지스터는 단채널 효과로 인한 누설 전류 등의 문제점과 더불어 P-N 접합을 위한 복잡한 공정 난이도 및 높은 제조 비용으로 인한 한계점이 있다. 이와 같은 접합 트랜지스터의 한계를 극복하기 위해 소스, 채널, 드레인에 도핑된 도펀트의 타입이 서로 동일한 무접합 트랜지스터가 제안되었다. 무접합 트랜지스터는 P-N 접합이 불필요하여 제조 공정이 비교적 간단하고, 단채널 효과를 억제하는데 우수한 특성을 가지고 있으나, 공정 편차에 따른 민감성으로 낮은 수율을 보여 대량 생산에 어려움이 있다. 또한, 고농도 도핑된 채널로 인한 모빌리티 저하 문제가 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 공개특허 제 10-2018-0038709호(공개일자: 2018년04월17일)

발명의 내용

해결하려는 과제

[0007] 이상의 이유로, 개시된 발명의 일 측면은 고농도 도핑된 채널에서 발생하는 모빌리티 감소 현상을 줄일 수 있는

무접합 트랜지스터를 제공하고자 한다.

과제의 해결 수단

- [0008] 개시된 발명의 일 측면에 따른 정전기적으로 고농도 도핑된 채널을 가지는 멀티 게이트 무접합 트랜지스터는, 기판; 상기 기판 상에 형성된 바닥 게이트; 상기 바닥 게이트 상에 형성된 매몰 산화물(Buried Oxide); 상기 매몰 산화물 상에 형성되고, 서로 동일한 타입의 도펀트(dopant)로 도핑된 소스 및 드레인; 상기 소스와 상기 드레인을 연결하고, 상기 소스 및 상기 드레인과 동일한 타입의 도펀트로 도핑되며, 나노 스케일의 두께를 갖는 채널; 상기 채널을 둘러싸도록 형성된 게이트 절연막; 및 상기 게이트 절연막을 둘러싸도록 형성된 멀티 게이트를 포함하고, 상기 바닥 게이트에 전압이 인가됨에 따라 상기 채널이 정전기적으로 고농도 도핑되는, 정전기적으로 고농도 도핑된 채널을 가질 수 있다.
- [0009] 상기 소스 및 상기 드레인에 도핑된 도펀트의 농도는 상기 채널에 도핑된 도펀트의 농도보다 높을 수 있다.
- [0010] 정전기적으로 고농도 도핑된 채널의 평균 농도는 $10^{19}/\text{cm}^3$ 이상일 수 있다.
- [0011] 상기 바닥 게이트에 인가되는 전압은 50V일 수 있다.
- [0012] 상기 매몰 산화물의 두께가 상기 바닥 게이트에 인가되는 전압이 50V일 때보다 감소되는 경우, 상기 바닥 게이트에 인가되는 전압은 50V보다 작아질 수 있다.
- [0013] 상기 멀티 게이트는 더블 게이트(Double-gate), 트리 게이트(Tri-gate), 게이트 올 어라운드(Gate-All-Around) 및 오메가 게이트(Omega-gate) 중 어느 하나일 수 있다.
- [0014] 상기 소스, 상기 드레인 및 상기 채널은 일체의 실리콘으로 형성되고, 상기 실리콘은 상기 게이트 절연막 형성 이전에 서로 동일한 타입의 도펀트로 도핑된 것일 수 있다.
- [0015] 상기 소스 및 상기 드레인은 상기 게이트 절연막 형성 이후에 서로 동일한 타입의 도펀트로 추가 도핑될 수 있다.
- [0016] 상기 나노 스케일의 두께는 1 나노미터 내지 10 나노미터일 수 있다.

발명의 효과

- [0017] 개시된 발명의 일 측면에 따르면, 채널을 기존의 도펀트로 도핑하는 대신 바닥 게이트에 전압을 인가하여 정전기적으로 고농도 도핑된 채널을 형성할 수 있는 무접합 트랜지스터를 제공할 수 있다.
- [0018] 그에 의하여, 정전기적으로 고농도 도핑된 채널을 가지는 멀티 게이트 무접합 트랜지스터는 기존의 접합 트랜지스터와 비슷한 수준으로 모빌리티 감소율을 억제할 수 있다.

도면의 간단한 설명

- [0019] 도 1은 일 실시예에 의한 멀티 게이트 무접합 트랜지스터를 나타내는 사시도와 멀티 게이트 무접합 트랜지스터의 일부를 나타내는 종단면도이다.
- 도 2는 일 실시예에 의한 고농도로 도핑된 채널의 평균 농도를 도시한 그래프이다.
- 도 3은 일 실시예에 의한 멀티 게이트 무접합 트랜지스터에서 나타나는, 무접합 트랜지스터의 독특한 벌크 전도 특성인 트랜스컨덕턴스 동작에서의 shoulder shape 특성을 도시한 그래프이다.
- 도 4는 일 실시예에 의한 멀티 게이트 무접합 트랜지스터에서 나타나는, 무접합 트랜지스터의 독특한 벌크 전도 특성인 트랜스컨덕턴스를 미분한 동작에서의 두 개의 Peak를 도시한 그래프이다.
- 도 5는 일 실시예에 의한 멀티 게이트 무접합 트랜지스터와 종래의 트랜지스터의 모빌리티 값을 비교한 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0020] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다. 본 명세서가 실시예들의 모든 요소들을 설명하는 것은 아니며, 개시된 발명이 속하는 기술분야에서 일반적인 내용 또는 실시예들 간에 중복되는 내용은 생략한다. 명세서에서 사용되는 '부, 모듈, 부재, 블록'이라는 용어는 소프트웨어 또는 하드웨어로 구현될 수 있

으며, 실시예들에 따라 복수의 '부, 모듈, 부재, 블록'이 하나의 구성요소로 구현되거나, 하나의 '부, 모듈, 부재, 블록'이 복수의 구성요소들을 포함하는 것도 가능하다.

- [0021] 명세서 전체에서, 어떤 부분이 다른 부분과 '연결'되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라, 간접적으로 연결되어 있는 경우를 포함하고, 간접적인 연결은 무선 통신망을 통해 연결되는 것을 포함한다.
- [0022] 또한 어떤 부분이 어떤 구성요소를 '포함'한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0023] 명세서 전체에서, 어떤 부재가 다른 부재 '상에' 위치하고 있다고 할 때, 이는 어떤 부재가 다른 부재에 접해 있는 경우뿐 아니라 두 부재 사이에 또 다른 부재가 존재하는 경우도 포함한다.
- [0024] 제1, 제2 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위해 사용되는 것으로, 구성요소가 전술된 용어들에 의해 제한되는 것은 아니다.
- [0025] 단수의 표현은 문맥상 명백하게 예외가 있지 않는 한, 복수의 표현을 포함한다.
- [0026] 이하 첨부된 도면들을 참고하여 개시된 발명의 작용 원리 및 실시예들에 대해 설명한다.
- [0027] 도 1은 일 실시예에 의한 멀티 게이트(60) 무접합 트랜지스터(1)를 나타내는 사시도와 멀티 게이트(60) 무접합 트랜지스터(1)의 일부를 나타내는 종단면도이다.
- [0028] 도 1을 참조하면, 본 발명의 실시예에 따른 멀티 게이트(60) 무접합 트랜지스터(1)는 기판(10), 바닥 게이트(20), 매몰 산화물(Buried Oxide, 30), 소스(41), 드레인(42) 및 채널(43)을 포함하는 실리콘(40), 게이트 절연막(50) 및 멀티 게이트(60)를 포함한다.
- [0029] 본 발명에서 소스(41)가 되는 소스 영역, 드레인(42)이 되는 드레인 영역, 채널(43)이 되는 채널 영역은 일체의 실리콘(40)으로 형성될 수 있다.
- [0030] 바닥 게이트(20)는 기판(10) 위에 형성될 수 있다. 바닥 게이트(20)에 전압을 인가함으로써 채널 영역의 전자 또는 정공 밀도를 조절할 수 있다.
- [0031] 일 실시예에 따르면, 바닥 게이트(20)에 인가되는 전압 V_{gb} 는 50V일 수 있다. 그러나 이에 제한되지는 않으며, 채널(43)의 두께(또는 높이)와 매몰 산화물(30)의 두께와 같은 구조적 변수의 변동과 함께 적절한 인가 전압의 값은 달라질 수 있다.
- [0032] 예를 들어, 채널(43)의 두께가 5 나노미터보다 작은 경우, 바닥 게이트(20)에 인가되는 전압 V_{gb} 가 50V보다 낮더라도, 채널(43)의 두께가 5 나노미터이고 인가 전압 V_{gb} 가 50V일 때와 같은 고농도 도핑된 채널(43)을 형성할 수 있다.
- [0033] 이와 반대로, 채널(43)의 두께가 5 나노미터보다 크고, 10 나노미터보다 작은 경우, 바닥 게이트(20)에 인가되는 전압 V_{gb} 가 채널(43)의 두께가 5 나노미터일 때의 50V보다 높은 값으로 인가되어야 채널(43)의 두께가 5 나노미터일 때와 같은 고농도 도핑된 채널(43)을 형성할 수 있다.
- [0034] 또다른 예로, 바닥 게이트(20)에 인가되는 전압 V_{gb} 는 50V일 수 있으나, 매몰 산화물(30)의 두께가 감소되는 경우, 바닥 게이트(20)에 인가되는 전압 V_{gb} 도 50V보다 작아질 수 있다. 즉, 고농도 도핑된 채널(43)을 형성하기 위해 바닥 게이트(20)에 인가되는 적정 전압 $V_{gb} = 50V$ 일 때의 매몰 산화물(30)의 두께를 T_{box} 라고 했을 때, 매몰 산화물(30)의 두께가 T_{box} 보다 작은 값을 가지는 경우, 고농도 도핑된 채널(43)을 형성하기 위해 바닥 게이트(20)에 인가되는 적정 전압 V_{gb} 는 50V보다 작을 수 있다. 이와 같은 경우, 매몰 산화물(30)의 두께가 얇아질수록 고농도 도핑된 채널(43)을 형성하기 위해 바닥 게이트(20)에 인가되는 전압 V_{gb} 이 50V보다 작아질 수 있으므로 전력 소모를 감소시키는 효과가 도출될 수 있다.
- [0035] 매몰 산화물(30)은 바닥 게이트(20) 위에 형성될 수 있다. 매몰 산화물(30)은 절연체 역할을 하며, 기판(10)과 채널(43) 사이에 불필요한 전류 누출을 방지시킨다. 또한, 매몰 산화물(30)은 채널(43)과 기판(10) 사이의 전하 분포를 제어함으로써 바닥 게이트(20)에 인가되는 전압에 의해 채널(43) 영역에서만 유도 전하가 활성화되어 도

핑 효과를 낼 수 있도록 한다.

- [0036] 매물 산화물(30) 위에는 소스(41), 드레인(42) 및 채널(43)로 구분되는 일체의 실리콘(40)이 형성될 수 있다. 실리콘(40)은 게이트 절연막(50) 형성 이전에 서로 동일한 타입의 도펀트로 도핑될 수 있다.
- [0037] 또한, 소스(41) 및 드레인(42)은 게이트 절연막(50) 형성 이후에 동일한 타입의 도펀트가 추가로 도핑될 수 있다.
- [0038] 그러나 이에 제한되지는 않으며, 게이트 절연막(50) 형성 이후에 동일한 타입의 도펀트가 도핑될 수도 있다. 이 경우, 채널(43)에는 도펀트가 도핑되지 않는다.
- [0039] 어느 경우든, 바닥 게이트(20)에 전압이 인가되지 않은 상태에서는, 소스(41) 및 드레인(42)에 도핑된 도펀트의 농도는 채널(43)에 도핑된 도펀트의 농도보다 높다. 만일 바닥 게이트(20)에 전압이 인가되면, 채널(43)은 정전기적으로 고농도 도핑된 채널(43)이 된다.
- [0040] 트랜지스터는 종류와 상관없이 소스(41)에서 드레인(42)으로 전류가 흐르도록 구성된다. 이때 소스(41)와 드레인(42) 사이의 채널(43)은 소스(41)와 드레인(42)을 연결함으로써 캐리어가 되는 전자 또는 정공이 이동할 수 있는 통로 역할을 한다. 일반적으로 접합 트랜지스터의 경우, 채널(43)은 게이트 전압에 의해 소스(41)와 드레인(42)을 연결하도록 구성되며, 종래의 무접합 트랜지스터의 경우, 채널(43)은 소스(41) 및 드레인(42)과 동일하게 도펀트로 미리 고농도로 도핑되어 있어, 게이트 전압이 인가되지 않을 때도 채널(43)이 형성된다.
- [0041] 이와 달리 본 발명의 실시예에 따른 멀티 게이트 무접합 트랜지스터(1)에서 채널(43)은 도펀트로 미리 고농도로 도핑되지 않고, 바닥 게이트에 인가되는 전압에 의해 정전기적으로 고농도로 도핑될 수 있다. 즉, 본 발명의 실시예에 따른 멀티 게이트(60) 무접합 트랜지스터는 종래의 무접합 트랜지스터의 채널(43)이 항상 고농도로 도핑된 것과 다르게, 바닥 게이트(20)에 인가되는 전압 유무에 따라 고농도 도핑된 채널(43)이 형성되거나 형성되지 않게 된다. 이러한 특성으로 인해 본 발명의 실시예에 따른 멀티 게이트 무접합 트랜지스터(1)는 접합 트랜지스터의 채널과 유사한 작동 방식을 가질 수 있다. 또한 무접합 트랜지스터이기 때문에 기존의 무접합 트랜지스터가 가지는 다양한 특성을 갖추고 있다. 기존의 무접합 트랜지스터와 다른 점은 모빌리티 특성으로, 이에 대해서는 도 5에 대한 설명에서 후술하기로 한다.
- [0042] 채널(43)의 바람직한 두께는 1 나노미터 내지 10 나노미터일 수 있다. 본 발명의 실시예에서 채널(43)의 두께는 5 나노미터이다.
- [0043] 게이트 절연막(50)은 게이트 전극과 채널(43) 사이에 위치하여 전기적으로 게이트와 채널(43)을 분리하는 역할을 한다. 게이트 절연막(50)은 게이트와 채널(43) 사이의 직접적인 전기적 연결을 차단하여, 게이트 전압만으로 채널(43)의 전도성을 제어할 수 있게 한다. 게이트에 전압을 가하면, 게이트 절연막(50)을 통해 채널(43) 영역에 전하가 유도되거나 퇴치되고, 이로 인해 채널(43)의 전도성이 변화한다.
- [0044] 멀티 게이트(60)는 더블 게이트(Double-gate), 트리 게이트(Tri-gate), 게이트 올 어라운드(Gate-All-Around) 및 오메가 게이트(Omega-gate) 중 어느 하나일 수 있다.
- [0045] 본 발명의 실시예에서, 멀티 게이트(60)는 트리 게이트 구조를 취하고 있다. 트리 게이트는 채널(43)을 상측, 좌측 및 우측의 삼면에서 둘러싸는 형태를 가진다. 일반적인 FinFET 트랜지스터는 이 트리 게이트 구조를 취하는 경우가 많다.
- [0046] 도 2는 일 실시예에 의한 고농도로 도핑된 채널(43)의 평균 농도를 도시한 그래프이다.
- [0047] 도 2를 참조하면, 바닥 게이트(20)에 인가되는 전압으로 인해 정전기적으로 고농도 도핑된 채널(43)의 평균 농도는 $10^{19}/\text{cm}^3$ 이상일 수 있다.
- [0048] 도 3은 일 실시예에 의한 멀티 게이트(60) 무접합 트랜지스터(1)에서 나타나는, 무접합 트랜지스터의 독특한 벌크 전도 특성인 트랜스컨덕턴스 동작에서의 shoulder shape 특성을 도시한 그래프이다.
- [0049] 도 3을 참조하면, 바닥 게이트(20)에 인가되는 전압 V_{gb} 가 50V일 때의 shoulder shape 특성을 볼 수 있다.
- [0050] 트랜스컨덕턴스는 게이트 전압에 대한 드레인(42) 전류의 변화율로, 일반적인 MOSFET이나 무접합 트랜지스터에서의 트랜스컨덕턴스는 게이트 전압이 증가할수록 먼저 증가하다가 이후에는 감소하는 형태를 보인다.
- [0051] 이 shoulder shape 특성은 일반적으로 트랜스컨덕턴스 곡선에서 볼 수 있는 특성으로, 이는 게이트 전압이 특정 값을 넘어가면 트랜스컨덕턴스가 급격히 감소하기 시작하는 지점을 지칭한다.

- [0052] 본 발명의 실시예에 따른 shoulder shape 특성은 일반적인 무접합 트랜지스터에서 나타나는 것과 거의 유사하거나 동일한 양상을 보인다.
- [0053] 이러한 shoulder shape 특성은 전류의 상한을 자연스럽게 제한할 수 있다는 점에서 특정 응용 분야에서 유용하게 활용될 수 있다.
- [0054] 도 4는 일 실시예에 의한 멀티 게이트(60) 무접합 트랜지스터(1)에서 나타나는, 무접합 트랜지스터의 독특한 벌크 전도 특성인 트랜스컨덕턴스를 미분한 동작에서의 두 개의 Peak를 도시한 그래프이다.
- [0055] 도 4를 참조하면, 임계 전압 V_{th} 에서의 첫 번째 peak는 채널(43)이 형성되기 시작하는 지점을 나타낸다. 이 지점에서는 채널(43) 내의 전자 밀도가 급격히 증가하면서 트랜스컨덕턴스도 증가한다.
- [0056] 두 번째 peak인 플랫밴드 전압 V_{fb} 에서의 peak는 트랜지스터가 플랫밴드 상태, 즉 채널(43) 영역의 전압이 0V가 되는 지점을 나타낼 수 있다. 이 지점에서는 드레인(42)과 소스(41) 사이의 전류 흐름이 최적화되는 경우가 있어 트랜스컨덕턴스가 높아질 수 있다.
- [0057] 도 5는 일 실시예에 의한 멀티 게이트(60) 무접합 트랜지스터(1)와 종래의 트랜스터의 모빌리티 값을 비교한 그래프이다.
- [0058] 도 5를 참조하면, 본 발명의 실시예에 따른 멀티 게이트(60) 무접합 트랜지스터(1)의 최대 모빌리티 값은 ($V_{gb} = 50V$)으로, 도핑이 안 된 트랜지스터의 ($V_{gb} = 0V$) 모빌리티 최대값과 비교했을 때, 거의 유사한 값을 보인다.
- [0059] 즉, 기존의 무접합 트랜지스터의 단점인 모빌리티 저하 현상을 보이지 않는다.
- [0060] 또한, 정전기적으로 고농도 도핑된 멀티 게이트(60) 무접합 트랜지스터(1)에서, 게이트 전압 V_g 와 임계 전압 V_{th} 간의 차이인 Gate Threshold Voltage(V_{gt}) 값의 증가에 따른 모빌리티 감소율은 도핑이 안 된 트랜지스터의 ($V_{gb} = 0V$) 모빌리티 감소율보다 작은 것을 확인할 수 있다.
- [0061] 이와 같이, 본 발명의 실시예에 따른 멀티 게이트(60) 무접합 트랜지스터(1)는 채널(43)의 두께가 1 내지 10 나노미터 사이인 나노 스케일의 두께를 가지고, 바닥 게이트(20)에 인가되는 전압 V_{gb} 가 50V일 때, 고농도 도핑된 채널(43)을 형성할 수 있다.
- [0062] 또한, 도 3 내지 도 4에 나타난 바와 같이 기존의 무접합 트랜지스터의 고유한 특성을 유지함과 동시에, 도 5에서 확인할 수 있듯이 바닥 게이트(20)에 인가되는 전압 $V_{gb} = 50V$ 에서 $V_{gb} = 0V$ 일 때와 유사한 모빌리티 감소율 특성을 가질 수 있다. 즉, 본 발명의 실시예에 따른 멀티 게이트 무접합 트랜지스터(1)는 고농도 도핑된 채널을 가지는 일반적인 무접합 트랜지스터의 가장 큰 제한 요인인 불순물 산란에 의한 모빌리티 저하 문제가 없다.
- [0063] 이와 같이, 본 발명의 실시예에 따른 멀티 게이트(60) 무접합 트랜지스터(1)는 기존의 무접합 트랜지스터의 단점인 모빌리티 감소율을 최소화함으로써 더욱 높은 성능을 제공할 수 있다.
- [0064] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

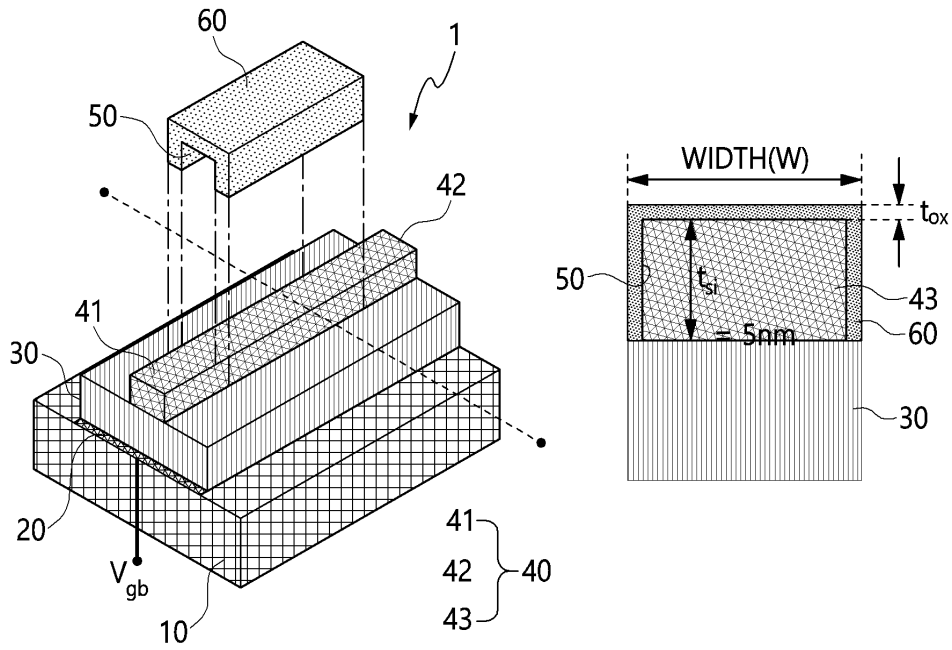
부호의 설명

- [0065] 1: 멀티 게이트 무접합 트랜지스터
- 10: 기판
- 20: 바닥 게이트
- 30: 매물 산화물
- 40: 실리콘

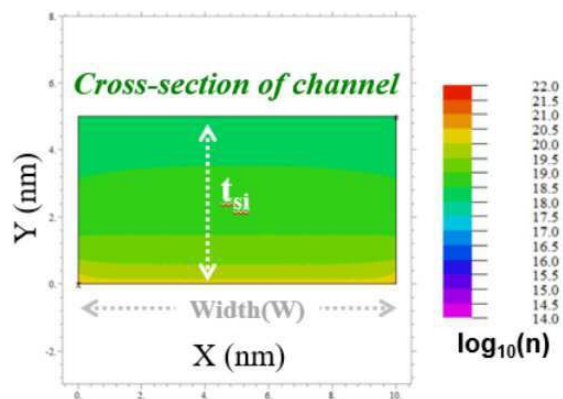
- 41: 소스
- 42: 드레인
- 43: 채널
- 50: 게이트 절연막
- 60: 멀티 게이트

도면

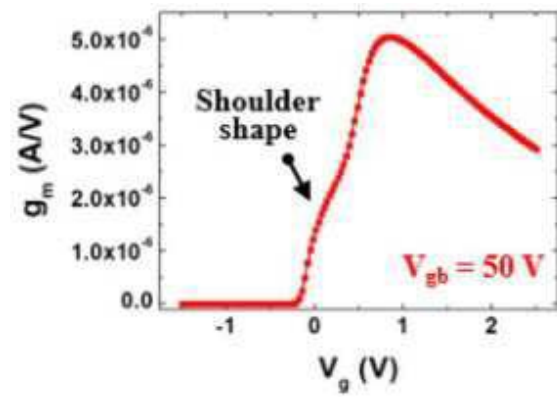
도면1



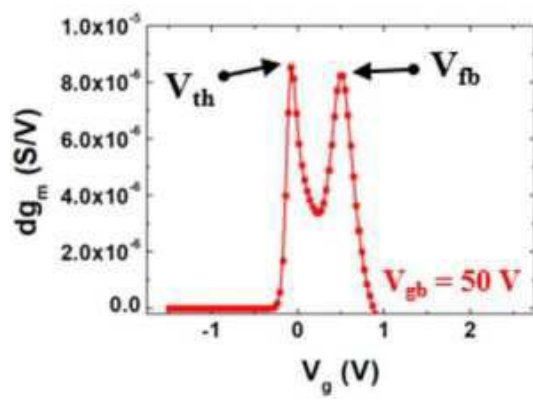
도면2



도면3



도면4



도면5

