

(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H04L 12/56	(45) 공고일자 1999년02월01일
	(11) 등록번호 특0169246
	(24) 등록일자 1998년10월09일
(21) 출원번호 특1996-033172	(65) 공개번호 특1998-014260
(22) 출원일자 1996년08월09일	(43) 공개일자 1998년05월25일

(73) 특허권자	한국전자통신연구원 양승택 대전광역시 유성구 가정동 161한국전기통신공사 이계철 서울시 종로구 세종로 100번지
(72) 발명자	문승진 대전광역시 유성구 전민동 엑스포 아파트 404동 1505호 송광석 대전광역시 유성구 신성동 한울 아파트 110동 1103호
(74) 대리인	최승민, 신영무

심사관 : 이상웅

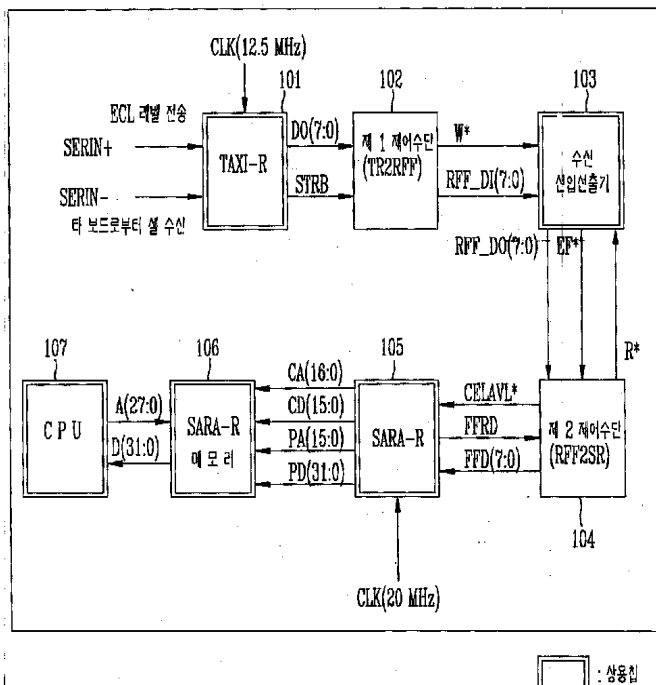
(54) 셀 수신 장치

요약

본 발명은 에이티엠(ATM) 적응 계층(AAL ; ATM Adaptation Layer; 이하, AAL이라 함) 처리를 위한 트랜스 위치(Transwitch)사의 SARA-R(Reassembly) 칩과 타 보드와의 통신매체로 사용되는 AMD 사의 TAXI-R(Receiver)(수신 TAXI 칩)을 비동기 선입선출기(FIFO)를 사용하여 정합하는 셀 수신 장치에 관해 개시된다.

본 발명은 타 보드로부터 셀 수신을 가능하게 하는 TAXI-R과 ATM 교환기의 AAL 처리 중 메시지화를 위한 SARA-R 사이의 정합이 TAXI-R과 SARA-R의 구동 클럭에 관계없이 구현 가능한 효과가 있다.

대표도



명세서

도면의 간단한 설명

제1도는 본 발명을 설명하기 위한 수신 장치의 개념도.

제2도는 본 발명에 따른 수신 장치의 블록도.

* 도면의 주요부분에 대한 부호의 설명

101 : 수신 TAXI 칩 (TAXI-R) 102 : 제1제어수단(TR2RFF)
 103 : 수신 선입선출기(FIFO) 104 : 제2제어수단(RFF2SR)
 105 : 메시지화 SARA 칩(SARA-R) 107 : CPU
 108 : 메시지화 SARA 메모리(SARA-R 메모리)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 AAL(ATM Adaptation Layer) 처리를 위한 트랜스위치(Transwitch)사의 SARA-R(Reassembly) 칩과 타 보드와의 통신매체로 사용되는 AMD 사의 수신 TAXI 칩(TAXI-R)을 비동기 선입선출기(FIFO)를 사용하여 정합하는 셀 수신 장치에 관한 것이다.

종래에는 SARA-R과 TAXI-R의 정합회로에 선입선출기가 없어서 서로 다른 클럭으로 구동되는 SARA-R과 TAXI-R의 데이터 입출력에 타이밍을 맞추기가 힘든 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

이러한 종래 기술에 대한 문제점을 해결하기 위하여 안출된 본 발명은, ATM 교환기의 AAL 처리 중 셀의 메시지화를 위한 SARA-R 과 타 보드로부터 셀 수신을 할 수 있도록 하는 TAXI-R 사이의 정합이 SARA-R과 TAXI-R의 구동 클럭에 관계없이 구현가능한 셀 수신 장치를 제공하는데 그 목적이 있다.

상기 목적을 달성하기 위하여 본 발명은, 외부로부터 클럭 신호를 받아 고속 ECL통신을 통해 타 보드로부터 시리얼 방식으로 셀을 수신하여 8비트씩 패레럴 방식으로 변환시키는 변환기 수단과, 상기 변환기 수단으로부터 8비트씩 셀을 수신하고 읽기 가능 신호를 구동하는 제1제어수단과, 상기 제1제어수단을 통해 상기 변환기 수단에 연결되어 데이터를 수신하고, 내부에 수신된 데이터의 존재를 알리는 8비트 포트 입출력의 수신 선입선출수단과, 상기 선입선출 수단으로부터 쓰기 가능 신호를 구동하여 수신 데이터를 입력받고, 유효 셀 신호를 구동하는 제2제어수단과, 상기 제2제어수단을 통해 상기 수신 선입선출 수단에 연결되어 수신데이터를 받아 들이고 이를 메시지화하는 메시지화 수단과, 상기 메시지화 수단으로부터 오는 메시지를 저장하는 메모리와, 상기 메모리의 해당 어드레스를 지정한 후 지정된 어드레스에 해당하는 메시지를 독출하는 CPU로 구성된 것을 특징으로 한다.

발명의 구성 및 작용

이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.

제1도는 본 발명에 따른 수신 장치의 개념도로서, 고속 ECL(Emitter Coupled Logic)수신을 위한 TAXI-R(수신 TAXI 칩)(101), 8비트 포트의 입출력을 가지는 수신 선입선출기(103), AAL(ATM Adaptation Layer) 처리를 위한 SARA-R(메시지화 SARA 칩)(105), TAXI-R(101)과 수신 선입선출기(103) 사이의 제1제어수단(TR2RFF; 102), 수신 선입선출기와 SARA-R(105) 사이의 제2제어수단(RFF2SR; 104)으로 구성된다.

본 발명에서 수신 선입선출기(103)를 사용하는 이유는 TAXI-R(101)은 12.5MHz, SARA-R(105)은 20MHz의 서로 다른 클럭으로 구동되기 때문이다.

도면에서 화살표 방향은 셀 및 메시지의 흐름을 나타낸다. TAXI-R(101)은 타 보드로부터 AAL(ATM Adaptation Layer) 타입 5 포맷의 1셀(53 바이트)씩을 수신하여, 제1제어수단(102)으로 보낸다. 제1제어수단(102)은 수신 선입선출기(103)에게 8비트 단위로 1 셀(53 바이트)을 전송한다. 수신 선입선출기(103)는 8비트 포트의 입출력을 가지는 비동기 선입선출기이다. 제2제어수단(104)은 수신 선입선출기(103)로부터 8비트씩을 읽은 후, SARA-R(105)의 제어신호를 구동하여, SARA-R(105)에게 8비트 단위로 전송한다. SARA-R(105)은 제2제어수단(104)으로부터 오는 8비트 단위의 1셀(53 바이트)씩을 저장하여 메시지화하고, SARA-R 메모리(106)에 메시지를 저장한다. CPU(107)는 SARA-R 메모리(106) 내부에 있는 메시지를 읽는다. 제1제어수단(102)은 TAXI-R(101) 클럭, 제2제어수단(104)은 SARA-R(105) 클럭에 각각 동기된다.

표1, 표2 및 표3은 TAXI-R(101), 수신 선입선출기(103), SARA-R(105)의 제어신호를 각각 나타낸 것이다.

[표 1]

TAXI-R 관련 신호.

신 호 명	정 의	방 향 (TAXI-R 기준)
CLK	클럭(12.5 MHz)	I
DO(7:0)	데이터 출력 버스	O
STRB	출력 데이터 유효	O
SERIN+	시리얼 데이터 입력+	I
SERIN-	시리얼 데이터 입력-	I

[표 2]

수신 선입선출기 관련 신호.

신 호 명	정 의	방 향 (선입선출기 기준)
RFF_DI(7:0)	데이터 입력 버스	I
RFF_DO(7:0)	데이터 출력 버스	O
W*	쓰기 가능	I
R*	읽기 가능	I
EF*	엠프티	O

[표 3]

SARA-R 관련 신호.

신 호 명	정 의	방 향 (SARA-R 기준)
CLK	클럭(20MHz)	I
CA(16:0)	컨트롤 메모리 어드레스	O
CD(15:0)	컨트롤 메모리 데이터	I/O
PA(15:0)	패킷 메모리 어드레스	O
PD(31:0)	패킷 메모리 데이터	I/O
CELAVL*	1 셀 유효	I
FFRD	읽기 유효	O
FFD(7:0)	데이터 입력 버스	I

제2도는 제1도에 도시한 수신 장치의 상세한 블록도로서, 도면부호 101은 TAXI-R, 102는 제1제어수단 (TR2RFF), 103은 수신 선입선출기(FIFO), 104는 제2제어수단(RFF2SR), 105는 SARA-R, 106은 SARA-R 메모

리, 107은 CPU를 각각 나타낸다.

상기 TAXI-R(101)은 AAL(ATM Adaptation Layer) 타입 5 포맷의 셀(53 바이트)을 ECL(Emitter Coupled Logic) 레벨로 시리얼 데이터 입력+(SERIN+), 시리얼 데이터 입력-(SERIN-) 신호를 통해 시리얼(Serial)로 1바이트씩 타 보드로부터 받아들인다. 상기 TAXI-R(101)은 입력받은 1바이트를 패러렐(Parallel)로 복원시켜, 상기 제1제어수단(102)에게 출력 데이터 유효(STRB) 신호와 함께 상기 TAXI-R(101)의 데이터 출력 버스(D0(7:0)) 신호를 통해 전송한다. 상기 제1제어수단(102)은 상기 TAXI-R(101)의 출력 데이터 유효(STRB) 신호와 상기 TAXI-R(101)의 12.5MHz 클럭 신호를 기준으로 W*(쓰기 가능) 신호를 만들어 상기 수신 선입선출기(103)에 상기 수신 선입선출기(103)의 데이터 입력 버스(RFF_DI(7:0)) 신호로 1 바이트를 8비트 패러렐(Parallel)로 전송한다. 상기 수신 선입선출기(103)는 내부에 데이터가 있기 때문에, 상기 수신 선입선출기(103)의 옴프티(EF*) 신호를 1로 상기 제2제어수단(104)에게 출력한다. 상기 제2제어수단(104)은 상기 수신 선입선출기(103)의 옴프티(EF*) 신호가 1이 되면, 상기 수신 선입선출기(103) 내부에 가져가야 할 데이터가 있음을 감지하고, 상기 SARA-R(105)의 20MHz 클럭 신호를 기준으로 읽기가능(R*) 신호를 생성하여, 상기 수신 선입선출기(103)의 상기 수신 선입선출기(103)의 데이터 출력 버스(RFF_DO(7:0)) 신호를 통하여 1바이트씩을 8비트 패러렐(Parallel)로 총 1셀(53 바이트)만큼 수신한다. 상기 제2제어수단(104)은 1 셀(53 바이트)이 수신되면, 상기 SARA-R(105)에 상기 SARA-R(105)의 1셀 유효(CELAVL*) 신호를 '0'으로 구동한다. 상기 SARA-R(105)은 1 셀 유효(CELAVL*) 신호가 '0'이 되면, 상기 SARA-R(105)의 읽기 유효(FFRD) 신호를 구동하여, 상기 제2제어수단(104)으로부터 상기 SARA-R(105)의 20MHz 클럭의 상승 에지(Rising Edge)에서 1 바이트 씩, 1 셀(53 바이트)을 상기 SARA-R(105)의 데이터 입력 버스(FFD(7:0)) 신호를 통하여 읽어 온다. 상기 SARA-R(105)는 상기 제2제어수단(104)으로부터 입력되는 AAL(ATM Adaptation Layer) 타입 5 포맷의 셀들을 메시지로 조립한 후, 컨트롤 메모리 어드레스(CA(16:0)), 패킷 메모리 어드레스(PA(15:0)) 신호로 상기 SARA-R 메모리(106)의 어드레스를 지정한 후, 컨트롤 메모리 데이터(CD(15:0)), 패킷 메모리 데이터(PD(31:0)) 신호로 조립된 메시지를 상기 SARA-R 메모리(106)에 저장한다. 상기 CPU(107)는 A(27:0) 신호로 상기 SARA-R 메모리(106)의 어드레스를 지정한 후, D(31:0) 신호로 조립된 메시지를 SARA-R 메모리(106)로부터 가져온다.

이상과 같은 일련의 과정으로 상기 TAXI-R(101)로부터 AAL(ATM Adaptation Layer)타입 5 포맷의 셀들이 수신되어 상기 SARA-R(105)에서 메시지로 조립된 후, 상기 CPU(107)에서 메시지가 획득된다.

발명의 효과

상술한 바와 같은 본 발명은 타 보드로부터 셀 수신을 가능하게 하는 TAXI-R과 ATM 교환기의 AAL처리 중 메시지화를 위한 SARA-R 사이의 정합이 TAXI-R과 SARA-R의 구동 클럭에 관계없이 구현 가능한 효과가 있다.

(57) 청구의 범위

청구항 1

외부로부터 클럭 신호를 받아 고속 ECL통신을 통해 타 보드로부터 시리얼 방식으로 셀을 수신하여 8비트씩 패러렐 방식으로 변환시키는 변환기 수단과, 상기 변환기 수단으로부터 8비트씩 셀을 수신하고 읽기 가능 신호를 구동하는 제1제어수단과, 상기 제1제어수단을 통해 상기 변환기 수단에 연결되어 데이터를 수신하고, 내부에 수신된 데이터의 존재를 알리는 8비트 포트 입출력의 수신 선입선출수단과, 상기 선입선출 수단으로부터 쓰기 가능 신호를 구동하여 수신 데이터를 입력받고, 유효 셀 신호를 구동하는 제2제어수단과, 상기 제2제어수단을 통해 상기 수신 선입선출 수단에 연결되어 수신데이터를 받아 들이고 이를 메시지화하는 메시지화 수단과, 상기 메시지화 수단으로부터 오는 메시지를 저장하는 메모리와, 상기 메모리의 해당 어드레스를 지정한 후 지정된 어드레스에 해당하는 메시지를 독출하는 CPU로 구성된 것을 특징으로 하는 셀 수신 장치.

청구항 2

제1항에 있어서, 상기 변환기 수단은 ATM 적응계층 타입 5 포맷의 셀을 ECL 레벨인 시리얼 데이터 입력+, 시리얼 데이터 입력- 신호를 통해 시리얼로 1바이트씩 입력으로 하여 1 바이트 패러렐로 복원시키도록 구성된 것을 특징으로 하는 셀 수신 장치.

청구항 3

제1항에 있어서, 상기 제1제어수단은 상기 변환기 수단의 출력 데이터 유효신호와 상기 변환기 수단의 12.5MHz 클럭신호를 기준으로 쓰기 가능 신호를 만들어 상기 수신 선입선출기에 상기 수신 선입선출기의 데이터 입력 버스 신호 1 바이트를 8비트 패러렐로 전송할 수 있도록 구성된 것을 특징으로 하는 셀 수신 장치.

청구항 4

제1항에 있어서, 상기 제2제어수단은 상기 수신 선입선출기의 옴프티 신호가 1이 되면, 상기 수신 선입선출기 내부에 가져가야 할 데이터가 있음을 감지하고, 상기 메시지화 수단의 20MHz 클럭 신호를 기준으로 읽기 가능 신호를 생성하여 상기 수신 선입선출기의 데이터 출력 버스 신호를 통하여 1 바이트씩 8비트 패러렐로 총 1셀만큼 수신하여 상기 메시지화 수단의 1 셀 유효 신호가 '0'으로 구동되도록 구성된 것을 특징으로 하는 셀 수신 장치.

청구항 5

제1항에 있어서, 메시지화 수단은 1 셀 유효 신호가 '0'이 되면, 상기 메시지화 수단의 읽기 유효 신호를 구동하여 상기 제2제어수단으로부터 상기 메시지화 수단의 20MHz 클럭의 상승 에지에서 1 바이트 씩 1 셀을 상기 메시지화 수단의 데이터 입력 버스 신호를 통하여 읽고, 상기 제2제어수단으로부터 입력되는 ATM

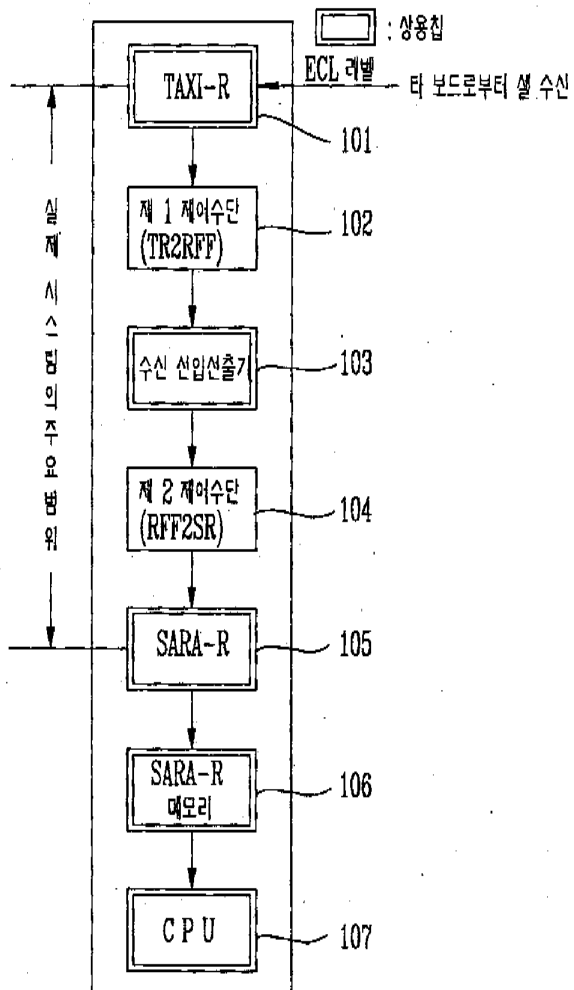
적응계층 타입 5 포맷의 셀들을 메시지로 조립한 후, 콘트롤 메모리 어드레스, 패킷 메모리 어드레스 신호로 상기 메모리의 어드레스를 지정한 후, 콘트롤 메모리 데이터, 패킷 메모리 데이터 신호로 조립된 메시지를 상기 메모리에 저장되도록 구성된 것을 특징으로 하는 셀 수신 장치.

청구항 6

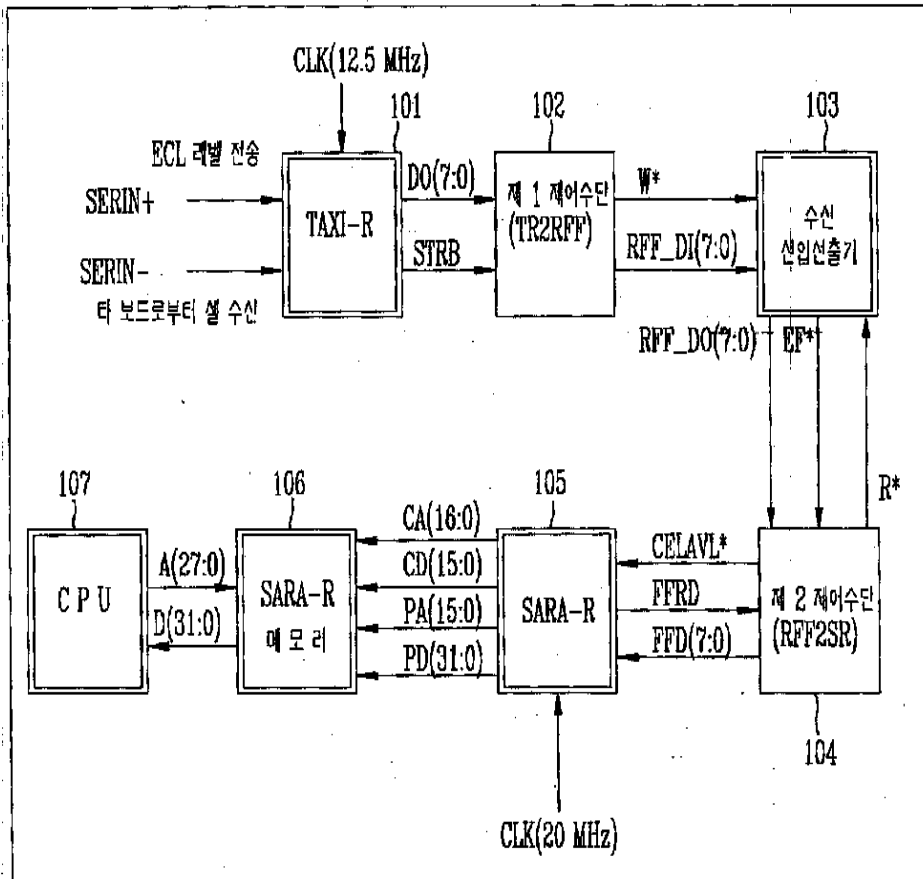
제1항에 있어서, 상기 CPU는 상기 메모리의 어드레스를 어느 한 신호로 지정하고, 또다른 신호로 조립된 메시지를 메모리로부터 공급받을 수 있도록 구성된 것을 특징으로 하는 셀 수신 장치.

도면

도면1



도면2



: 상용칩