

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5900315号
(P5900315)

(45) 発行日 平成28年4月6日(2016.4.6)

(24) 登録日 平成28年3月18日(2016.3.18)

(51) Int.Cl.

F 1

HO 1 L	21/338	(2006.01)
HO 1 L	29/778	(2006.01)
HO 1 L	29/812	(2006.01)
HO 1 L	21/336	(2006.01)
HO 1 L	29/78	(2006.01)

HO 1 L	29/80	H
HO 1 L	29/78	3 O 1 B

請求項の数 20 (全 60 頁)

(21) 出願番号	特願2012-278717 (P2012-278717)
(22) 出願日	平成24年12月20日 (2012.12.20)
(65) 公開番号	特開2013-191828 (P2013-191828A)
(43) 公開日	平成25年9月26日 (2013.9.26)
審査請求日	平成27年2月25日 (2015.2.25)
(31) 優先権主張番号	特願2012-31734 (P2012-31734)
(32) 優先日	平成24年2月16日 (2012.2.16)
(33) 優先権主張国	日本国 (JP)

(73) 特許権者	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(74) 代理人	110000925 特許業務法人信友国際特許事務所
(72) 発明者	竹内 克彦 東京都港区港南1丁目7番1号 ソニー株式会社内
(72) 発明者	谷口 理 東京都港区港南1丁目7番1号 ソニー株式会社内
審査官	須原 宏光

最終頁に続く

(54) 【発明の名称】半導体装置および半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

化合物半導体で構成されたチャネル層と、
化合物半導体で構成され前記チャネル層上に設けられた上部障壁層と、
前記上部障壁層において前記チャネル層側の界面層を構成する層であって、当該チャネル層との接合部におけるキャリア走行側のエネルギー帯が、当該チャネル層よりも当該チャネル層内真性フェルミ準位から遠い化合物半導体で構成された第1障壁層と、
前記上部障壁層の表面層に設けられた層であって、前記第1障壁層と接合させた状態において、当該接合部に対するバンドギャップを挟んでキャリア走行側と逆側のエネルギー帯が、当該第1障壁層よりも当該第1障壁層内真性フェルミ準位から遠い化合物半導体で構成された第2障壁層と、

前記第2障壁層内における少なくとも表面層に設けられ、キャリアと逆導電型の不純物を含有することにより周囲よりも低抵抗に保たれた低抵抗領域と、

前記低抵抗領域を挟んだ位置において前記第2障壁層に接続されたソース電極およびドレイン電極と、

前記低抵抗領域上に設けられたゲート絶縁膜と、

前記ゲート絶縁膜を介して前記低抵抗領域上に設けられたゲート電極とを備えた半導体装置。

【請求項 2】

前記低抵抗領域は、前記第2障壁層の表面層から前記第1障壁層に達するまでの深さを

有する

請求項 1 記載の半導体装置。

【請求項 3】

前記上部障壁層との間に前記チャネル層を挟む位置に、当該チャネル層との接合部におけるキャリア走行側のエネルギー帯が、当該チャネル層よりも当該チャネル層内真性フェルミ準位から遠い化合物半導体で構成された下部障壁層を有する

請求項 1 または 2 記載の半導体装置。

【請求項 4】

前記上部障壁層とソース電極およびドレイン電極との間に、キャリアとなる不純物を含有する層が設けられている

請求項 1 ~ 3 の何れかに記載の半導体装置。

【請求項 5】

前記第 2 障壁層は、前記第 1 障壁層の上方において前記低抵抗領域としてパターン形成されている

請求項 1 ~ 4 の何れかに記載の半導体装置。

【請求項 6】

前記ゲート電極は、前記ゲート絶縁膜を介して前記低抵抗領域の上部およびその周囲を完全に覆う形状を有する

請求項 1 ~ 5 の何れかに記載の半導体装置。

【請求項 7】

前記第 1 障壁層における伝導帯の最低エネルギーは、前記チャネル層における伝導帯の最低エネルギーよりも高く、

前記第 2 障壁層における価電子帯の最大エネルギーは、前記第 1 障壁層における価電子帯の最大エネルギーよりも低い

請求項 1 ~ 6 の何れかに記載の半導体装置。

【請求項 8】

前記チャネル層は、II - V 族化合物半導体である InGaAs 混晶で構成され、

前記第 1 障壁層は、II - V 族化合物半導体である AlGaAs 混晶で構成され、

前記第 2 障壁層は、II - V 族化合物半導体である GaInP 混晶で構成された

請求項 1 ~ 7 の何れかに記載の半導体装置。

30

【請求項 9】

前記チャネル層は、II - V 族化合物半導体である InGaAs 混晶で構成され、

前記第 1 障壁層または第 2 障壁層は、II - V 族化合物半導体である In(A1Ga)AsP 混晶で構成された

請求項 1 ~ 8 の何れかに記載の半導体装置。

【請求項 10】

前記チャネル層は、GaAs で構成された基板上に設けられた

請求項 1 ~ 9 の何れかに記載の半導体装置。

【請求項 11】

前記チャネル層は、前記基板上に GaAs とは格子定数の異なる化合物半導体をメタモルフィック成長させてなる

40

請求項 10 記載の半導体装置。

【請求項 12】

化合物半導体で構成されたチャネル層上に、当該チャネル層との接合部におけるキャリア走行側のエネルギー帯が、当該チャネル層よりも当該チャネル層内真性フェルミ準位から遠い化合物半導体で構成された第 1 障壁層を形成することと、

前記第 1 障壁層の上方に、前記第 1 障壁層と接合させた状態において、当該接合部におけるバンドギャップを挟んで前記キャリア走行側と逆側のエネルギー帯が、当該第 1 障壁層よりも当該第 1 障壁層内真性フェルミ準位から遠い化合物半導体で構成されると共に、少なくとも層内の表面層にキャリアと逆導電型の不純物を含有することにより周囲よりも

50

低抵抗に保たれた低抵抗領域を備えた第2障壁層を形成することと、

前記第1障壁層によって前記チャネル層側の界面層が構成されると共に、前記第2障壁層が表面層に設けられた上部障壁層に対して、前記低抵抗領域を挟む各位置で接続されたソース電極およびドレイン電極を形成することと、

前記低抵抗領域の上部にゲート絶縁膜を形成することと、

前記ゲート絶縁膜を介して前記低抵抗領域の上部にゲート電極を形成することとを行う半導体装置の製造方法。

【請求項13】

前記ゲート絶縁膜を形成する際には、原子層蒸着法によって当該ゲート絶縁膜を成膜する

10

請求項12記載の半導体装置の製造方法。

【請求項14】

前記第2障壁層を形成する際には、化合物半導体で構成された当該第2障壁層を成膜した後、当該第2障壁層に不純物を拡散させることによって前記低抵抗領域を形成する

請求項12または13に記載の半導体装置の製造方法。

【請求項15】

前記不純物として亜鉛を拡散させる

請求項14記載の半導体装置の製造方法。

【請求項16】

前記低抵抗領域を形成する際には、前記第2障壁層上に開口を有する絶縁膜を形成し、当該絶縁膜の開口から当該第2障壁層に不純物を拡散させ、

20

前記ゲート絶縁膜を形成する前には、エッチングによって前記絶縁膜の開口を広げ、

前記ゲート絶縁膜を形成する際には、前記開口から露出する前記第2障壁層を覆う状態で、当該ゲート絶縁膜を形成し、

前記ゲート電極を形成する際には、前記ゲート絶縁膜を介して前記開口の底部を完全に覆う状態で当該ゲート電極を形成する

請求項14または15に記載の半導体装置の製造方法。

【請求項17】

前記第2障壁層を成膜する際には、表面側に当該第2障壁層を構成する化合物半導体に対するエッチングストップ層を形成し、

30

前記低抵抗領域を形成する際には、前記エッチングストップ層を越える深さにまで当該低抵抗領域を形成し、

前記絶縁膜の開口を広げる際には、前記絶縁膜の等方的なエッチングを行い、

その後前記ゲート絶縁膜を形成する前に前記エッチングストップ層を除去する

請求項16記載の半導体装置の製造方法。

【請求項18】

前記低抵抗領域を形成する際には、前記第2障壁層上に開口を有する絶縁膜を形成し、当該開口の側壁にサイドウォールを設け、当該絶縁膜および当該サイドウォールをマスクにして当該第2障壁層に不純物を拡散させ、

前記ゲート絶縁膜を形成する前には、前記サイドウォールを除去し、

40

前記ゲート絶縁膜を形成する際には、前記開口から露出する前記第2障壁層を覆う状態で、当該ゲート絶縁膜を形成し、

前記ゲート電極を形成する際には、前記ゲート絶縁膜を介して前記開口の底部を完全に覆う状態で当該ゲート電極を形成する

請求項14または15に記載の半導体装置の製造方法。

【請求項19】

前記第2障壁層を成膜する際には、表面側に当該第2障壁層を構成する化合物半導体に対するエッチングストップ層を形成し、

前記低抵抗領域を形成する際には、前記エッチングストップ層を越える深さにまで当該低抵抗領域を形成し、

50

前記サイドウォールを除去した後、前記ゲート絶縁膜を形成する前に、前記エッチング
トップ層を除去する

請求項 1 8 記載の半導体装置の製造方法。

【請求項 20】

前記第2障壁層の形成は、前記チャネル層上に前記上部障壁層をエピタキシャル成長によつて形成する際、不純物を添加したエピタキシャル成長によつて第2障壁層を形成し、当該第2障壁層を前記低抵抗領域として用いる

請求項 1 2 または 1 3 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本技術は半導体装置および半導体装置の製造方法に関し、特にゲート電極とチャネル層との間の障壁層に低抵抗領域を備えた半導体装置およびその製造方法に関する。

【背景技術】

【0002】

近年、携帯電話などの移動体通信システムにおいては、携帯通信端末の小型化および低消費電力化が強く求められている。これらを実現するためには、例えばアンテナスイッチに関し、オン抵抗 R_{on} の低減などが必要である。現在、このようなアンテナスイッチ用として実用化されているデバイスには、接合形電界効果トランジスタ (J P H E M T ; Junction Pseudo-morphic High Electron Mobility Transistor) などがある。

20

【0003】

J P H E M T は、 $p-n$ 接合およびヘテロ接合を利用して電流変調を行う半導体装置である。このような半導体装置は、例えば InGaAs よりなるチャネル層と、チャネル層 (InGaAs) よりもバンドギャップの広い AlGaAs よりなる障壁層 (AlGaAs) とのヘテロ接合を備えている。障壁層 (AlGaAs) 内においてチャネル層と反対の表面層には不純物を含有する低抵抗領域が設けられ、この低抵抗領域にゲート電極が接続されている。また、障壁層 (AlGaAs) 内において、低抵抗領域よりもチャネル層側には、キャリアとなる不純物を含有するキャリア供給領域が設けられている。さらに低抵抗領域およびゲート電極の両脇における障壁層 (AlGaAs) には、ソース電極およびドレイン電極がオーミック接合されている。

30

【0004】

以上のような構成の半導体装置では、チャネル層における障壁層側の界面に、キャリアとなる電子が高濃度で閉じ込められた二次元電子ガス層が形成される。そしてゲート電極 20 に電圧を印加して二次元電子ガス層の濃度を制御することにより、低抵抗領域下方のチャネル層部分を介してソース電極 - ドレイン電極間に流れる電流が変調される（以上、例えば下記特許文献 1 参照）。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開平 11-150264 号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0006】

ところで上述した J P H E M T 構成の半導体装置においては、チャネル層の不純物濃度を低くすることにより、このチャネル層を介してソース電極 - ドレイン電極間に流れるキャリア（電子）の移動度を高くすることができます。しかしながら、このような J P H E M T 構造の半導体装置であっても、オフ電流値の低下など、さらなる高性能化が期待されている。

【0007】

そこで本技術は、ゲート電極とチャネル層との間の障壁層に低抵抗領域を備えた構成に

50

おいて、オフ電流値の低下を図ることが可能な半導体装置、およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

このような目的を達成するための本技術の半導体装置は、化合物半導体で構成されたチャネル層と、チャネル層上に設けられた上部障壁層とを備えている。上部障壁層は、チャネル層側の界面層を構成する第1障壁層と、当該上部障壁層の表面層に設けられた第2障壁層とを備えている。このうち第1障壁層は、チャネル層との接合部におけるキャリア走行側のエネルギー帯が、当該チャネル層よりも当該チャネル層内真性フェルミ準位から遠い化合物半導体で構成されている。一方、第2障壁層は、第1障壁層と接合させた状態において、当該接合部におけるバンドギャップを挟んで前記キャリア走行側と逆側のエネルギー帯が、当該第1障壁層よりも当該第1障壁層内真性フェルミ準位から遠い化合物半導体で構成されている。このような第2障壁層における少なくとも表面層には、キャリアと逆導電型の不純物を含有することにより周囲よりも低抵抗に保たれた低抵抗領域が設けられている。また、この低抵抗領域を挟んだ位置において上部障壁層に接続されたソース電極およびドレイン電極を備えている。さらに、低抵抗領域上には、ゲート絶縁膜を介してゲート電極が設けられている。

10

【0009】

このような構成の半導体装置は、チャネル層との接合部におけるキャリア走行側のエネルギー帯が、当該チャネル層よりも当該チャネル層内真性フェルミ準位から遠い化合物半導体で構成された第1障壁層を設けたことにより、チャネル層にはキャリアが高濃度で閉じ込められる。そして、ゲート電極に印加するゲート電圧によって、ゲート電極下の低抵抗領域に対応するチャネル層部分におけるキャリア欠乏領域が拡大または縮小され、チャネル層を介してソース電極 - ドレイン電極間に流れる電流が変調される。ここで、先の第1障壁層を含む上部障壁層の表面層に形成された低抵抗領域上には、ゲート絶縁膜を介してゲート電極が設けられている。これにより、ゲート電極に、低抵抗領域とその周囲の領域に対する順方向電圧を印加した場合であっても、ゲート電極とソース電極 / ドレイン電極との間にゲートリーク電流が流れることを防止できる。

20

【0010】

そして特に、低抵抗領域が設けられる上部障壁層の表面層には、前述の第1障壁層と接合させた状態において当該接合部におけるバンドギャップを挟んでキャリア走行側と逆側のエネルギー帯が、当該第1障壁層よりも当該第1障壁層内真性フェルミ準位から遠い化合物半導体で構成された第2障壁層が設けられている。これにより、ゲート電極をオフ電圧とした場合、上部障壁層が第1障壁層のみの単層構造である場合と比較して、チャネル層におけるキャリア走行側のエネルギー帯がフェルミ準位から遠ざけられ、チャネル層にキャリアが供給され難くなる。

30

【0011】

また本技術は、上述した構成の半導体装置の製造方法でもあり、次の手順を行う。先ず、化合物半導体で構成されたチャネル層上に、当該チャネル層との接合部におけるキャリア走行側のエネルギー帯が、当該チャネル層よりも当該チャネル層内真性フェルミ準位から遠い化合物半導体で構成された第1障壁層を形成する。その後、第1障壁層の上方に、この第1障壁層と接合させた状態において、当該接合部におけるバンドギャップを挟んで前記キャリア走行側と逆側のエネルギー帯が、当該第1障壁層よりも当該第1障壁層内真性フェルミ準位から遠い化合物半導体で構成された第2障壁層を形成する。この第2障壁層は、少なくとも表面層にキャリアと逆導電型の不純物を含有することにより周囲よりも低抵抗に保たれた低抵抗領域を備えるように形成される。また、第1障壁層によって前記チャネル層側の界面層が構成されると共に、前記第2障壁層が表面層に設けられた上部障壁層に対して、前記低抵抗領域を挟む各位置で接続されたソース電極およびドレイン電極を形成する。さらに、低抵抗領域の上部にゲート絶縁膜を形成し、その後ゲート絶縁膜を介して低抵抗領域の上部にゲート電極を形成する。

40

50

【発明の効果】

【0012】

以上説明した本技術によれば、ゲート電極とチャネル層との間の障壁層に低抵抗領域を備えた構成の半導体装置において、ゲート電極をオフ電圧とした場合に、チャネル層にキャリアが供給され難くなるため、オフリーク電流の低減を図ることが可能になる。

【図面の簡単な説明】

【0013】

【図1】第1実施形態の半導体装置の要部構成を示す断面図である。

【図2】第1実施形態の半導体装置のオフ動作時におけるエネルギー・バンド構成図である。
10

【図3】第1実施形態の半導体装置のオン動作時におけるエネルギー・バンド構成図である。
。

【図4】第1実施形態の半導体装置のオフ動作時におけるキャリア欠乏領域の形成を示す断面図である。

【図5】第1実施形態の半導体装置の製造手順を示す断面工程図（その1）である。

【図6】第1実施形態の半導体装置の製造手順を示す断面工程図（その2）である。

【図7】第1実施形態の効果を示すゲート電圧 - ドレイン電流のグラフである。

【図8】第1実施形態の構造において高抵抗領域が各不純物濃度の場合のゲート電圧 - ドレイン電流のグラフである。
20

【図9】第2実施形態の半導体装置の要部構成を示す断面図である。

【図10】第2実施形態の半導体装置のオフ動作時におけるエネルギー・バンド構成図である。

【図11】第3実施形態の半導体装置の要部構成を示す断面図である。

【図12】第4実施形態の半導体装置の要部構成を示す断面図である。

【図13】第5実施形態の半導体装置の要部構成を示す断面図である。

【図14】第6実施形態の半導体装置の要部構成を示す断面図である。

【図15】第6実施形態の半導体装置の製造手順を示す断面工程図（その1）である。

【図16】第6実施形態の半導体装置の製造手順を示す断面工程図（その2）である。

【図17】第6実施形態を第5実施形態と組み合わせる場合の製造手順を示す断面工程図（その1）である。
30

【図18】第6実施形態を第5実施形態と組み合わせる場合の製造手順を示す断面工程図（その2）である。

【図19】第7実施形態の半導体装置の要部構成を示す断面図である。

【図20】第8実施形態の半導体装置の要部構成を示す断面図である。

【図21】第8実施形態の半導体装置の製造手順を示す断面工程図である。

【図22】第9実施形態の半導体装置の要部構成を示す断面図である。

【図23】第10実施形態の半導体装置の要部構成を示す断面図である。

【図24】第10実施形態の半導体装置の製造手順を示す断面工程図である。

【図25】第11実施形態の半導体装置の要部構成を示す断面図である。

【図26】第1例を示す断面工程図（その1）である。
40

【図27】第1例を示す断面工程図（その2）である。

【図28】第1例を示す断面工程図（その3）である。

【図29】第12実施形態の半導体装置の要部構成を示す断面図である。

【図30】第2例を示す断面工程図（その1）である。

【図31】第2例を示す断面工程図（その2）である。

【図32】第2例を示す断面工程図（その3）である。

【図33】第2例を示す断面工程図（その4）である。

【図34】第13実施形態半導体装置の要部構成を示す断面図である。

【図35】第3例を示す断面工程図（その1）である。

【図36】第3例を示す断面工程図（その2）である。
50

【図37】第3例を示す断面工程図（その3）である。

【図38】第3例を示す断面工程図（その4）である。

【図39】第14実施形態半導体装置の要部構成を示す断面図である。

【図40】第4例を示す断面工程図（その1）である。

【図41】第4例を示す断面工程図（その2）である。

【図42】第4例を示す断面工程図（その3）である。

【発明を実施するための形態】

【0014】

以下、図面に基づいて、本技術の実施の形態を次に示す順に説明する。

- | | |
|--|----|
| 1 . 第1実施形態（第1障壁層の表面層にキャリア供給領域を設けた例） | 10 |
| 2 . 第2実施形態（第1障壁層の中央にキャリア供給領域を設けた例） | |
| 3 . 第3実施形態（キャリア供給領域と低抵抗領域とを接合させた例） | |
| 4 . 第4実施形態（低抵抗領域を囲む第2障壁層を低抵抗とした例） | |
| 5 . 第5実施形態（第2障壁層とソース電極およびドレイン電極との間にキャップ層を設けた例） | |
| 6 . 第6実施形態（第2障壁層の全面をゲート絶縁膜で覆った例） | |
| 7 . 第7実施形態（低抵抗領域をゲート電極で覆った例） | |
| 8 . 第8実施形態（第2障壁層の表面層を低抵抗領域としてパターニングした例） | |
| 9 . 第9実施形態（第1障壁層上の第2障壁層を低抵抗領域としてパターニングした例） | |
| 10 . 第10実施形態（低抵抗領域とは逆導電型のソース領域およびドレイン領域を設けた例） | 20 |
| 11 . 第11実施形態（低抵抗領域を覆うゲート電極をセルフアラインで設けた第1例） | |
| 12 . 第12実施形態（低抵抗領域を覆うゲート電極をセルフアラインで設けた第2例） | |
| 13 . 第13実施形態（低抵抗領域を覆うゲート電極をセルフアラインで設けた第3例） | |
| 14 . 第14実施形態（低抵抗領域を覆うゲート電極をセルフアラインで設けた第4例） | |
| 15 . 変形例 - 1 | |
| 16 . 変形例 - 2 | |
| 17 . 適用例（無線通信装置） | |

尚、各実施形態において共通の構成要素には同一の符号を付し、重複する説明は省略する。

【0015】

1 . 第1実施形態

（第1障壁層の表面層にキャリア供給領域を設けた例）

本第1実施形態においては、各図に基づいて、本技術を適用した第1実施形態の半導体装置の構成、第1実施形態の半導体装置の動作、第1実施形態の半導体装置の製造方法、および第1実施形態の半導体装置の作用効果の順に説明を行う。

【0016】

<第1実施形態の半導体装置の構成>

図1は、本技術を適用した第1実施形態の半導体装置の要部構成を示す断面図である。また図2は第1実施形態の半導体装置のオフ動作時におけるエネルギー・バンド構成図であり、図3は第1実施形態の半導体装置のオン動作時におけるエネルギー・バンド構成図である。以下、これらの図に基づいて第1実施形態の半導体装置の詳細な構成を説明する。

【0017】

図1に示す第1実施形態の半導体装置1-1は、ゲート電極とチャネル層との間に障壁層を備え、さらに障壁層内に逆導電型の低抵抗領域を設けた、いわゆるJ P H E M Tである。この半導体装置1-1は、化合物半導体からなる基板11上に、各化合物半導体材料からなるバッファ層12、下部障壁層13、チャネル層14、第1障壁層15および第2障壁層16で構成された上部障壁層がこの順に積層されている。下部障壁層13内にはキャリア供給領域13aが設けられており、上部障壁層の第1障壁層15にはキャリア供給領域15aが設けられている。さらに、上部障壁層の第2障壁層16内には低抵抗領域16

40

50

g が設けられている。

【 0 0 1 8 】

特に本第 1 実施形態においては、以下で詳細に説明するように、第 1 障壁層 15 と第 2 障壁層 16 との接合部では、第 2 障壁層 16 においてのバンドギャップを挟んでキャリア走行側と逆側のエネルギー帯が、第 1 障壁層 15 においてのバンドギャップを挟んでキャリア走行側と逆側のエネルギー帯よりも第 1 障壁層内真性フェルミ準位から遠いところが第 1 の特徴部である。

【 0 0 1 9 】

ここで、キャリア走行側のエネルギー帯とは、多数キャリアが占めるエネルギー帯である。また、バンドギャップを挟んでキャリア走行側と逆側のエネルギー帯とは、少数キャリアが占めるエネルギー帯である。一例として、キャリアが電子である n 型の半導体装置であれば、キャリア走行側のエネルギー帯はコンダクションバンド（伝導帯）であり、バンドギャップを挟んでキャリア走行側と逆側のエネルギー帯はバレンスバンド（価電子帯）である。一方、キャリアが正孔である p 型の半導体装置であれば、キャリア走行側のエネルギー帯はバレンスバンド（価電子帯）であり、バンドギャップを挟んでキャリア走行側と逆側のエネルギー帯はコンダクションバンド（伝導帯）である。以下、バンドギャップを挟んでキャリア走行側と逆側のエネルギー帯は、単にキャリア走行側と逆側のエネルギー帯とも記す。

10

【 0 0 2 0 】

以上のような化合物半導体材料からなる各層の積層体上には、絶縁膜 21 が設けられている。この絶縁膜 21 には、ソース開口 21s / ドレイン開口 21d、およびこれらの間のゲート開口 21g が設けられている。またこのような絶縁膜 21 上には、ソース開口 21s およびドレイン開口 21d を介して第 2 障壁層 16 に接続されたソース電極 23s / ドレイン電極 23d が設けられている。

20

【 0 0 2 1 】

また特に本第 1 実施形態においては、ゲート開口 21g の底部に露出している低抵抗領域 16g 上に、ゲート絶縁膜 25 を介してゲート電極 27 が設けられているところが第 2 の特徴部分である。

【 0 0 2 2 】

以下、半導体装置 1-1 を構成する上記の各構成要素の詳細な構成を、基板 11 側から順次説明する。

30

【 0 0 2 3 】

[基板 11]

基板 11 は、半絶縁性の化合物半導体材料で構成されている。このような基板 11 は、例えば I II - V 族化合物半導体材料で構成され、例えば半絶縁性の単結晶 GaAs 基板や、InP 基板が用いられる。

【 0 0 2 4 】

[バッファ層 12]

バッファ層 12 は、例えば基板 11 上にエピタキシャル成長させた化合物半導体層で構成され、基板 11 および下部障壁層 13 に対して、良好に格子整合する化合物半導体を用いて構成される。例えば、基板 11 が単結晶 GaAs 基板からなる場合、このようなバッファ層 12 の一例として、不純物を添加しない u-GaAs (u- は不純物を添加していないことを表す；以下同様) のエピタキシャル成長層が用いられる。

40

【 0 0 2 5 】

[下部障壁層 13]

下部障壁層 13 は、バッファ層 12 および上部のチャネル層 14 に対して良好に格子整合している。このような下部障壁層 13 の一例として、AlGaAs 混晶のエピタキシャル成長層が用いられる。ここでは一例として、I II 族元素におけるアルミニウム (Al) の組成比が 0.2 である、Al_{0.2}Ga_{0.8}As 混晶により下部障壁層 13 が構成されていることとする。

50

【0026】

このような下部障壁層13は、キャリアを供給する不純物を含むキャリア供給領域13aを有している。ここでは、キャリアとして電子が用いられることとし、電子を供給する不純物としてn型不純物を含むn型のキャリア供給領域13aが、下部障壁層13の膜厚方向の中間部分に配置されている。Al_{0.2}Ga_{0.8}As混晶により構成された下部障壁層13におけるn型不純物としては、シリコン(Si)が用いられる。

【0027】

また、下部障壁層13におけるキャリア供給領域13a以外の膜厚部分は、不純物が添加されていないか、低濃度のn型不純物またはp型不純物を含有する高抵抗領域13b, 13b'として形成されていて良い。これらの高抵抗領域13b, 13b'は、不純物濃度が 1×10^{17} 個/cm³以下、比抵抗が 1×10^{-2} cm以上であることが好ましい。
10

【0028】

以上のような下部障壁層13の具体的な構成の一例は、次のようにある。バッファ層12側に膜厚200nm程度で不純物を含有しない高抵抗領域13bが設けられている。この上部に、膜厚4nm程度でシリコン(Si)を 1.6×10^{12} 個/cm²程度含有するキャリア供給領域13aが積層されている。さらにこの上部に膜厚2nm程度で不純物を含有しない高抵抗領域13b'が積層されている。

【0029】

尚、下部障壁層13は、高抵抗領域13b, 13b'を含まず、全領域がキャリア供給領域13aとして構成されていても良い。
20

【0030】

[チャネル層14]

チャネル層14は、ソース電極23sとドレイン電極23dとの間の電流通路であって、下部障壁層13のキャリア供給領域13a、および後述する第1障壁層15のキャリア供給領域15aから供給されたキャリアが蓄積される層である。このようなチャネル層14は、下部障壁層13に対してヘテロ接合する化合物半導体で構成され、下部障壁層13に対して良好に格子整合している。またチャネル層14は、下部障壁層13とのヘテロ接合部におけるキャリア走行側のエネルギー帯が、下部障壁層13の界面領域を構成する化合物半導体材料におけるキャリア走行側のエネルギー帯よりも、チャネル層内真性フェルミ準位に近い化合物半導体を用いて構成されることとする。また言い換えれば、チャネル層14は、下部障壁層13とのヘテロ接合部における多数キャリア走行側のエネルギー帯が、下部障壁層13の界面領域を構成する化合物半導体材料における多数キャリア走行側のエネルギー帯よりも、少数キャリア走行側のエネルギー帯に近い化合物半導体を用いて構成されることとする。尚、図2に示すように、チャネル層内真性フェルミ準位Ef14は、チャネル層14のコンダクションバンドの最低エネルギー(以下、コンダクションバンドエネルギーEcと記す)と、バレンスバンドの最高エネルギー(以下、バレンスバンドエネルギーEvと記す)との中間に位置している。
30

【0031】

キャリアが電子である場合、キャリア走行側のエネルギー帯はコンダクションバンド(伝導帯)である。このため、チャネル層14は、下部障壁層13との接合部において、下部障壁層13を構成する化合物半導体材料よりも、コンダクションバンドエネルギーEcが低いIII-V族化合物半導体材料を用いて構成される。このようなチャネル層14は、下部障壁層13との接合部において、下部障壁層13に対してコンダクションバンドエネルギーEcの差が大きいほど良い。キャリアが正孔である場合、キャリア走行側のエネルギー帯はバレンスバンド(価電子帯)である。このため、チャネル層14は、下部障壁層13との接合部において、下部障壁層13を構成する化合物半導体材料よりも、バレンスバンドエネルギーEvが高い化合物半導体材料を用いて構成される。このようなチャネル層14は、下部障壁層13との接合部における下部障壁層13との間のバレンスバンドエネルギーEvの差が大きいほど良い。尚、以下においてはキャリアが電子である場合を例示して説明を行うが、キャリアが正孔である場合は不純物およびエネルギー帯の説
40
50

明は逆導電型にすれば良い。

【0032】

以上のようなチャネル層14は、例えば下部障壁層13がAlGaAs混晶により構成されている場合、AlGaAs混晶よりもバンドギャップの狭いInGaAs混晶により構成される。この場合、インジウム(In)の組成比を高くするほどInGaAs混晶におけるバンドギャップを狭くでき、AlGaAs混晶からなる下部障壁層13とのコンダクションバンドエネルギーEcの差を大きくできる。このため、チャネル層14を構成するInGaAs混晶は、III族元素におけるインジウム(In)の組成比を0.1以上として良い。

【0033】

以上のようなチャネル層14の一例として、III族元素におけるインジウム(In)の組成比が0.2であるIn_{0.2}Ga_{0.8}As混晶が用いられる。これによりチャネル層14は、下部障壁層13に対する格子整合性を確保しつつ十分なコンダクションバンドエネルギーEcの差が得られたものとなる。

【0034】

またこのようなチャネル層14は、不純物を添加しないu-InGaAs混晶層であつて良い。これにより、チャネル層14におけるキャリアの不純物散乱が抑えられ、高移動度でのキャリア移動が実現される。

【0035】

尚、チャネル層14は、15nm以下の膜厚で形成されたエピタキシャル成長層であつて良く、これによって結晶性が確保されキャリアの走行性に優れた層とすることができます。

【0036】

[第1障壁層15(上部障壁層)]

第1障壁層15は、チャネル層14の上部に設けた上部障壁層の一部を構成する層であつて、チャネル層14に接する界面層を構成し、チャネル層14に対して良好に格子整合している。このような第1障壁層15は、チャネル層14との接合部において、チャネル層14を構成する化合物半導体材料よりも、キャリア走行側のエネルギー帯がチャネル層内真性フェルミ準位Ef14から遠い化合物半導体を用いて構成されている。つまり第1障壁層15は、チャネル層14との接合部において、チャネル層14を構成する化合物半導体材料よりも、多数キャリア走行側のエネルギー帯が、少数キャリア走行側のエネルギー帯から遠い化合物半導体を用いて構成されることとする。キャリアが電子である場合、第1障壁層15は、チャネル層14を構成する化合物半導体材料よりも、コンダクションバンドエネルギーEcが高いIII-V族化合物半導体材料を用いて構成される。このような第1障壁層15は、チャネル層14との接合部におけるチャネル層14との間のコンダクションバンドエネルギーEcの差が大きいほど良い。

【0037】

以上のような第1障壁層15は、チャネル層14がInGaAs混晶により構成されれば、例えばInGaAs混晶よりもバンドギャップが広いAlGaAs混晶により構成される。この場合、アルミニウム(Al)の組成比を低く保つことで、いわゆるソース抵抗が増大することを防止できる。このため、第1障壁層15を構成するAlGaAs混晶は、III族元素におけるアルミニウム(Al)の組成比を0.25以下として良い。

【0038】

以上のような第1障壁層15の一例として、III族元素におけるアルミニウム(Al)の組成比が0.2であるAl_{0.2}Ga_{0.8}As混晶が用いられる。これにより、チャネル層14との格子整合も確保される。尚、このような第1障壁層15は、下部障壁層13と同一組成である必要はなく、それぞれに適した組成のAlGaAs混晶によって構成されれば良い。

【0039】

このような第1障壁層15は、キャリアを供給する不純物を含むキャリア供給領域15

10

20

30

40

50

a を有している。ここでは、第 1 障壁層 1 5 の表面層に、電子を供給する n 型不純物としてシリコン (Si) を含む n 型のキャリア供給領域 1 5 a が配置されている。

【 0 0 4 0 】

また、第 1 障壁層 1 5 におけるキャリア供給領域 1 5 a 以外の膜厚部分は、不純物が添加されていないか、低濃度の不純物を含有する高抵抗領域 1 5 b として形成されていて良い。この高抵抗領域 1 5 b が不純物を含有する場合、n 型不純物または p 型不純物を含有する。この場合、不純物濃度が 1×10^{17} 個 / cm³ 以下、比抵抗が 1×10^{-2} cm 以上であることが好ましい。

【 0 0 4 1 】

以上のような第 1 障壁層 1 5 の具体的な構成の一例は、次のようにある。第 1 障壁層 1 5 は膜厚 6 nm 程度であり、チャネル層 1 4 側から順に、膜厚 2 nm 程度で不純物を含有しない高抵抗領域 1 5 b、膜厚 4 nm 程度でシリコン (Si) を 1.6×10^{12} 個 / cm² 程度含有するキャリア供給領域 1 5 a を積層してなる。

【 0 0 4 2 】

尚、チャネル層 1 4 が InGaAs 混晶で構成されている場合、第 1 障壁層 1 5 は AlGaAs 混晶に限定されず、III-V 族化合物半導体である In(A1Ga)AsP 混晶で構成されて構成されていても良い。これにより、InGaAs 混晶で構成されたチャネル層 1 4 における In の組成比を大きくでき、チャネル層 1 4 においてのキャリアの移動度を高めることができる。

【 0 0 4 3 】

またこの第 1 障壁層 1 5 は、下部障壁層 1 3 と同様に、全領域がキャリア供給領域として構成されていても良い。

【 0 0 4 4 】

[第 2 障壁層 1 6 (上部障壁層)]

第 2 障壁層 1 6 は、チャネル層 1 4 の上部に設けた上部障壁層の一部を構成する層であつて、上部障壁層の表面層を構成している。このような第 2 障壁層 1 6 は、第 1 障壁層 1 5 に対して良好に格子整合すると共に、第 1 障壁層 1 5 に対してヘテロ接合している。また特に、この第 2 障壁層 1 6 は、第 1 障壁層 1 5 との接合部においてのキャリア走行側と逆側のエネルギー帯が、第 1 障壁層 1 5 よりも第 1 障壁層内真性フェルミ準位から遠い化合物半導体を用いて構成される。つまり、第 2 障壁層 1 6 は、第 1 障壁層 1 5 との接合部における少数キャリア走行側のエネルギー帯が、第 1 障壁層 1 5 よりも多数キャリア走行側のエネルギー帯から遠い化合物半導体を用いて構成されることとする。尚、図 2 に示すように、第 1 障壁層内真性フェルミ準位 Ef 15 は、第 1 障壁層 1 5 のコンダクションバンドエネルギー Ec と、バレンスバンドエネルギー Ev との中間に位置している。キャリアが電子である場合、第 1 障壁層 1 5 との接合部における第 2 障壁層 1 6 のバレンスバンドエネルギー Ev が、チャネル層 1 4 との接合部における第 1 障壁層 1 5 のバレンスバンドエネルギー Ev よりも低くなるような化合物半導体を用いて第 2 障壁層 1 6 が構成されている。このような第 2 障壁層 1 6 は、第 1 障壁層 1 5 との接合部における第 1 障壁層 1 5 との間のバレンスバンドエネルギー Ev の差が大きいほど良い。

【 0 0 4 5 】

以上のような第 2 障壁層 1 6 は、第 1 障壁層 1 5 が AlGaAs 混晶で構成されている場合、例えば AlGaAs 混晶よりもバンドギャップが広い GaInP 混晶により構成される。この場合、第 2 障壁層 1 6 は、III-V 族元素におけるガリウム (Ga) の組成比を 0.5 とした Ga_{0.5}In_{0.5}P 混晶により構成されている。これにより、第 1 障壁層 1 5 との格子整合が確保される。

【 0 0 4 6 】

尚、この第 2 障壁層 1 6 も、GaInP 混晶に限定されることではなく、例えば III-V 族化合物半導体である In(A1Ga)AsP 混晶、AlAs 混晶、InAlP、AlGaAs 混晶で構成されて構成されていても良い。ただし、AlGaAs 混晶は、Al の組成比 0.2 以上とする。また、第 2 障壁層 1 6 を構成する化合物半導体は、第 1 障壁層

10

20

30

40

50

15を構成する化合物半導体よりも、バレンスバンドエネルギーE_Vが低ければ良く、コンダクションバンドエネルギーE_Cは高くてても低くても良い。

【0047】

このような第2障壁層16は、不純物が添加されていないか、低濃度のn型不純物を含有することで高抵抗な領域(高抵抗領域16b)となっている。この第2障壁層16がn型の不純物を含有する場合、不純物濃度が 1×10^{17} 個/cm³以下、比抵抗が 1×10^{-2} cm以上であることが好ましい。

【0048】

以上のような第2障壁層16の一例としては、不純物を含有せずに膜厚30nmで第1障壁層15上に設けられていることとする。

10

【0049】

[低抵抗領域16g]

低抵抗領域16gは、第2障壁層16内であって、少なくともチャネル層14とは反対側の表面層に、キャリア供給領域15aに対して間隔を有して設けられている。この低抵抗領域16gは、キャリアとは逆導電型の不純物を含有し、周囲よりも低抵抗に保たれている。したがって、キャリアが電子の場合、低抵抗領域16gにはp型不純物が拡散されていることとなる。

【0050】

このような低抵抗領域16gの厚さとp型不純物濃度の値は、第2障壁層16の膜厚と、第2障壁層16のn型不純物濃度と共に、半導体装置1-1が次のような状態となるように設定されている。すなわちこれらの値は、ゲート電極27に負の電圧を印加した場合にチャネル層14内の電子が枯渇し、一方ゲート電極27に正の電圧を印加した場合には低抵抗領域16gが空乏化するよう、先の厚さとp型不純物濃度とが設定されている。尚、低抵抗領域16gが設けられる第2障壁層16は、低抵抗領域16g以外の領域はこれと比較して抵抗値が高い高抵抗領域16bとなっている。

20

【0051】

ここでゲート電極27に負の電圧を印加した場合のチャネル層14内の電子の枯渇は、低抵抗領域16gと、これに接する第2障壁層16の高抵抗領域16bとの間のpn接合の空乏層による。一方、ゲート電極27に正の電圧を印加した場合の低抵抗領域16gの空乏化は、p型の低抵抗領域16gとゲート絶縁膜25とゲート電極27とによるMIS構造によって発生する空乏層による。そしてp型の低抵抗領域16gが空乏化することにより、低抵抗領域16gと、高抵抗領域16bとの間の空乏層が消滅し、チャネル層14内の電子の枯渇が解消され、チャネル層14内に電子が蓄積される。

30

【0052】

このような低抵抗領域16gには、一例として、 1×10^{18} 個/cm³以上のp型不純物が含有されていて良く、一例として 1×10^{19} 個/cm³程度である。尚、Ga_{0.5}In_{0.5}P混晶やIn(AIGa)AsP混晶により構成された第2障壁層16に、p型の低抵抗領域16gを形成するためのp型不純物としては亜鉛(Zn)が用いられる。

【0053】

[絶縁膜21]

絶縁膜21は、第2障壁層16の全面を覆う状態で設けられている。この絶縁膜21は、第2障壁層16を構成する化合物半導体に対して絶縁性を有し、かつ、イオンなどの不純物より下地(ここでは第2障壁層16)の表面を保護する機能を持つ材料が用いられ、例えば厚さが200nmの窒化シリコン(Si₃N₄)により構成されている。

40

【0054】

このような絶縁膜21には、第2障壁層16に設けた低抵抗領域16gを挟む位置で、低抵抗領域16gに重ならない位置、つまり第2障壁層16における高抵抗領域16bに達するソース開口21s/ドレイン開口21dが設けられている。また絶縁膜21におけるソース開口21sとドレイン開口21dとの間には、低抵抗領域16gを露出する形状のゲート開口21gが設けられている。このゲート開口21gは、ここでは一例として底

50

部に低抵抗領域 16 g のみを露出させた開口幅であることとする。

【0055】

以上のソース開口 21 s、ドレイン開口 21 d、およびゲート開口 21 g は、それぞれが独立した開口部分として、絶縁膜 21 に設けられている。

【0056】

[ソース電極 23 s / ドレイン電極 23 d]

ソース電極 23 s およびドレイン電極 23 d は、低抵抗領域 16 g を挟む位置において、それぞれがソース開口 21 s およびドレイン開口 21 d を介して第 2 障壁層 16 にオーミック接合されている。このようなソース電極 23 s およびドレイン電極 23 d は、第 2 障壁層 16 側から順に、金 - ゲルマニウム (AuGe)、ニッケル (Ni)、および金 (Au) を順次積層して合金化したものにより構成されている。ソース電極 23 s およびドレイン電極 23 d の各膜厚は、例えばそれぞれ 1000 nm である。10

【0057】

[ゲート絶縁膜 25]

ゲート絶縁膜 25 は、絶縁膜 21 に形成されたゲート開口 21 g の底部に設けられ、ゲート開口 21 g を完全に塞ぐ状態で設けられていて良く、端縁が絶縁膜 21 上に積層されている。このようなゲート絶縁膜 25 は、酸化物または窒化物を用いて構成され、例えば厚さが 10 nm の酸化アルミニウム (Al_2O_3) により構成されている。

【0058】

[ゲート電極 27]

ゲート電極 27 は、ゲート絶縁膜 25 を介して低抵抗領域 16 g の上部に設けられている。ここでは、ゲート電極 27 は、ゲート開口 21 g を埋め込む状態で設けられ、ゲート開口 21 g の底部における全域において低抵抗領域 16 g 上に設けられていることとする。このようなゲート電極 27 は、基板 11 側からニッケル (Ni)、および金 (Au) を順次積層した構成となっている。20

【0059】

[バンド構造]

図 2 は、上記構成の半導体装置 1-1 のゲート電極 27 下方におけるエネルギー・バンド構成図であり、ゲート電圧 $V_g = 0 V$ 程度を印加したオフ動作時のものである。尚、このエネルギー・バンド構成図は、下部障壁層 13 を $Al_{0.2}Ga_{0.8}As$ 混晶により、チャネル層 14 を $In_{0.2}Ga_{0.8}As$ 混晶により、第 1 障壁層 15 を $Al_{0.2}Ga_{0.8}As$ 混晶により、第 2 障壁層 16 を $Ga_{0.5}In_{0.5}P$ 混晶により構成した場合について表している。30

【0060】

図 2 に示すように、本第 1 実施形態の半導体装置 1-1 は、バンドギャップの狭いチャネル層 14 を、これよりもバンドギャップが広くバレンス・バンドエネルギー E_v が低い下部障壁層 13 と第 1 障壁層 15 とで挟んだ構成である。このため、チャネル層 14 は、下部障壁層 13 および第 1 障壁層 15 のキャリア供給領域 13a, 15a からキャリアとして電子が供給された場合に、この電子が蓄積される二次電子ガス層となる。

【0061】

また、チャネル層 14 と第 1 障壁層 15 とのヘテロ接合部におけるコンダクション・バンドの不連続量 E_c が十分に大きい（ここでは 0.31 eV）。さらに、第 1 障壁層 15 におけるコンダクション・バンドエネルギー E_c の極小点と、チャネル層 14 内におけるコンダクション・バンドエネルギー E_c との差も十分に大きく（ここでは 0.20 eV 以上）なるように構成されており、第 1 障壁層 15 内に分布する電子数はチャネル層 14 内に分布する電子数に比べて無視できる程度に少なくなっている。40

【0062】

<第1実施形態の半導体装置の動作>

次に、図 1 を用いて説明した上記構成の半導体装置 1-1 の動作を、先の図 2 と共に、図 3 のエネルギー・バンド構成図、および図 4 の半導体装置 1-1 の断面図を用いて説明する。尚、図 3 はゲート電圧 $V_g = 3 V$ 程度を印加したオン動作時のものであって、図 2 と同様50

に各層が構成されている場合について表している。

【0063】

先ず、図1および図2を参照し、半導体装置1-1におけるゲート電極27に、ゲート電圧 $V_g = 0$ V程度を印加した状態では、ゲート絶縁膜25下のp型の低抵抗領域16g内のバレンスバンドエネルギー E_v は一定であり、フェルミレベル E_f とほぼ一致している。尚、ゲート電圧 V_g を負バイアスとした場合、p型の低抵抗領域16gの表面で正孔の蓄積が起こるため、表面付近のコンダクションバンドエネルギー E_c 、およびバレンスバンドエネルギー E_v が低くなるものの、チャネル層14付近のバンド形状は図2と同様である。

【0064】

またこの状態においては、図4に示すように、半導体装置1-1における低抵抗領域16gの直下に位置するチャネル層14内の領域に、電子が空乏化したキャリア欠乏領域Aが形成され、チャネル層14は高抵抗になる。これにより、ソース電極23s-ドレイン電極23d間に、チャネル層14を介してドレイン電流 I_d が流れることはなく、オフ状態となる。尚、キャリア供給領域15aバレンスバンドエネルギー E_v と高抵抗領域16bのバレンスバンドエネルギー E_v との差が大きいほどオフ状態におけるチャネル層14のコンダクションバンド E_c を高くすることができ、オフ状態におけるドレイン電流を低くすることができます。

【0065】

一方、図1および図3を参照し、半導体装置1-1におけるゲート電極27に、ゲート電圧 $V_g = 3.0$ V程度の正のゲート電圧 V_g を印加した状態では、ゲート絶縁膜25を介してp型の低抵抗領域16gのコンダクションバンド E_c が下がる。これにより、低抵抗領域16g内の正孔が空乏化する。すると図4において示したチャネル層14内におけるキャリア欠乏領域Aは消失し、チャネル層14内における電子数が増大し、チャネル層14を介してソース電極23s-ドレイン電極23d間にドレイン電流 I_d が流れる。このドレイン電流 I_d は、ゲート電圧 V_g によって変調される。

【0066】

<第1実施形態の半導体装置の製造方法>

次に、上述した構成の半導体装置1-1の製造方法の一例を、図5および図6の断面工程図に基づいて説明する。

【0067】

[図5A]

先ず図5Aに示すように、例えばGaAsよりなる基板11上に、例えば不純物を添加しないu-GaAs層をエピタキシャル成長させてバッファ層12を形成する。その後、バッファ層12上に、例えばAlGaAs($Al_{0.2}Ga_{0.8}As$ 混晶)層をエピタキシャル成長させて下部障壁層13を形成する。この際、例えば不純物を添加しないu-AlGaAs層からなる高抵抗領域13b、シリコン(Si)を添加したn型AlGaAs層からなるキャリア供給領域13a、および不純物を添加しないu-AlGaAs層からなる高抵抗領域13b'を順次エピタキシャル成長させる。これにより、膜厚方向の中央にn型のキャリア供給領域13aを備えた下部障壁層13を得る。

【0068】

次に、下部障壁層13上に、例えば不純物を添加しないu-InGaAs層をエピタキシャル成長させてチャネル層14を形成する。

【0069】

その後、チャネル層14上に、例えばAlGaAs($Al_{0.2}Ga_{0.8}As$ 混晶)層をエピタキシャル成長させて第1障壁層15を形成する。この際、例えば不純物を添加しないu-AlGaAs層からなる高抵抗領域15b、シリコン(Si)を添加したn型のAlGaAs層からなるキャリア供給領域15aを順次エピタキシャル成長させる。これにより、高抵抗領域15bとこの上部のキャリア供給領域15aを備えた第1障壁層15を得る。

10

20

30

40

50

【0070】

続いて、キャリア供給領域 15 a 上に、例えば GaInP (Ga_{0.5}In_{0.5}P 混晶) 層をエピタキシャル成長させ、不純物を添加しない n-GaInP 層からなる第 2 障壁層 16 を形成する。この第 2 障壁層 16 は、高抵抗領域 16 b として形成される。またこれにより、第 1 障壁層 15 と第 2 障壁層 16 とからなる上部障壁層を得る。

【0071】

以上の後には、ここでの図示を省略した素子分離の形成を行う。この場合、例えばボロンのイオン注入によって高抵抗化された非活性領域を形成し、これを素子分離とする。

【0072】

[図 5B]

次いで図 5B に示すように、第 2 障壁層 16 上に、例えば CVD (Chemical Vapor Deposition) 法により、窒化シリコン (Si₃N₄) よりなる絶縁膜 21 を成膜する。その後、絶縁膜 21 をパターンエッチングすることにより、第 2 障壁層 16 の表面を露出させるゲート開口 21 g を絶縁膜 21 に形成する。この状態で、ゲート開口 21 g の底部に露出する第 2 障壁層 16 の表面層からの p 型不純物の導入により、第 2 障壁層 16 内に p 型の低抵抗領域 16 g を形成する。ここでは、キャリア供給領域 15 a に達することのない位置、すなわち第 2 障壁層 16 内の表面層のみに、p 型不純物である亜鉛 (Zn) を拡散させて低抵抗領域 16 g を形成する。亜鉛 (Zn) の拡散は、例えば 600 度の温度での亜鉛化合物気体を用いた気相拡散によって行う。これにより、ゲート開口 21 g の底部にセルフアラインで低抵抗領域 16 g を形成する。

【0073】

[図 6A]

次に図 6A に示すように、低抵抗領域 16 g およびゲート開口 21 g の内壁を覆う状態で、絶縁膜 21 上にゲート絶縁膜 25 を成膜する。ここでは例えば原子層蒸着法 (Atomic Layer Deposition : ALD) 法により、膜厚 10 nm 程度の酸化アルミニウム (Al₂O₃) よりなるゲート絶縁膜 25 を高精度に成膜する。

【0074】

その後、ゲート開口 21 g を埋め込む形状のゲート電極 27 を、ゲート絶縁膜 25 を介して低抵抗領域 16 g 上に形成する。この際、ゲート絶縁膜 25 上に、ニッケル (Ni) および金 (Au) を順次マスク蒸着してゲート電極 27 をパターン形成する。

【0075】

[図 6B]

次に図 6B に示すように、ゲート絶縁膜 25 および絶縁膜 21 をパターンエッチングすることにより、低抵抗領域 16 g を挟む位置において、第 2 障壁層 16 の高抵抗領域 16 b を露出させたソース開口 21 s およびドレイン開口 21 d を形成する。

【0076】

[図 1]

その後は図 1 に示したように、ソース開口 21 s およびドレイン開口 21 d を介して第 2 障壁層 16 の高抵抗領域 16 b にオーミック接合されたソース電極 23 s およびドレイン電極 23 d を形成する。この際、金 - ゲルマニウム (AuGe)、ニッケル (Ni) および金 (Au) を順次蒸着してパターンニングし、さらに例えば 400 度の加熱処理により金系合金形成をしてソース電極 23 s / ドレイン電極 23 d を形成し、半導体装置 1-1 を完成させる。

【0077】

以上の説明した製造方法により、第 1 実施形態の半導体装置 1-1 を形成することができる。この方法によれば、絶縁膜 21 に形成したゲート開口 21 g からの p 型不純物の拡散によって低抵抗領域 16 g を形成した後、ゲート開口 21 g を埋め込む状態でゲート絶縁膜 25 を介してゲート電極 27 を形成する。このため、低抵抗領域 16 g 上には、低抵抗領域 16 g に対してセルフアラインでゲート電極 27 が形成される。したがって、第 1 実施形態の半導体装置 1-1 を容易に得ることが可能である。

【0078】

尚、ゲート開口 21g、ゲート絶縁膜 25、およびゲート電極 27 の形成は、ソース開口 21s / ドレイン開口 21d およびソース電極 23s / ドレイン電極 23d の形成の後に行っても良い。この場合であっても、ゲート絶縁膜 25 を介して低抵抗領域 16g に対してセルファアラインでゲート電極 27 が形成されるため、第1実施形態の半導体装置 1-1 を容易に得ることが可能である。

【0079】

<第1実施形態の半導体装置の効果>

以上説明した半導体装置 1-1 は、不純物を含有しないかまたは低濃度の n 型の高抵抗領域 16b 中に p 型の低抵抗領域 16g を設けた構成において、この上部にゲート絶縁膜 25 を介してゲート電極 27 を設けている。このため、ゲート電極 27 に対して、順方向電圧（ここでは正電圧）を印加した場合であっても、ゲート電極 27 とソース電極 23s / ドレイン電極 23d との間にゲートリーコンダクション電流が流れることが防止される。これにより、ゲート絶縁膜 25 を設けていない従来構成の半導体装置（JPHEMT）と比較して、ゲート電極 27 に対してより高い正のゲート電圧 V_g を印加することが可能になる。この結果、チャネル層 14 のオン抵抗 R_{on} をより低く引き下げることができ、最大ドレン電流 I_{dmax} の向上を図ることができる。またこれにより、素子サイズを縮小すること、およびこの素子に対する寄生容量の低減を図ることが可能になる。

10

【0080】

またこの半導体装置 1-1 は、下部障壁層 13 内に n 型のキャリア供給領域 13a を設け、さらに第 1 障壁層 15 内に n 型のキャリア供給領域 15a を設けた構成である。このため、これらにキャリア供給領域 13a, 15a からチャネル層 14 に電子が供給されることによって、チャネル層 14 内のシートキャリア密度が高くなり、チャネル抵抗を小さくすることができる。これによつても、オン抵抗 R_{on} の低下と、これによる最大ドレン電流 I_{dmax} の向上を図ることが可能である。

20

【0081】

そして特に、低抵抗領域 16g が設けられた上部障壁層を、チャネル層 14 側の第 1 障壁層 15 と、この上部の第 2 障壁層 16 との多層構造としている。この多層構造において、第 2 障壁層 16 と第 1 障壁層 15 との接合部においては、第 2 障壁層 16 のバレンスバンドエネルギー E_v が第 1 障壁層 15 のバレンスバンドエネルギー E_v よりも低い設計である。これにより、以下に図 2 のバンド図を用いて説明するように、チャネル層 14 のコンダクションバンドエネルギー E_c が、当該チャネル層 14 のバンドギャップの分だけフェルミ準位 E_f から遠ざかる方向に持ち上がる。尚、図 2 のバンド図には、比較例として、チャネル層 14 に接して設けられた上部障壁層を A1GaAs からなる単一層とした場合を二点鎖線で示した。

30

【0082】

すなわち図 2 のバンド図に示すように、ゲート電極 27 をオフ電圧状態にすると、ゲート絶縁膜 25 に接する低抵抗領域 16g のバレンスバンドエネルギー E_v は、フェルミ準位 E_f にほぼ一致する。ここで、低抵抗領域 16g を構成する第 2 障壁層 16 のバレンスバンドエネルギー E_v は、第 1 障壁層 15 との接合部において第 1 障壁層 15 のバレンスバンドエネルギー E_v よりも低い。したがって、第 2 障壁層 16 と第 1 障壁層 15 とのヘテロ接合部では、第 1 障壁層 15 のバレンスバンドエネルギー E_v が、第 2 障壁層 16 のバレンスバンドエネルギー E_v よりもフェルミ準位 E_f 側に持ち上がった状態となる。また、第 1 障壁層 15 にヘテロ接合されたチャネル層 14 も、バレンスバンドエネルギー E_v がフェルミ準位 E_f 側に持ち上がった状態となる。この影響によりチャネル層 14 のコンダクションバンドエネルギー E_c は、当該チャネル層 14 のバンドギャップを維持してフェルミ準位 E_f から遠ざかる方向に持ち上がる。

40

【0083】

これにより、チャネル層 14 におけるコンダクションバンドエネルギー E_c とフェルミ準位 E_f とのエネルギー差 E は、図中に二点鎖線で示した比較例におけるエネルギー差

50

E 0 より大きくなる。

【0084】

以上により、本第1実施形態の構造の半導体装置では、比較例よりも、オフ状態においてチャネル層14のコンダクションバンドに電子が存在し難くなり、オフリーク電流を低減させることが可能になるのである。

【0085】

図7には、本第1実施形態の構造の半導体装置($\text{InGaP}/\text{AlGaAs}$)、および上述した上部障壁層を単層構造にした比較例(AlGaAs)についての、ゲート電圧 - ドレイン電流のグラフを示す。このグラフに示すように、ゲート電圧がマイナス側のオフ時ににおいて、本第1実施形態の半導体装置($\text{InGaP}/\text{AlGaAs}$)のドレイン電流が、比較例(AlGaAs)よりも2桁近く低減されていることが判る。
10

【0086】

また本第1実施形態の構造の半導体装置では、このようなオフリーク電流の低減が図られることにより、p型の低抵抗領域16gに接する領域(高抵抗領域16b)におけるn型不純物の濃度を高くすることができる。

【0087】

図8には、本第1実施形態の半導体装置($\text{InGaP}/\text{AlGaAs}$)において、高抵抗領域16bのn型の不純物濃度がそれぞれの場合、および上述した上部障壁層を単層構造にした比較例(AlGaAs)についての、ゲート電圧 - ドレイン電流のグラフを示す。このグラフに示すように、本第1実施形態の半導体装置($\text{InGaP}/\text{AlGaAs}$)では、高抵抗領域16bのn型の不純物濃度を $1.1 \times 10^{18} [\text{cm}^{-3}]$ 程度にまで上げても、比較例(AlGaAs)における高抵抗領域16bのn型の不純物濃度を $5 \times 10^{17} [\text{cm}^{-3}]$ と同程度のオフ電流に抑えられることがわかる。
20

【0088】

以上のように本第1実施形態の半導体装置においては、低抵抗領域16gに接する領域において逆導電型の不純物濃度を高くできることにより、チャネル層14のシートキャリア密度を高くすることができ、チャネル抵抗およびアクセス抵抗を低くすることができる。この結果、オン状態においての抵抗(オン抵抗 R_{on})を低減することができる。これによつても、最大ドレイン電流 I_{dmax} の向上、素子サイズ縮小、およびこの素子に対する寄生容量の低減を図る効果を期待できる。
30

【0089】

また以上のような効果は、チャネル層14を構成する化合物半導体層として用いられる InGaAs に対して、バンドギャップは広いが5族材料が異なるため、エピタキシャル成長時にAsからPへの切り替えが必要となる化合物半導体(例えば InGaP)を、第2障壁層16の構成材料として用いて実現される。

【0090】

さらにゲート電極27に負電圧を印加するオフ動作においては、印加した負電圧により発生する電界はすべてゲート絶縁膜25に掛かる。このため、低抵抗領域16gを含む第2障壁層16より基板11側の化合物半導体で構成された層内の空乏層の変化がない。すなわち、オフ時の容量のゲートバイアス依存がほとんどなく、高調波歪特性の向上が図られる。
40

【0091】

尚、以上の第1実施形態は、半導体装置1-1をデプレッション型とした場合を説明したが、エンハンスマント型とした場合であつても同様に考えることができ、上述した説明はよりよく当てはまる。

【0092】

2. 第2実施形態

(第1障壁層の中央にキャリア供給領域を設けた例)

図9は第2実施形態の半導体装置の要部構成を示す断面図であり、図10は第2実施形態の半導体装置の動作を説明するエネルギー・バンド図である。以下、これらの各図に基づ

いて、本技術を適用した第2実施形態の半導体装置の構成、第2実施形態の半導体装置の動作、第2実施形態の半導体装置の作用効果の順に説明を行う。

【0093】

<第2実施形態の半導体装置の構成>

図9に示すように、本第2実施形態の半導体装置1-2が、図1を用いて説明した第1実施形態の半導体装置と異なるところは、第1障壁層15に設けたキャリア供給領域15aを、膜厚方向の中央部としたところにあり、他の構成は同様である。よって、第1実施形態と同一の構成要素には同一の符号を付し、本第実施形態での詳細な説明は省略する。

【0094】

[第1障壁層15]

すなわち第1障壁層15は、第1実施形態の第1障壁層と同様のものであり、チャネル層14に対して良好に格子整合すると共に、チャネル層14を構成する化合物半導体材料よりもコンダクションバンドエネルギーEcが高いIII-V族化合物半導体材料で構成され、チャネル層14に対してヘテロ接合している。

【0095】

このような第1障壁層15において、キャリア供給領域15aを挟んで配置される高抵抗領域15b, 15b'は、それぞれ独立に、不純物が添加されていないか、低濃度の不純物を含有する高抵抗領域15bとして形成されていて良い。この高抵抗領域15b, 15b'が不純物を含有する場合、n型不純物またはp型不純物を含有する。この場合、不純物濃度が 1×10^{17} 個/cm³以下、比抵抗が 1×10^{-2} cm以上であることが好ましい。

【0096】

以上のような第1障壁層15の具体的な構成の一例は、次のようにある。第1障壁層15は膜厚8nm程度であり、チャネル層14側から順に、膜厚2nm程度で不純物を含有しない高抵抗領域15b、膜厚4nm程度でシリコン(Si)を 1.6×10^{12} 個/cm²程度含有するキャリア供給領域15a、膜厚2nm程度で不純物を含有しない高抵抗領域15b'を積層してなる。

【0097】

尚、この第1障壁層15は、第2障壁層16と接する側の層のみを高抵抗領域15b'とし、チャネル層14と接する側の層がキャリア供給領域として構成されていても良い。

【0098】

[第2障壁層16]

以上のように、第1障壁層15の中央にキャリア供給領域15aを設けた構成であっても、この第1障壁層15上部の第2障壁層16は、第1実施形態と同様の構成が適用される。すなわち、第2障壁層16は、第1障壁層15に対して良好に格子整合すると共に、第1障壁層15に対してヘテロ接合している。また特に、この第2障壁層16は、第1障壁層15を構成する化合物半導体材料よりもバレンスバンドエネルギーEvが低いIII-V族化合物半導体材料で構成されているところが特徴的である。このような第2障壁層16は、第1障壁層15に対してバレンスバンドエネルギーEvの差が大きいほど良い。

【0099】

[低抵抗領域16g]

また低抵抗領域16gは、第1実施形態と同様の構成が適用され、キャリア供給領域15aに対して間隔を有して設けられている。このため本第2実施形態において低抵抗領域16gは、第2障壁層16から第1障壁層15の高抵抗領域15b'にまでまたがる深さで配置されていても良く、第1障壁層15のキャリア供給領域15aにまで達していても良い。

【0100】

[バンド構造]

図10は、上記構成の半導体装置1-2のエネルギー・バンド構成図であり、ゲート電圧Vg = 0V程度を印加したオフ動作時のものである。尚、このエネルギー・バンド構成図は、

10

20

30

40

50

下部障壁層 13 および第 1 障壁層 15 を $\text{Al}_{0.2}\text{-Ga}_{0.8}\text{As}$ 混晶によりそれぞれ構成し、第 2 上部障壁層を $\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$ 混晶によって構成し、チャネル層 14 を $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 混晶により構成した場合について表している。

【0101】

図 10 に示すように上記構成の半導体装置 1-2 は、第 1 実施形態の半導体装置と同様にバンドギャップの狭いチャネル層 14 を、これよりもバンドギャップが広くバレンスバンドエネルギー E_v が低い下部障壁層 13 と第 1 障壁層 15 とで挟んだ構成である。このため、チャネル層 14 は、下部障壁層 13 および第 1 障壁層 15 のキャリア供給領域 13a, 15a からキャリアが供給された場合に、このキャリアが蓄積される二次電子ガス層となる。

10

【0102】

また、チャネル層 14 と第 1 障壁層 15 とのヘテロ接合部におけるコンダクションバンドの不連続量 E_c が十分に大きい（ここでは 0.31 eV ）。さらに、第 1 障壁層 15 におけるコンダクションバンドエネルギー E_c の極小点と、チャネル層 14 内におけるコンダクションバンドエネルギー E_c との差も十分に大きく（ここでは 0.20 eV 以上）なるように構成されており、第 1 障壁層 15 内に分布する電子数はチャネル層 14 内に分布する電子数に比べて無視できる程度に少なくなっている。

【0103】

< 第 2 実施形態の半導体装置の動作 >

このような構成を有する半導体装置 1-2 は、第 1 実施形態の半導体装置と同様に動作する。

20

【0104】

< 第 2 実施形態の半導体装置の製造方法 >

このような構成を有する半導体装置 1-2 の製造は、第 1 実施形態の半導体装置の製造手順において第 1 障壁層 15 を形成する際、高抵抗領域 15b、キャリア供給領域 15a、高抵抗領域 15b' を順にエピタキシャル成長させる工程のみ異なる。また低抵抗領域 16g の形成は、例えば GaInP 混晶からなる第 2 障壁層 16 に対して、p 型不純物である亜鉛 (Zn) を拡散させることによって行われるが、さらに AlGaAs 混晶からなる第 1 障壁層 15 のキャリア供給領域 15a にまで達するように p 型不純物を拡散させてもいい。

30

【0105】

< 第 2 実施形態の半導体装置の効果 >

以上説明した半導体装置 1-2 は、第 1 実施形態の構成と同様に、チャネル層 14 上に、第 1 障壁層 15 を介して当該第 1 障壁層 15 よりもバレンスバンドエネルギー E_v の低い第 2 障壁層 16 を設け、この表面層に設けた p 型の低抵抗領域 16g の上部にゲート絶縁膜 25 を介してゲート電極 27 を設けた構成である。このため、第 1 実施形態と同様の効果を得ることができる。

【0106】

3. 第 3 実施形態

(キャリア供給領域と低抵抗領域とを接合させた例)

40

図 11 は第 3 実施形態の半導体装置の要部構成を示す断面図である。以下、この図に基づいて、本技術を適用した第 3 実施形態の半導体装置の構成を説明する。

【0107】

< 第 3 実施形態の半導体装置の構成 >

図 11 に示す本第 3 実施形態の半導体装置 1-3 が、図 1 を用いて説明した第 1 実施形態の半導体装置と異なるところは、第 2 障壁層 16 に設けられた p 型の低抵抗領域 16g が、第 1 障壁層 15 のキャリア供給領域 15a に接して配置されているところにある。他の構成は第 1 実施形態と同様である。よって、第 1 実施形態と同一の構成要素には同一の符号を付し、本第 3 実施形態での詳細な説明は省略する。

【0108】

50

すなわち、第2障壁層16に設けられたp型の低抵抗領域16gの深さは、第2障壁層16の膜厚と一致している。そしてp型の低抵抗領域16gは、第1障壁層15に設けたn型不純物を含有するn型のキャリア供給領域15aに接合して設けられている。

【0109】

<第3実施形態の半導体装置の動作および製造方法>

以上のような構成を有する半導体装置1-3は、第1実施形態の半導体装置と同様に動作する。またこの半導体装置1-3の製造は、第1実施形態の半導体装置の製造手順において第2障壁層16を成膜する際、後に形成するp型の低抵抗領域16gの深さに合わせた膜厚で成膜すれば良い。またp型の低抵抗領域16gを形成する際には、第1障壁層15のキャリア供給領域15aに達するように、第2障壁層16にp型の不純物を導入する。

10

【0110】

<第3実施形態の半導体装置の効果>

以上説明した半導体装置1-3は、第1実施形態の構成と同様に、チャネル層14上に、第1障壁層15を介して当該第1障壁層15よりもバレンスバンドエネルギーEvの低い第2障壁層16を設け、この表面層に設けたp型の低抵抗領域16gの上部にゲート絶縁膜25を介してゲート電極27を設けた構成である。このため、第1実施形態と同様の効果を得ることができる。

【0111】

これに加えて、第3実施形態の半導体装置1-3は、p型の低抵抗領域16gをキャリア供給領域15aに接して設けたことによる効果を得ることができる。すなわち、p型の低抵抗領域16gをキャリア供給領域15aに接して設けた構成であるため、p型の低抵抗領域16gとチャネル層14との間の距離を短くすることができる。これにより、ゲート電圧によるチャネル層14内ポテンシャルの制御性を高めることができ、これによつても最大ドレイン電流Idmaxの向上、素子サイズ縮小、およびこの素子に対する寄生容量の低減を図る効果を期待できる。さらに低抵抗領域16gからチャネル層14までの間隔を狭くすることができるため、閾値電圧を比較的高い値に設定する事が可能となる。

20

【0112】

さらに、p型の低抵抗領域16gと比較したキャリア供給領域15aの不純物濃度が比較的高い条件においては、キャリア供給領域15a内へ拡散した亜鉛はキャリア供給領域15a内の不純物により打ち消される。このため、亜鉛(Zn)のようなp型の不純物の拡散によって形成されるp型の低抵抗領域16gの深さと、第2障壁層16の膜厚とを等しくすることができる。これにより、p型の低抵抗領域16gの深さが、第2障壁層16の膜厚によって高精度に制御され、薄い低抵抗領域16gを精度良く形成することが可能である。またこのことからも、p型の低抵抗領域16gとチャネル層14との間の距離を短くし、ゲート電圧によるチャネル層14内ポテンシャルの制御性を高めることが可能である。

30

【0113】

尚、本第3実施形態では、第1実施形態で図1を用いて説明した構成において、p型の低抵抗領域16gをキャリア供給領域15aに接して配置した構成を説明した。しかしながら、本第3実施形態は、第1実施形態への適用に限定されることではなく、第2実施形態と組み合わせることも可能である。この場合、図9を用いて説明した第2実施形態で説明した構成において、第2障壁層16に設けられたp型の低抵抗領域16gを、第1障壁層15内のキャリア供給領域15aに接するように設ける。このような構成であっても、p型の低抵抗領域16gの深さが、第2障壁層16と第1障壁層15における高抵抗領域15b'の膜厚によって高精度に制御され、薄い低抵抗領域16gを精度良く形成することが可能である。

40

【0114】

4. 第4実施形態

(低抵抗領域を囲む第2障壁層を低抵抗とした例)

50

図12は第4実施形態の半導体装置の要部構成を示す断面図である。以下、この図に基づいて、本技術を適用した第4実施形態の半導体装置の構成を説明する。

【0115】

<第4実施形態の半導体装置の構成>

図12に示す本第4実施形態の半導体装置1-4が、図1を用いて説明した第1実施形態の半導体装置と異なるところは、第2障壁層16においてp型の低抵抗領域16gを囲む部分を、高抵抗領域に換えて低抵抗領域16aとした構成したところにあり、他の構成は第1実施形態と同様である。よって、第1実施形態と同一の構成要素には同一の符号を付し、本第4実施形態での詳細な説明は省略する。

【0116】

10

すなわち、第2障壁層16において、その表面層に設けられたp型の低抵抗領域16gは、n型の不純物を含有するn型の低抵抗領域16aで囲まれている。言い換えれば、全体的にn型の低抵抗領域16aとして構成された第2障壁層16の表面層に、p型の低抵抗領域16gが設けられている。このようなn型の低抵抗領域16aは、第1障壁層15におけるn型のキャリア供給領域15aと連続していても良い。

【0117】

<第4実施形態の半導体装置の動作および製造方法>

以上のような構成を有する半導体装置1-4は、第1実施形態の半導体装置と同様に動作する。またこの半導体装置1-4の製造は、第1実施形態の半導体装置の製造手順において第2障壁層16としてn型不純物を含有する低抵抗領域16aをエピタキシャル成長させ、この表面層にp型不純物を導入して低抵抗領域16gを形成すれば良い。

20

【0118】

<第4実施形態の半導体装置の効果>

以上説明した半導体装置1-4は、第1実施形態の構成と同様に、チャネル層14上に、第1障壁層15を介して当該第1障壁層15よりもバレンスバンドエネルギーEvの低い第2障壁層16を設け、この表面層に設けたp型の低抵抗領域16gの上部にゲート絶縁膜25を介してゲート電極27を設けた構成である。このため、第1実施形態と同様の効果を得ることができる。

【0119】

30

以上に加えて、特に本第4実施形態の半導体装置1-4は、p型の低抵抗領域16gをn型の低抵抗領域16a内に設けた構成としたことで、チャネル層14のシートキャリア密度を高くすることができ、チャネル抵抗およびアクセス抵抗を低くすることができる。この結果、第1実施形態において図8を用いても説明したように、オン抵抗Ronを小さくする事ができ、さらに最大ドレイン電流Idmaxを高くする効果を期待できる。

【0120】

尚、本第4実施形態では、第1実施形態で図1を用いて説明した構成において、p型の低抵抗領域16gを囲む第2障壁層16の高抵抗な領域をn型の低抵抗領域16aに変更した構成を説明した。しかしながら本第4実施形態は、第1実施形態への適用に限定されることはなく、第2～第3実施形態と組み合わせることも可能である。この場合、第2～第3実施形態において、p型の低抵抗領域16gを囲む領域を、これとは逆導電型(n型)の低抵抗領域とすれば良い。これにより、第2～第3実施形態の効果と合わせて、さらに本第4実施形態と同様の効果を得ることが可能になる。

40

【0121】

5. 第5実施形態

(第2障壁層とソース電極およびドレイン電極との間にキャップ層を設けた例)

図13は第5実施形態の半導体装置の要部構成を示す断面図である。以下、この図に基づいて、本技術を適用した第5実施形態の半導体装置の構成を説明する。

【0122】

<第5実施形態の半導体装置の構成>

図13に示す本第5実施形態の半導体装置1-5が、図1を用いて説明した第1実施形態

50

の半導体装置と異なるところは、第2障壁層16とソース電極23s／ドレイン電極23d間に、キャップ層31を設けたところにある。キャップ層31は、低抵抗領域16gとは逆導電型の不純物を含有する層として設けられている。他の構成は第1実施形態と同様である。よって、第1実施形態と同一の構成要素には同一の符号を付し、本第実施形態での詳細な説明は省略する。

【0123】

キャップ層31は、上部障壁層を構成する第2障壁層16と、ソース電極23s／ドレイン電極23dとの間に、低抵抗領域16gとは逆導電型の不純物（ここではn型の不純物）を含有する層として設けられている。このようなキャップ層31は、第2障壁層16に対して格子整合する化合物半導体材料を用いて構成されれば良く、第2障壁層16のバンドギャップと一致している必要はない。ただし、極端にバンドギャップが異なると、接合部にポテンシャルの障壁ができるため、オーミック接合における抵抗が高くなるおそれがある。したがって、キャップ層31のバンドギャップは、下地となる第2障壁層16のバンドギャップに対して、半導体装置1-5の特性に影響のない程度の範囲で一致させることとする。

【0124】

以上のようなキャップ層31は、第2障壁層16がGaInP混晶からなる場合、例えばn型の不純物を含有するGaAsにより構成されていることとする。

【0125】

<第5実施形態の半導体装置の動作および製造方法>

20

以上のような構成を有する半導体装置1-5は、第1実施形態の半導体装置と同様に動作する。またこの半導体装置1-5の製造は、第1実施形態の半導体装置の製造手順において、第2障壁層16の成膜に続けてキャップ層31となるn型GaAs層をエピタキシャル成長させる工程を行う。また、ボロンのイオン注入によって高抵抗化された非活性領域を素子分離として形成した後に、n型GaAs層をパターンエッティングしてキャップ層31を形成し、次に絶縁膜21の成膜と、これ以降の工程を行えば良い。

【0126】

<第5実施形態の半導体装置の効果>

以上説明した構成の半導体装置1-5は、第1実施形態の構成と同様に、チャネル層14上に、第1障壁層15を介して当該第1障壁層15よりもバレンスバンドエネルギーEvの低い第2障壁層16を設け、この表面層に設けたp型の低抵抗領域16gの上部にゲート絶縁膜25を介してゲート電極27を設けた構成である。このため、第1実施形態と同様の効果を得ることができる。

30

【0127】

以上に加えて、特に本第5実施形態の半導体装置1-5は、第2障壁層16とソース電極23s／ドレイン電極23dとの間に、化合物半導体からなるキャップ層31を設けた構成である。このため、キャップ層31直下のチャネル層14のシートキャリア密度を高くすることができ、チャネル抵抗およびアクセス抵抗を低くすることができる。この結果、オン抵抗Ronを小さくする事ができ、さらに最大ドレイン電流Idmaxを高くする効果を期待できる。

40

【0128】

尚、本第5実施形態では、第1実施形態で図1を用いて説明した構成において、第2障壁層16とソース電極23s／ドレイン電極23d間に、低抵抗領域16gとは逆導電型の不純物を含有する層としてキャップ層31を設けた構成を説明した。しかしながら本第5実施形態は、第1実施形態への適用に限定されることではなく、第2～第4実施形態と組み合わせることも可能である。この場合、第2～第4実施形態における第2障壁層とソース電極23s／ドレイン電極23d間に、p型の低抵抗領域16gとは逆導電型のn型不純物を含有する層としてキャップ層31を設ければ良い。これにより、第2～第4実施形態の効果と合わせて、さらに本第5実施形態と同様の効果を得ることが可能になる。

【0129】

50

6. 第6実施形態

(第2障壁層の全面をゲート絶縁膜で覆った例)

図14は第6実施形態の半導体装置の要部構成を示す断面図である。以下、この図に基づいて、本技術を適用した第6実施形態の半導体装置の構成を説明する。

【0130】

<第6実施形態の半導体装置の構成>

図14に示す本第6実施形態の半導体装置1-6が、図1を用いて説明した第1実施形態の半導体装置と異なるところは、第2障壁層16の表面全体をゲート絶縁膜25で覆い、下層の絶縁膜(21)を除去したところにあり、他の構成は第1実施形態と同様である。よって、第1実施形態と同一の構成要素には同一の符号を付し、本第6実施形態での詳細な説明は省略する。

10

【0131】

すなわち第2障壁層16の表面は、全面がゲート絶縁膜25で覆われている。このゲート絶縁膜25に対して、第2障壁層16に設けた低抵抗領域16gを挟む位置で、低抵抗領域16gに重ならない位置に、第2障壁層16の高抵抗領域16bに達するソース開口25s / ドレイン開口25dが設けられている。第2障壁層16の上部には、このソース開口25s / ドレイン開口25dを介して第2障壁層16の高抵抗領域16bに接続されたソース電極23sおよびドレイン電極23dが設けられている。

【0132】

<第6実施形態の半導体装置の動作>

20

このような構成を有する半導体装置1-6は、第1実施形態の半導体装置と同様に動作する。

【0133】

<第6実施形態の半導体装置の製造方法>

次に、上述した構成の半導体装置1-7の製造方法の一例を、図15および図16の断面工程図に基づいて説明する。

【0134】

[図15A]

先ず図15Aに示すように、第1実施形態において図5Aを用いて説明したと同様の手順で、基板11上に、バッファ層12、下部障壁層13、チャネル層14、第1障壁層15および第2障壁層16からなる上部障壁層をこの順にエピタキシャル成長させる。次いで、ここで図示を省略した素子分離を行う。

30

【0135】

その後、第2障壁層16上に、GaAsからなるキャップ層33をエピタキシャル成長させる。

【0136】

[図15B]

次いで図15Bに示すように、キャップ層33上に絶縁膜35を成膜し、この絶縁膜35をパターンエッチングすることにより、キャップ層33の表面を露出するゲート開口35gを絶縁膜35に形成する。

40

【0137】

[図16A]

次に図16Aに示すように、ゲート開口35gの底部に露出するキャップ層33の表面からのp型不純物の導入により、キャップ層33から第2障壁層16の高抵抗領域16bの表面層に達する低抵抗領域16gを形成する。ここでは、第1障壁層15内のキャリア供給領域15aに達することのない位置、すなわち第2障壁層16内の表面層のみに、p型不純物である亜鉛(Zn)を拡散させて低抵抗領域16gを形成する。亜鉛(Zn)の拡散は、例えば600程度の温度での亜鉛化合物気体を用いた気相拡散によって行う。

【0138】

[図16B]

50

その後、図 16 B に示すように、絶縁膜 35 とキャップ層 33 とをエッティング除去し、p 型不純物を導入した低抵抗領域 16 g が形成された第 2 障壁層 16 を残す。

【 0139 】

以上の後には、図 14 に示したように、低抵抗領域 16 g が形成された第 2 障壁層 16 の上部にゲート絶縁膜 25 を成膜する。次に、ゲート絶縁膜 25 において低抵抗領域 16 g を挟む位置に、ソース開口 25 s およびドレイン開口 25 d を形成し、さらにソース開口 25 s / ドレイン開口 25 d を介して第 2 障壁層 16 の高抵抗領域 16 b に接続されたソース電極 23 s / ドレイン電極 23 d を形成する。またゲート絶縁膜 25 上には、低抵抗領域 16 g の上方に重なる位置に、ゲート電極 27 を形成し、半導体装置 1-6 を完成させる。

10

【 0140 】

< 第 6 実施形態の半導体装置の効果 >

以上説明した構成の半導体装置 1-6 は、第 1 実施形態の構成と同様に、チャネル層 14 上に、第 1 障壁層 15 を介して当該第 1 障壁層 15 よりもバレンスバンドエネルギー EV の低い第 2 障壁層 16 を設け、この表面層に設けた p 型の低抵抗領域 16 g の上部にゲート絶縁膜 25 を介してゲート電極 27 を設けた構成である。このため、第 1 実施形態と同様の効果を得ることができる。

【 0141 】

また特に本第 6 実施形態の製造方法では、図 16 A を用いて説明したように、第 2 障壁層 16 に低抵抗領域 16 g を形成する際、キャップ層 33 を介して第 2 障壁層 16 に p 型不純物である亜鉛 (Zn) を拡散させている。このため、第 2 障壁層 16 における p 型不純物の拡散深さを小さくすることができ、この p 型不純物を第 2 障壁層 16 に拡散させてなる低抵抗領域 16 g を浅く形成することが容易になる。つまり、キャップ層 33 を介さずに第 2 障壁層 16 に対して直接的な拡散を行う低抵抗領域 16 g の形成手法では、50 nm 以下程度の極浅い不純物領域の形成は困難であったが、この手法を用いることで、極浅い低抵抗領域 16 g の形成が可能になる。

20

【 0142 】

尚、本第 6 実施形態では、第 1 実施形態で説明した構成において、下層の絶縁膜 (21) を除去し、第 2 障壁層 16 の表面全体をゲート絶縁膜 25 で覆った構成を説明した。しかしながら、本第 6 実施形態は、第 2 ~ 第 5 実施形態で説明した構成において、下層の絶縁膜 (21) を除去し、第 2 障壁層 16 の表面全体をゲート絶縁膜 25 で覆った構成とすることができる。

30

【 0143 】

また本第 6 実施形態で説明した製造方法は、第 1 ~ 第 5 実施形態で説明したように、ゲート絶縁膜 25 とは別に絶縁膜 21 を設けた構成の半導体装置の製造にも同様に適用することが可能である。

【 0144 】

第 1 ~ 第 4 実施形態に適用する場合の製造方法は、図 16 B に示したように低抵抗領域 16 g を形成してキャップ層 33 を除去する。その後、図 5 B を用いて説明したと同様にゲート開口 21 g を設けた絶縁膜 21 を形成し、さらに絶縁膜 21 も覆う状態でゲート絶縁膜 25 を形成する手順を行えば良く、同様の効果を得ることが可能である。

40

【 0145 】

また第 5 実施形態に適用する場合であれば、図 16 A に示したように低抵抗領域 16 g を形成した後、図 17 A に示すように絶縁膜 35 をマスクにしてキャップ層 33 を等方性エッティングする。これにより、キャップ層 33 に形成された低抵抗領域 16 g 部分を完全に除去すると共に、第 2 障壁層 16 に形成された低抵抗領域 16 g を露出させる。次に図 17 B に示すように、キャップ層 33 上の絶縁膜 35 を除去する。次いで図 18 A に示すように、キャップ層 33 および第 2 障壁層 16 を覆う状態でゲート絶縁膜 25 を形成し、さらに低抵抗領域 16 g 上にゲート絶縁膜 25 を介してゲート電極 27 を形成する。その後は図 18 B に示すように、ゲート絶縁膜 25 にソース開口 25 s / ドレイン開口 25 d

50

を形成し、このソース開口 25s / ドレイン開口 25d を介してゲート電極 27 脇にキャップ層 33 に接続されたソース電極 23s / ドレイン電極 23d を形成する。これにより、第 6 実施形態の製造方法と同様の効果を得ることができる。尚、キャップ層 33 は、第 5 実施形態で説明したキャップ層 31 (図 13 参照) と同様の構成である。

【 0146 】

7. 第 7 実施形態

(低抵抗領域をゲート電極で覆った例)

図 19 は第 7 実施形態の半導体装置の要部構成を示す断面図である。以下、この図に基づいて、本技術を適用した第 7 実施形態の半導体装置の構成を説明する。

【 0147 】

< 第 7 実施形態の半導体装置の構成 >

図 19 に示す本第 7 実施形態の半導体装置 1-7 が、図 1 を用いて説明した第 1 実施形態の半導体装置と異なるところは、第 2 障壁層 16 の表面全体をゲート絶縁膜 25 で覆い、下層の絶縁膜 (21) を除去したところ、およびゲート電極 27 のゲート長 Lg にある。他の構成は第 1 実施形態と同様である。よって、第 1 実施形態と同一の構成要素には同一の符号を付し、本第 7 実施形態での詳細な説明は省略する。

【 0148 】

すなわち第 2 障壁層 16 の表面は、全面がゲート絶縁膜 25 で覆われている。このゲート絶縁膜 25 に対して、第 2 障壁層 16 に設けた低抵抗領域 16g を挟む位置で、低抵抗領域 16g に重ならない位置に、第 2 障壁層 16 の高抵抗領域 16b に達するソース開口 25s / ドレイン開口 25d が設けられている。第 2 障壁層 16 の上部には、このソース開口 25s / ドレイン開口 25d を介して高抵抗領域 16b に接続されたソース電極 23s およびドレイン電極 23d が設けられている。以上までは、第 6 実施形態と同様である。

【 0149 】

本第 7 実施形態では、ゲート電極 27 が低抵抗領域 16g の上部を完全に覆う形状を有しているところが特徴的である。このゲート電極 27 は、ソース電極 23s - ドレイン電極 23d 間方向の長さ、すなわちゲート長 Lg が、低抵抗領域 16g の長さ L よりも大きく設定されている。これにより、ゲート電極 27 は、低抵抗領域 16g の上部を完全に覆う形状を有する。ここで、ゲート電極 27 のゲート長 Lg は、詳しくはゲート絶縁膜 25 のみを介して第 2 障壁層 16 上に配置されている部分の長さであって、実効的なゲート長さであることとする。

【 0150 】

< 第 7 実施形態の半導体装置の動作 >

このような構成を有する半導体装置 1-7 は、第 1 実施形態の半導体装置と同様に動作する。

【 0151 】

< 第 7 実施形態の半導体装置の製造方法 >

次に、上述した構成の半導体装置 1-7 の製造方法は、第 6 実施形態において図 15 および図 16 の断面工程図を用いて説明した手順と同様に行われ、ゲート電極 27 の形状 (ゲート長 Lg) のみが異なる。

【 0152 】

< 第 7 実施形態の半導体装置の効果 >

以上説明した構成の半導体装置 1-7 は、第 1 実施形態の構成と同様に、チャネル層 14 上に、第 1 障壁層 15 を介して当該第 1 障壁層 15 よりもバレンスバンドエネルギー Ev の低い第 2 障壁層 16 を設け、この表面層に設けた p 型の低抵抗領域 16g の上部にゲート絶縁膜 25 を介してゲート電極 27 を設けた構成である。このため、第 1 実施形態と同様の効果を得ることができる。

【 0153 】

以上に加えて、特に本第 7 実施形態の半導体装置 1-7 は、ゲート電極 27 が低抵抗領域

10

20

30

40

50

16 g の上部を完全に覆う形状を有している。このため、ゲート電極 27 にゲート電圧(正電圧)を印加する際に、p 型の低抵抗領域 16 g を完全に空乏化させることができるとなる。すなわちオン動作時にチャネル層 14 内ゲート端部におけるキャリア欠乏領域の発生を防ぐことができ、寄生抵抗の増加を抑えることができる。この結果、オン抵抗 R_{on} を小さくする事ができ、さらに最大ドレイン電流 I_{dmax} を高くする効果を期待できる。

【0154】

尚、本第 7 実施形態の半導体装置の構成は、第 1 ~ 第 5 実施形態で説明したように、ゲート絶縁膜 25 とは別に絶縁膜 21 を設けた構成の半導体装置と組み合わせることも可能である。本第 7 実施形態の半導体装置の構成を第 1 ~ 第 5 実施形態に適用する場合の製造方法は、第 11 実施形態以降において説明する。

10

【0155】

8. 第 8 実施形態

(第 2 障壁層の表面層を低抵抗領域としてパターニングした例)

図 20 は第 8 実施形態の半導体装置の要部構成を示す断面図である。以下、この図に基づいて、本技術を適用した第 8 実施形態の半導体装置の構成を説明する。

【0156】

<第 8 実施形態の半導体装置の構成>

図 20 に示す本第 8 実施形態の半導体装置 1-8 が、図 1 を用いて説明した第 1 実施形態の半導体装置と異なるところは、第 2 障壁層 16 の表面層が p 型の低抵抗領域 16 g としてパターニングされているところにある。また、パターニングされた低抵抗領域 16 g を表面層に設けた第 2 障壁層 16 上の表面全面をゲート絶縁膜 25 で覆い、下層の絶縁膜(21)を除去したところにあり、他の構成は同様である。よって、第 1 実施形態と同一の構成要素には同一の符号を付し、本第実施形態での詳細な説明は省略する。

20

【0157】

[第 1 障壁層 15、第 2 障壁層 16]

第 1 障壁層 15 および第 2 障壁層 16 は、第 1 実施形態と同様に構成されたものであり、第 2 障壁層 16 における表面層が低抵抗領域 16 g としてパターニングされているところが異なる。第 2 障壁層 16 において、パターニングされた低抵抗領域 16 g 以外の部分は、不純物を含有しないかまたは n 型の不純物を含有する高抵抗領域 16 b として構成されていることとする。尚、第 2 障壁層 16 における低抵抗領域 16 g 以外の部分は、全領域が n 型の低抵抗領域として構成されていて、第 1 障壁層 15 における n 型のキャリア供給領域 15 a と連続していても良い。

30

【0158】

[低抵抗領域 16 g]

低抵抗領域 16 g は、第 2 障壁層 16 の表面層をパターニングした部分であり、パターニングされた全ての領域が p 型不純物を含有する p 型の低抵抗領域 16 g として構成されている。

【0159】

このような低抵抗領域 16 g は、第 2 障壁層 16 の表面層がパターニングされたものであるため、第 1 障壁層 15 を構成する化合物半導体材料よりもバレンスバンドエネルギー E_v の低い II - V 族化合物半導体材料を用いて構成されている。

40

【0160】

以上のような低抵抗領域 16 g は、他の実施形態と同様に、GaInP 混晶からなる第 2 障壁層 16 に、p 型不純物としてベリリウム(Be), 炭素(C), マグネシウム(Mg)、および亜鉛(Zn)からなるうちの少なくとも 1 種を含有している。

【0161】

またこのようにパターニングされた低抵抗領域 16 g を表面層に備えた第 2 障壁層 16 上は、低抵抗領域 16 g の側壁も含んで、全面がゲート絶縁膜 25 で覆われている。このゲート絶縁膜 25 に対して、低抵抗領域 16 g を挟む位置に、第 2 障壁層 16 に達するソース開口 25 s / ドレイン開口 25 d が設けられている。第 2 障壁層 16 の上部には、こ

50

のソース開口 25s / ドレイン開口 25d を介して、第2障壁層 16 の高抵抗領域 16b に接続されたソース電極 23s およびドレイン電極 23d が設けられている。

【0162】

またゲート電極 27 は、ゲート絶縁膜 25 を介して低抵抗領域 16g の上部および側面を完全に覆う状態で、低抵抗領域 16g の長さよりも大きく形成されている。尚、ゲート電極 27 は、低抵抗領域 16g の上部のみに積層して設けても良い。

【0163】

<第8実施形態の半導体装置の動作>

このような構成を有する半導体装置 1-8 は、第1実施形態の半導体装置と同様に動作する。

10

【0164】

<第8実施形態の半導体装置の製造方法>

次に、上述した構成の半導体装置 1-8 の製造方法の一例を、図 21 の断面工程図に基づいて説明する。

【0165】

[図 21A]

先ず図 21A に示すように、基板 11 上に、バッファ層 12、下部障壁層 13、チャネル層 14、および第1障壁層 15 をこの順にエピタキシャル成長させ、さらに不純物を添加しない u-GaInP ($\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$ 混晶) 層からなる高抵抗の第2障壁層 16 を形成する。ここまで工程は、第1実施形態において図 5A を用いて説明したと同様の手順で行う。

20

【0166】

その後引き続き、高抵抗の第2障壁層 16 (すなわち高抵抗領域 16b) の上部に、例えばベリリウム、炭素、マグネシウムおよび亜鉛からなるうちの少なくとも 1 種を p 型不純物として添加した GaInP ($\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$ 混晶) 層を、第2障壁層 16 の低抵抗領域 16g としてエピタキシャル成長させて第2障壁層 16 を形成する。次いで、ボロンのイオン注入を行って高抵抗化された非活性領域を形成し、ここで図示を省略した素子分離とする。

【0167】

[図 21B]

30

次に図 21B に示すように、第2障壁層 16 上において p 型の低抵抗領域となる予定領域上に、リソグラフィー法を適用してレジストパターン 39 を形成する。次いで、このレジストパターン 39 をマスクした異方性エッチングにより、第2障壁層 16 の低抵抗領域 16g をパターニングする。パターニング終了後にはレジストパターン 39 を除去する。

【0168】

以上の後には、図 20 に示したように、パターニングされた低抵抗領域 16g を覆う状態で、第2障壁層 16 上に酸化アルミニウムからなるゲート絶縁膜 25 を成膜する。次いで、ゲート絶縁膜 25 を介して第2障壁層 16 上にゲート電極 27 をパターン形成し、さらにゲート絶縁膜 25 にソース開口 25s / ドレイン開口 25d を形成した後、ソース電極 23s / ドレイン電極 23d を形成し、半導体装置 1-8 を完成させる。

40

【0169】

<第8実施形態の半導体装置の効果>

以上説明した構成の半導体装置 1-8 であっても、第1実施形態の構成と同様に、チャネル層 14 上に、第1障壁層 15 を介して当該第1障壁層 15 よりもバレンスバンドエネルギー E_v の低い第2障壁層 16 を設け、この表面層に設けた p 型の低抵抗領域 16g の上部にゲート絶縁膜 25 を介してゲート電極 27 を設けた構成である。このため、第1実施形態と同様の効果を得ることができる。

【0170】

以上に加えて特に本第8実施形態の半導体装置 1-8 は、p 型の低抵抗領域 16g として、p 型不純物を含有してエピタキシャル成長させた第2障壁層 16 部分をパターニングし

50

たものを用いた。これにより、低抵抗領域 16 g は、厚さが高精度で制御されたものとなる。この結果、不純物の拡散によって形成された低抵抗領域を設けた構成と比較して、閾値電圧、オン抵抗 R_{on} 、最大ドレイン電流 I_{dmax} の安定化を図ることが可能である。

【0171】

さらに本第8実施形態の半導体装置 1-8 は、ゲート電極 27 が低抵抗領域 16 g の上部を完全に覆う形状を有している。このため、ゲート電極 27 にゲート電圧（正電圧）を印加する際に、p型の低抵抗領域 16 g を完全に空乏化させることができるとなる。すなわちオン動作時にチャネル層 14 内ゲート端部におけるキャリア欠乏領域の発生を防ぐことができ、寄生抵抗の増加を抑えることができる。この結果、オン抵抗 R_{on} を小さくする事ができ、さらに最大ドレイン電流 I_{dmax} を高くする効果を期待できる。10

【0172】

尚、本第8実施形態の半導体装置の構成は、第1～第5実施形態で説明したように、ゲート絶縁膜 25 とは別に絶縁膜 21 を設けた構成の半導体装置と組み合わせることも可能である。

【0173】

第1～第4実施形態に適用する場合の製造方法は、図 21B に示したように低抵抗領域 16 g をパターン形成した後、図 5B を用いて説明したと同様に絶縁膜 21 を形成してこれにゲート開口 21g する。その後は、ゲート絶縁膜 25 を形成し、さらにソース電極 23s / ドレイン電極 23d およびゲート電極 27 を形成する。20

【0174】

9. 第9実施形態

（第1障壁層上の第2障壁層を低抵抗領域としてパターニングした例）

図 22 は第9実施形態の半導体装置の要部構成を示す断面図である。以下、この図に基づいて、本技術を適用した第9実施形態の半導体装置の構成を説明する。

【0175】

<第9実施形態の半導体装置の構成>

図 22 に示す本第9実施形態の半導体装置 1-9 が、図 1 を用いて説明した第1実施形態の半導体装置と異なるところは、第1障壁層 15 上に、低抵抗領域 16 g としてパターニングされた第2障壁層 16 が設けられているところにある。また、第1障壁層 15 の膜厚方向の中央部にキャリア供給領域 15a を設けているところ、さらに低抵抗領域 16 g となる第2障壁層 16 が形成された第1障壁層 15 上の全面をゲート絶縁膜 25 で覆い、下層の絶縁膜（21）を除去したところにあり、他の構成は同様である。よって、第1実施形態と同一の構成要素には同一の符号を付し、本第9実施形態での詳細な説明は省略する。30

【0176】

[第1障壁層 15]

すなわち第1障壁層 15 は、第1実施形態の第1障壁層と同様のものであり、チャネル層 14 に対して良好に格子整合すると共に、チャネル層 14 を構成する化合物半導体材料よりもコンダクションバンド E_c が高い II - V 族化合物半導体材料で構成され、チャネル層 14 に対してヘテロ接合している。このような第1障壁層 15 は、チャネル層 14 に対してバンドギャップの差（コンダクションバンド E_c の差）が大きいほど良い。40

【0177】

このような第1障壁層 15 は、第2実施形態と同様であって、キャリア供給領域 15a を挟んで配置される高抵抗領域 15b, 15b' は、それぞれ独立に、不純物が添加されていないか、低濃度の不純物を含有する高抵抗領域 15b として形成されていて良い。また、このような第1障壁層 15 は、全領域がキャリア供給領域 15a として構成されていても良く、チャネル層 14 と接する側の層のみを高抵抗領域 15b としても良く、第2障壁層 16 側の層のみを高抵抗領域 15b' としても良い。

【0178】

[第2障壁層 16 および低抵抗領域 16 g]

10

20

30

40

50

第2障壁層16は、第1障壁層15を介してチャネル層14の上部にパターン形成された層であり、全ての領域がp型不純物を含有する低抵抗領域16gとして構成されている。

【0179】

このような第2障壁層16は、第1障壁層15に対して格子整合する化合物半導体材料を用いて構成されており、第1障壁層15を構成する化合物半導体材料よりもバレンスバンドエネルギーEvの低いII-V族化合物半導体材料を用いて構成されている。

【0180】

以上のような第2障壁層16は、例えばGaInP混晶からなり、p型不純物としてベリリウム(Be), 炭素(C), マグネシウム(Mg)、および亜鉛(Zn)からなるうちの少なくとも1種を含有している。

【0181】

またこのような第2障壁層16および第1障壁層15上の全面は、ゲート絶縁膜25で覆われている。このゲート絶縁膜25に対して、低抵抗領域16gを構成する第2障壁層16を挟む位置に、第1障壁層15に達するソース開口25s/ドレイン開口25dが設けられている。第1障壁層15の上部には、このソース開口25s/ドレイン開口25dを介して、第1障壁層15に接続されたソース電極23sおよびドレイン電極23dが設けられている。

【0182】

またゲート電極27は、ゲート絶縁膜25を介して第2障壁層16の上部および側面を完全に覆う状態で、低抵抗領域16gとしての第2障壁層16の長さよりも大きく形成されている。尚、ゲート電極27は、低抵抗領域16gとしての第2障壁層16の上部のみに積層して設けても良い。

【0183】

<第9実施形態の半導体装置の動作>

このような構成を有する半導体装置1-9は、第1実施形態の半導体装置と同様に動作する。

【0184】

<第9実施形態の半導体装置の製造方法>

次に、上述した構成の半導体装置1-9の製造方法は、基板11上に、バッファ層12、下部障壁層13、チャネル層14、および3層構造の第1障壁層15をこの順にエピタキシャル成長させる。その後、p型不純物として添加したGaInP(Ga_{0.5}In_{0.5}P混晶)層を、第2障壁層16の低抵抗領域16gとしてエピタキシャル成長させて第2障壁層16を形成する。次いで、ボロンのイオン注入を行って高抵抗化された非活性領域を形成し、ここでの図示を省略した素子分離とする。

【0185】

その後は第8実施形態で図21Bの断面工程図を用いて説明したと同様に、第2障壁層16(低抵抗領域16g)をパターニングする。しかる後、図22に示したように、パターニングされた低抵抗領域16gを覆う状態で、第2障壁層16上に酸化アルミニウムからなるゲート絶縁膜25を成膜する。次いで、ゲート絶縁膜25を介して第2障壁層16および第1障壁層15上にゲート電極27をパターン形成し、さらにゲート絶縁膜25にソース開口25s/ドレイン開口25dを形成した後、ソース電極23s/ドレイン電極23dを形成し、半導体装置1-9を完成させる。

【0186】

<第9実施形態の半導体装置の効果>

以上説明した構成の半導体装置1-9であってもチャネル層14上に、第1障壁層15を介して当該第1障壁層15よりもバレンスバンドエネルギーEvの低い第2障壁層16を設け、これをp型の低抵抗領域16gとしてこの上部にゲート絶縁膜25を介してゲート電極27を設けた構成である。このため、第1実施形態と同様の効果を得ることができる。

【0187】

以上に加えて本第9実施形態の半導体装置1-9は、p型の低抵抗領域16gとして、p型不純物を含有してエピタキシャル成長させた第2障壁層16をパターニングしたものを用いた。これにより、低抵抗領域16gは、厚さが高精度で制御されたものとなる。この結果、不純物の拡散によって形成された低抵抗領域を設けた構成と比較して、閾値電圧、オン抵抗R_{on}、最大ドレイン電流I_{dmax}の安定化を図ることが可能である。

【0188】

さらにデバイス加工時に、第2障壁層16をp型の低抵抗領域16gとしてパターニングする際、第1障壁層15と第2障壁層16とで半導体材料が異なっているため、選択エッチングを行うことが可能である。すなわち、低抵抗領域16gのみを制御良くエッチングする事ができ、第1障壁層15の膜減りを抑えることができる。その結果、オン抵抗R_{on}の増加を抑えることができ、加えて最大ドレイン電流I_{dmax}を低下を抑えることが可能である。10

【0189】

尚、本第9実施形態の半導体装置の構成は、第8実施形態で説明したと同様に、第1～第5実施形態と組み合わせることも可能である。

【0190】

10. 第10実施形態

(低抵抗領域とは逆導電型のソース領域およびドレイン領域を設けた例)

図23は第10実施形態の半導体装置の要部構成を示す断面図である。以下、この図に基づいて、本技術を適用した第10実施形態の半導体装置の構成を説明する。20

【0191】

<第10実施形態の半導体装置の構成>

図23に示す本第10実施形態の半導体装置1-10が、図1を用いて説明した第1実施形態の半導体装置と異なるところは、第2障壁層16にn型のソース領域16s／ドレイン領域16dが設けられているところにある。また第2障壁層16の表面全体をゲート絶縁膜25で覆い、下層の絶縁膜(21)を除去したところにあり、他の構成は同様である。よって、第1実施形態と同一の構成要素には同一の符号を付し、本第10実施形態での詳細な説明は省略する。

【0192】

すなわち、第2障壁層16には、ゲート電極27を挟む位置、すなわちp型の低抵抗領域16gを挟む位置に、n型不純物を含有する低抵抗な領域としてソース領域16s／ドレイン領域16dが設けられている。これらのソース領域16s／ドレイン領域16dは、p型の低抵抗領域16gに接して設けられていて良い。また、これらのソース領域16s／ドレイン領域16dは、第1障壁層15内に設けたn型のキャリア供給領域15aに達している。30

【0193】

第2障壁層16上の全面は、ゲート絶縁膜25で覆われている。このゲート絶縁膜25に対して、低抵抗領域16gを挟んで配置されたソース領域16s／ドレイン領域16dに達するソース開口25s／ドレイン開口25dが設けられている。第2障壁層16の上部には、このソース開口25s／ドレイン開口25dを介して、ソース領域16s／ドレイン領域16dに接続されたソース電極23sおよびドレイン電極23dが設けられている。40

【0194】

またゲート電極27は、ゲート絶縁膜25を介して第2障壁層16における低抵抗領域16gの上部に設けられている。

【0195】

<第10実施形態の半導体装置の動作>

このような構成を有する半導体装置1-10は、第1実施形態の半導体装置と同様に動作する。

10

20

30

40

50

【0196】

<第10実施形態の半導体装置の製造方法>

次に、上述した構成の半導体装置1-10の製造方法の一例を、図24の断面工程図に基づいて説明する。

【0197】

[図24A]

先ず図24Aに示すように、基板11上に、バッファ層12、下部障壁層13、チャネル層14、および第1障壁層15をこの順にエピタキシャル成長させ、さらに不純物を添加しない μ -GaInP ($Ga_{0.5}In_{0.5}P$ 混晶)層からなる高抵抗の第2障壁層16を形成する。ここまで10の工程は、第1実施形態において図5Aを用いて説明したと同様の手順で行う。

【0198】

その後引き続き、高抵抗の第2障壁層16(すなわち高抵抗領域16b)の上部に、例えばベリリウム、炭素、マグネシウムおよび亜鉛からなるうちの少なくとも1種をp型不純物として添加したGaInP ($Ga_{0.5}In_{0.5}P$ 混晶)層を、第2障壁層16の低抵抗領域16gとしてエピタキシャル成長させて第2障壁層16を形成する。次いで、ボロンのイオン注入を行って高抵抗化された非活性領域を形成し、ここで20の図示を省略した素子分離とする。

【0199】

[図24B]

次に図24Bに示すように、第2障壁層16上においてp型の低抵抗領域16gを残す領域上に、リソグラフィー法を適用してレジストパターン41を形成する。次いで、このレジストパターン41をマスクした不純物拡散により、第2障壁層16にn型の不純物を導入する。これにより、p型の低抵抗領域16gの両脇に、n型のキャリア供給領域15aに達する深さで、n型のソース領域16s / ドレイン領域16dを形成する。この不純物拡散は例えばイオン注入によって行う。不純物拡散後には、レジストパターン41を除去する。

【0200】

以上の後には、図23に示したように、p型の低抵抗領域16gおよびn型のソース領域16s / ドレイン領域16dが形成された第2障壁層16上に、酸化アルミニウムからなるゲート絶縁膜25を成膜する。次いで、ゲート絶縁膜25を介してp型の低抵抗領域16g上にゲート電極27をパターン形成する。また、ゲート絶縁膜25に、n型のソース領域16s / ドレイン領域16dに達するソース開口25s / ドレイン開口25dを形成する。その後、これらを介してソース領域16s / ドレイン領域16dに接続されたソース電極23s / ドレイン電極23dを形成し、半導体装置1-10を完成させる。

【0201】

<第10実施形態の半導体装置の効果>

以上説明した構成の半導体装置1-10であっても、第1実施形態の半導体装置と同様に、チャネル層14上に、第1障壁層15を介して当該第1障壁層15よりもバレンスバンドエネルギーEvの低い第2障壁層16を設け、この表面層をp型の低抵抗領域16gとしてこの上部にゲート絶縁膜25を介してゲート電極27を設けた構成である。このため、第1実施形態と同様の効果を得ることができる。

【0202】

以上に加えて特に本第10実施形態の半導体装置1-10は、p型の低抵抗領域16gを挟む状態でn型のソース領域16s / ドレイン領域16dを設けたことにより、n型のソース領域16s / ドレイン領域16d直下のチャネル層14内シートキャリア密度を高くすることができ、チャネル抵抗およびアクセス抵抗を低くすることができる。すなわち、オン抵抗Ronを小さくする事ができ、加えて最大ドレイン電流Idmaxを高くすることが可能である。

【0203】

10

20

30

40

50

さらに p 型の低抵抗領域 16 g として、エピタキシャル成長により形成した第 2 障壁層 16 を用いた。これにより、低抵抗領域 16 g は、厚さが高い精度で制御されたものとなる。この結果、不純物の拡散によって形成された低抵抗領域を設けた構成と比較して、閾値電圧、オン抵抗 R_{on}、最大ドレイン電流 I_{dmax} の安定化を図ることが可能である。

【0204】

尚、本第 10 実施形態の半導体装置の構成は、第 1 ~ 第 5 実施形態で説明したように、ゲート絶縁膜 25 とは別に絶縁膜 21 を設けた構成の半導体装置と組み合わせることも可能である。また、本第 10 実施形態の半導体装置の構成は、第 8 ~ 第 9 実施形態で説明した様に、パターニングされた p 型の低抵抗領域 16 g を備えた半導体装置と組み合わせることも可能である。

10

【0205】

11. 第 11 実施形態

(低抵抗領域を覆うゲート電極をセルフアラインで設けた第 1 例)

図 25 には、第 11 実施形態の半導体装置の要部構成を示す断面図である。以下、この図に基づいて、本技術を適用した第 11 実施形態の半導体装置の構成を説明する。

【0206】

<第 11 実施形態の半導体装置の構成>

図 25 に示す本第 11 実施形態の半導体装置 1-11 が、図 1 を用いて説明した第 1 実施形態の半導体装置と異なるところは、ゲート電極 27 が低抵抗領域 16 g を覆っているところ、およびこのゲート電極 27 が低抵抗領域 16 g に対してセルフアラインで形成されているところにある。他の構成は第 1 実施形態と同様である。よって、第 1 実施形態と同一の構成要素には同一の符号を付し、本第実施形態での詳細な説明は省略する。

20

【0207】

すなわち本第 11 実施形態の半導体装置 1-11においては、絶縁膜 21 に設けたゲート開口 21 g の底部に、低抵抗領域 16 g の全体が露出しており、この上部がゲート絶縁膜 25 で覆われている。さらに詳しくは、ゲート絶縁膜 25 で覆われたゲート開口 21 g の周縁から所定の間隔 L_d を均等に有した状態で、ゲート開口 21 g の底部における中央に低抵抗領域 16 g が露出した状態となっている。この間隔 L_d は、ゲート開口 21 g の周囲において均等であり、低抵抗領域 16 g に対してセルフアラインで設けられている。間隔 L_d は、L_d > 0 nm であれば良く、製造工程のマージンを考慮した大きさで有ればよい。

30

【0208】

またこの半導体装置 1-11 は、以降に説明する製造方法に起因して、ゲート開口 21 g の底部に対応して、第 2 障壁層 16 の表面がエッチングされた段差を有する。

【0209】

またゲート電極 27 は、ゲート絶縁膜 25 を介して、ゲート開口 21 g の底部を完全に覆う状態で設けられているところが重要である。このようなゲート電極 27 の実効的なゲート長 L_g は、絶縁膜 21 におけるゲート開口 21 g の底部の幅、さらに詳しくはゲート絶縁膜 25 で覆われたゲート開口 21 g の開口幅である。つまり、ゲート電極 27 において実効的なゲート長 L_g として機能する部分は、低抵抗領域 16 g の長さ L よりも、低抵抗領域 16 g の全周方向に間隔 L_d だけ拡幅した大きさを有し、低抵抗領域 16 g の上部を完全に覆っている。

40

【0210】

<第 11 実施形態の半導体装置の動作>

このような構成を有する半導体装置 1-11 は、第 1 実施形態の半導体装置と同様に動作する。

【0211】

<第 11 実施形態の半導体装置の製造方法>

次に、上述した構成の半導体装置 1-11 の製造方法の一例を、図 26 ~ 図 28 の断面工

50

程図に基づいて説明する。

【0212】

[図26A]

先ず、図26Aに示すように、基板11上に、バッファ層12、3層構造の下部障壁層13、チャネル層14、2層構造の第1障壁層15、および第2障壁層16（高抵抗領域16b）をこの順に成膜する。この際、各層の成膜は、各実施形態で説明したと同様の手順で成膜すれば良く、さらに各層の成膜後には素子分離を形成する。

【0213】

[図26B]

次に、図26Bに示すように、第2障壁層16上にゲート開口21gを設けた絶縁膜21を形成し、さらにゲート開口21gからの不純物の拡散によって低抵抗領域16gを形成する。この工程は、第1実施形態において図5Bを用いて説明したと同様の手順で行えれば良い。

【0214】

すなわちここでは、不純物を添加しないu-GaNP層からなる第2障壁層16（高抵抗領域16b）の上部に、例えばCVD（Chemical Vapor Deposition）法により、窒化シリコン（Si₃N₄）よりなる絶縁膜21を成膜する。その後、絶縁膜21をパターンエッチングすることにより、第2障壁層16の表面を露出させるゲート開口21gを絶縁膜21に形成する。

【0215】

この状態で、ゲート開口21gの底部に露出する第2障壁層16の表面層からのp型不純物の導入により、第2障壁層16内にp型の低抵抗領域16gを形成する。ここでは図示したように、キャリア供給領域15aに達することのない位置、すなわち第2障壁層16内の表面層のみに、p型不純物である亜鉛（Zn）を拡散させて低抵抗領域16gを形成する。亜鉛（Zn）の拡散は、例えば600程度の温度での亜鉛化合物気体を用いた気相拡散によって行う。これにより、ゲート開口21gの底部にセルフアラインで低抵抗領域16gを形成する。

【0216】

[図27A]

その後、図27Aに示す工程が、本第11実施形態の製造方法として特徴的な工程となる。

【0217】

すなわちここでは、絶縁膜21の等方的なエッチングを行うことにより、絶縁膜21を横方向に後退させ、低抵抗領域16gが完全に露出される大きさにまでゲート開口21gを拡幅する。等方的なエッチングとしては、例えばフッ酸（HF）系の薬液を用いたウェットエッチング、またはドライエッチングであればプラズマエッチングを行う。

【0218】

ただし、これらの薬液を用いたウェットエッチングを行う場合には、絶縁膜21の下地であるGaNP層の第2障壁層16もエッチングされる。このため、エッチングレートの遅いフッ酸（HF）系の薬液を用いたエッチングを行うことにより、第2障壁層16のエッチングを小さく抑えることが好ましい。

【0219】

[図27B]

次に図27Bに示すように、ゲート開口21gから露出する第2障壁層16、および拡幅されたゲート開口21gの内壁を覆う状態で、絶縁膜21上にゲート絶縁膜25を成膜する。ここでは例えば原子層蒸着法（Atomic Layer Deposition：ALD）法により、膜厚10nm程度の酸化アルミニウム（Al₂O₃）よりなるゲート絶縁膜25を高精度に成膜する。尚、この状態において、ゲート絶縁膜25で内壁が覆われたゲート開口21gの開口幅が、次に形成するゲート電極の実効的なゲート長Lgとなる。このゲート長Lgは、低抵抗領域16gの幅よりも大きく、低抵抗領域16gの全周に均一な間隔Ldを介

10

20

30

40

50

して、ゲート絶縁膜 25 で覆われたゲート開口 21g の側壁が位置する構成となる。

【0220】

[図 28A]

次いで図 28A に示すように、ゲート絶縁膜 25 を介してゲート開口 21g の底部を完全に覆う状態で、ゲート電極 27 を形成する。この際、ゲート絶縁膜 25 上に、ニッケル (Ni)、および金 (Au) を順次マスク蒸着してゲート電極 27 をパターン形成する。これにより、低抵抗領域 16g の上部を完全に覆う形状のゲート電極 27 を得る。

【0221】

[図 28B]

以上の後には図 28B に示すように、ゲート絶縁膜 25 および絶縁膜 21 をパターンエッチングすることにより、低抵抗領域 16g を挟む位置において、第 2 障壁層 16 の高抵抗領域 16b を露出させたソース開口 21s およびドレイン開口 21d を形成する。

10

【0222】

[図 25]

その後は図 25 に示したように、ソース開口 21s およびドレイン開口 21d を介して第 2 障壁層 16 の高抵抗領域 16b にオーミック接合されたソース電極 23s およびドレイン電極 23d を形成する。この際、金 - ゲルマニウム (AuGe)、ニッケル (Ni)、および金 (Au) を順次蒸着してパターンニングし、さらに例えば 400 度の加熱処理により金系合金形成をしてソース電極 23s / ドレイン電極 23d を形成し、半導体装置 1-11 を完成させる。

20

【0223】

以上の説明した製造方法により、第 11 実施形態の半導体装置 1-11 を形成することができる。この方法によれば、絶縁膜 21 に形成したゲート開口 21g からの p 型不純物の拡散によって低抵抗領域 16g を形成し、ウェットエッチングにより絶縁膜 21 を横方向に後退させた後、ゲート絶縁膜 25 を介してゲート電極 27 を形成する。このため、低抵抗領域 16g 上には、低抵抗領域 16g に対してセルファアラインで、低抵抗領域 16g を完全に覆う形状のゲート電極 27 が形成される。したがって、第 11 実施形態の半導体装置 1-11 を容易に得ることが可能である。

【0224】

尚、ゲート開口 21g、ゲート絶縁膜 25、およびゲート電極 27 の形成は、ソース開口 21s / ドレイン開口 21d およびソース電極 23s / ドレイン電極 23d の形成の後に行っても良い。この場合であっても、ゲート絶縁膜 25 を介して低抵抗領域 16g に対してセルファアラインで、低抵抗領域 16g より大きい幅で、ゲート電極 27 が形成されるため、第 11 実施形態の半導体装置 1-11 を容易に得ることが可能である。

30

【0225】

<第 11 実施形態の半導体装置の効果>

以上説明した半導体装置 1-11 は、ゲート電極 27 が低抵抗領域 16g の上部を完全に覆う形状を有している。このため、ゲート電極 27 にゲート電圧 (正電圧) を印加する際に、p 型の低抵抗領域 16g を完全に空乏化させることができるとなる。すなわちオン動作時にチャネル層 14 内ゲート端部におけるキャリア欠乏領域の発生を防ぐことができ、寄生抵抗の増加を抑えることができる。この結果、オン抵抗 Ron を小さくする事ができ、さらに最大ドレイン電流 Idmax を高くする効果を期待できる。

40

【0226】

そして特に、ゲート電極 27 は、低抵抗領域 16g に対してセルファアラインで形成されているため、ソース電極 23s / ドレイン電極 23d との間の耐圧を確保するための間隔に対するマージンを小さくすることができる。したがって、素子構造の微細化を達成することが可能である。

【0227】

尚、本第 11 実施形態を、図 9 を用いて説明した第 2 実施形態の半導体装置と組み合わせる場合、図 25 に示した第 1 障壁層 15 における膜厚方向の中央部にキャリア供給領域

50

15aを設ければ良く、第2実施形態と同様の効果を合わせて得ることができる。

【0228】

また本第11実施形態を、図11を用いて説明した第3実施形態の半導体装置と組み合わせる場合、図25に示した低抵抗領域16gをキャリア供給領域15aに達する深さにまで延設すれば良く、第3実施形態と同様の効果を合わせて得ることができる。

【0229】

さらに本第11実施形態を、図12を用いて説明した第4実施形態の半導体装置と組み合わせる場合、図25に示した第2障壁層16においてp型の低抵抗領域16gを囲む部分を、低抵抗領域として構成すれば良く、第4実施形態と同様の効果を合わせて得ることができる。

10

【0230】

また本第11実施形態を、図9～図12を用いて説明した第2～4実施形態の各半導体装置と組み合わせる場合の別の例として、例えば第2障壁層16を設けずに、第1障壁層15内におけるキャリア供給領域15aよりも上層に、低抵抗領域または高抵抗領域を設けた構成にも適用できる。この場合、例えばAlGaAs層で構成された第1障壁層15内におけるキャリア供給領域15aよりも上層に低抵抗領域を拡散形成し、この上部において窒化シリコン(Si₃N₄)よりもなる絶縁膜21の等方的なエッチングを行うことになるが、このエッチングは第11実施形態において図27Aを用いて説明した手順と同様のエッチングが行われる。このような場合であっても、第11実施形態で追加された効果を得ることが可能である。

20

【0231】

12. 第12実施形態

(低抵抗領域を覆うゲート電極をセルフアラインで設けた第2例)

図29には、第12実施形態の半導体装置の要部構成を示す断面図である。以下、この図に基づいて、本技術を適用した第12実施形態の半導体装置の構成を説明する。

【0232】

<第12実施形態の半導体装置の構成>

図29に示す本第12実施形態の半導体装置1-12が、図1を用いて説明した第1実施形態の半導体装置と異なるところは、先の第11実施形態(図25参照)での相違点に加えて、第2障壁層16がエッチングストップ層16eを備えているところにある。よってここでは、第11実施形態との相違点を中心に第12実施形態の構成を説明する。

30

【0233】

すなわち本第12実施形態の半導体装置1-12においては、第2障壁層16における表面側にエッチングストップ層16eが設けられている。このため第2障壁層16は、図示したように、高抵抗領域16b、エッチングストップ層16e、および高抵抗領域16bがこの順に積層された3層構造となっている。

【0234】

エッチングストップ層16eは、第2障壁層16を構成する他の部分(すなわち高抵抗領域16b)に対して、エッチング選択比が低くなりかつ格子整合する材料で構成される。またエッチングストップ層16eは、第2障壁層16の電気特性に影響を及ぼすことのない程度の薄膜であり、例えば3nm程度であることとする。ここでは第2障壁層16が、GaInP混晶によって構成されているため、エッチングストップ層16eは、GaAs、またはAlGaAsによって構成する。

40

【0235】

以上のようなエッチングストップ層16eは、例えば第2障壁層16の表面側の中間層であり、次に説明する製造工程中における絶縁膜21の等方的なエッチングにおいて、エッチングストップ層16eが露出されない程度の深さに設けられることとする。

【0236】

このようなエッチングストップ層16eを有する第2障壁層16の上部には、ゲート開口21gが設けられた絶縁膜21が設けられ、このゲート開口21gの底部に低抵抗領域

50

16 g の全体が露出し、この上部がゲート絶縁膜 25 で覆われていることは、第 11 実施形態と同様である。また、ゲート開口 21 g の底部における低抵抗領域 16 g の配置状態は、第 11 実施形態と同様であり、ゲート絶縁膜 25 で覆われたゲート開口 21 g の周縁から所定の間隔 L d ($L_d > 0$) を均等に有した状態で、ゲート開口 21 g の底部における中央に低抵抗領域 16 g が露出した状態となっている。

【0237】

特に本第 12 実施形態の半導体装置 1-12においては、ゲート開口 21 g の深さは、絶縁膜 21 の膜厚を越えて第 2 障壁層 16 の表面層にも彫り込まれており、さらにエッチングストップ層 16 e よりも深い位置にまで達している。これにより、ゲート開口 21 g の底部には、エッチングストップ層 16 e よりも下層の第 2 障壁層 16 部分が露出しており、この第 2 障壁層 16 部分に設けられた低抵抗領域 16 g が、ゲート開口 21 g から完全に露出した状態となっている。

10

【0238】

またゲート電極 27 は、ゲート絶縁膜 25 を介して、ゲート開口 21 g の底部を完全に覆う状態で設けられているところが重要である。このようなゲート電極 27 の実効的なゲート長 L g は、絶縁膜 21 におけるゲート開口 21 g の底部の幅、さらに詳しくはゲート絶縁膜 25 で覆われたゲート開口 21 g の開口幅である。つまり、ゲート電極 27 において実効的なゲート長 L g として機能する部分は、低抵抗領域 16 g の長さ L よりも、低抵抗領域 16 g の全周方向に間隔 L d だけ拡幅した大きさを有し、低抵抗領域 16 g の上部を完全に覆っている。

20

【0239】

<第 12 実施形態の半導体装置の動作>

このような構成を有する半導体装置 1-12は、第 1 実施形態の半導体装置と同様に動作する。

【0240】

<第 12 実施形態の半導体装置の製造方法>

次に、上述した構成の半導体装置 1-12の製造方法の一例を、図 30 ~ 図 33 の断面工程図に基づいて説明する。

【0241】

[図 30 A]

30

先ず図 30 A に示すように、基板 11 上に、バッファ層 12、3 層構造の下部障壁層 13、チャネル層 14、2 層構造の第 1 障壁層 15、第 2 障壁層 16 の高抵抗領域 16 b、第 2 障壁層 16 のエッチングストップ層 16 e、および第 2 障壁層 16 の高抵抗領域 16 b を、この順に成膜する。各層の成膜は、エッチングストップ層 16 e も含めて、各実施形態で説明したと同様に下層側から順次エピタキシャル成長させれば良く、各層の成膜後には素子分離を形成する。尚、エッチングストップ層 16 e を形成する位置により、以降に形成するゲート電極とチャネル層 14との距離を任意に設定することが可能である。

【0242】

[図 30 B]

その後図 30 B に示すように、第 2 障壁層 16 上に、ゲート開口 21 g を設けた絶縁膜 21 を形成する。この際、第 11 実施形態と同様に、例えば CVD (Chemical Vapor Deposition) 法により、窒化シリコン (Si₃N₄) よりなる絶縁膜 21 を成膜し、その後、絶縁膜 21 をパターンエッチングすることにより、第 2 障壁層 16 の表面を露出させるゲート開口 21 g を絶縁膜 21 に形成する。

40

【0243】

この状態で、ゲート開口 21 g の底部に露出する第 2 障壁層 16 の表面層からの p 型不純物の導入により、第 2 障壁層 16 内に p 型の低抵抗領域 16 g を形成する。この際、エッチングストップ層 16 e よりも深い位置にまで p 型不純物である亜鉛 (Zn) を拡散させることにより、エッチングストップ層 16 e よりも深い位置にまで低抵抗領域 16 g が延設されるように形成することが重要である。亜鉛 (Zn) の拡散は、他の実施形態と同

50

様に、例えば 600 程度の温度での亜鉛化合物気体を用いた気相拡散によって行う。これにより、ゲート開口 21 g の底部にセルファーラインで低抵抗領域 16 g を形成する。

【0244】

[図 31A]

次に図 31A に示すように、絶縁膜 21 の等方的なエッティングを行うことにより、絶縁膜 21 を横方向に後退させてゲート開口 21 g を拡幅する。等方的なエッティングとしては、例えばフッ酸 (HF) 系の薬液またはリン酸系の薬液を用いたウェットエッティング、またはドライエッティングであればプラズマエッティングを行う。

【0245】

ただし、ここでエッティングにおいて絶縁膜 21 の下地である GaInP 層の第 2 障壁層 16 もエッティングされる場合、エッティングストップ層 16 e 上に高抵抗領域 16 b が残されるようにする。この場合、第 2 障壁層 16 に対するエッティング速度が遅い薬液を選択したエッティングを行うことが好ましい。

【0246】

一方、ここでエッティングにおいて絶縁膜 21 の下地である GaInP 層の第 2 障壁層 16 がエッティングされない場合には、例えば塩酸系またはリン酸系の薬液を用いることにより、エッティングストップ層 16 e の上部に第 2 障壁層 16 が極薄く残される程度にまで第 2 障壁層 16 をエッティングする工程を追加しても良い。

【0247】

[図 31B]

以上の後、図 31B に示すように、ウェットエッティング法によって、エッティングストップ層 16 e の上部の高抵抗領域 16 b を除去し、さらにエッティングストップ層 16 e を除去する。ここでは、エッティングストップ層 16 e のエッティングを高精度に制御できるように、先ず、GaAs で構成されたエッティングストップ層 16 e に対するエッティング速度が遅い薬液を用いて高抵抗領域 16 b のウェットエッティングを行う。このような薬液としては、例えば塩酸系またはリン酸系の薬液を用いる。その後 GaAs で構成されたエッティングストップ層 16 e の除去においては、クエン酸系の薬液を用いたウェットエッティングを行う。

【0248】

尚、クエン酸系薬液または塩酸系またはリン酸系の薬液を用いた第 2 障壁層 16 およびエッティングストップ層 16 e のウェットエッティングにおいては、絶縁膜 21 のエッティングは進行しない。このため、絶縁膜 21 下の第 2 障壁層 16 およびエッティングストップ層 16 e が等方的にエッティングされ、絶縁膜 21 が、わずかに庇状に張り出す形状となる。

【0249】

[図 32A]

次の図 32A 以降の工程は、第 11 実施形態において図 27B 以降の図を用いて説明した工程と同様の工程を行えば良い。

【0250】

すなわち先ず、ゲート開口 21 g から露出する第 2 障壁層 16 、および拡幅されたゲート開口 21 g の内壁を覆う状態で、絶縁膜 21 上にゲート絶縁膜 25 を成膜する。

【0251】

[図 32B]

次いで図 32B に示すように、ゲート絶縁膜 25 を介してゲート開口 21 g の底部を完全に覆う状態で、ゲート電極 27 を形成する。

【0252】

[図 33]

以上の後には図 33 に示すように、ゲート絶縁膜 25 および絶縁膜 21 をパターンエッティングすることにより、低抵抗領域 16 g を挟む位置において、第 2 障壁層 16 の高抵抗領域 16 b を露出させたソース開口 21 s およびドレイン開口 21 d を形成する。

【0253】

10

20

30

40

50

[図29]

その後は図29に示したように、ソース開口21sおよびドレイン開口21dを介して第2障壁層16の高抵抗領域16bにオーミック接合されたソース電極23sおよびドレイン電極23dを形成し、半導体装置1-12を完成させる。

【0254】

以上の説明した製造方法により、第12実施形態の半導体装置1-12を形成することができる。この方法によれば、絶縁膜21に形成したゲート開口21gからのp型不純物の拡散によって低抵抗領域16gを形成し、ウェットエッティングにより絶縁膜21を横方向に後退させた後、ゲート絶縁膜25を介してゲート電極27を形成する。このため、低抵抗領域16g上には、低抵抗領域16gに対してセルフアラインで、低抵抗領域16gを完全に覆う形状のゲート電極27が形成される。したがって、第12実施形態の半導体装置1-12を容易に得ることが可能である。10

【0255】

<第12実施形態の半導体装置の効果>

以上説明した半導体装置1-12は、ゲート電極27が低抵抗領域16gの上部を完全に覆う形状を有している。このため第11実施形態と同様に、ゲート電極27にゲート電圧(正電圧)を印加する際に、p型の低抵抗領域16gを完全に空乏化させることができるとなる。すなわちオン動作時にチャネル層14内ゲート端部におけるキャリア欠乏領域の発生を防ぐことができ、寄生抵抗の増加を抑えることができる。この結果、オン抵抗R_{on}を小さくすることができ、さらに最大ドレイン電流I_{dmax}を高くする効果を期待できる20。

【0256】

またゲート電極27は、低抵抗領域16gに対してセルフアラインで形成されているため、ソース電極23s/ドレイン電極23dとの間の耐圧を確保するための間隔に対するマージンを小さくすることができる。したがって、素子構造の微細化を達成することが可能である。

【0257】

そして特に、第2障壁層16の表面側の中間層にエッティングストップ層16eを設け、絶縁膜21のゲート開口21gを拡幅する際には、エッティングストップ層16eの上部で一旦エッティングを停止させた後、エッティングストップ層16eをウェットエッティングで除去する手順である。このため、エッティングの底面である低抵抗領域16gの表面、すなわちゲート絶縁膜25との界面を、低抵抗領域16g形成時のダメージや絶縁膜21のパターンエッティング時のダメージが除去され、ダメージが最小限に抑えられた表面とすることができます。界面特性が良好でドレイン電流I_dの低減などを回避することができる。しかも、エッティング深さがエッティングストップ層16eの成膜設計で制御されるため、ゲート絶縁膜25とチャネル層14との距離の制御性が良好であり、素子特性の均一性も良好である。30

【0258】

尚、本第12実施形態においては、第2障壁層16の表面側の中間層としてエッティングストップ層16eを設けた構成を説明した。しかしながら、エッティングストップ層16eは、第2障壁層16の表面層を構成する層として設けても良い。この場合、低抵抗領域16gを形成し、絶縁膜21のゲート開口21gを広げた後、クエン酸系の薬液を用いたウェットエッティングによってGaAsで構成されたエッティングストップ層16eを除去すれば良い。40

【0259】

また本第12実施形態を、図9を用いて説明した第2実施形態の半導体装置と組み合わせる場合、図29に示した第1障壁層15における膜厚方向の中央部にキャリア供給領域15aを設ければ良く、第2実施形態と同様の効果を合わせて得ることができる。

【0260】

また本第12実施形態を、図11を用いて説明した第3実施形態の半導体装置と組み合50

わせる場合、図29に示した低抵抗領域16gをキャリア供給領域15aに達する深さにまで延設すれば良く、第3実施形態と同様の効果を合わせて得ることができる。

【0261】

さらに本第12実施形態を、図12を用いて説明した第4実施形態の半導体装置と組み合わせる場合、図29に示した第2障壁層16においてp型の低抵抗領域16gを囲む部分を、低抵抗領域16として構成すれば良く、第4実施形態と同様の効果を合わせて得ることができる。

【0262】

また本第12実施形態を、図9～図12を用いて説明した第2～4実施形態の各半導体装置と組み合わせる場合の別の例として、例えば第2障壁層16を設けずに、第1障壁層15内におけるキャリア供給領域15aよりも上層に、低抵抗領域または高抵抗領域を設けた構成にも適用できる。この場合、例えばAlGaAs層で構成された第1障壁層15内におけるキャリア供給領域15aよりも上層側の中間層または表面層として、AlAs層で構成されたエッチングトップ層を設ければ良く、このエッチングトップ層を越える深さで低抵抗領域が拡散形成される。この場合であっても、窒化シリコン(Si₃N₄)よりなる絶縁膜21の等方的なエッチングは、第12実施形態において図31Aおよび図31Bを用いて説明した手順と同様のエッチングが行われる。このような場合であっても、第12実施形態で追加された効果を得ることが可能である。

【0263】

13. 第13実施形態

(低抵抗領域を覆うゲート電極をセルフアラインで設けた第3例)

図34には、第13実施形態の半導体装置の要部構成を示す断面図である。以下、この図に基づいて、本技術を適用した第13実施形態の半導体装置の構成を説明する。

【0264】

<第13実施形態の半導体装置の構成>

図34に示す本第13実施形態の半導体装置1-13が、図1を用いて説明した第1実施形態の半導体装置と異なるところは、先の第11実施形態(図25参照)での相違点に加えて、第2障壁層16とソース電極23s/ドレイン電極23d間にキャップ層31を設けたところにある。つまり、本第13実施形態は、第11実施形態と第5実施形態(図13参照)とを組み合わせた構成である。

【0265】

すなわち本第13実施形態の半導体装置1-13においては、第2障壁層16と、ソース電極23s/ドレイン電極23dとの間に、低抵抗領域16gとは逆導電型の不純物(ここではn型の不純物)を含有するキャップ層31が設けられている。このようなキャップ層31は、第2障壁層16に対して格子整合する化合物半導体材料を用いて構成されれば良く、第2障壁層16のバンドギャップと一致している必要はない。ただし、極端にバンドギャップが異なると、接合部にポテンシャルの障壁ができるため、オーミック接合における抵抗が高くなるおそれがある。したがって、キャップ層31のバンドギャップは、下地となる第2障壁層16のバンドギャップに対して、半導体装置1-13の特性に影響のない程度の範囲で一致させることとする。

【0266】

以上のようなキャップ層31は、第2障壁層16がGaInP混晶からなる場合、例えばn型の不純物を含有するGaAsにより構成されていることとする。

【0267】

また第2障壁層16の上部には、キャップ層31を覆う状態で絶縁膜21が設けられており、この絶縁膜21に設けられたゲート開口21gの底部に低抵抗領域16gの全体が露出し、この上部がゲート絶縁膜25で覆われていることは、第11実施形態と同様である。また、ゲート開口21gの底部における低抵抗領域16gの配置状態は、第11実施形態と同様であり、ゲート絶縁膜25で覆われたゲート開口21gの周縁から所定の間隔Ld(Ld > 0)を均等に有した状態で、ゲート開口21gの底部における中央に低抵抗

10

20

30

40

50

領域 1 6 g が露出した状態となっている。

【 0 2 6 8 】

< 第 1 3 実施形態の半導体装置の動作 >

このような構成を有する半導体装置 1 -13は、第 1 実施形態の半導体装置と同様に動作する。

【 0 2 6 9 】

< 第 1 3 実施形態の半導体装置の製造方法 >

次に、上述した構成の半導体装置 1 -13の製造方法の一例を、図 3 5 ~ 図 3 8 の断面工程図に基づいて説明する。

【 0 2 7 0 】

10

[図 3 5 A]

先ず図 3 5 A に示すように、基板 1 1 上に、バッファ層 1 2 、 3 層構造の下部障壁層 1 3 、チャネル層 1 4 、 2 層構造の第 1 障壁層 1 5 、第 2 障壁層 1 6 (低抵抗領域 1 6 b) 、さらにはキャップ層 3 1 となる n 型 Ga As 層を、この順に成膜する。各層の成膜は、各実施形態で説明したと同様に下層側から順次エピタキシャル成長させれば良く、各層の成膜後には素子分離を形成する。その後、n 型 Ga As 層をパターンエッチングしてキャップ層 3 1 を形成する。

【 0 2 7 1 】

[図 3 5 B]

20

次いで図 3 5 B に示すように、キャップ層 3 1 を覆う状態で絶縁膜 2 1 を形成し、この絶縁膜 2 1 にゲート開口 2 1 g を形成する。この工程は、第1実施形態において図 5 B を用いて説明したと同様の手順で行えば良い。すなわちここでは、キャップ層 3 1 を覆う状態で、第 2 障壁層 1 6 上に、例えば C V D (Chemical Vapor Deposition) 法によって窒化シリコン (Si₃N₄) よりなる絶縁膜 2 1 を成膜する。その後、絶縁膜 2 1 をパターンエッチングすることにより、第 2 障壁層 1 6 の表面を露出させるゲート開口 2 1 g を絶縁膜 2 1 に形成する。ゲート開口 2 1 g は、キャップ層 3 1 を露出することのない位置に形成する。

【 0 2 7 2 】

[図 3 6 A]

30

次に図 3 6 A に示すように、ゲート開口 2 1 g の底部に露出する第 2 障壁層 1 6 の表面層からの p 型不純物の導入により、第 2 障壁層 1 6 内に p 型の低抵抗領域 1 6 g を形成する。ここでは図示したように、キャリア供給領域 1 5 a に達することのない位置、すなわち第 2 障壁層 1 6 内の表面層のみに、p 型不純物である亜鉛 (Zn) を拡散させて低抵抗領域 1 6 g を形成する。亜鉛 (Zn) の拡散は、例えば 600 度の温度での亜鉛化合物気体を用いた気相拡散によって行う。これにより、ゲート開口 2 1 g の底部にセルフアラインで低抵抗領域 1 6 g を形成する。

【 0 2 7 3 】

[図 3 6 B]

その後図 3 6 B 以降の工程は、第 1 1 実施形態において図 2 7 A 以降の図を用いて説明した工程と同様の工程を行えば良い。

40

【 0 2 7 4 】

すなわち先ず、絶縁膜 2 1 の等方的なエッチングを行うことにより、絶縁膜 2 1 を横方向に後退させてゲート開口 2 1 g を拡幅する。ここでは絶縁膜 2 1 の下地である Ga In P 層の第 2 障壁層 1 6 もエッチングされる。

【 0 2 7 5 】

[図 3 7 A]

次に図 3 7 A に示すように、ゲート開口 2 1 g から露出する第 2 障壁層 1 6 、および拡幅されたゲート開口 2 1 g の内壁を覆う状態で、絶縁膜 2 1 上にゲート絶縁膜 2 5 を成膜する。

【 0 2 7 6 】

50

[図37B]

次いで図37Bに示すように、ゲート絶縁膜25を介してゲート開口21gの底部を完全に覆う状態で、ゲート電極27を形成する。

【0277】

[図38]

以上の後には図38に示すように、ゲート絶縁膜25および絶縁膜21をパターンエッチングすることにより、低抵抗領域16gを挟む位置において、キャップ層31を露出させたソース開口21sおよびドレイン開口21dを形成する。

【0278】

[図34]

その後は図34に示したように、ソース開口21sおよびドレイン開口21dを介してキャップ層31にオーミック接合されたソース電極23sおよびドレイン電極23dを形成し、半導体装置1-13を完成させる。

【0279】

以上の説明した製造方法により、第13実施形態の半導体装置1-13を形成することができる。この方法によれば、絶縁膜21に形成したゲート開口21gからのp型不純物の拡散によって低抵抗領域16gを形成し、ウェットエッチングにより絶縁膜21を横方向に後退させた後、ゲート絶縁膜25を介してゲート電極27を形成する。このため、低抵抗領域16g上には、低抵抗領域16gに対してセルフアラインで、低抵抗領域16gを完全に覆う形状のゲート電極27が形成される。したがって、第13実施形態の半導体装置1-13を容易に得ることが可能である。

【0280】

<第13実施形態の半導体装置の効果>

以上説明した半導体装置1-13は、ゲート電極27が低抵抗領域16gの上部を完全に覆う形状を有している。このため第11実施形態と同様に、ゲート電極27にゲート電圧(正電圧)を印加する際に、p型の低抵抗領域16gを完全に空乏化させることができるとなる。すなわちオン動作時にチャネル層14内ゲート端部におけるキャリア欠乏領域の発生を防ぐことができ、寄生抵抗の増加を抑えることができる。この結果、オン抵抗Ronを小さくすることができ、さらに最大ドレイン電流Idmaxを高くする効果を期待できる。

【0281】

また以上に加えて、第2障壁層16とソース電極23s/ドレイン電極23dとの間に、化合物半導体からなるキャップ層31を設けた構成であるため、キャップ層31直下のチャネル層14のシートキャリア密度を高くすることができます。これによってもチャネル抵抗およびアクセス抵抗を低くしてオン抵抗Ronを小さくすることができ、さらに最大ドレイン電流Idmaxを高くする効果を期待できる。

【0282】

またゲート電極27は、低抵抗領域16gに対してセルフアラインで形成されているため、ソース電極23s/ドレイン電極23dとの間の耐圧を確保するための間隔に対するマージンを小さくすることができる。したがって、素子構造の微細化を達成することができる。

【0283】

尚、本第13実施形態を、図9を用いて説明した第2実施形態の半導体装置と組み合わせる場合、図34に示した第1障壁層15における膜厚方向の中央部にキャリア供給領域15aを設ければ良く、第2実施形態と同様の効果を合わせて得ることができる。

【0284】

また本第13実施形態を、図11を用いて説明した第3実施形態の半導体装置と組み合わせる場合、図34に示した低抵抗領域16gをキャリア供給領域15aに達する深さにまで延設すれば良く、第3実施形態と同様の効果を合わせて得ることができる。

【0285】

10

20

30

40

50

さらに本第13実施形態を、図12を用いて説明した第4実施形態の半導体装置と組み合わせる場合、図34に示した第2障壁層16においてp型の低抵抗領域16gを囲む部分を、低抵抗領域16aとして構成すれば良く、第4実施形態と同様の効果を合わせて得ることができる。

【0286】

また本第13実施形態を、図9～図12を用いて説明した第2～4実施形態の各半導体装置と組み合わせる場合の別の例として、例えば第2障壁層16を設けずに、第1障壁層15におけるキャリア供給領域15aよりも上層に、低抵抗領域または高抵抗領域を設け、第1障壁層15上にキャップ層31を設けた構成にも適用できる。この場合、例えばAlGaAs層で構成された第1障壁層15内におけるキャリア供給領域15aよりも上層に低抵抗領域を拡散形成し、この上部において窒化シリコン(Si₃N₄)よりなる絶縁膜21の等方的なエッティングを行うことになるが、このエッティングは第11実施形態において図27Aを用いて説明した手順と同様のエッティングが行われる。このような場合であっても、第13実施形態で追加された効果を得ることが可能である。

【0287】

14. 第14実施形態

(低抵抗領域を覆うゲート電極をセルフアラインで設けた第4例)

図39には、第14実施形態の半導体装置の要部構成を示す断面図である。以下、この図に基づいて、本技術を適用した第14実施形態の半導体装置の構成を説明する。

【0288】

<第14実施形態の半導体装置の構成>

図39に示す本第14実施形態の半導体装置1-14が、図1を用いて説明した第1実施形態の半導体装置と異なるところは、ゲート電極27が低抵抗領域16gを覆っているところ、およびこのゲート電極27が低抵抗領域16gに対してセルフアラインで形成されているところにある。他の構成は第1実施形態と同様である。よってここでは、第11実施形態との相違点を中心に第14実施形態の構成を説明する。

【0289】

すなわち本第14実施形態の半導体装置1-14においては、第2障壁層16の上部には、ゲート開口21gが設けられた絶縁膜21が設けられており、このゲート開口21gの底部に低抵抗領域16gの全体が露出していて、この上部がゲート絶縁膜25で覆われていることは、第11実施形態と同様である。また、ゲート開口21gの底部における低抵抗領域16gの配置状態は、第11実施形態と同様であり、ゲート絶縁膜25で覆われたゲート開口21gの周縁から所定の間隔Ld(Ld>0)を均等に有した状態で、ゲート開口21gの底部における中央に低抵抗領域16gが露出した状態となっている。

【0290】

またゲート電極27は、ゲート絶縁膜25を介して、ゲート開口21gの底部を完全に覆う状態で設けられているところが重要である。このようなゲート電極27の実効的なゲート長Lgは、絶縁膜21におけるゲート開口21gの底部の幅、さらに詳しくはゲート絶縁膜25で覆われたゲート開口21gの開口幅である。つまり、ゲート電極27は、実効的なゲート長Lgとして機能する部分が、低抵抗領域16gの全周方向に、低抵抗領域16gの長さLよりも間隔Ldだけ拡幅した大きさであって、低抵抗領域16gの上部を完全に覆って設けられている。

【0291】

<第14実施形態の半導体装置の動作>

このような構成を有する半導体装置1-14は、第1実施形態の半導体装置と同様に動作する。

【0292】

<第14実施形態の半導体装置の製造方法>

次に、上述した構成の半導体装置1-14の製造方法の一例を、図40～図42の断面工程図に基づいて説明する。

10

20

30

40

50

【0293】

[図40A]

先ず図40Aに示すように、基板11上に、バッファ層12、3層構造の下部障壁層13、チャネル層14、2層構造の第1障壁層15、および第2障壁層16（低抵抗領域16b）を、この順に成膜する。各層の成膜は、各実施形態で説明したと同様に下層側から順次エピタキシャル成長させれば良く、各層の成膜後には素子分離を形成する。

【0294】

[図40B]

その後図40Bに示すように、第2障壁層16上に、ゲート開口21gを設けた絶縁膜21を形成する。この際、第11実施形態と同様に、例えばCVD（Chemical Vapor Deposition）法により、窒化シリコン（Si₃N₄）よりなる絶縁膜21を成膜し、その後、絶縁膜21をパターンエッチングすることにより、第2障壁層16の表面を露出させるゲート開口21gを絶縁膜21に形成する。
10

【0295】

次いで絶縁膜21の側壁にサイドウォール45を形成し、ゲート開口21gの開口幅をサイドウォール45の幅だけ狭くする。ここでは、先ず絶縁膜21を覆う状態で、サイドウォール45を形成する材料膜を成膜する。この材料膜は、絶縁膜21および第2障壁層16に対してエッチング選択比が高くなる材料を用いて構成される。ここでは例えば成膜方法によってエッチング速度が制御された窒化シリコン、酸化アルミニウム、または窒化アルミニウムで構成された材料膜を形成する。ただし、絶縁膜21と同じ材料である窒化シリコンを用いてサイドウォール45を形成する場合は、成膜ガスとして用いる窒素ガス（N₂）やアンモニアガス（NH₃）の流量を調整することにより、以降に行なう等方的なエッチングでのエッチングレートが調整された窒化シリコン（Si₃N₄）よりなる絶縁膜を成膜する。
20

【0296】

次いで、成膜した材料膜をドライエッチングによって異方性エッチングし、絶縁膜21の側壁のみに残す。これにより、絶縁膜21の側壁に、先の材料膜で構成されたサイドウォール45を形成し、ゲート開口21gの開口幅を狭くする。

【0297】

[図41A]

次いで図41Aに示すように、サイドウォール45で狭められたゲート開口21gの底部からのp型不純物の導入により、第2障壁層16内にp型の低抵抗領域16gを形成する。ここでは図示したように、キャリア供給領域15aに達することのない位置、すなわち第2障壁層16内の表面層のみに、p型不純物である亜鉛（Zn）を拡散させて低抵抗領域16gを形成する。亜鉛（Zn）の拡散は、例えば600程度の温度での亜鉛化合物気体を用いた気相拡散によって行う。これにより、ゲート開口21gの底部にセルフアラインで低抵抗領域16gを形成する。
30

【0298】

[図41B]

その後図41Bに示すように、窒化シリコン（Si₃N₄）で構成されたサイドウォール45を、窒化シリコン（Si₃N₄）で構成された絶縁膜21、およびGaInP混晶で構成された第2障壁層16に対して選択的にエッチングすることによって除去する。このようなエッチングは、例えばフッ酸（HF）系の薬液を用いたウェットエッチング、またはドライエッチングであればプラズマエッチングを行う。これにより、ゲート開口21gの開口幅を広げる。
40

【0299】

[図42A]

その後図42A以降の工程は、第11実施形態において図27B以降の図を用いて説明した工程と同様の工程を行えば良い。

【0300】

すなわち先ず、ゲート開口 21g から露出する第2障壁層 16、および拡幅されたゲート開口 21g の内壁を覆う状態で、絶縁膜 21 上にゲート絶縁膜 25 を成膜する。次いで、ゲート絶縁膜 25 を介してゲート開口 21g の底部を完全に覆う状態で、ゲート電極 27 を形成する。

【0301】

[図42B]

以上の後には図42Bに示すように、ゲート絶縁膜 25 および絶縁膜 21 をパターンエッチングすることにより、低抵抗領域 16g を挟む位置において、第2障壁層 16 の高抵抗領域 16b を露出させたソース開口 21s およびドレイン開口 21d を形成する。

【0302】

10

[図39]

その後は図39に示したように、ソース開口 21s およびドレイン開口 21d を介して第2障壁層 16 の高抵抗領域 16b にオーミック接合されたソース電極 23s およびドレイン電極 23d を形成し、半導体装置 1-14を完成させる。

【0303】

以上の説明した製造方法により、第14実施形態の半導体装置 1-14を形成することができる。この方法によれば、サイドウォール 45 を備えたゲート開口 21g からのp型不純物の拡散によって低抵抗領域 16g を形成し、ウェットエッチングによりサイドウォール 45 を除去してゲート開口 21g を拡幅した後、ゲート絶縁膜 25 を介してゲート電極 27 を形成する。このため、低抵抗領域 16g 上には、低抵抗領域 16g に対してセルフアラインで、低抵抗領域 16g を完全に覆う形状のゲート電極 27 が形成される。したがって、第14実施形態の半導体装置 1-14を容易に得ることが可能である。

20

【0304】

<第14実施形態の半導体装置の効果>

以上説明した半導体装置 1-14は、ゲート電極 27 が低抵抗領域 16g の上部を完全に覆う形状を有している。このため第11実施形態と同様に、ゲート電極 27 にゲート電圧(正電圧)を印加する際に、p型の低抵抗領域 16g を完全に空乏化させることができるとなる。すなわちオン動作時にチャネル層 14 内ゲート端部におけるキャリア欠乏領域の発生を防ぐことができ、寄生抵抗の増加を抑えることができる。この結果、オン抵抗 R_{on} を小さくする事ができ、さらに最大ドレイン電流 I_{drain max} を高くする効果を期待できる。

30

【0305】

またゲート電極 27 が低抵抗領域 16g に対してセルフアラインで形成されていることにより、ソース電極 23s / ドレイン電極 23dとの間の耐圧を確保するための間隔に対するマージンを小さくすることができる。これに加えて、サイドウォール 45 によって開口幅が狭められたゲート開口 21g を介しての不純物の導入によって低抵抗領域 16g が形成されているため、低抵抗領域 16g の微細化が図られる。したがって、第11～13実施形態と比較して、さらに素子構造の微細化を達成することが可能である。

【0306】

40

尚、本第14実施形態を、図9を用いて説明した第2実施形態の半導体装置と組み合わせる場合、図39に示した第1障壁層 15 における膜厚方向の中央部にキャリア供給領域 15a を設ければ良く、第2実施形態と同様の効果を合わせて得ることができる。

【0307】

また本第14実施形態を、図11を用いて説明した第3実施形態の半導体装置と組み合わせる場合、図39に示した低抵抗領域 16g をキャリア供給領域 15a に達する深さにまで延設すれば良く、第3実施形態と同様の効果を合わせて得ることができる。

【0308】

さらに本第14実施形態を、図12を用いて説明した第4実施形態の半導体装置と組み合わせる場合、図39に示した第2障壁層 16 においてp型の低抵抗領域 16g を囲む部分を、低抵抗領域 16a として構成すれば良く、第4実施形態と同様の効果を合わせて得

50

ることができる。

【0309】

また本第14実施形態を、図9～図12を用いて説明した第2～4実施形態の各半導体装置と組み合わせる場合の別の例として、例えば第2障壁層16を設けずに、第1障壁層15内におけるキャリア供給領域15aよりも上層に、低抵抗領域または高抵抗領域を設けた構成にも適用できる。この場合、例えばAlGaAs層で構成された第1障壁層15内におけるキャリア供給領域15aよりも上層に低抵抗領域を拡散形成し、この上部において窒化シリコン(Si₃N₄)よりなる絶縁膜21の等方的なエッティングを行うことになるが、このエッティングは第11実施形態において図27Aを用いて説明した手順と同様のエッティングが行われる。このような場合であっても、第14実施形態で追加された効果を得ることが可能である。10

【0310】

またさらに本第14実施形態は、図29を用いて説明した第12実施形態の製造方法と組み合わせても良い。この場合、第2障壁層16にエッティングストップ層を設け、図42を用いて説明したゲート絶縁膜25を形成する工程の前に、絶縁膜21をマスクにしてエッティングストップ層までをウェットエッティングする工程を加えれば良い。これにより、第12実施形態と同様の効果を合わせて得ることができる。

【0311】

またさらに本第14実施形態は、図32を用いて説明した第13実施形態と組み合わせても良い。この場合、図40Bを用いて説明した絶縁膜21を形成する前に、キャップ層を設ける工程を行い、キャップ層を覆って絶縁膜21を形成すれば良い。これにより、第13実施形態と同様の効果を合わせて得ることができる。20

【0312】

15. 变形例 - 1

以上説明した第1実施形態～第14実施形態においては、基板11の上部に形成される化合物半導体を用いた各層は、各層間において格子整合しているとした。しかしながら、本技術は、このような構成に限定されることはなく、基板11の上部に形成される化合物半導体を用いた各層は、シュードモルフィック技術により成長させた化合物半導体層や、メタモルフィック技術により成長させた格子定数の異なる化合物半導体層を用いても良い。例えば、GaAsからなる基板上に、GaAsとは格子定数が異なる化合物半導体からなる各層を成長させても良い。30

【0313】

例えばメタモルフィック技術を適用した構成の一例としては、次のようにある。

基板11およびバッファ層12…GaAs

下部障壁層13…InAlAs (In_{0.52}Al_{0.48}As)

チャネル層14…InGaAs (In_{0.53}Ga_{0.47}As)

第1障壁層15…InAlAs (In_{0.52}Al_{0.48}As)

第2障壁層16…InAlPまたはInAlAsまたはAlGaAsSb

ただし、第2障壁層16としてInAlPまたはInAlAsを用いる場合、Alの組成比を高くすることで第1障壁層に対しての格子整合を図る。40

【0314】

16. 变形例 - 2

また以上説明した第1実施形態～第14実施形態においては、第1障壁層15と第2障壁層16とで、チャネル層14の上方の上部障壁層を構成するとした。しかしながら、上部障壁層は、これらの2層構造に限定されることはなく、第1障壁層15と第2障壁層16との間に、さらに異なる化合物半導体材料からなる追加の障壁層を設けても良い。このような場合であっても、第1障壁層15と第2障壁層16とを直接接合させた状態において、当該接合部においての第2障壁層16のキャリア走行側とは逆側のエネルギー帯が、当該接合部においての第1障壁層15のキャリア走行側とは逆側のエネルギー帯よりも第1障壁層内真性フェルミ準位から遠い関係が保たれれば良い。また追加の障壁層は、第150

障壁層 15 と第 2 障壁層 16 に対して格子整合する半導体材料を用いて構成されれば良く、この追加の障壁層にキャリア供給領域を設けても良く、また第 2 障壁層 16 の表面層から低抵抗領域 16g が延設されて設けられても良い。

【 0 3 1 5 】

17. 適用例

(無線通信装置)

以上のような各実施形態で説明した半導体装置は、例えば、移動体通信システムなどにおける無線通信装置に用いられ、特にそのアンテナスイッチとして用いられる。このような無線通信装置としては、通信周波数が UHF (ultra high frequency) 帯以上のもので効果が特に発揮される。

10

【 0 3 1 6 】

つまり第 1 ~ 第 14 実施形態で説明した、オフ電流が小さく、最大ドレイン電流 $I_{d m}$ $a \times$ が高く高調波歪特性に優れた半導体装置を無線通信装置のアンテナスイッチに用いることにより、無線通信装置の小型化および低消費電力化を図ることが可能になる。特に、携帯通信端末においては、装置の小型化および低消費電力化による使用時間の延長により、携帯性の向上を図ることが可能になる。

【 0 3 1 7 】

尚、本技術は以下のような構成も取ることができる。

【 0 3 1 8 】

(1)

20

化合物半導体で構成されたチャネル層と、

化合物半導体で構成され前記チャネル層上に設けられた上部障壁層と、

前記上部障壁層において前記チャネル層側の界面層を構成する層であって、当該チャネル層との接合部におけるキャリア走行側のエネルギー帯が、当該チャネル層よりも当該チャネル層内真性フェルミ準位から遠い化合物半導体で構成された第 1 障壁層と、

前記上部障壁層の表面層に設けられた層であって、前記第 1 障壁層と接合させた状態において、当該接合部におけるバンドギャップを挟んで前記キャリア走行側と逆側のエネルギー帯が、当該第 1 障壁層よりも当該第 1 障壁層内真性フェルミ準位から遠い化合物半導体で構成された第 2 障壁層と、

前記第 2 障壁層における少なくとも表面層に設けられ、キャリアと逆導電型の不純物を含有することにより周囲よりも低抵抗に保たれた低抵抗領域と、

30

前記低抵抗領域を挟んだ位置において前記第 2 障壁層に接続されたソース電極およびドレイン電極と、

前記低抵抗領域上に設けられたゲート絶縁膜と、

前記ゲート絶縁膜を介して前記低抵抗領域上に設けられたゲート電極とを備えた半導体装置。

【 0 3 1 9 】

(2)

前記低抵抗領域は、前記第 2 障壁層の表面層から前記第 1 障壁層に達するまでの深さを有する

40

(1) 記載の半導体装置。

【 0 3 2 0 】

(3)

前記上部障壁層との間に前記チャネル層を挟む位置に、当該チャネル層との接合部におけるキャリア走行側のエネルギー帯が、当該チャネル層よりも当該チャネル層内真性フェルミ準位から遠い化合物半導体で構成された下部障壁層を有する

(1) または (2) 記載の半導体装置。

【 0 3 2 1 】

(4)

前記上部障壁層とソース電極およびドレイン電極との間に、キャリアとなる不純物を含

50

有する層が設けられている

(1) ~ (3) の何れかに記載の半導体装置。

【0322】

(5)

前記第2障壁層は、前記第1障壁層の上方において前記低抵抗領域としてパターン形成されている

(1) ~ (4) の何れかに記載の半導体装置。

【0323】

(6)

前記ゲート電極は、前記低抵抗領域の上部を完全に覆う形状を有する

(1) ~ (5) の何れかに記載の半導体装置。

【0324】

(7)

前記第1障壁層における伝導帯の最低エネルギーは、前記チャネル層における伝導帯の最低エネルギーよりも高く、

前記第2障壁層における価電子帯の最大エネルギーは、前記第1障壁層における価電子帯の最大エネルギーよりも低い

(1) ~ (6) の何れかに記載の半導体装置。

【0325】

(8)

前記チャネル層は、II - V族化合物半導体であるInGaAs混晶で構成され、

前記第1障壁層は、II - V族化合物半導体であるAlGaAs混晶で構成され、

前記第2障壁層は、II - V族化合物半導体であるGaInP混晶で構成された

(1) ~ (7) の何れかに記載の半導体装置。

【0326】

(9)

前記チャネル層は、II - V族化合物半導体であるInGaAs混晶で構成され、

前記第1障壁層または第2障壁層は、II - V族化合物半導体であるIn(A1Ga)AsP混晶で構成された

(1) ~ (8) の何れかに記載の半導体装置。

30

【0327】

(10)

前記チャネル層は、GaAsで構成された基板上に設けられた

(1) ~ (9) の何れかに記載の半導体装置。

【0328】

(11)

前記チャネル層は、前記基板上にGaAsとは格子定数の異なる化合物半導体をメタモルフィック成長させてなる

(10) 記載の半導体装置。

【0329】

(12)

化合物半導体で構成されたチャネル層上に、当該チャネル層との接合部におけるキャリア走行側のエネルギー帯が、当該チャネル層よりも当該チャネル層内真性フェルミ準位から遠い化合物半導体で構成された第1障壁層を形成することと、

前記第1障壁層の上方に、前記第1障壁層と接合させた状態において、当該接合部におけるバンドギャップを挟んでキャリア走行側と逆側のエネルギー帯が、当該第1障壁層よりも当該第1障壁層内真性フェルミ準位から遠い化合物半導体で構成されると共に、少なくとも表面層にキャリアと逆導電型の不純物を含有することにより周囲よりも低抵抗に保たれた低抵抗領域を備えた第2障壁層を形成することと、

前記第1障壁層によって前記チャネル層側の界面層が構成されると共に、前記第2障壁

40

50

層が表面層に設けられた上部障壁層に対して、前記低抵抗領域を挟む各位置で接続されたソース電極およびドレイン電極を形成することと、

前記低抵抗領域の上部にゲート絶縁膜を形成することと、

前記ゲート絶縁膜を介して前記低抵抗領域の上部にゲート電極を形成することとを行う半導体装置の製造方法。

【0330】

(13)

前記ゲート絶縁膜を形成する際には、原子層蒸着法によって当該ゲート絶縁膜を成膜する

(12)記載の半導体装置の製造方法。 10

【0331】

(14)

前記第2障壁層を形成する際には、化合物半導体で構成された当該第2障壁層を成膜した後、当該第2障壁層に不純物を拡散させることによって前記低抵抗領域を形成する

(12)または(13)記載の半導体装置の製造方法。

【0332】

(15)

前記不純物として亜鉛を拡散させる

(14)記載の半導体装置の製造方法。 20

【0333】

(16)

前記低抵抗領域を形成する際には、前記第2障壁層上に開口を有する絶縁膜を形成し、当該絶縁膜の開口から当該第2障壁層に不純物を拡散させ、

前記ゲート絶縁膜を形成する前には、エッチングによって前記絶縁膜の開口を広げ、

前記ゲート絶縁膜を形成する際には、前記開口から露出する前記第2障壁層を覆う状態で、当該ゲート絶縁膜を形成し、

前記ゲート電極を形成する際には、前記ゲート絶縁膜を介して前記開口の底部を完全に覆う状態で当該ゲート電極を形成する

(14)または(15)記載の半導体装置の製造方法。 30

【0334】

(17)

前記第2障壁層を成膜する際には、表面側に当該第2障壁層を構成する化合物半導体に対するエッチングストップ層を形成し、

前記低抵抗領域を形成する際には、前記エッチングストップ層を越える深さにまで当該低抵抗領域を形成し、

前記絶縁膜の開口を広げる際には、前記絶縁膜の等方的なエッチングを行い、

その後前記ゲート絶縁膜を形成する前に前記エッチングストップ層を除去する

(16)記載の半導体装置の製造方法。 40

【0335】

(18)

前記低抵抗領域を形成する際には、前記第2障壁層上に開口を有する絶縁膜を形成し、当該開口の側壁にサイドウォールを設け、当該絶縁膜および当該サイドウォールをマスクにして当該第2障壁層に不純物を拡散させ、

前記ゲート絶縁膜を形成する前には、前記サイドウォールを除去し、

前記ゲート絶縁膜を形成する際には、前記開口から露出する前記第2障壁層を覆う状態で、当該ゲート絶縁膜を形成し、

前記ゲート電極を形成する際には、前記ゲート絶縁膜を介して前記開口の底部を完全に覆う状態で当該ゲート電極を形成する

(14)または(15)記載の半導体装置の製造方法。 50

【0336】

(19)

前記第2障壁層を成膜する際には、表面側に当該第2障壁層を構成する化合物半導体に対するエッティングストップ層を形成し、

前記低抵抗領域を形成する際には、前記エッティングストップ層を越える深さにまで当該低抵抗領域を形成し、

前記サイドウォールを除去した後、前記ゲート絶縁膜を形成する前に、前記エッティングストップ層を除去する

(18)記載の半導体装置の製造方法。

【0337】

(20)

10

前記第2障壁層の形成は、前記チャネル層上に前記上部障壁層をエピタキシャル成長によって形成する際、不純物を添加したエピタキシャル成長によって第2障壁層を形成し、当該第2障壁層を前記低抵抗領域として用いる

(12)または(13)記載の半導体装置の製造方法。

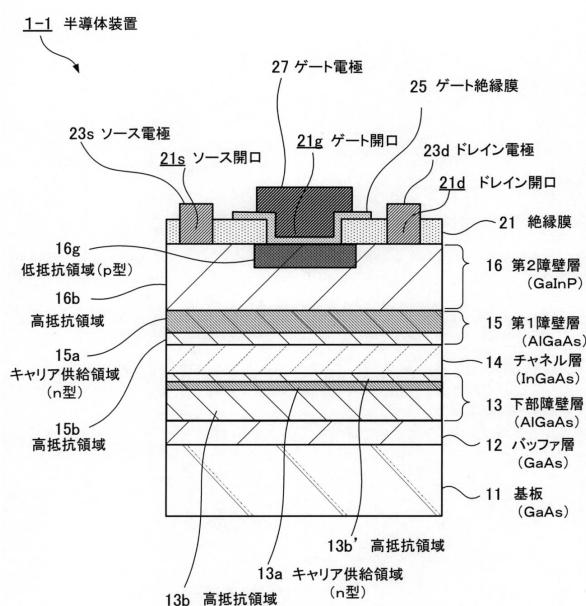
【符号の説明】

【0338】

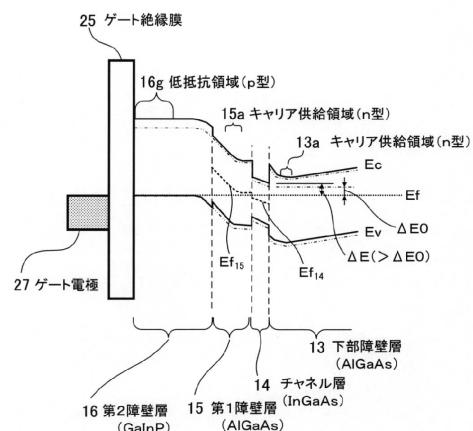
1-1～1-14…半導体装置、13…下部障壁層、14…チャネル層、15…第1障壁層(上部障壁層)、16…第2障壁層(上部障壁層)、16e…エッティングストップ層、16g…低抵抗領域、21…絶縁膜、21g…ゲート開口、25…ゲート絶縁膜、27…ゲート電極、23s…ソース電極、23d…ドレイン電極、31…キャップ層、45…サイドウォール

20

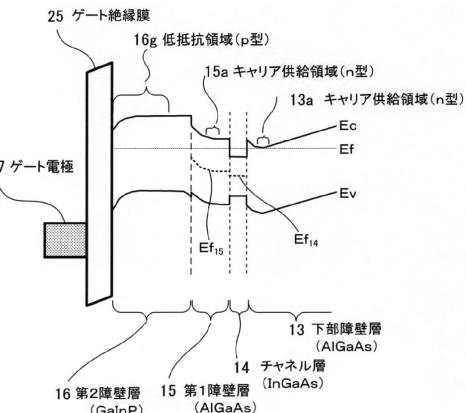
【図1】



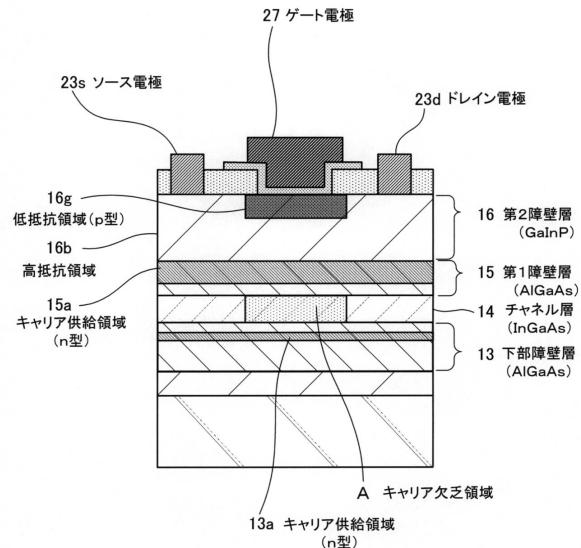
【図2】



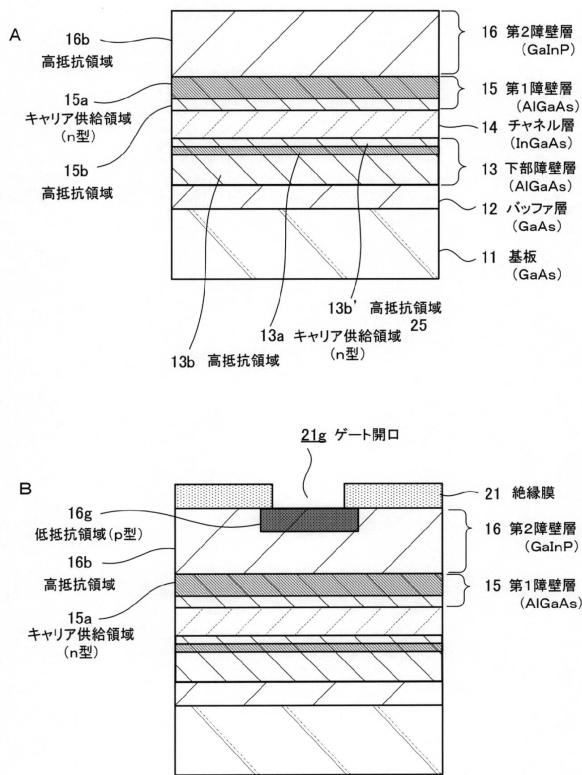
【図3】



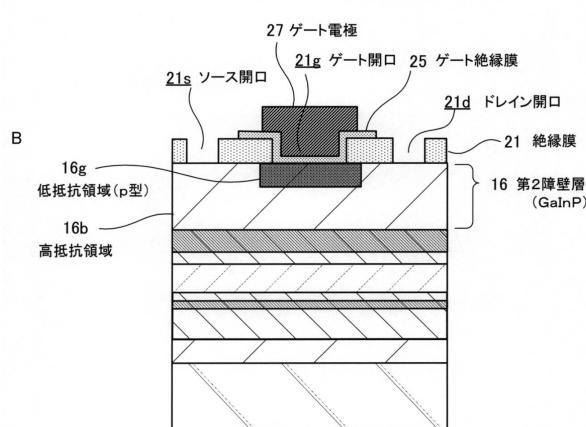
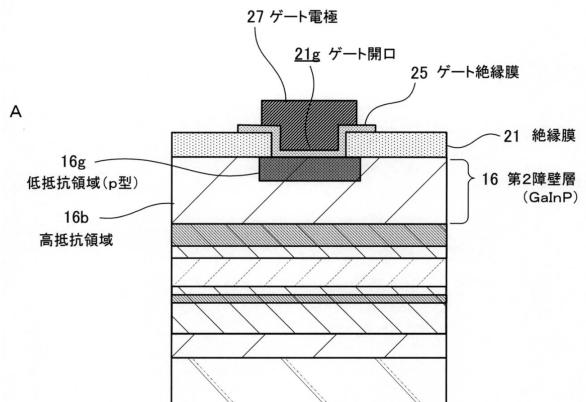
【図4】



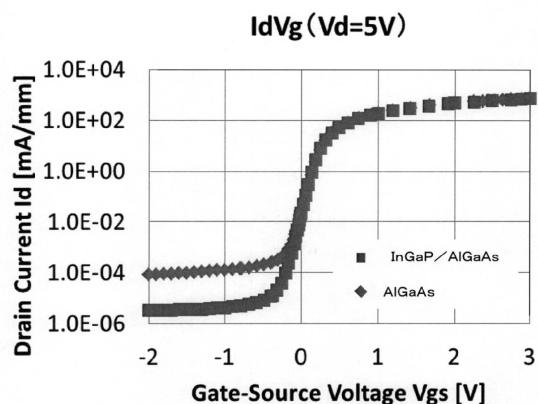
【図5】



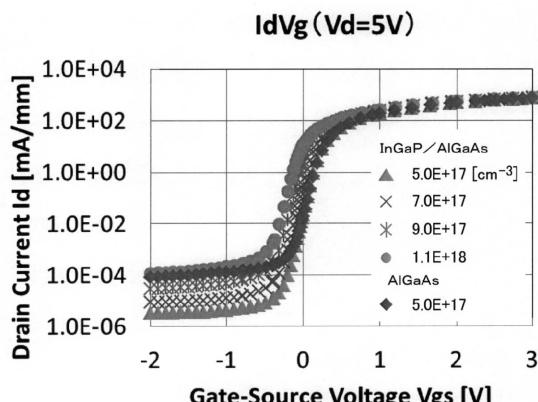
【図6】



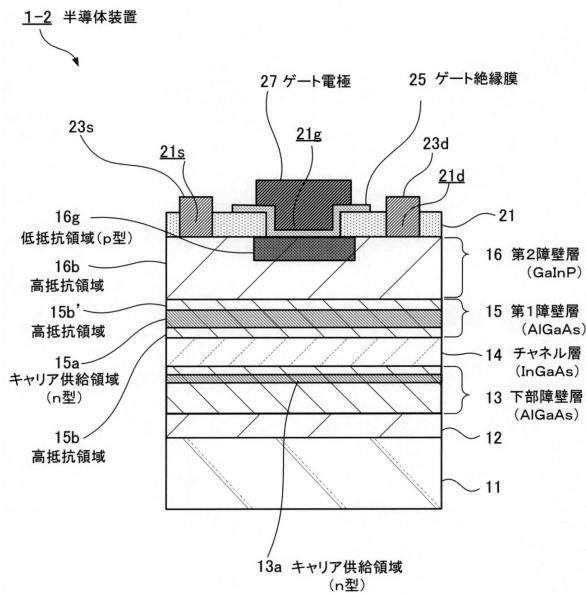
【図7】



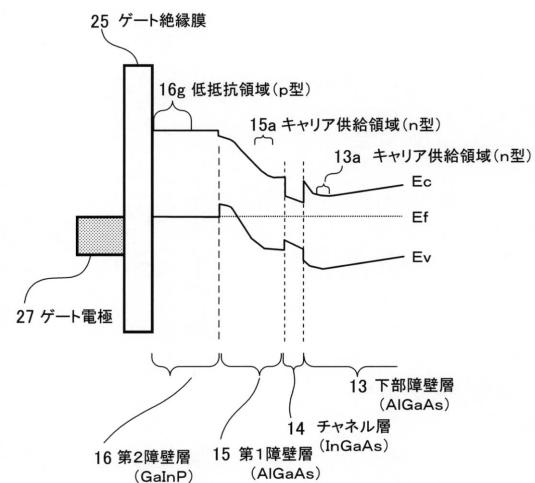
【図8】



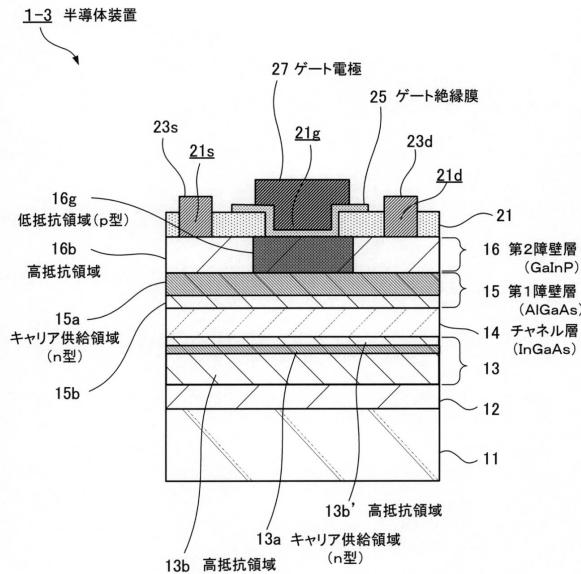
【図9】



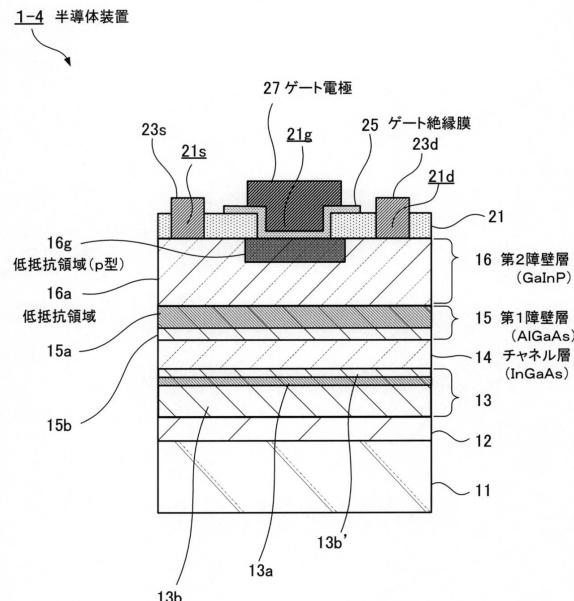
【図10】



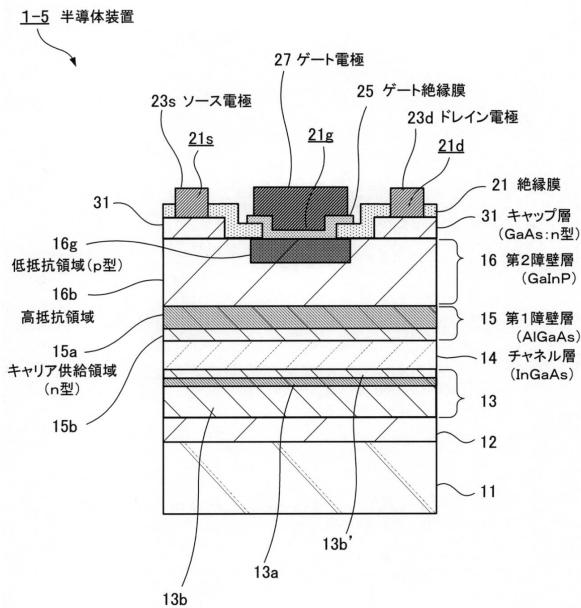
【図11】



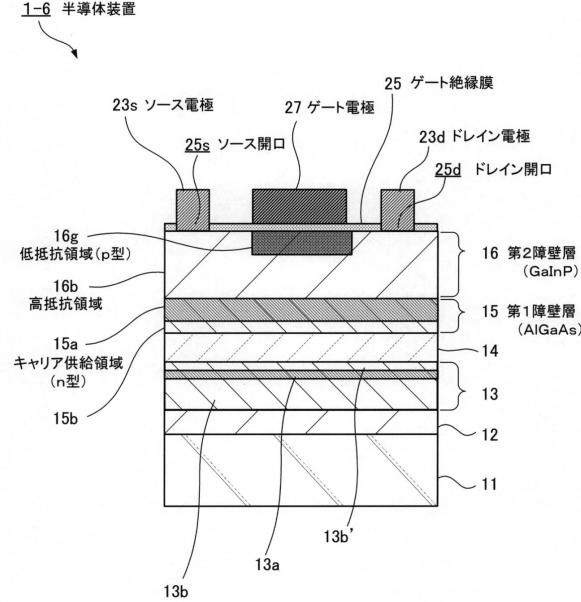
【図12】



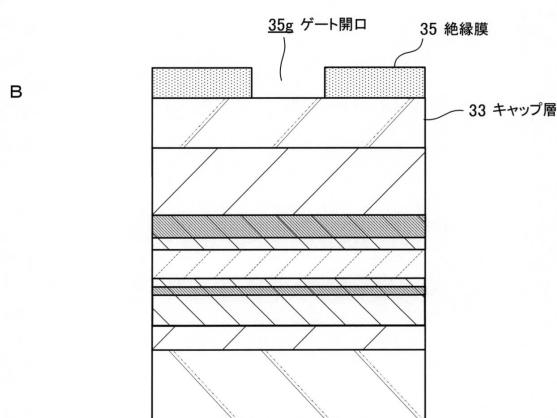
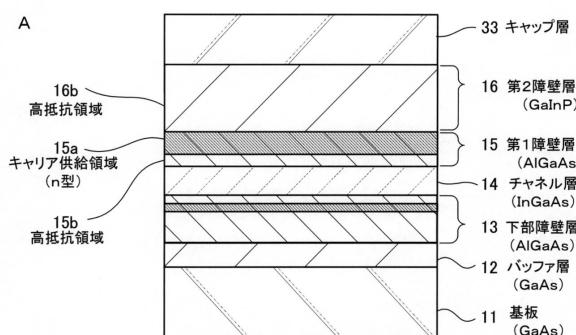
【図13】



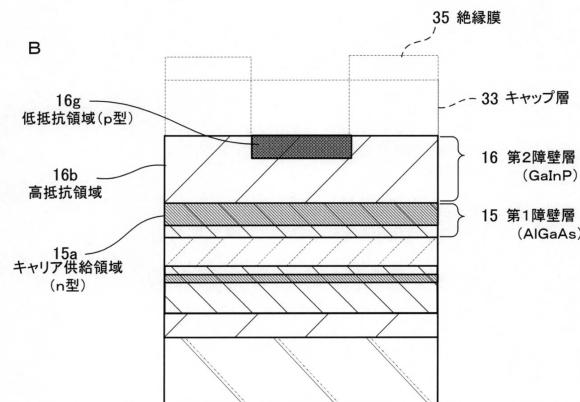
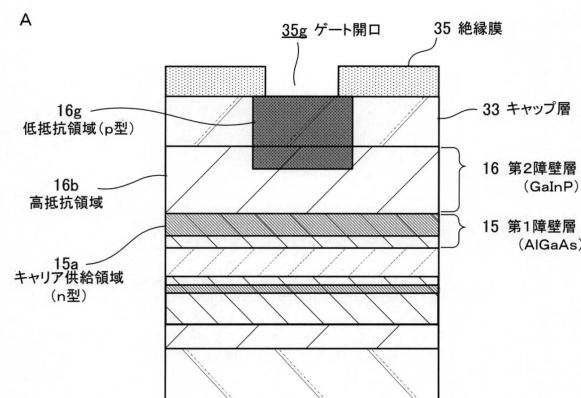
【図14】



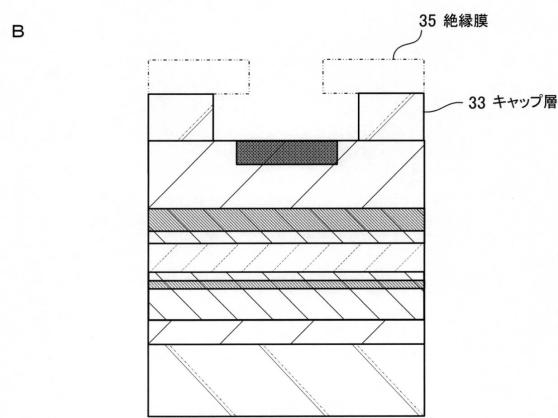
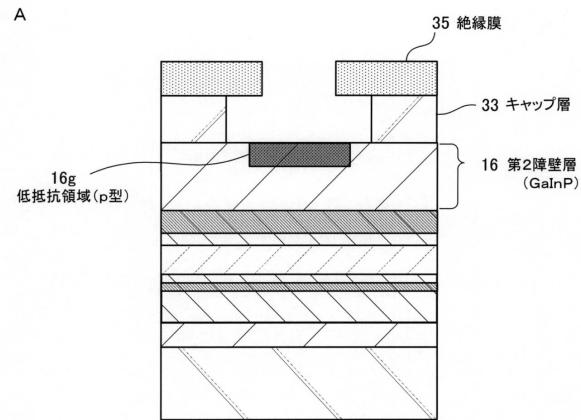
【図15】



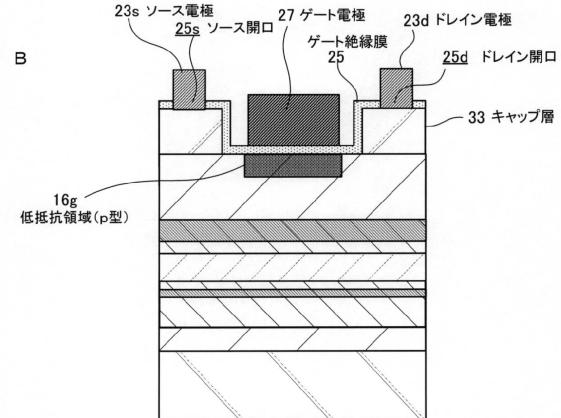
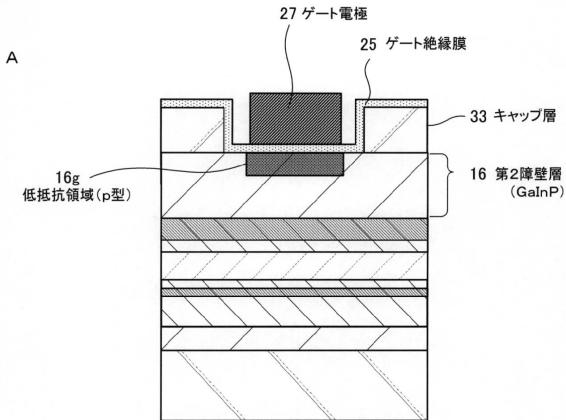
【図16】



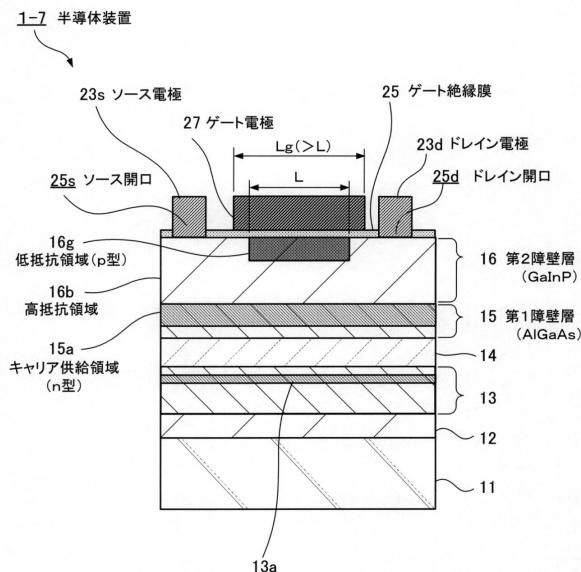
【図17】



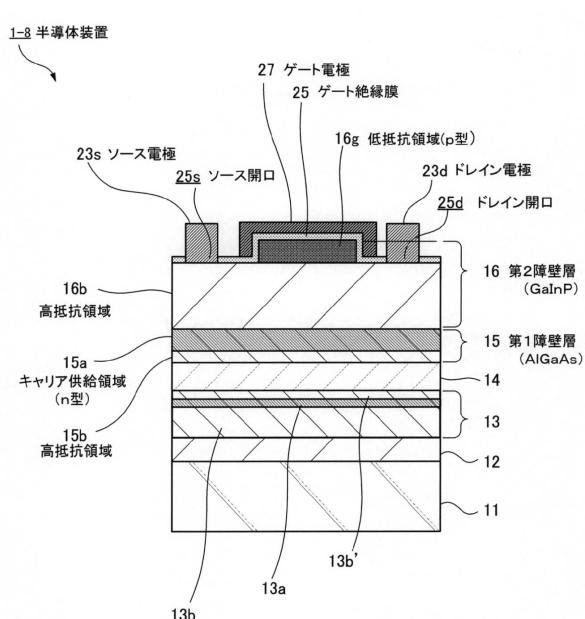
【図18】



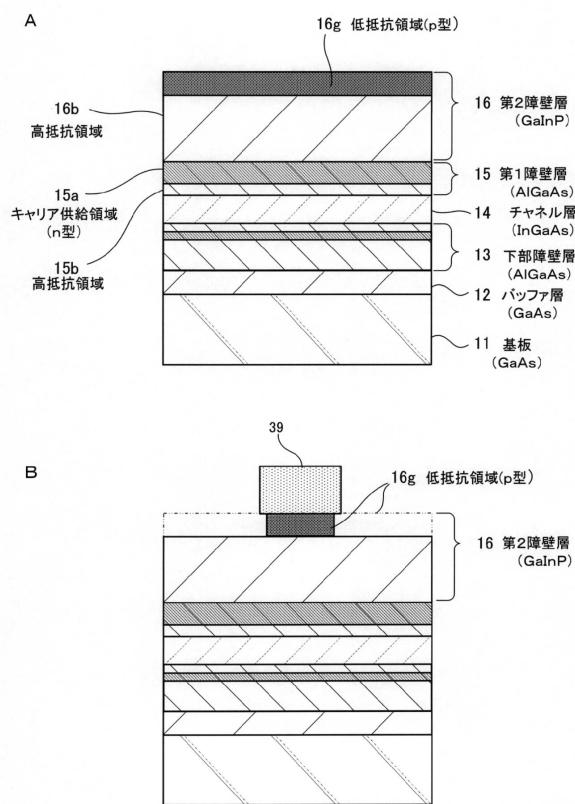
【図19】



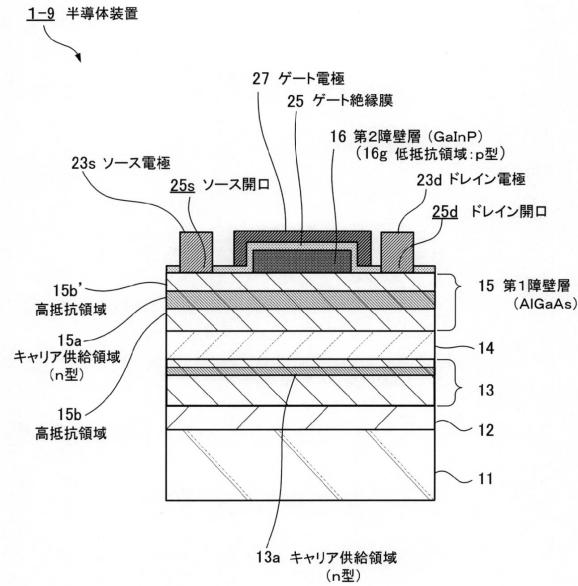
【図20】



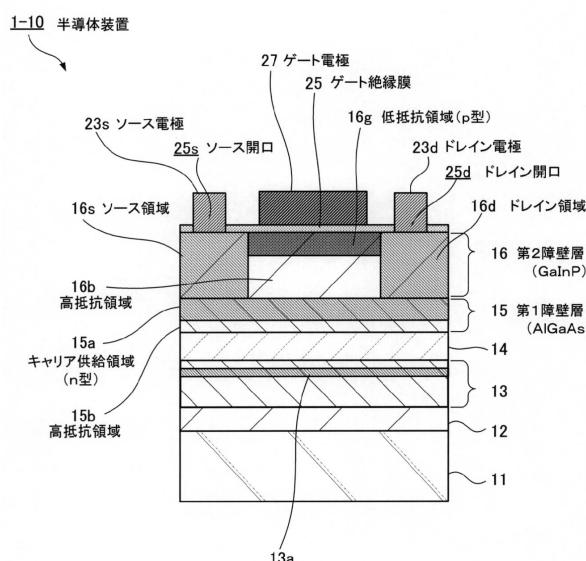
【図21】



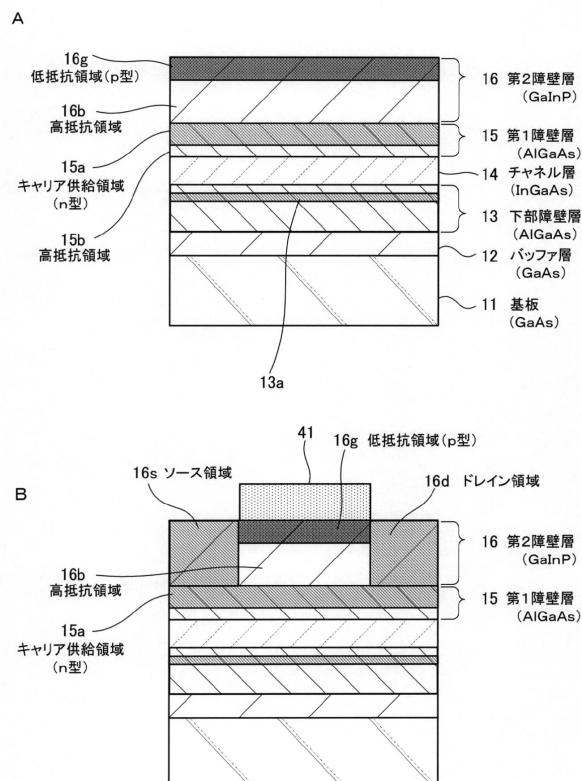
【図22】



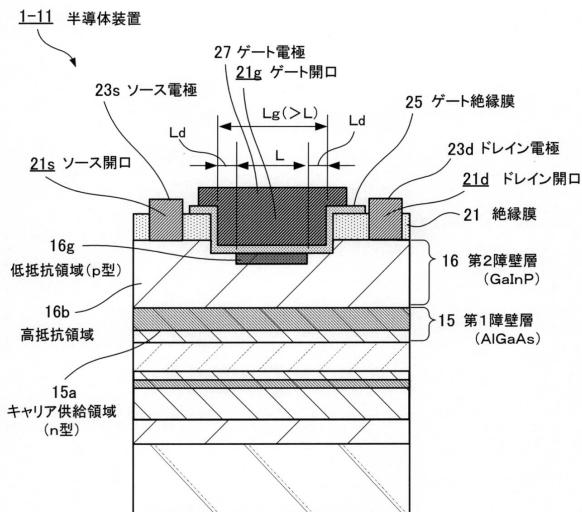
【図23】



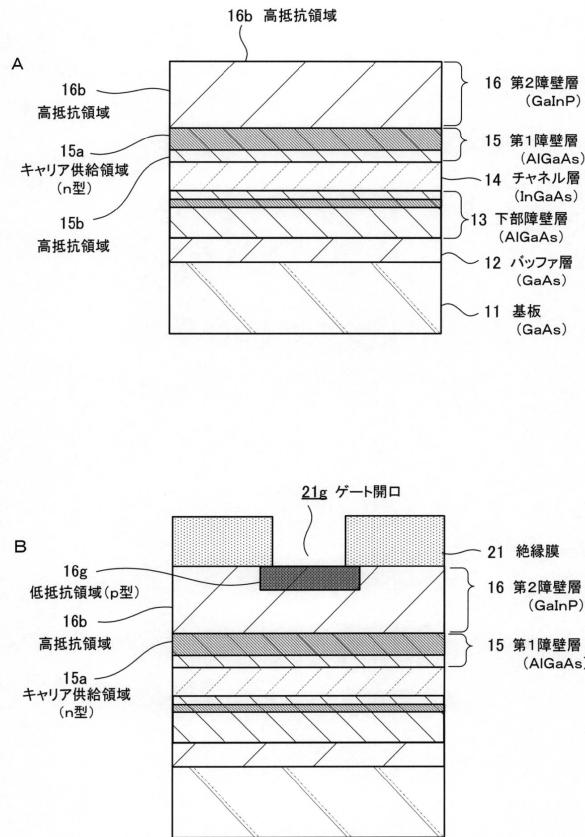
【図24】



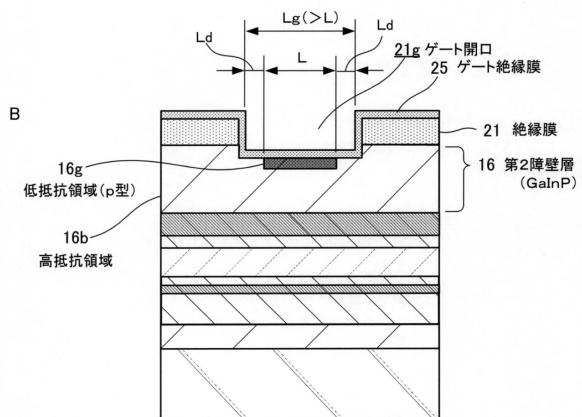
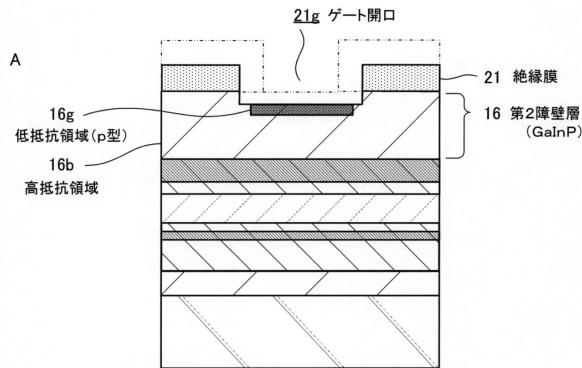
【図25】



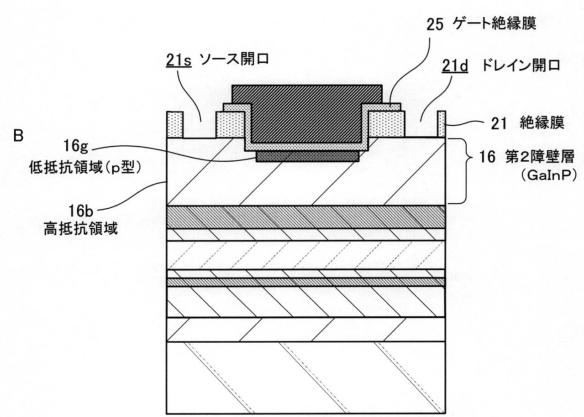
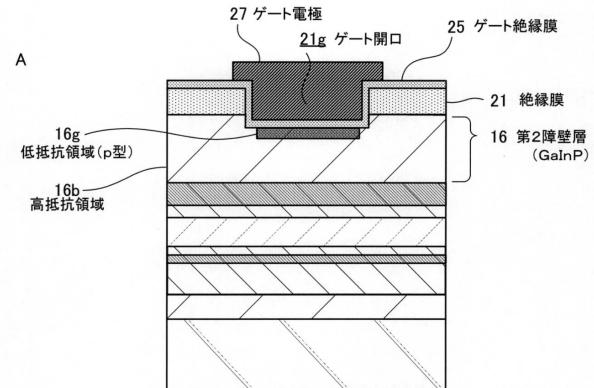
【図26】



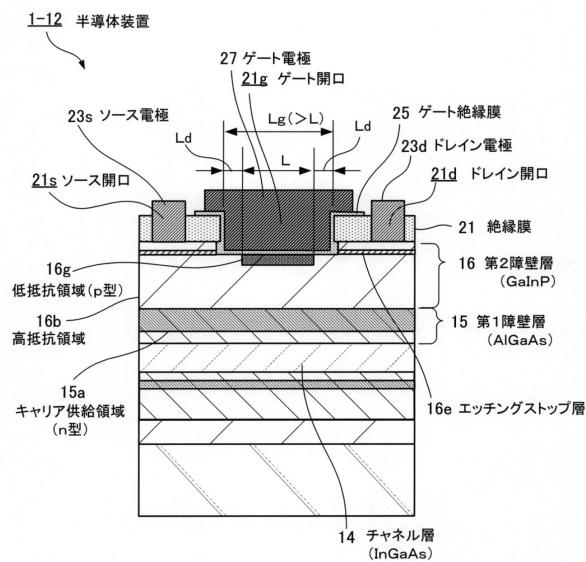
【図27】



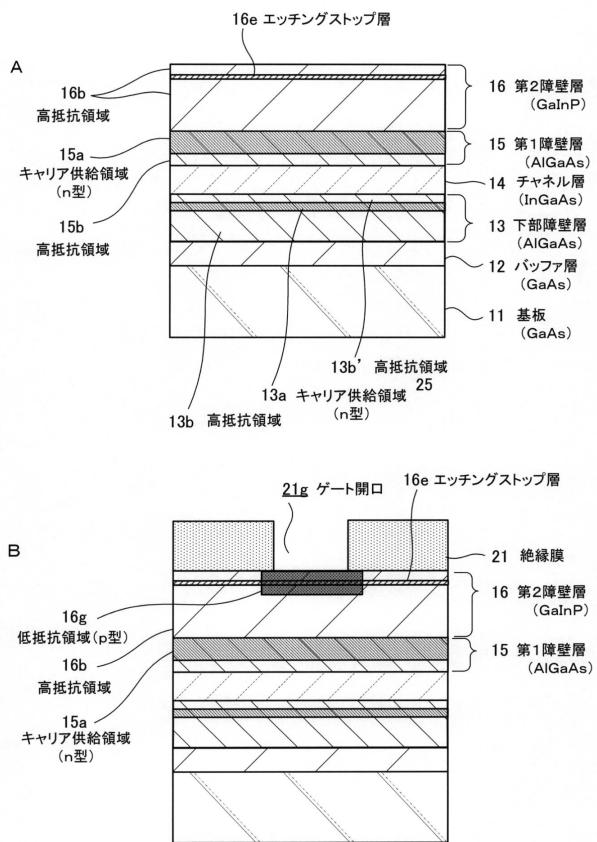
【図28】



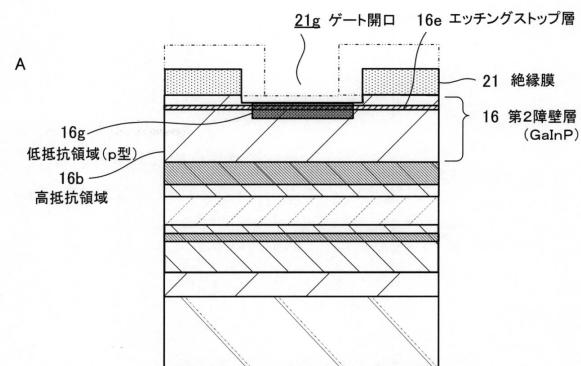
【図29】



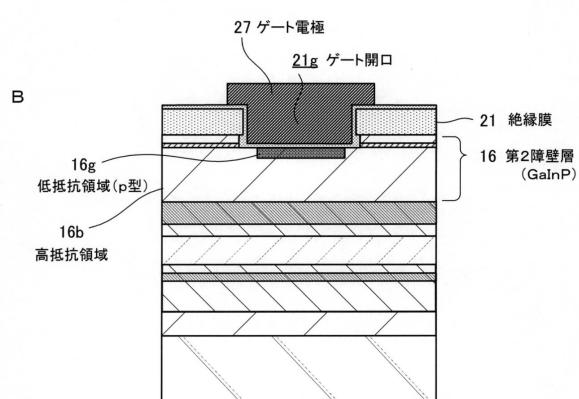
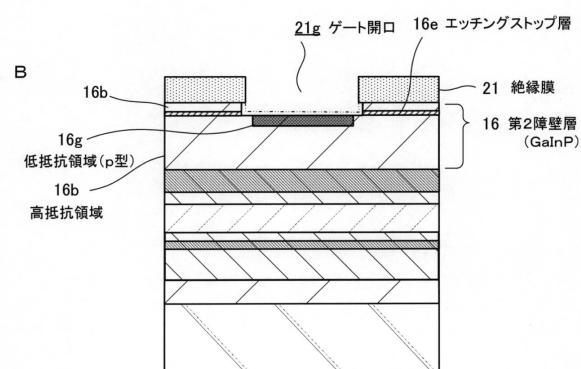
【図30】



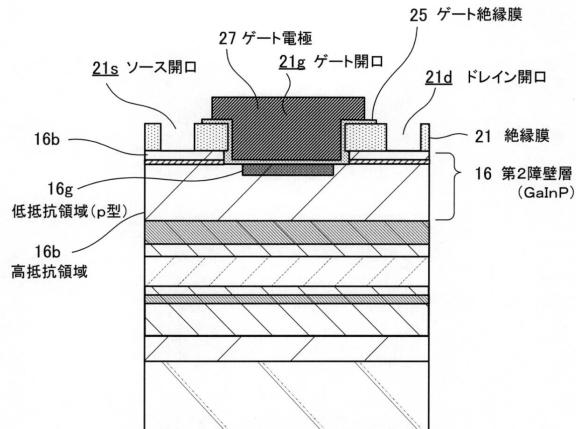
【図31】



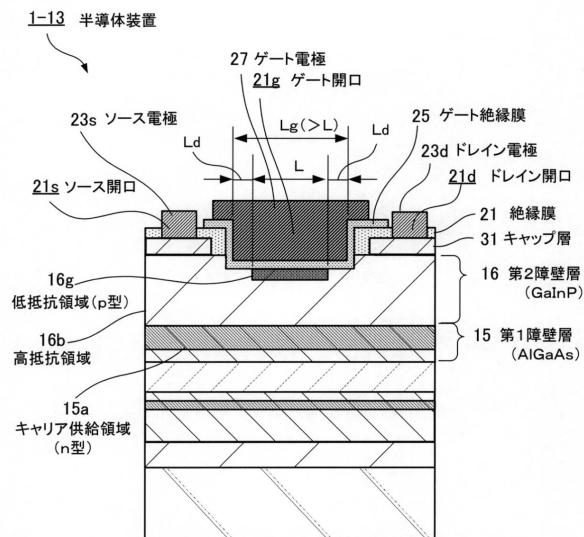
【図32】



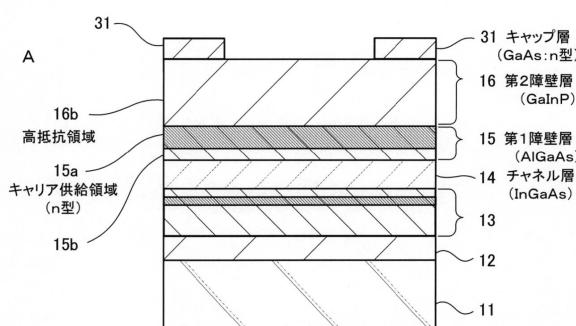
【図33】



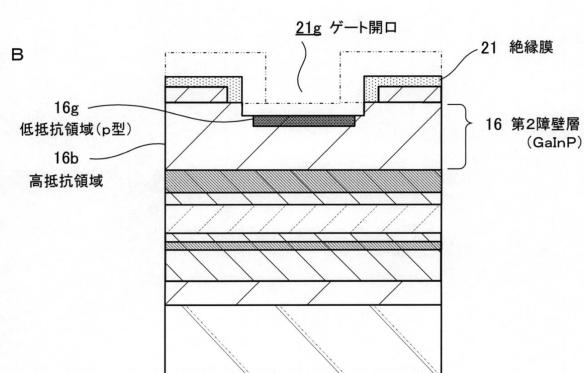
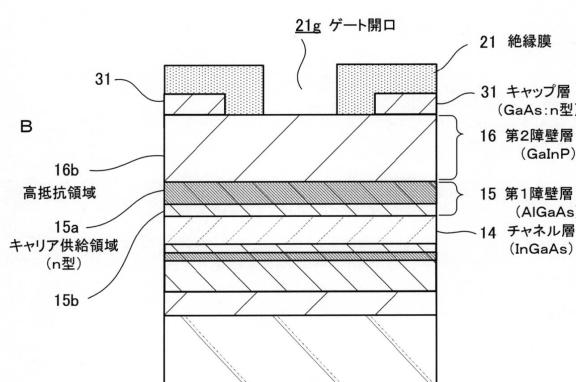
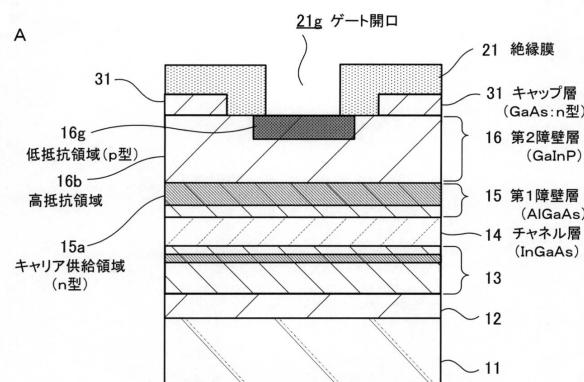
【図34】



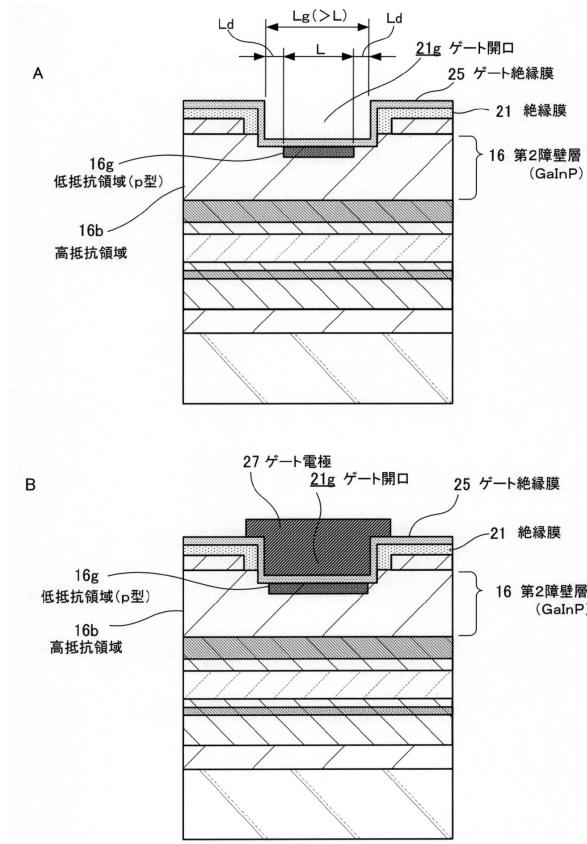
【図35】



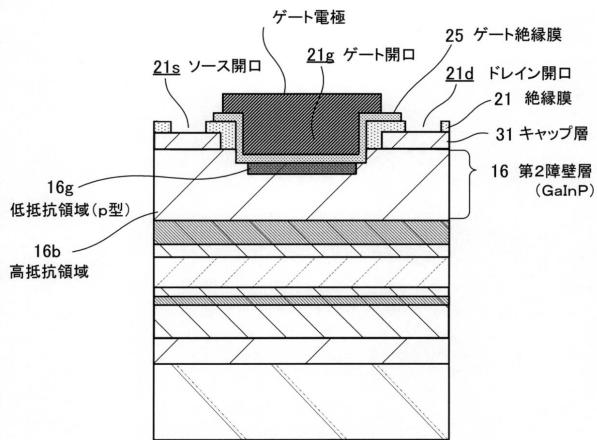
【図36】



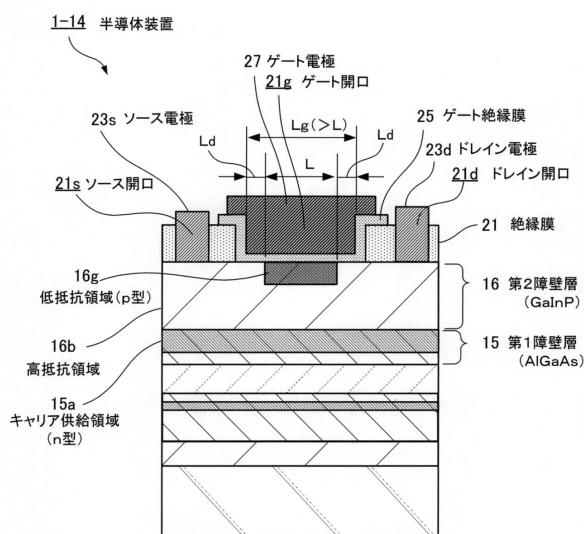
【図37】



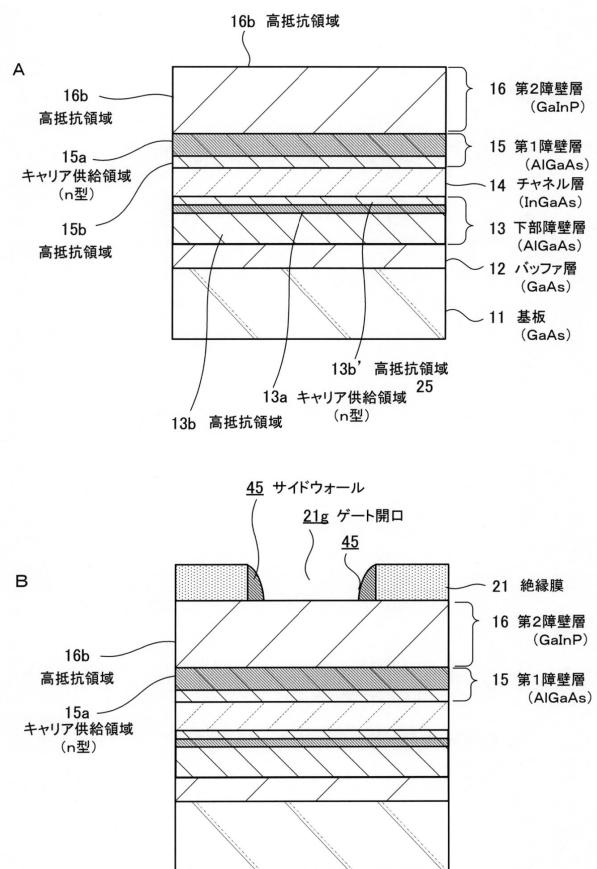
【図38】



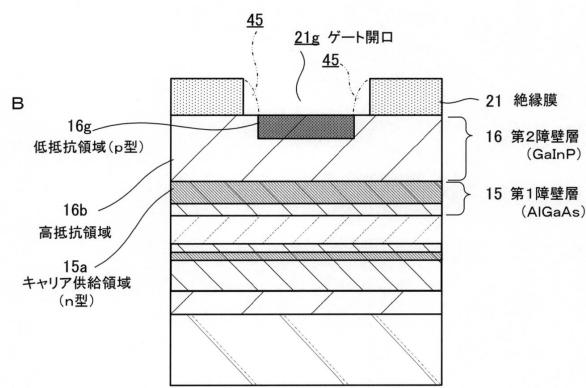
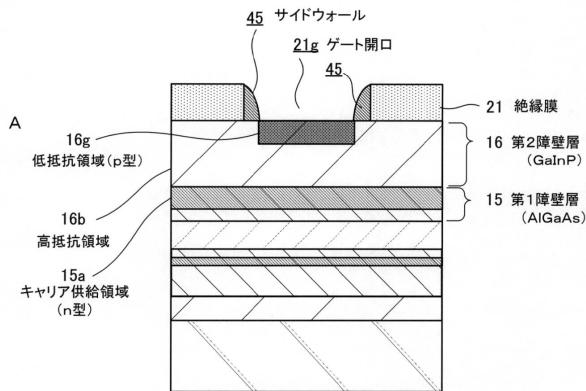
【図39】



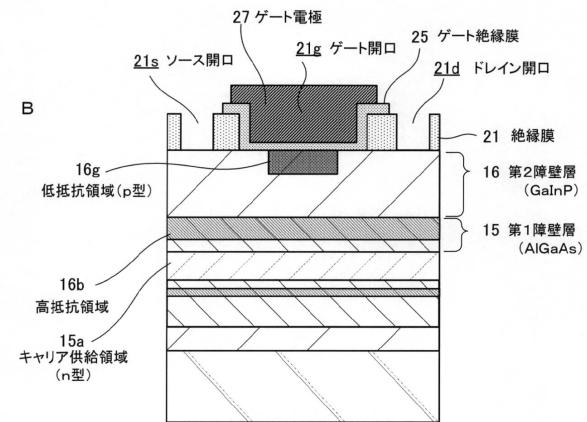
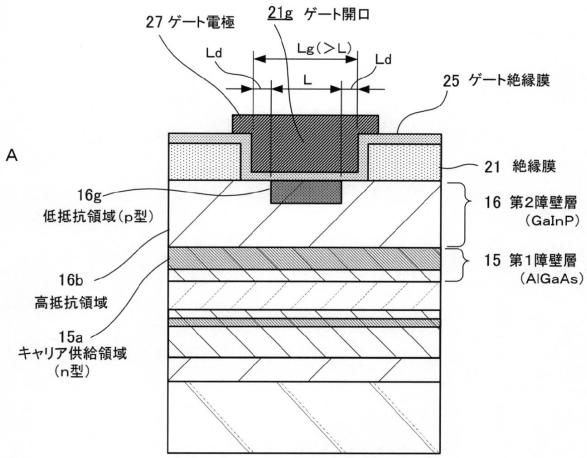
【図40】



【図41】



【図42】



フロントページの続き

(56)参考文献 特開2001-217257(JP,A)
特公平05-063946(JP,B2)
特開平07-050410(JP,A)
特開2001-102312(JP,A)
特開2010-098076(JP,A)
特開2000-100828(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/78
H01L 29/80