



[12] 发明专利说明书

[21] ZL 专利号 98104093.4

[45] 授权公告日 2004 年 6 月 9 日

[11] 授权公告号 CN 1153068C

[22] 申请日 1998.2.4 [21] 申请号 98104093.4

[30] 优先权

[32] 1997. 7. 14 [33] JP [31] 188405/1997

[71] 专利权人 三菱电机株式会社

地址 日本东京都

[72] 发明人 谷田进

审查员 刘 静

[74] 专利代理机构 中国专利代理(香港)有限公司

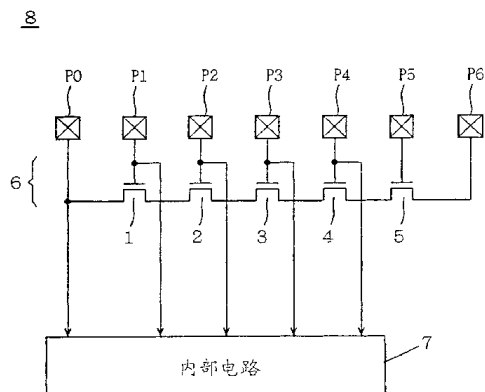
代理人 姜郭厚 叶恺东

权利要求书 1 页 说明书 6 页 附图 6 页

[54] 发明名称 具有接触检查电路的半导体装置

[57] 摘要

半导体装置(8)的接触检查电路(6)包括串联连接在两端的触点(P0和P6)之间的并且它们的栅极分别与触点群(P1~P5)连接的N沟道MOS晶体管群(1~5)。在进行接触检查时,将高电平供给与触点群(P1~P5)对应的探针群,检查两端的触点(P0和P6)之间的导通状态。1次便可检查触点群(P0~P6)与半导体试验装置的探针群的接触状态。



1. 一种具有用于接收外部信号群的第1~第N个触点和在试验之前用于进行半导体试验装置的第1~第N个探针与上述第1~第N个触点的接触检查的接触检查电路的半导体装置, 其中N为大于3的整数, 其特征在于: 上述接触检查电路包括各输入电极分别与第2~第N-1个触点连接并且串联连接在上述第1和第N个触点之间的第1~第N-2个晶体管, 在进行上述接触检查时, 用于使上述第1~第N-2个晶体管导通的试验信号供给第2~第N-1个探针, 同时, 检查上述第1和第N个探针之间的导通状态。

2. 按权利要求1所述的半导体装置, 其特征在于: 上述接触检查电路还包括分别连接在上述第1~第N-2个晶体管的输入电极与上述第1个触点之间的第1~第N-2个电阻元件, 在进行上述接触检查时, 用于使上述第1~第N-2个晶体管非导通的非激活电位供给上述第1个探针。

3. 按权利要求1所述的半导体装置, 其特征在于: 将上述第2~第N-1个触点中的1个触点作为芯片选择触点使用, 同时, 将与该触点对应的晶体管作为第1个芯片选择晶体管使用, 在进行上述接触检查时, 用于使上述第1个芯片选择晶体管导通从而选择半导体装置的芯片选择信号供给与上述芯片选择触点对应的探针, 取代上述试验信号。

4. 按权利要求3所述的半导体装置, 其特征在于: 上述接触检查电路还包括:

第2~第N-2个芯片选择晶体管, 所述芯片选择晶体管的各输入电极都与上述第1个芯片选择晶体管的输入电极连接并且它们的第1电极分别与上述第1~第N-2个晶体管中作为上述第1个芯片选择晶体管使用的晶体管以外的晶体管的输入电极连接;

连接在上述第1个芯片选择晶体管的输入电极与上述第1个触点之间的第1个电阻元件; 和

分别连接在上述第2~第N-2个芯片选择晶体管的第2电极与上述第1个触点之间的第2~第N-2个电阻元件; 和

在进行上述接触检查时, 将用于使上述第1~第N-2个晶体管和上述第2~第N-2个芯片选择晶体管非导通的非激活电位供给上述第1个探针。

具有接触检查电路的半导体装置

技术领域

本发明涉及半导体装置，特别是涉及具有在试验之前进行用于接收外部
5 信号群的多个触点与半导体试验装置的多个探针的接触检查的接触检查电
路的半导体装置。

背景技术

以往，在DRAM这样的半导体装置中，在晶片状态下，要进行在超过
通常情况的高压、高温的苛刻条件下驱动、并加速初始不良的老化试验。

在老化试验中，半导体试验装置的多个探针与半导体装置的多个触点接
10 触，信号群从半导体试验装置输入半导体装置。这时，如果探针与触点未
正常接触，就不能正常地进行老化试验，所以，在各半导体装置中，都设
置用于在老化试验之前检查探针与触点的接触状态的接触检查电路。

图8是表示具有这种接触检查电路55的先有的半导体装置50的结构的
15 电路框图。参见图8，该半导体装置50在半导体晶片（例如，硅晶片）
上形成，具有接地触点P10、信号触点P11~P14、接触检查电路
55和内部电路56。

接地触点P10从外部（半导体试验装置）接收接地电位GND，信号
触点P11~P14分别接收外部信号。接触检查电路55包括N沟道M
O S晶体管51~54。N沟道MOS晶体管51~54分别连接在信号
20 触点P11~P14与接地触点P10之间，各晶体管的栅极都与接地触
点P10连接。内部电路56通过触点P10~P14按照从外部供给的
信号群进行指定的动作（如果是DRAM，就是数据的读写动作）。

图9是表示半导体装置50的触点P10~P14与半导体试验装置7
0的探针60~64的接触检查方法的电路框图。参见图9，在半导体试
25 验装置70中，设置继电器71、电流计73和直流电源74。探针60
接地。探针61~64分别与继电器71的切换端子72.1~72.4
连接。直流电源74通过电流计73将负电位-V供给继电器71的共同
端子72.0。

进行接触检查时，例如使继电器71的端子72.0、72.1之间导
30 通，将负电位-V加到探针61上。只要触点P10、P11与探针60、
61分别正常地接触时，N沟道MOS晶体管51导通，电流流过电流计
73。即使触点P10与探针60和触点P11与探针61中的一方未正
常地接触时，电流都不流过电流计73。这样，便可检查触点P10、P

1 1与探针6 0、6 1的接触状态。对于其他触点P 1 2~P 1 4与探针6 2~6 4,也一样。

但是,在先有的接触检查方法中,必须逐个触点进行检查,所以,接触检查需要很长时间。

5 另外,例如,如果准备和触点P 1 1~P 1 4相同数量的电流计7 3,就可以同时进行全部触点P 1 0~P 1 4的接触检查,但是,这时,即使可以缩短接触检查时间,也将提高半导体试验装置7-4-70的装置成本。

10 另外,由于该接触检查方法使检查对象的触点成为负电位 $-V$,所以,存在不能面向施加DRAM的电源电位 V_{cc} 、升压电位 V_{pp} 等正电位的触点的接触检查的问题。这是因为,在芯片的电路中例如有CMOS反相器时,虽然电源电位 V_{cc} 用的触点通常也与N晶片连接,但是,使用P型硅基板时,如果使电源电位 V_{cc} 用的触点成为负电位,则N晶片的电平便有可能比P型硅基板的电平还要负,这时,PN结顺向偏置,流过大电流,从而内部电路5 6将被破坏。

发明内容

因此,本发明的主要目的旨在提供可以用简单的装置迅速地进行接触检查并且可以进行加正电位的触点的接触检查的半导体装置。

20 简单地说来,本发明的接触检查电路包括串联连接在第1和第N个触点间的第1~第N-2个晶体管。第1~第N-2个晶体管的输入电极分别与第2~第N-1个触点连接。进行接触检查时,用于使第1~第N-2个晶体管导通的试验信号供给第2~第N-1个探针,同时,检查第1和第N个探针间的导通状态。第1和第N个探针间导通时,就判定探针群与触点群正常地接触,不导通时,就判定探针群与触点群未正常地接触。

25 因此,可以1次检查探针群与触点群的接触状态,与对每1个触点进行检查的先有的情况相比,可以迅速地进行接触检查。另外,由于将试验信号供给第2~第N-1个探针,同时检查第1和第N个探针间的导通状态,所以,不会招致半导体试验装置的复杂化和高成本化。另外,作为晶体管,如果使用N沟道MOS晶体管,则作为试验信号可以使用正电位的信号,所以,即使进行加正电位信号的触点的接触检查,也不会发生现有的这种不良情况。

30 另外,接触检查电路最好进而包括分别连接在第1~第N-2个晶体管的输入电极与第1个触点之间的第1~第N-2个电阻元件,在进行接触检查时,将用于使第1~第N-2个晶体管非导通的非激活电位供给第1个探针。这时,例如第2个探针与第2个触点未正常地接触时,就使第1

个触点成为非激活电位，可以使第1个晶体管可靠地非导通，从而可以防止使第2个触点带电到激活电位发生检查错误。

另外，将第2～第N-1个触点中的1个作为芯片选择触点使用，进行接触检查时，在试验信号一侧，将芯片选择信号供给与该触点对应的探
5 针。这时，可以顺序选择在晶片上形成的多个芯片进行检查，非常方便。

另外，接触检查电路最好进而包括连接在第1芯片选择晶体管的输入电极与第1触点之间的第1电阻元件、分别串联连接在第1芯片选择晶体管以外的晶体管群的输入电极与第1个触点之间的第2～第N-2组的芯
10 片选择晶体管和电阻元件，进行接触检查时，将用于使各晶体管非导通的非激活电位供给第1探针。这时，在进行接触检查以外的时间，可以防止第2～第N触点与第1触点之间流过电流，从而可以减小电流消耗。

附图说明

图1是表示本发明实施例1的半导体装置的结构电路框图。

图2是表示图1所示的半导体装置的接触检查方法的省略了一部分的
15 电路框图。

图3是表示本发明实施例2的半导体装置的结构电路框图。

图4是表示图3所示的半导体装置的改良例的电路框图。

图5是表示本发明实施例3的半导体装置的结构电路框图。

图6是表示本发明实施例4的半导体装置的结构电路框图。

20 图7是表示本发明实施例5的半导体装置的结构电路框图。

图8是表示先有的半导体装置的结构电路框图。

图9是表示图8所示的半导体装置的接触检查方法的电路框图。

具体实施方式

(实施例1)

25 图1是表示本发明实施例1的半导体装置8的结构电路框图。参见图1，该半导体装置8形成在半导体晶片上，具有接地触点P0、电源或信号触点P1～P4、芯片选择触点P5、检查触点P6、接触检查电路6和内部电路7。

30 接地电位GDN_{GND}供给接地触点P0。电源或信号触点P1～P4是在晶片状态下进行老化试验时使用的触点。芯片选择触点P5是用于选择在1块晶片上形成的大量的芯片中进行接触检查的芯片的触点。检查触点P6是用于检查检查对象触点与探针是否正常地接触的触点。

接触检查电路6包括N沟道MOS晶体管1～5。N沟道MOS晶体管

1 ~ 5 串联连接在触点 P 0 和 P 6 之间。N 沟道 MOS 晶体管 1 ~ 5 的栅极分别与触点 P 1 ~ P 5 连接。内部电路 7 按照通过触点 P 0 ~ P 4 从外部供给的电源电压和信号进行指定的动作。

5 在进行老化试验前的接触检查时，半导体试验装置的探针（图中未示出）分别与触点 P 0 ~ P 6 接触。将接地电位 GND 加到与接地触点 P 0 对应的探针上、并使与触点 P 1 ~ P 4 对应的探针群成为高电平时，如果触点 P 0 ~ P 4 分别与探针群正常地接触，则 N 沟道 MOS 晶体管 1 ~ 4 导通。

10 在该状态下，使与芯片选择触点 P 5 对应的探针成为高电平、并将适当的电压加到与检查触点 P 6 对应的探针上时，如果触点 P 0 ~ P 6 与探针群正常地接触，则在检查触点 P 6 对应的探针和与接地触点 P 0 对应的探针之间便流过电流。但是，即使触点 P 0 ~ P 6 中的某一个与对应的探针未正常地接触时，也不会流过电流。

15 因此，通过监视流入与检查触点 P 6 对应的探针的电流，便可检查半导体装置 8 的触点 P 0 ~ P 6 与半导体试验装置的探针群的接触状态。

另外，这时，对于 1 个芯片，仅仅通过 1 次测定便可检查，用先有的 $1/n$ （ n 为进行老化试验时使用的电源或信号触点的数，图中为 4 个）时间便可检查。

20 另外，由于将高电平加到触点 P 1 ~ P 4 上，所以，也可以检查在将负电位加到触点 P 1 ~ P 4 上的先有的接触检查方法中是困难的施加电源电位 V_{cc} 、升压电位 V_{pp} 等正的电源电位的触点与探针的接触状态。

图 2 是具体地表示图 1 所示的半导体装置 8 的接触检查方法的电路框图。

25 参见图 2，半导体装置 8 在晶片表面形成大量的 X 行 Y 列（X，Y 是自然数）。在半导体试验装置 10 中，设置继电器 11，13、电阻元件 15。x（x 是从 1 到 X 的自然数）和电压计 16。属于第 y（y 是从 1 到 Y 的自然数）列的各半导体装置 8 的芯片选择触点 P 5 通过探针（图中未示出）共同与继电器 11 的切换端子 12. y 连接。高电平（电源电位 V_{cc} ）供给继电器 11 的共同端子 12. 0。属于第 x 行的各半导体装置 8 的检查触点 P 6 通过探针（图中未示出）共同与继电器 13 的切换端子 14. x 连接。继电器 13 的切换端子 14. x 通过上拉用的电阻元件 15. x 与电源电位 V_{cc} 的接线连接。继电器 13 的共同端子 14. 0 与电压计 16 连接。

进行接触检查时，首先将高电平加到与各半导体装置8的触点P1~P4对应的探针上，同时将接地电位GND加到接地触点P0上。其次，使继电器11的例如端子12.0和12.1之间导通，将高电平加到与第1列的各半导体装置8的芯片选择触点P5对应的探针上。然后，使继电器13的例如端子14.0和14.1之间导通，将与第1行的各半导体装置8的检查触点P6对应的探针与电压计16连接。

1行1列的半导体装置8的触点P0~P6与探针群正常地接触时，电流就从电源电位Vcc的接线通过电阻元件15.1流过半导体装置8，电压计16显示出比上拉电压Vcc低的电压。但是，在它们未正常地接触时，电流就不会从电源电压Vcc的接线通过电阻元件15.1流过半导体装置8，电压计16显示出上拉电压Vcc。这样，便可进行1行1列的半导体装置8的接触检查。对于其他半导体装置8也一样。

(实施例2)

15 图3是表示本发明实施例2的半导体装置17的结构的电路框图。参见图3，该半导体装置17具有触点P0~P4及P6、接触检查电路18和内部电路7。该半导体装置17与图1的半导体装置8的不同点在于，去掉了芯片选择触点P5和N沟道MOS晶体管5。

20 在该半导体装置17中，在进行老化试验中使用的电源或信号触点P4在进行接触检查时作为芯片选择触点使用。因此，除了可以减少应进行接触检查的触点数外，还可以缩小线路图面积。

如图4所示，也可以将检查触点P6和N沟道MOS晶体管4去掉，将触点P4与N沟道MOS晶体管3的漏极连接，将触点P3作为芯片选择触点使用，同时将触点P4作为检查触点使用。

25

(实施例3)

图5是表示本发明实施例3的半导体装置20的结构的电路框图。

30 参见图5，该半导体装置20具有触点P0~P4及P6、接触检查电路25和内部电路7。该半导体装置20与图3的半导体装置17的不同点在于，新设置了下拉用的电阻元件21~24。电阻元件21~24分别连接在N沟道MOS晶体管1~4的栅极与触点P0之间。电阻元件21~24由例如构成传输门的栅极的材料、构成位线的材料或扩散电阻层形成。另外，电阻元件21~24也可以由将一定电位供给栅极的MOS

晶体管构成。

5 在该半导体装置20中，例如触点P1与探针未正常地接触时，N沟道MOS晶体管1的栅极就通过电阻元件21和触点P0接地，所以，可以使N沟道MOS晶体管1可靠地成为非导通状态。因此，尽管触点P1与探针未正常地接触，但是，也能使N沟道MOS晶体管1的栅极带电为正电位，从而可以防止N沟道MOS晶体管1导通发生错误检查。

(实施例4)

图6是表示本发明实施例4的半导体装置30的结构的电路框图。

10 参见图6，该半导体装置30具有触点P0~P4及P6、接触检查电路35和内部电路7。该半导体装置30与图5的半导体装置20的不同点在于，新设置了N沟道MOS晶体管31~33。N沟道MOS晶体管31~33分别连接在N沟道MOS晶体管1~3的栅极与电阻元件21~23之间，各栅极都与N沟道MOS晶体管4的栅极连接。

15 在该半导体装置30中，在芯片选择信号即高电平的信号供给作为芯片选择触点而使用的触点P4期间以外的期间，N感到沟道MOS晶体管31~33成为非导通状态，可以防止电流从触点P1~P3通过电阻元件21~23流过接地触点P0。因此，可以减小电流消耗。

20 (实施例5)

图7是表示本发明实施例5的半导体装置40的结构的电路框图。

25 参见图7，该半导体装置40具有触点P0~P4及P6、接触检查电路45和内部电路7。该半导体装置40与图3的半导体装置17的不同点在于，N沟道MOS晶体管1~4分别置换为P沟道MOS晶体管41~44。

在进行接触检查时，接地电位GND加到接地触点P0上，负电位加到触点P1~P4上，检查触点P0与P6之间是否导通。触点P0与P6之间导通时，就判定触点P0~P6与探针群已正常地接触，触点P0与P6之间未导通时，就判定触点P0~P6与探针群未正常地接触。

30 本实施例对于禁止将正电位加到触点P0~P6上的情况是有效的。

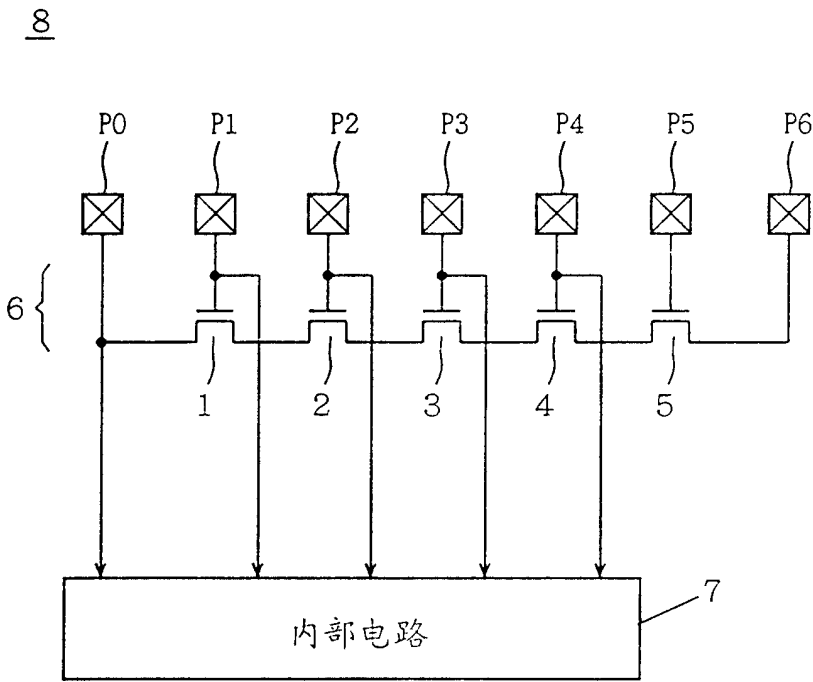


图 1

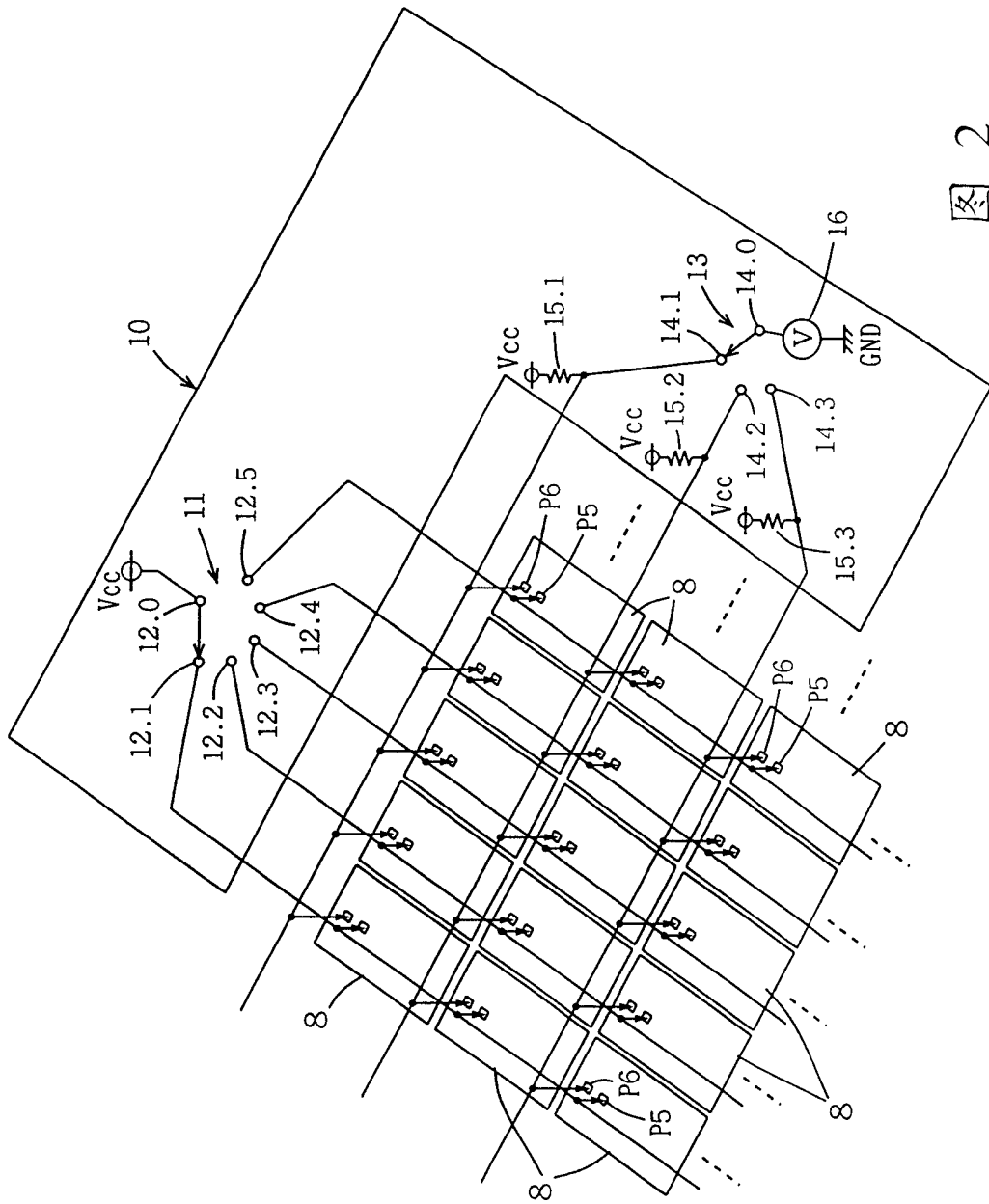


图 2

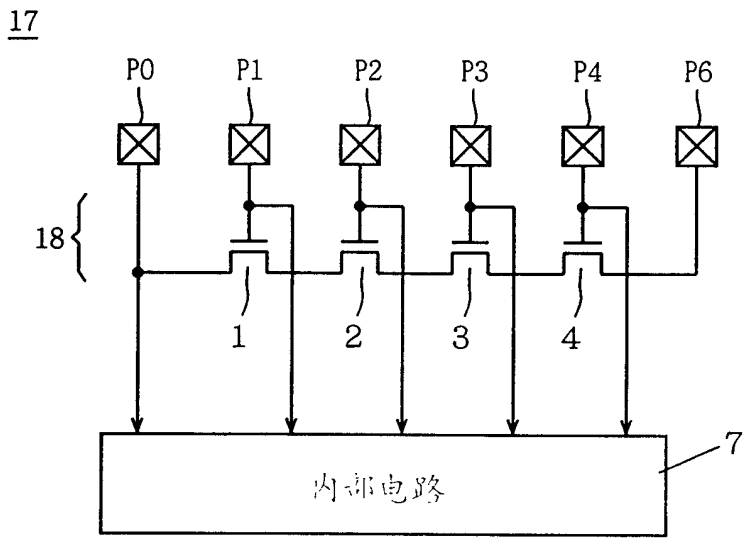


图 3

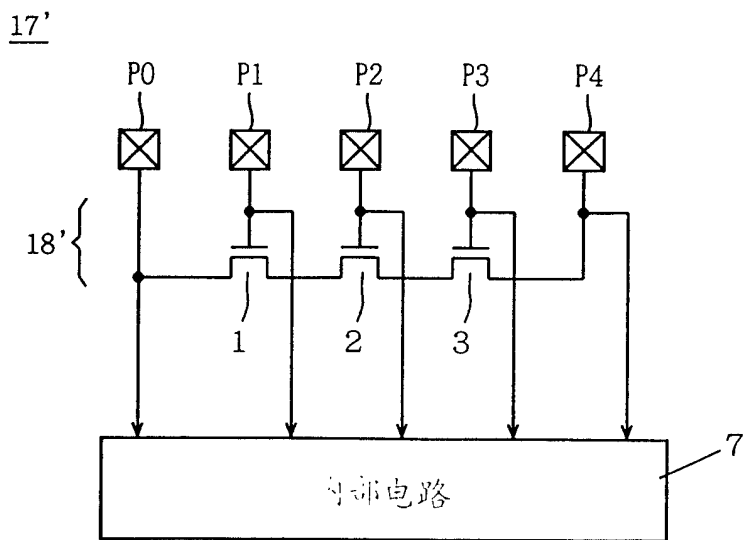


图 4

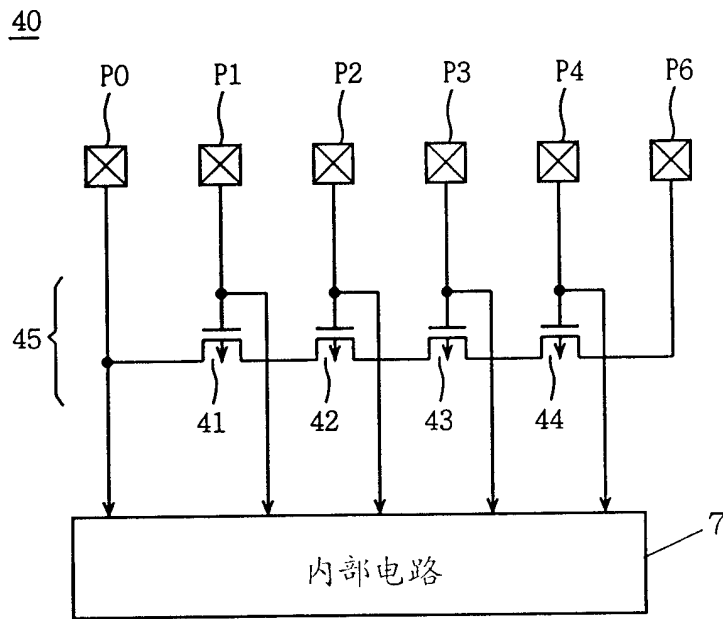


图 7

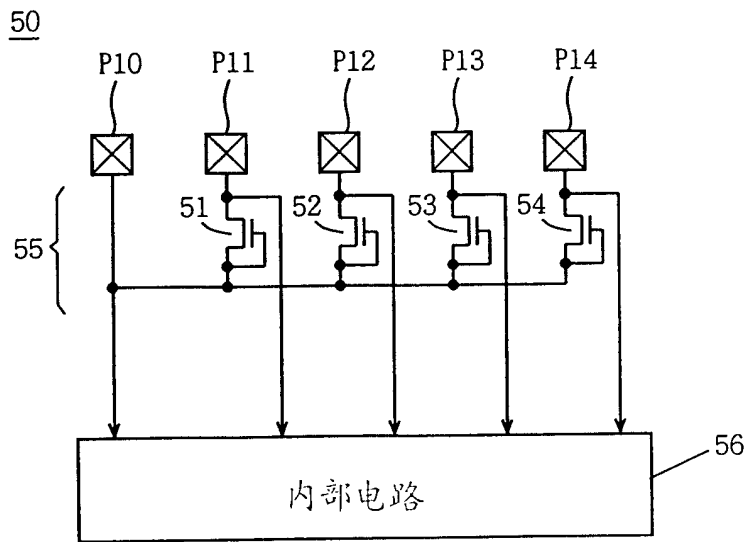


图 8

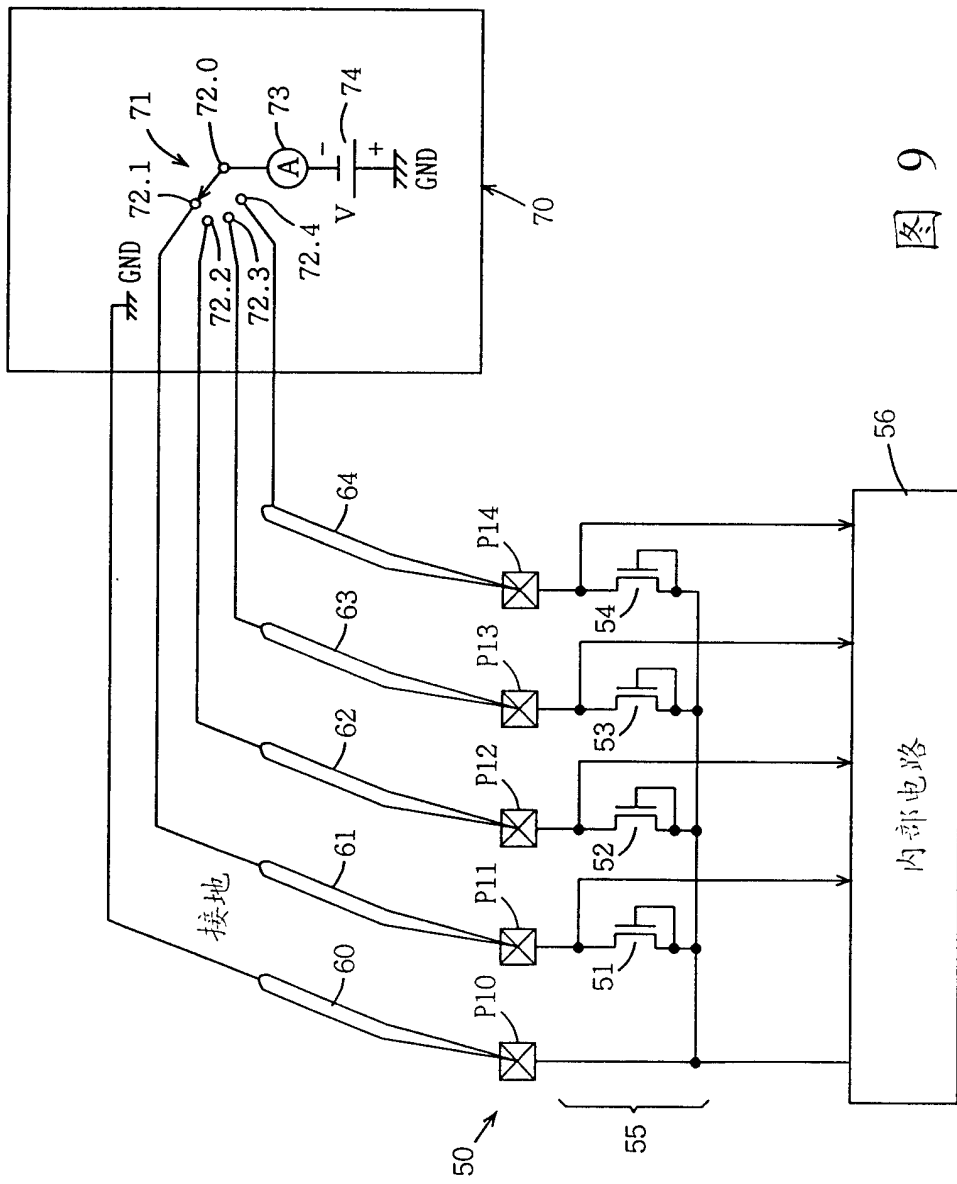


图 9