

[19] 中华人民共和国国家知识产权局



# [12] 发明专利说明书

专利号 ZL 200610145909.1

[51] Int. Cl.

H01L 29/78 (2006.01)

H01L 27/108 (2006.01)

H01L 21/336 (2006.01)

H01L 21/8242 (2006.01)

[45] 授权公告日 2010年3月10日

[11] 授权公告号 CN 100593860C

[22] 申请日 2006.11.23

[21] 申请号 200610145909.1

[30] 优先权

[32] 2006.4.28 [33] KR [31] 10-2006-0038825

[73] 专利权人 海力士半导体有限公司

地址 韩国京畿道

[72] 发明人 郑星雄 李相敦

[56] 参考文献

CN1702845A 2005.11.30

US6476444B1 2002.11.5

US2005/0095794A1 2005.5.5

审查员 高伟

[74] 专利代理机构 北京天昊联合知识产权代理有限公司

代理人 顾红霞 张天舒

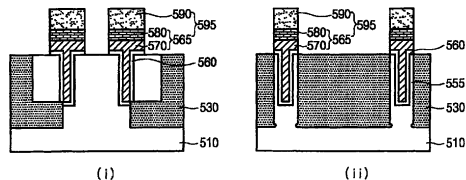
权利要求书 5 页 说明书 10 页 附图 14 页

[54] 发明名称

具有凹陷通道晶体管的半导体器件

[57] 摘要

本发明公开一种具有凹陷通道晶体管的半导体器件和一种用于制造该半导体器件的方法。所述半导体器件包括：器件隔离结构，其形成于半导体基板中以限定有源区，该有源区在其侧壁的下部具有凹陷区域；以及凹陷通道区域，其形成于该有源区之下的半导体基板中。所述方法包括：在半导体基板中形成器件隔离结构以形成有源区，该有源区在其侧壁的下部具有凹陷区域；将栅极绝缘膜形成于包含该凹陷通道区域的半导体基板之上；以及将栅极电极形成于该栅极绝缘膜之上以填充该凹陷通道区域。



1. 一种半导体器件，其包括：

器件隔离结构，其形成于半导体基板中以限定有源区，所述有源区在其侧壁的下部具有凹陷区域；

凹陷通道区域，其形成于所述有源区之下的所述半导体基板中，所述凹陷通道区域具有竖直的 SOI 通道结构，所述 SOI 通道结构形成于沿着栅极区纵向的所述器件隔离结构的侧壁处；

栅极绝缘膜，其形成于包含所述凹陷通道区域的所述半导体基板之上；以及

栅极电极，其形成于所述栅极绝缘膜之上以填充所述凹陷通道区域。

2. 根据权利要求 1 所述的半导体器件，其中所述凹陷通道区域包含存储节点区域的一部分以及沿着所述有源区的纵向与所述存储节点区域相邻的通道区域。

3. 根据权利要求 1 所述的半导体器件，还包括形成于硅层上的源极/漏极区域，所述硅层通过利用所述栅极电极两侧的半导体基板作为晶种层来生长。

4. 一种用于制造半导体器件的方法，所述方法包括：

在半导体基板中形成器件隔离结构以形成有源区，所述有源区在其侧壁的下部具有凹陷区域；

在所述半导体基板和所述器件隔离结构之上形成硬掩模层，所述硬掩模层限定凹形栅极区；

在所述凹形栅极区的侧壁处形成凹陷通道间隙壁；

通过利用所述些凹陷通道间隙壁和所述硬掩模层作为蚀刻掩模，蚀刻在所述凹形栅极区的底部露出的半导体基板以形成凹陷部，其中所述凹陷部包含具有竖直的 SOI 通道结构的凹陷通道区域，所述

SOI 通道结构形成于沿着所述栅极区纵向的所述器件隔离结构的侧壁处；

除去所述凹陷通道间隙壁和所述硬掩模层以露出所述半导体基板；

在所述露出的半导体基板之上形成栅极绝缘膜；以及  
形成栅极结构，其包含栅极硬掩模层图案与栅极电极的叠层结构，所述栅极结构填充所述栅极区的栅极绝缘膜之上的凹陷通道区域。

5. 根据权利要求 4 所述的方法，其中所述形成器件隔离结构的步骤包括：

蚀刻具有垫氧化物膜和垫氮化物膜的半导体基板的预定区域，以形成限定有源区的沟槽；

在包含所述沟槽的半导体基板之上形成第一绝缘膜；

蚀刻所述第一绝缘膜以在所述沟槽的侧壁处形成第一间隙壁；

利用所述第一间隙壁作为蚀刻掩模来蚀刻在所述沟槽的底部露出的半导体基板，以形成底切空间，在所述底切空间中，所述半导体基板被除去；以及

形成所述器件隔离结构，其填充包含所述底切空间的沟槽。

6. 根据权利要求 5 所述的方法，其中所述第一绝缘膜从氮化硅膜、氧化硅膜、硅膜及其组合所构成的群组中选出，其中所述第一绝缘膜的厚度范围是从 1nm 至 100nm。

7. 根据权利要求 5 所述的方法，其中所述第一绝缘膜通过 CVD 方法或 ALD 方法而形成。

8. 根据权利要求 5 所述的方法，其中用于形成所述第一间隙壁的蚀刻工序借助等离子蚀刻方法而执行，所述等离子蚀刻方法利用选自  $C_xF_yH_z$ 、 $O_2$ 、 $HCl$ 、 $Ar$ 、 $He$  及其组合所构成的群组的气体。

9. 根据权利要求 5 所述的方法，其中蚀刻在所述沟槽之下露出的半导体基板以形成第二沟槽，所述第二沟槽包含底切空间，在所述底切空间中，预定区域之下的半导体基板被除去。

10. 根据权利要求 9 所述的方法，其中用于形成所述第二沟槽的蚀刻工序通过如下方式执行，即，将所述沟槽之下露出的半导体基板暴露于 HCl 及 H<sub>2</sub> 的混合气体的氛围下并且处于 500° C 至 1000° C 的温度范围内。

11. 根据权利要求 4 所述的方法，其中形成所述器件隔离结构的步骤包含借助 CMP 方法进行抛光。

12. 根据权利要求 5 所述的方法，其中用于形成所述底切空间的蚀刻工序利用 HCl 与 H<sub>2</sub> 的混合气体并且在 500° C 至 1000° C 的温度范围内执行。

13. 根据权利要求 5 所述的方法，还包括除去所述垫氮化物膜。

14. 根据权利要求 13 所述的方法，其中用于所述垫氮化物膜的除去工序借助湿式蚀刻方法而执行，所述湿式蚀刻方法利用 H<sub>3</sub>PO<sub>4</sub>。

15. 根据权利要求 4 所述的方法，其中形成所述器件隔离结构的步骤包括：

在所述半导体基板之上形成 SiGe 层；

除去所述 SiGe 层的预定区域以露出所述半导体基板；

利用所述露出的半导体基板作为晶种层来生长硅层以填充所述 SiGe 层；

在所述硅层之上形成垫氧化物膜和垫氮化物膜；

利用器件隔离掩模来蚀刻所述垫氮化物膜、垫氧化物膜、硅层、

SiGe 层和半导体基板,以形成限定所述有源区的沟槽,其中所述 SiGe 层在所述沟槽的侧壁处露出;

除去在所述沟槽的侧壁处露出的所述 SiGe 层以形成所述有源区之下的底切空间; 以及

形成所述器件隔离结构,其填充包含所述底切空间的所述沟槽。

16. 根据权利要求 15 所述的方法,其中用于所述 SiGe 层的除去工序借助干式蚀刻方法而执行。

17. 根据权利要求 15 所述的方法,其中所述 SiGe 层的蚀刻速率至少为所述半导体基板的蚀刻速率的十倍。

18. 根据权利要求 4 所述的方法,其中所述凹陷通道区域包含存储节点区域的一部分以及沿着所述有源区的纵向与所述存储节点区域相邻的通道区域。

19. 根据权利要求 4 所述的方法,还包括在所述半导体基板与所述器件隔离结构的交界处形成热氧化物膜。

20. 根据权利要求 19 所述的方法,其中所述热氧化物膜通过利用选自  $H_2O$ 、 $O_2$ 、 $H_2$ 、 $O_3$  及其组合所构成的群组的混合气体并且在  $200^{\circ}C$  至  $1000^{\circ}C$  的温度范围内而形成。

21. 根据权利要求 4 所述的方法,其中所述硬掩模层包括选自多晶硅层、非晶碳膜、氮化物膜、 $SiON$  膜及其组合所构成的群组中之一。

22. 根据权利要求 4 所述的方法,其中第二绝缘膜形成于所述硬掩模层和所述凹形栅极区的整个表面上,并且由氮化硅膜、氧化硅膜、多晶硅层及其组合所构成的群组所形成,其中所述第二绝缘膜的厚度

范围是从 1nm 至 50nm。

23. 根据权利要求 22 所述的方法,其中所述第二绝缘膜借助 CVD 方法而形成,所述 CVD 方法利用选自  $\text{SiH}_4$ 、 $\text{O}_2$ 、 $\text{Si}(\text{OC}_2\text{H}_5)_4$ 、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{NH}_3$ 、 $\text{N}_2$  及其组合所构成的群组的气体源。

24. 根据权利要求 22 所述的方法,其中用于所述第二绝缘膜的蚀刻工序借助等离子蚀刻方法而执行,所述等离子蚀刻方法利用选自  $\text{C}_x\text{F}_y\text{H}_z$ 、 $\text{O}_2$ 、 $\text{HCl}$ 、 $\text{Ar}$ 、 $\text{He}$  及其组合所构成的群组的气体。

25. 根据权利要求 4 所述的方法,其中所述栅极绝缘膜通过利用选自  $\text{O}_2$ 、 $\text{H}_2\text{O}$ 、 $\text{O}_3$  及其组合所构成的群组的气体而形成,其中所述栅极绝缘膜的厚度范围是从 1nm 至 10nm。

26. 根据权利要求 4 所述的方法,其中所述栅极绝缘膜从氧化硅膜、氧化钪膜、氧化铝膜、氧化锆膜、氮化硅膜及其组合所构成的群组中选出,其中所述栅极绝缘膜的厚度范围是从 1nm 至 20nm。

27. 根据权利要求 4 所述的方法,其中所述栅极电极包含下部栅极电极以及上部栅极电极的叠层结构,其中所述下部栅极电极包括掺杂有包含 P 或 B 的杂质离子的多晶硅层,并且所述上部栅极电极包括选自 Ti 层、TiN 层、W 层、Al 层、Cu 层、 $\text{WSi}_x$  层及其组合所构成的群组中之一。

28. 根据权利要求 4 所述的方法,还包括通过利用所述栅极结构两侧的半导体基板作为晶种层来形成硅层;以及  
将杂质离子植入所述硅层中,以形成源极/漏极区域。

29. 根据权利要求 28 所述的方法,其中所述硅层的厚度范围是从 200Å 至 1000Å。

## 具有凹陷通道晶体管的半导体器件

### 技术领域

本发明涉及一种存储器件。更具体而言，本发明涉及一种具有凹陷通道区域的半导体器件以及一种用于制造该半导体器件的方法，该凹陷通道区域包含竖直的绝缘体上硅(“SOI”)通道结构。

### 背景技术

当单元晶体管的通道长度缩短时，单元通道区域的离子浓度通常会增高，以便维持该单元晶体管的临界电压。该单元晶体管的源极/漏极区域中的电场增强，从而增加了漏电流。这导致 DRAM 结构的刷新特性劣化。因此，对于其中刷新特性有所改善的半导体器件存在需求。

图 1 是半导体器件的简化布局。该半导体器件包含有源区 101 以及栅极区 103。该有源区由器件隔离结构 130 来限定。

图 2a 至 2c 是描绘用于制造半导体器件的方法的简化剖视图，其中图 2a 至 2c 是沿着图 1 的线 I-I' 所获得的剖视图。利用器件隔离掩模(未显示)蚀刻具有垫绝缘膜(未显示)的半导体基板 210，以形成限定鳍式有源区 220 的沟槽(未显示)。将用于器件隔离的绝缘膜(未显示)形成为填充该沟槽。将该用于器件隔离的绝缘膜进行抛光直到该垫绝缘膜露出，从而形成器件隔离结构 230。去除该垫绝缘膜以露出该鳍式有源区 220 的顶面。

参照图 2b，利用凹形栅极掩模(未显示)蚀刻出该器件隔离结构 230 的预定厚度，该凹形栅极掩模限定图 1 中所示的栅极区 103，使得该鳍式有源区 220 的上部突出在器件隔离结构 230 之上。

参照图 2c，将栅极绝缘膜 260 形成于突出的鳍式有源区 220 之上。将栅极结构 295 形成于图 1 中所示的栅极区 103 的栅极绝缘膜 260 之上，以填充该突出的鳍式有源区 220，其中该栅极结构 295 包

括栅极电极 265 与栅极硬掩模层图案 290 的叠层结构。

图 3 是描绘半导体器件的简化剖视图。如果将高于临界电压的电压施加至栅极,则反转层 IL 以及耗尽区 DR 形成于栅极绝缘膜 360 之下的半导体基板中。

根据上述用于制造半导体器件的传统方法,必须调整例如栅极电位以及单元通道结构的离子浓度等器件特性,以确保该器件具有所要的关断特性,这造成从存储节点至半导体基板的本体的漏电流增加。于是,由于漏电流增加的缘故,难以获得适当的器件刷新特性。

## 发明内容

本发明的实施例涉及一种具有凹陷通道晶体管的半导体器件,该凹陷通道晶体管具有增大的通道区域。根据一个实施例,该凹陷通道晶体管设置有包含竖直的绝缘体上硅(“SOI”)通道结构的凹陷通道区域。

在本发明的一个实施例中,半导体器件包括:器件隔离结构,其形成于半导体基板中以限定有源区,该有源区在其侧壁的下部具有凹陷区域;凹陷通道区域,其形成于该有源区之下的该半导体基板中,该凹陷通道区域具有竖直的绝缘体上硅(“SOI”)通道结构,该 SOI 通道结构形成于沿着栅极区纵向的器件隔离结构的侧壁处;栅极绝缘膜,其形成于包含该凹陷通道区域的半导体基板之上;以及栅极电极,其形成于该栅极绝缘膜之上以填充该凹陷通道区域。

根据本发明的另一实施例,用于制造半导体器件的方法包括:在半导体基板中形成器件隔离结构以形成有源区,该有源区在其侧壁的下部具有凹陷区域;在该半导体基板和该器件隔离结构之上形成硬掩模层图案,该硬掩模层图案限定凹形栅极区;在该凹形栅极区的侧壁处形成凹陷通道间隙壁;通过利用该凹陷通道间隙壁和该硬掩模层图案作为蚀刻掩模,蚀刻在该凹形栅极区的底部露出的半导体基板以形成凹陷部,其中该凹陷部包含具有竖直的绝缘体上硅(“SOI”)通道结构的凹陷通道区域,该 SOI 通道结构形成于沿着该栅极区纵向的器件隔离结构的侧壁处;除去该凹陷通道间隙壁和硬掩模层图案以露



出该半导体基板；在该露出的半导体基板之上形成栅极绝缘膜；以及形成栅极结构，其包含栅极硬掩模层图案与栅极电极的叠层结构，该栅极结构填充该栅极区的栅极绝缘膜之上的凹陷通道区域。

## 附图说明

图 1 是传统半导体器件的简化布局。

图 2a 至 2c 是描绘用于制造半导体器件的传统方法的简化剖视图。

图 3 是传统半导体器件的简化剖视图。

图 4 是根据本发明一个实施例的半导体器件的简化布局。

图 5 与 6 是根据本发明一个实施例的半导体器件的简化剖视图。

图 7a 至 7i 是描绘根据本发明一个实施例的用于制造半导体器件的方法的简化剖视图。

图 8a 至 8d 是描绘根据本发明另一实施例的用于制造半导体器件的方法的简化剖视图。

## 具体实施方式

本发明涉及具有凹陷通道晶体管的半导体器件，该凹陷通道晶体管具有包含竖直的 SOI 通道结构的凹陷通道区域。该凹陷通道晶体管具有：有源区，该有源区在其侧壁的下部具有凹陷区域；凹陷通道区域，该凹陷通道区域具有竖直的 SOI 通道结构，该竖直的 SOI 通道结构形成于沿着栅极区纵向的该器件隔离结构的侧壁处；以及栅极结构，该栅极结构填充凹陷通道区域。于是，该凹陷通道晶体管由于降低从存储节点流向半导体基板的本体的漏电流而提供显著改善的刷新特性，并且因为有充分确保的通道区域而提供改善的短通道效应（“SCE”）。

图 4 是根据本发明一个实施例的半导体器件的简化布局。该半导体器件包含有源区 401 以及栅极区 403。器件隔离结构 430 限定该有源区 401。

图 5 是根据本发明一个实施例的半导体器件的简化剖视图，其

中图 5(i)是沿着根据图 4 的线 I-I' 的横向所获得的剖视图, 并且图 5(ii)是沿着根据图 4 的线 II-II' 的纵向所获得的剖视图。器件隔离结构 530 限定图 4 中所示的有源区 401, 该有源区 401 在其侧壁的下部具有凹陷区域。该凹陷区域包含图 6 中所示的存储节点接面区域 607 的一部分以及半导体基板 510 之下与该存储节点接面区域 607 相邻的通道区域 609。凹陷通道区域(未显示)包含竖直的绝缘体上硅(“SOI”)通道结构 555, 该 SOI 通道结构 555 形成于沿着图 4 中所示栅极区 403 纵向的两个器件隔离结构 530 的侧壁处。栅极绝缘膜 560 形成于图 4 中所示的包含该凹陷通道区域的有源区 401 之上。栅极结构 595 形成于图 4 中所示栅极区 403 的栅极绝缘膜 560 之上, 以填充该凹陷通道区域。在此, 该栅极结构 595 包含栅极电极 565 与栅极硬掩模层图案 590 的叠层结构。该栅极电极 565 包含下部栅极电极 570 与上部栅极电极 580 的叠层结构。在本发明的一个实施例中, 该栅极绝缘膜 560 利用  $O_2$ 、 $H_2O$ 、 $O_3$  及其组合而形成, 该栅极绝缘膜 560 的厚度范围是从大约 1nm 至大约 10nm。此外, 该下部栅极电极 570 包含掺杂有例如 P 或 B 杂质的多晶硅。该上部栅极电极 580 包含选自钛(Ti)层、氮化钛(TiN)膜、钨(W)层、铝(Al)层、铜(Cu)层、硅化钨( $WSi_x$ )层及其组合所构成的群组中之一。在另一实施例中, 该栅极绝缘膜 560 选自氮化硅膜、氧化钪膜、氧化铝膜、氧化锆膜、氮化硅膜及其组合所构成的群组中之一, 该栅极绝缘膜 560 的厚度范围是从大约 1nm 至大约 20nm。

图 6 是根据本发明一个实施例的半导体器件的立体剖视图。该图显示凹陷通道区域, 该凹陷通道区域包含图 4 中所示的有源区 401 以及图 5 中所示的竖直的 SOI 通道结构 555, 该有源区 401 在其侧壁的下部具有凹陷区域。在此, 该凹陷区域包含存储节点接面区域 607 的一部分以及与该存储节点接面区域 607 相邻的通道区域 609。

参照图 6, 深度 D 是从该存储节点接面区域 607 下方的半导体基板 610 至该凹陷通道区域的底部的深度。该距离 D 至少为 0 (即  $0 \leq D < H$ ), 以避免从存储节点至半导体基板 610 的本体的直接连接。即使该距离 D 小于 0 (即  $-1/2T \leq D < 0$ ), 仍然可预期避免结电容及结漏电流,

这是因为该存储节点接面区域 607 之下的半导体基板 610 是凹陷的。距离 X 是半导体基板 610 沿着图 4 中所示有源区 401 的纵向被除去距离。该距离 X 包含存储节点接面区域 607 的一部分以及与该存储节点接面区域 607 相邻的通道区域 609。此外，该距离 X 可以从存储节点接面区域 607 延伸到相邻的通道区域 609。深度 T 是存储节点接面区域 607 的半导体基板 610 的深度。事实上，该深度 T 与图 5 中所示竖直的 SOI 通道结构 555 的深度相同。于是，可以考虑通道区域的尺寸或操作电流量来调整该深度 T。深度 H 是图 4 中所示有源区 401 之下的凹陷半导体基板 610 的深度。深度 H 至少大于深度 D。

在本发明的一个实施例中，该存储节点并未直接连接半导体基板 610 的本身，以避免栅极感应的漏极泄漏（“GIDL”）电流流入该半导体基板 610 的本身，该 GIDL 电流由于该存储节点和栅极电压而产生。于是，可以避免降低存储节点中所存储的电荷。此外，将栅极通道形成于图 5 中所示的竖直的 SOI 通道结构 555 处，以便改善例如短通道效应（“SCE”）、体效应以及操作电流等器件特性。于是，可预期会改善该器件的刷新特性。

图 7a 至 7i 是描绘根据本发明一个实施例的用于制造半导体器件的方法的简化剖视图，其中图 7a(i) 至 7i(i) 是沿着根据图 4 的线 I-I' 的横向所获得的剖视图，而图 7a(ii) 至 7i(ii) 是沿着根据图 4 的线 II-II' 的纵向所获得的剖视图。将垫氧化物膜 713 以及垫氮化物膜 715 形成于半导体基板 710 之上。利用器件隔离掩模（未显示）作为蚀刻掩模而蚀刻该垫氮化物膜 715、垫氧化物膜 713 以及半导体基板 710，以形成限定图 4 中所示有源区 401 的第一沟槽 717。将第一绝缘膜（未显示）形成于所产生物的整个表面上（即，在该第一沟槽 717 以及半导体基板 710 之上）。蚀刻该第一绝缘膜，以便在该第一沟槽 717 的侧壁处形成第一间隙壁 733。在本发明的一个实施例中，该第一绝缘膜从氮化硅膜、氧化硅膜、硅膜及其组合所构成的群组中选出，其借助化学气相沉积（“CVD”）方法或原子层沉积（“ALD”）方法来形成。该第一绝缘膜的厚度范围是从大约 1nm 至 100nm。此外，用于该第一绝缘膜的蚀刻工序借助干式蚀刻方法而执行。具体地说，

用于形成该第一间隙壁 733 的蚀刻工序借助等离子蚀刻方法而执行，该等离子蚀刻方法利用选自  $C_2F_4$ 、 $H_2$ 、 $O_2$ 、 $HCl$ 、 $Ar$ 、 $He$  及其组合所构成的群组中之一。

参照图 7b，蚀刻在该第一沟槽 717 之下露出的半导体基板 710，以便形成第二沟槽 723，该第二沟槽 723 包含底切空间 740，在该底切空间中，预定区域之下的半导体基板 710 被除去。在本发明的一个实施例中，用于形成该第二沟槽 723 的蚀刻工序是通过如下方式而执行的，即，将该第一沟槽 717 之下露出的半导体基板 710 暴露于  $HCl$  及  $H_2$  的混合气体的氛围下并且处于大约  $500^\circ C$  至大约  $1000^\circ C$  的温度范围内。此外，该预定区域包含存储节点接面区域 607 的一部分以及与该存储节点接面区域 607 相邻的通道区域 609。在此，在用于半导体基板 710 的除去工序期间，该底切空间 740 由于根据硅晶面的不同蚀刻速率而形成。具体地说，由于半导体基板 710 沿着图 4 中所示有源区 401 的纵向的蚀刻速率比任何晶面的蚀刻速率相对更快，因此可以形成底切空间 740，在底切空间 740 中，该预定区域之下的半导体基板 710 被除去。

参照图 7c，除去该第一间隙壁 733。用于器件隔离的绝缘膜（未显示）形成为填充包含该底切空间 740 的第二沟槽 723。将该用于器件隔离的绝缘膜进行抛光，直到该垫氮化物膜 715 露出，从而形成器件隔离结构 730。在本发明的一个实施例中，在没有用于该第一间隙壁 733 的除去工序的条件下，该用于器件隔离的绝缘膜可以形成为填充包含该底切空间 740 的第二沟槽 723。此外，热氧化物膜（未显示）可以进一步形成于该器件隔离结构 730 与包含该底切空间 740 的第二沟槽 723 的交界处。在此，该半导体基板 710 暴露于选自  $H_2O$ 、 $O_2$ 、 $H_2$ 、 $O_3$  及其组合所构成的群组的气体并且在大约  $200^\circ C$  至大约  $1000^\circ C$  的温度范围内，以便形成该热氧化物膜。在另一实施例中，该用于器件隔离的绝缘膜是借助高密度等离子（“HDP”）方法或 CVD 方法而由氧化硅膜所形成的。此外，用于形成该器件隔离结构 730 的抛光工序借助化学机械平坦化（“CMP”）方法而执行。

参照图 7d，除去该垫氮化物膜 715。将硬掩模层 725 形成于所

产生物物的整个表面上(即,在该器件隔离结构 730 及半导体基板 710 之上)。在本发明的一个实施例中,用于该垫氮化物膜 715 的除去工序借助湿式蚀刻方法而执行,该湿式蚀刻方法利用加热的  $H_3PO_4$ 。该硬掩模层 725 选自多晶硅层、非晶碳膜、氮化物膜、 $SiON$  膜及其组合所构成的群组,其具有相对于该器件隔离结构 730 差异较大的蚀刻选择性。

参照图 7e 与 7f,利用对应于图 4 中所示栅极区 403 的凹形栅极掩模(未显示)作为蚀刻掩模而蚀刻该硬掩模层 725,以便形成凹形栅极区 735。将第二绝缘膜 743 形成于所产生物物的整个表面上(即,在该硬掩模层 725 及凹形栅极区 735 之上)。在本发明的一个实施例中,该第二绝缘膜 743 由氮化硅膜、氧化硅膜、多晶硅层及其组合所构成的群组所形成,该第二绝缘膜 743 的厚度范围是从大约 1nm 至大约 50nm。该第二绝缘膜 743 借助 CVD 方法而形成,该 CVD 方法利用选自  $SiH_4$ 、 $O_2$ 、 $Si(OC_2H_5)_4$ 、 $SiH_2Cl_2$ 、 $NH_3$ 、 $N_2$ 、 $H_3$  及其组合所构成的群组的气体源。

参照图 7g 与 7h,蚀刻该第二绝缘膜 743,以便在该凹形栅极区 735 的侧壁处形成第二间隙壁 745。利用该第二间隙壁 745 作为蚀刻掩模而蚀刻该垫氧化物膜 713 以及在该凹形栅极区 735 之下露出的半导体基板 710,以形成凹陷部 750。在此时,竖直的 SOI 通道结构 755 形成于沿着图 4 中所示栅极区 403 纵向的该凹陷部 750 中的两个器件隔离结构 730 的侧壁处。在本发明的一个实施例中,用于该第二绝缘膜 743 的蚀刻工序借助等离子蚀刻方法而执行,该等离子蚀刻方法利用选自  $C_xF_yH_z$ 、 $O_2$ 、 $HCl$ 、 $Ar$ 、 $He$  及其组合所构成的群组的气体。此外,用于形成该凹陷部 750 的蚀刻工序借助等离子蚀刻方法而执行。

参照图 7i,除去该第二间隙壁 745、硬掩模层 725 以及垫氧化物膜 713,以露出包含该凹陷部 750 的半导体基板 710。将栅极绝缘膜 760 形成于该露出的半导体基板 710 之上。下部栅极导电层(未显示)形成为填充该凹陷部 750。上部栅极导电层(未显示)以及栅极硬掩模层(未显示)形成于该下部栅极导电层之上。该栅极硬掩模层、上部栅极导电层、下部栅极导电层以及栅极绝缘膜 760 利用栅极掩模

(未显示)来形成图案以形成栅极结构 795, 该栅极结构 795 包含栅极电极 765 与栅极硬掩模层图案 790 的叠层结构。在本发明的一个实施例中, 可以在用于形成该栅极绝缘膜 760 的工序之前另外执行如下工序, 即, 利用包含 HF 的溶液来清洗该露出的半导体基板 710 的表面。此外, 该栅极绝缘膜 760 利用选自  $O_2$ 、 $H_2O$ 、 $O_3$  及其组合所构成的群组中之一而形成, 其中该栅极绝缘膜 760 的厚度范围是从大约 1nm 至大约 10nm。在另一实施例中, 该下部栅极导电层由掺杂有包含 P 或 B 的杂质的多晶硅层所形成。在此, 该掺杂的多晶硅层可以通过将杂质离子植入未掺杂的多晶硅层中或者通过利用硅气体源以及包含 P 或 B 的杂质气体源而形成。此外, 该上部栅极导电层选自钛(Ti)层、氮化钛(TiN)膜、钨(W)层、铝(Al)层、铜(Cu)层、硅化钨( $WSi_x$ )层及其组合所构成的群组。在其它实施例中, 该栅极绝缘膜 760 选自氧化硅膜、氧化钪膜、氧化铝膜、氧化锆膜、氮化硅膜及其组合所构成的群组, 其中该栅极绝缘膜 760 的厚度范围是从大约 1nm 至大约 20nm。在另一方面, 为了增加该器件的有效通道长度, 利用在该栅极结构 795 两侧露出的半导体基板 710 作为晶种层来生长硅层(未显示), 其中该硅层的厚度范围是从大约 200Å 至大约 1000Å。将杂质离子植入该生长的硅层中以形成源极/漏极区域。因此, 在通道区域与源极/漏极区域之间存在高度差。

此外, 可以执行如下后续工序, 例如用于形成栅极间隙壁的工序、用于形成连接插塞(landing plug)的工序、用于形成位线触点(bit line contact)及位线的工序、用于形成电容器的工序以及用于形成互连电路的工序。

图 8a 至 8d 是描绘根据本发明另一实施例的用于制造半导体器件的方法的简化剖视图。在该方法中, 凹陷区域中位于有源区的侧壁下部的半导体基板将在后续的工序中被除去, 该凹陷区域由 SiGe 层所形成, 以便于容易地除去对应于凹陷区域的半导体基板。在此, 图 8a(i) 至 8d(i) 是沿着根据图 4 的线 I-I' 的横向所获得的剖视图, 并且图 8a(ii) 至 8d(ii) 是沿着根据图 4 的线 II-II' 的纵向所获得的剖视图。

参照图 8a, 在半导体基板 810 的表面上执行清洗工序。SiGe 层 819 形成于该半导体基板 810 之上。利用覆盖该凹陷区域的掩模(未显示)选择性地除去该 SiGe 层 819, 以露出该半导体基板 810。利用该露出的半导体基板 810 作为晶种层而形成硅层 821, 以填充该 SiGe 层 819。将垫氧化物膜 813 以及垫氮化物膜 815 形成于该硅层 821 之上。在本发明的一个实施例中, 用于该 SiGe 层 819 的除去工序借助干式蚀刻方法而执行。此外, 该凹陷区域包含图 6 中所示的存储节点接面区域 607 的一部分以及沿着图 4 中所示有源区 401 的纵向与该存储节点接面区域 607 相邻的通道区域 609。

参照图 8b 与 8c, 利用器件隔离掩模(未显示)蚀刻该垫氮化物膜 815、垫氧化物膜 813、硅层 821 以及半导体基板 810, 以形成限定图 4 中所示的有源区 401 的沟槽。在此时, 该 SiGe 层 819 在该沟槽 817 的侧壁处露出。蚀刻在该沟槽 817 的侧壁处露出的 SiGe 层, 以形成底切空间 840。在本发明的一个实施例中, 由于该 SiGe 层 819 的蚀刻速率比半导体基板 810 的蚀刻速率相对更快, 因此可以形成该底切空间 840。此外, 该 SiGe 层 819 的蚀刻速率相对于半导体基板 810 的蚀刻速率的比率至少为 10。

参照图 8d, 用于器件隔离的绝缘膜(未显示)形成为填充包含该底切空间 840 的沟槽 817。将该用于器件隔离的绝缘膜进行抛光, 直到该垫氮化物膜 815 露出, 从而形成器件隔离结构 830。在本发明的一个实施例中, 热氧化物膜(未显示)可以进一步形成于该器件隔离结构 830 与包含该底切空间 840 的沟槽 817 的交界处。在此, 该半导体基板 810 暴露于选自  $H_2O$ 、 $O_2$ 、 $H_2$ 、 $O_3$  及其组合所构成的群组的气体并且处于大约  $200^{\circ}C$  至大约  $1000^{\circ}C$  的温度范围内, 以形成该热氧化物膜。此外, 可以借助图 7d 至 7i 中所示的用于制造半导体器件的方法来执行后续的工序。

如上所述, 具有该有源区和凹陷通道区域的半导体器件以及用于制造该半导体器件的方法可以获得相对较大的驱动电流, 其中该有源区在其侧壁的下部具有凹陷区域, 该凹陷通道区域包含竖直的 SOI 通道结构。此外, 该存储节点之下的半导体基板被除去, 以避免该存

储节点与该半导体基板的本体之间的直接接触,从而在结构上降低从该存储节点流向该本体的漏电流。于是,对于该器件的刷新特性有显著的改良。此外,由于该半导体器件具有包含该竖直 SOI 通道结构的凹陷通道区域,因此其可以容易地应用到根据设计规则缩小的半导体器件。由于漏极电压、短通道效应、体效应以及栅极通/断特性所造成的临界电压降低都可以因为该 SOI 结构而获得改善。根据本发明,无论半导体器件是否根据设计规则缩小,该半导体器件都具有能够确保相当大的器件通道区域的可扩展性。可以使用传统的栅极掩模形成该凹形栅极区。于是,可以节省加工成本。简单的加工过程使得减少缺陷器件的数目。

本发明的上述实施例是示例性的而非限制性的。各种的替代形式及等同实施例都是可行的。本发明并不限于在此所述的沉积、蚀刻抛光以及图案化步骤的类型。本发明也不限于任何特定类型的半导体器件。例如,本发明可以应用于动态随机存取存储器 (DRAM) 或非易失存储器中。考虑到本发明所公开的内容,其它的增加、减少或修改显而易见并且位于所附权利要求书的范围内。

本申请要求 2006 年 4 月 28 日提交的韩国专利申请号 10-2006-0038825 的优先权,该韩国专利申请的全部内容以引用的方式并入本文。



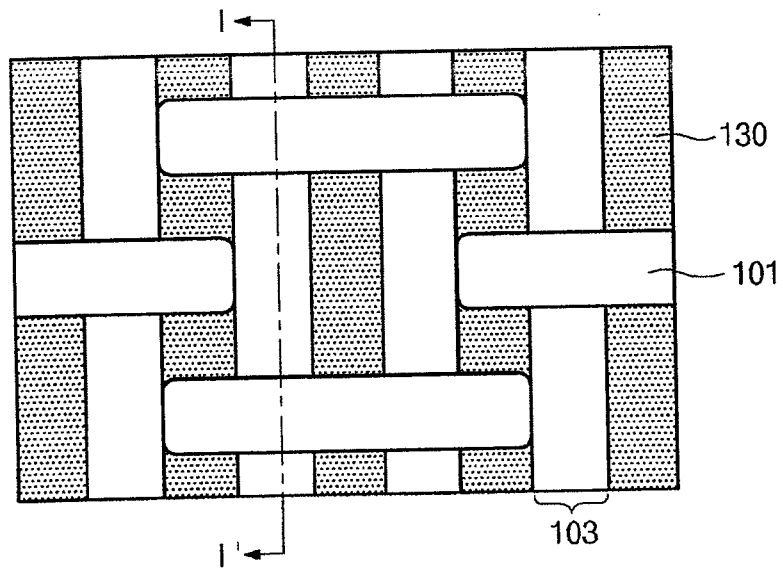


图 1  
(现有技术)

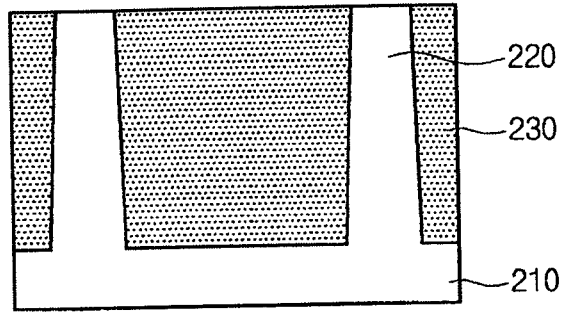


图 2a  
(现有技术)

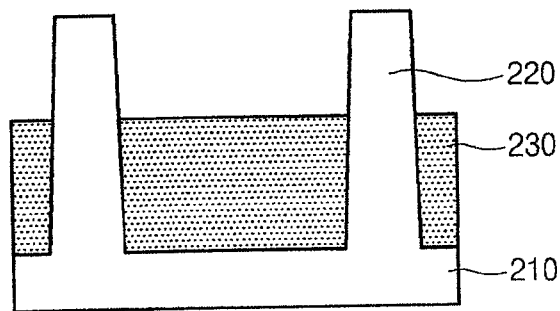


图 2b  
(现有技术)

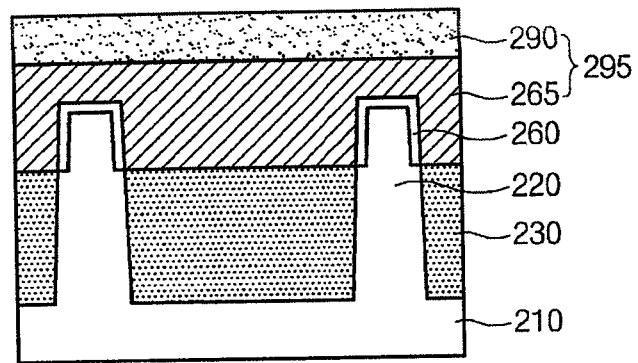


图 2c  
(现有技术)

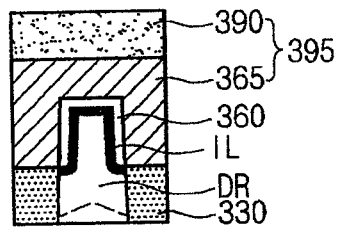


图 3  
(现有技术)

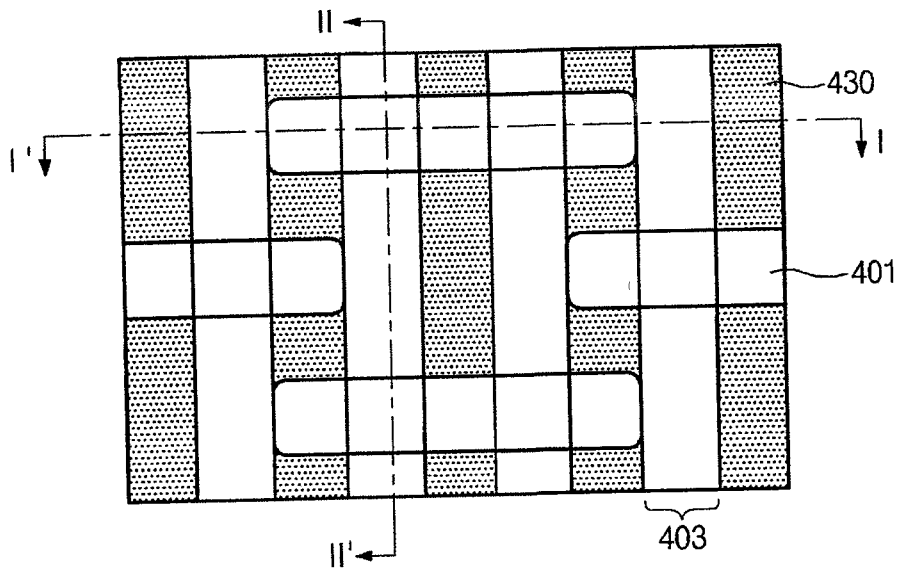


图 4

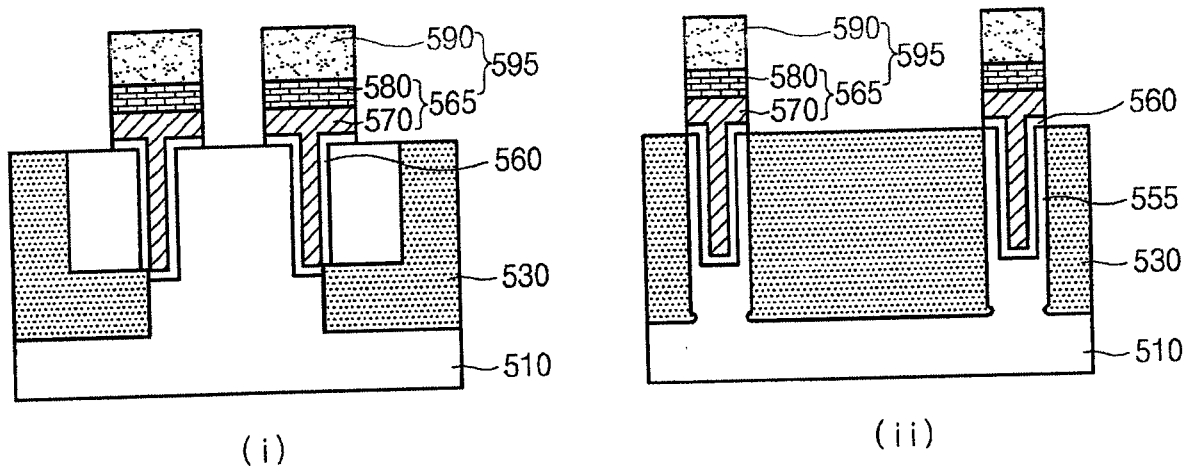


图 5

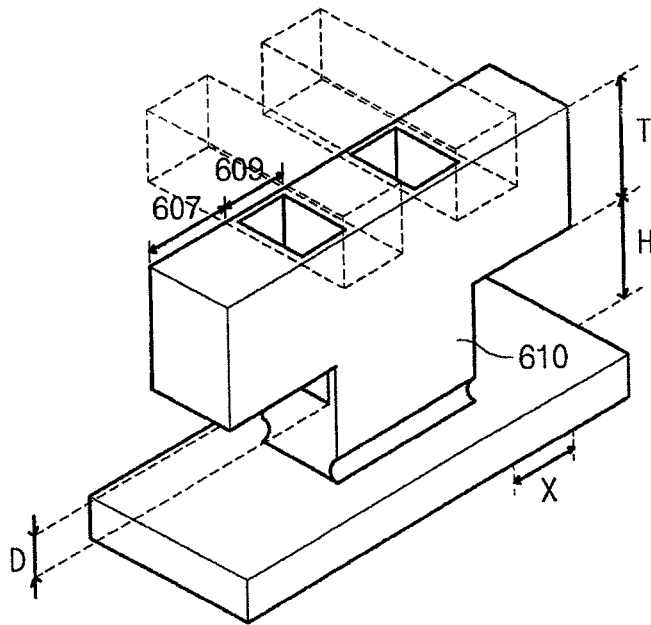


图 6

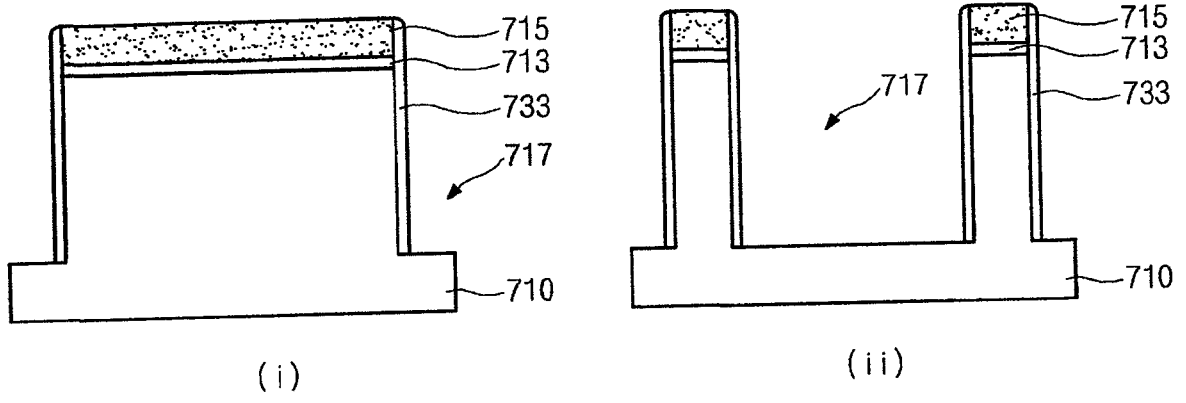


图 7a

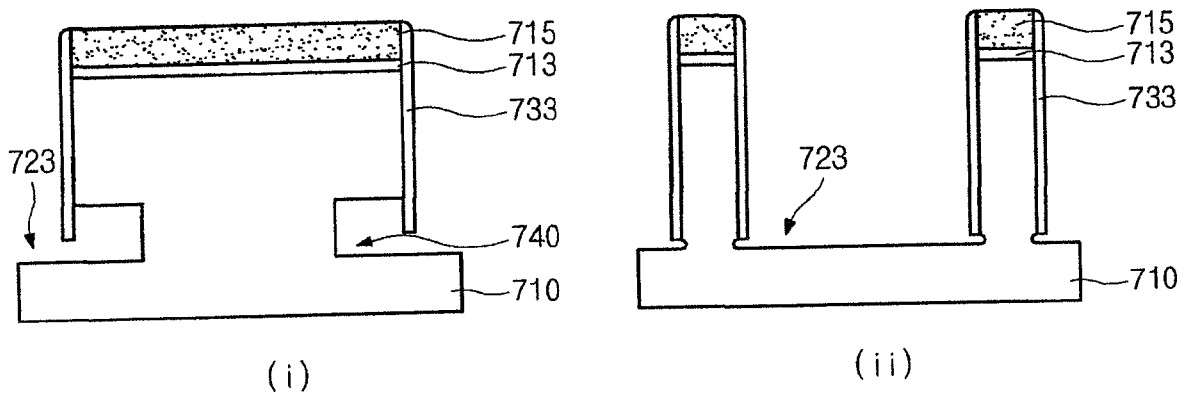


图 7b



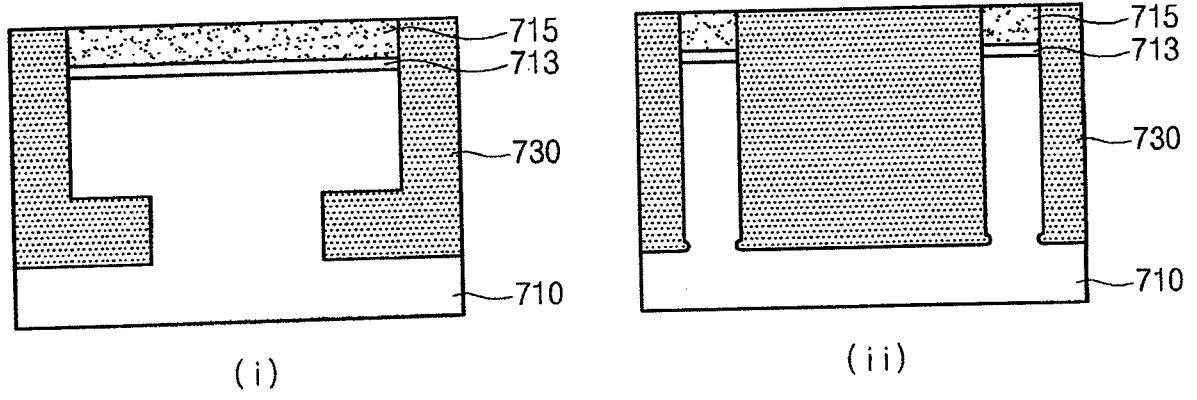


图 7c

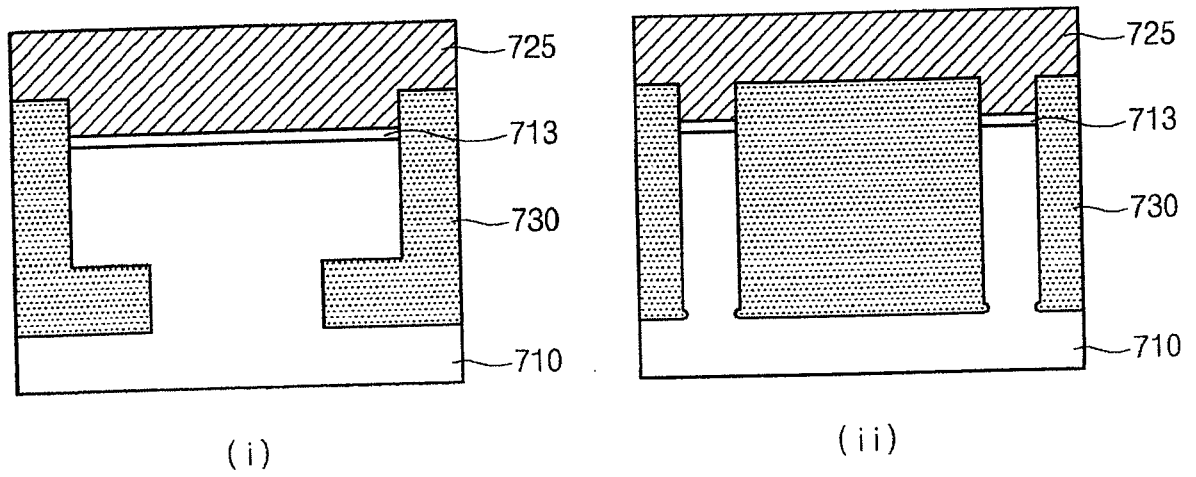


图 7d

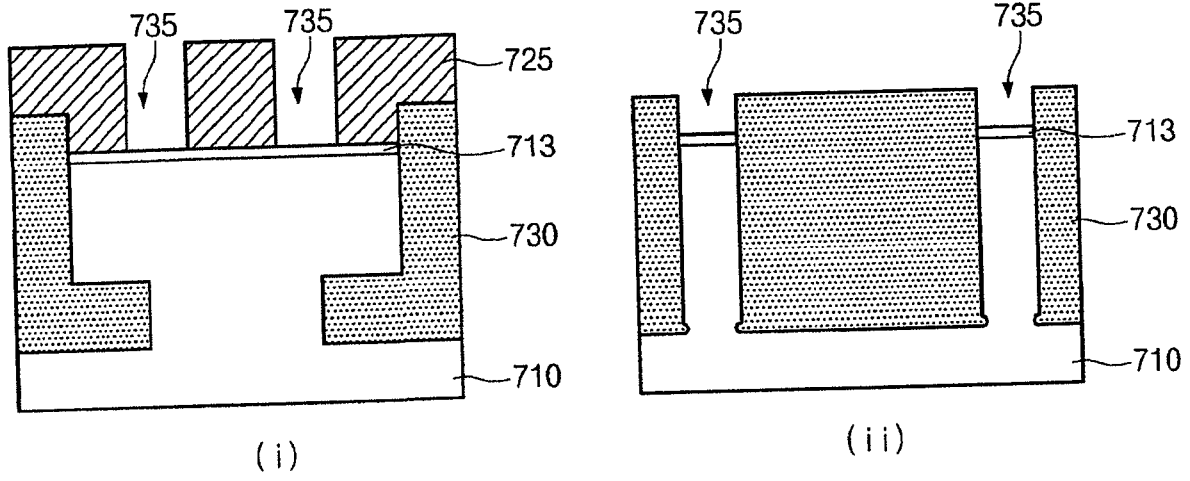


图 7e

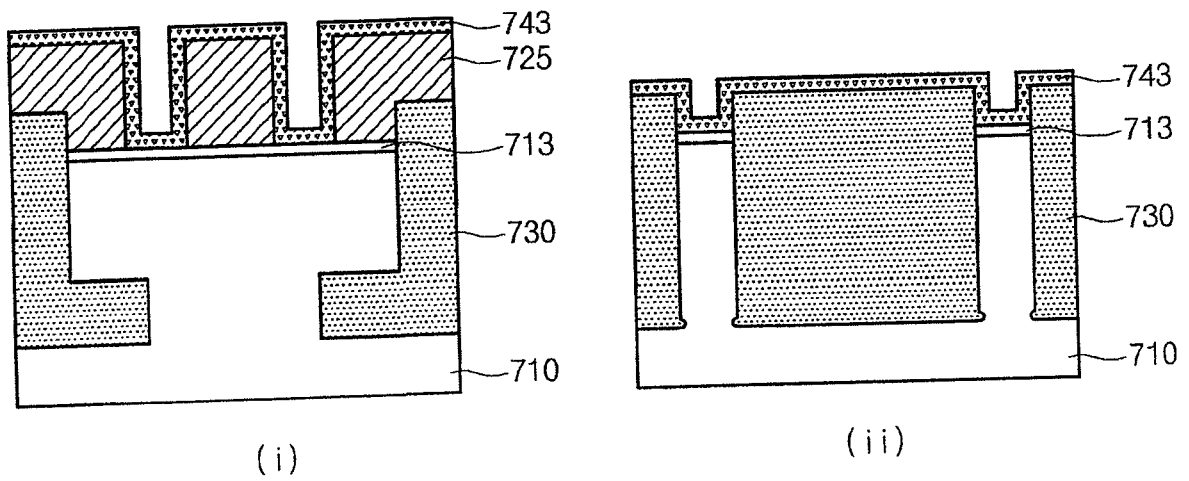


图 7f

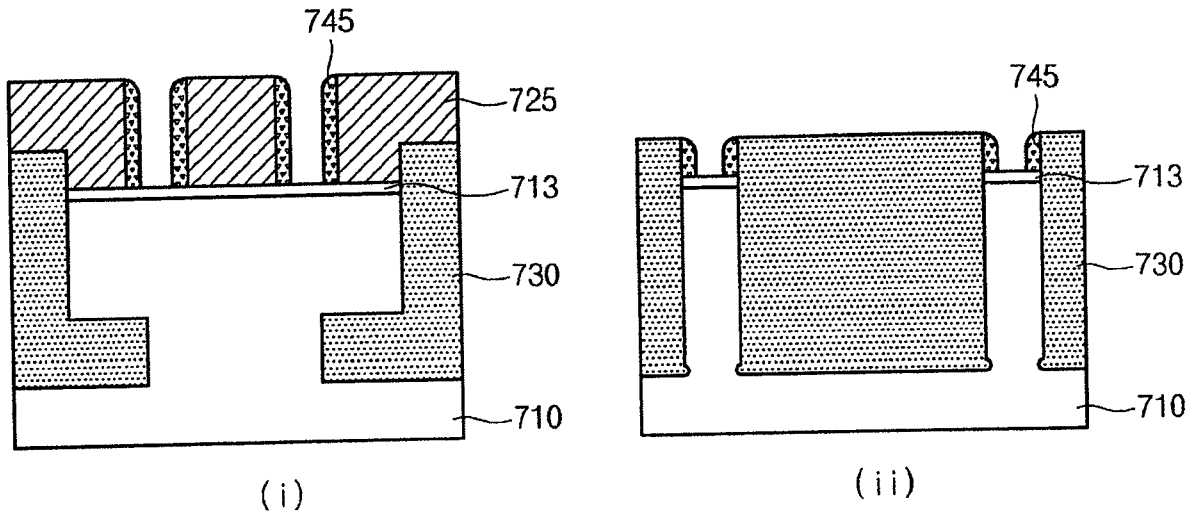


图 7g

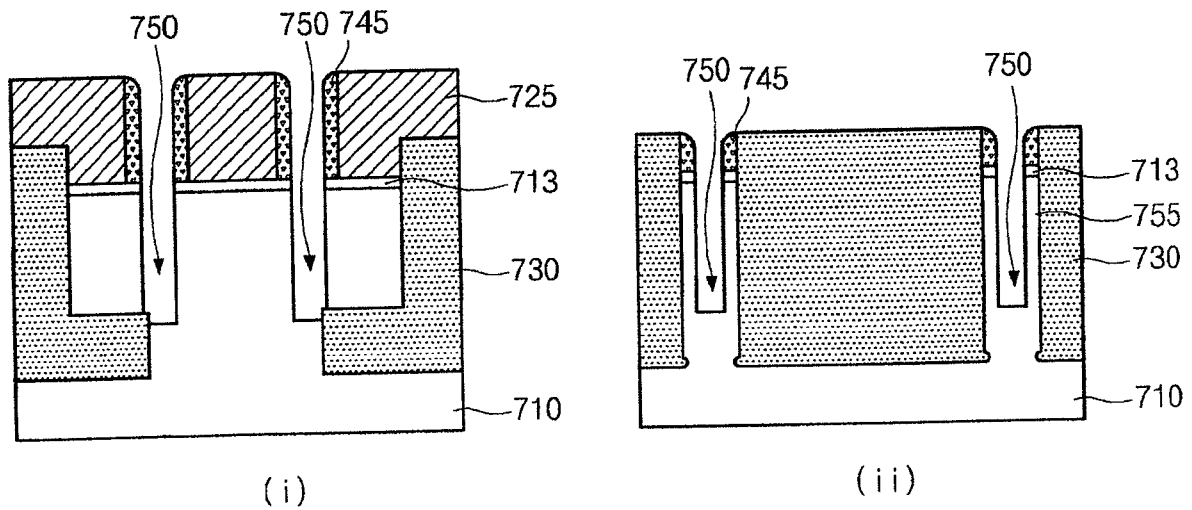


图 7h

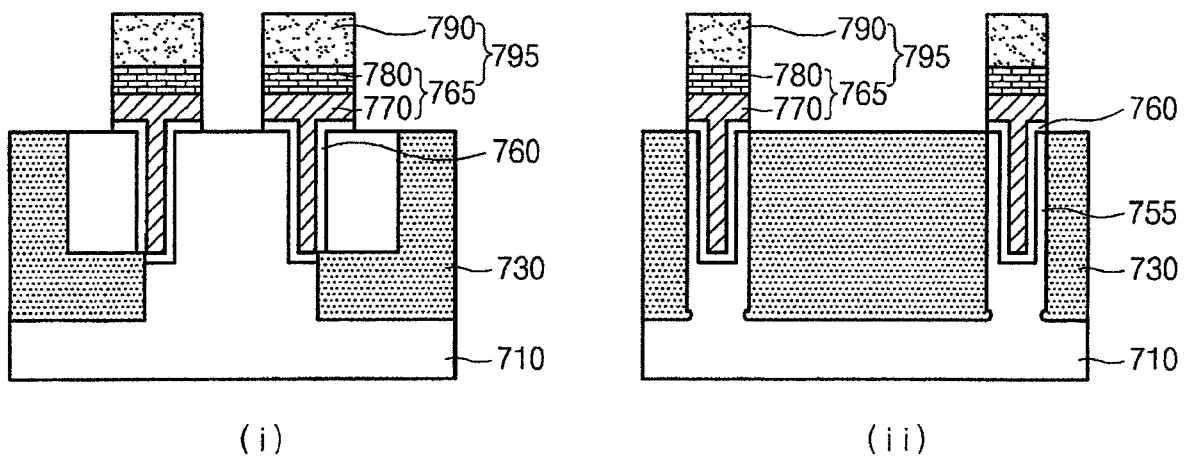


图 7i

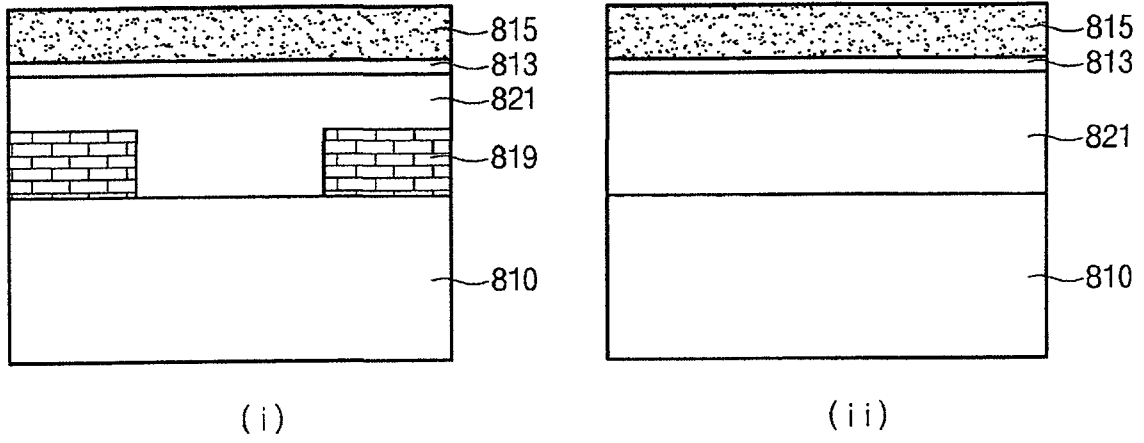


图 8a

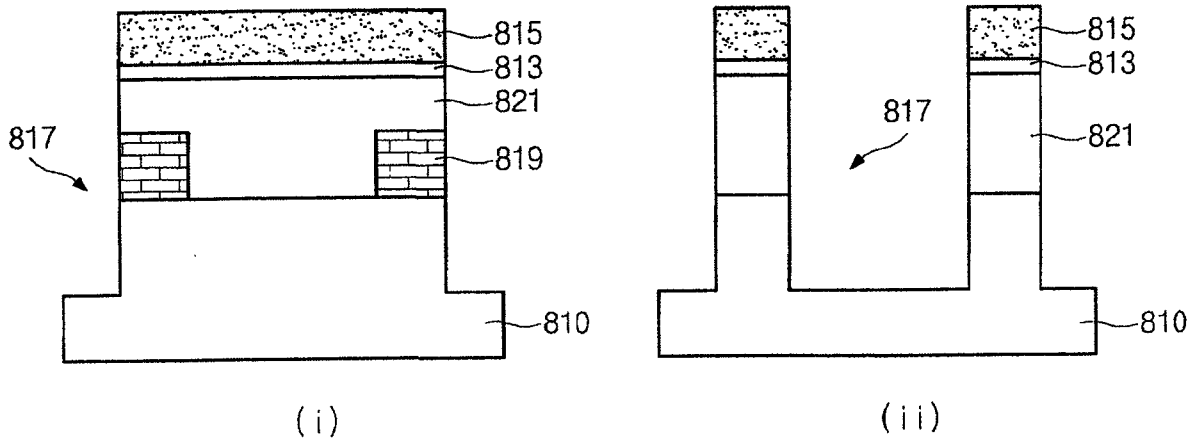


图 8b

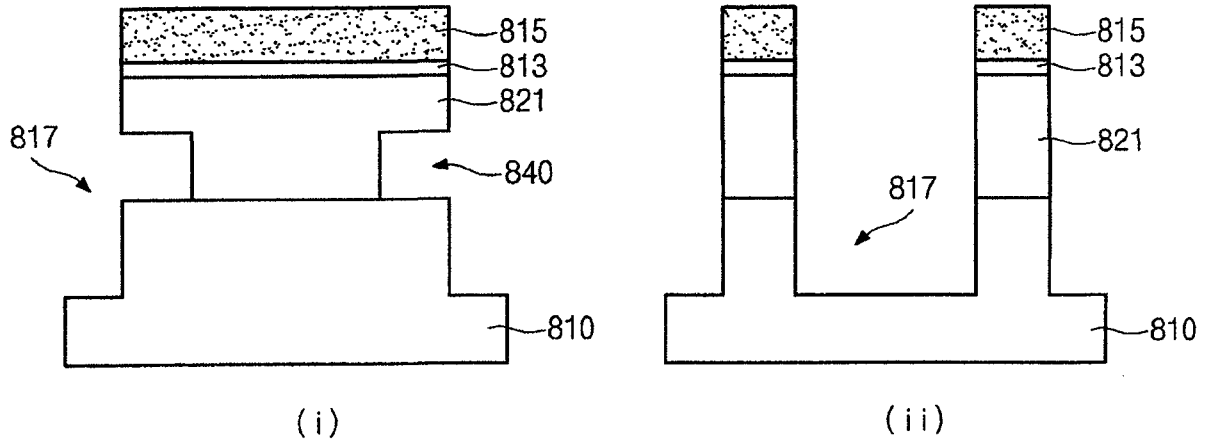


图 8c

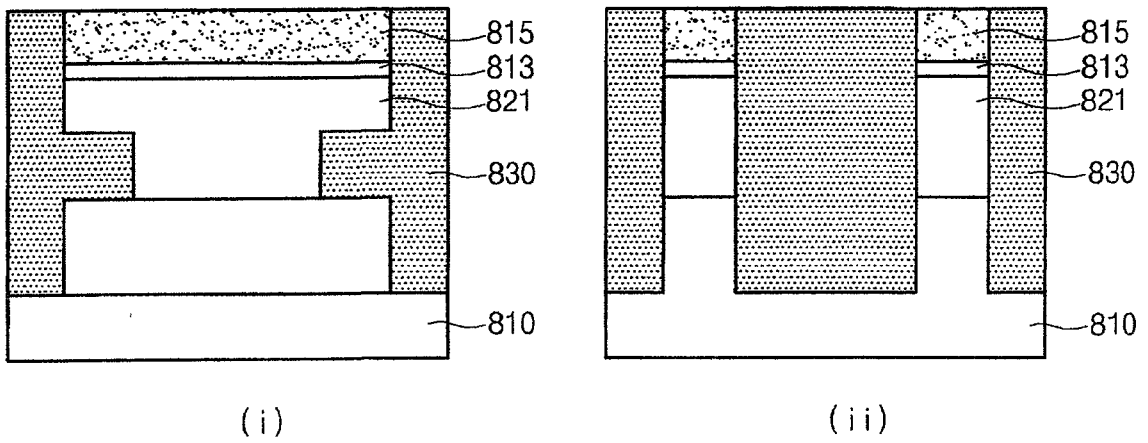


图 8d