(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 3 月 12 日(12.03.2015)

WIPO | PCT

(10) 国際公開番号
WO 2015/033382 A1

(51) 国際特許分類:
H01L 21/8238 (2006.01) *H01L 27/092* (2006.01)
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)

(21) 国際出願番号: PCT/JP2013/073629

(22) 国際出願日: 2013 年 9 月 3 日(03.09.2013)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (コモロ, サウジアラビア, 米国を除く全ての指定国について): ユニサンティス エレクトロニクス シンガポール プライベート リミテッド (UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.) [SG/SG]; 179098 ノースブリッジ ロード １１１、ペニンシュラ プラザ ＃１６－０４ Singapore (SG).

(72) 発明者; および

(71) 出願人 (米国についてのみ): 舛岡 富士雄 (MASUOKA Fujio) [JP/JP]; 〒1020073 東京都千代田区九段北１－１５－２ 九段坂パークビル４Ｆ Ｓｅｍｉｃｏｎ Ｃｏｎｓｕｌｔｉｎｇ株式会社内 Tokyo (JP). 浅野 正通 (ASANO Masamichi) [JP/JP]; 〒1020073 東京都千代田区九段北１－１５－２ 九段坂パークビル４Ｆ Ｓｅｍｉｃｏｎ Ｃｏｎｓｕｌｔｉｎｇ株式会社内 Tokyo (JP).

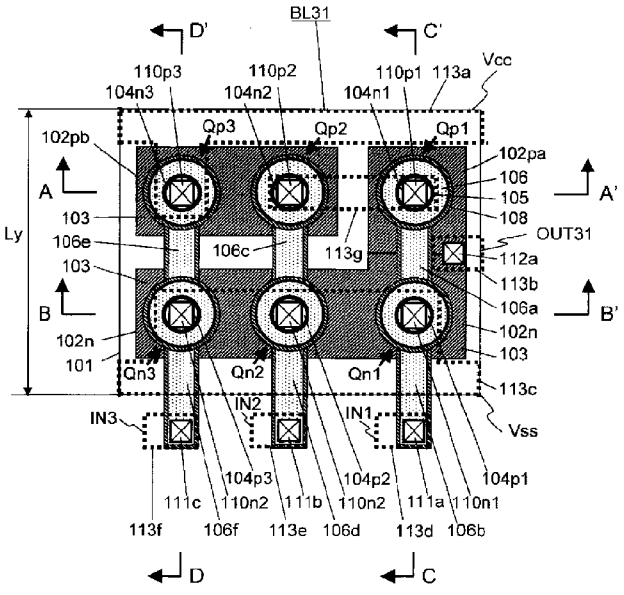
(74) 代理人: 辻居 幸一, 外 (TSUJII Koichi et al.); 〒1008355 東京都千代田区丸の内３丁目３番１号 新東京ビル 中村合同特許法律事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) **Title**: SEMICONDUCTOR DEVICE

(54) 発明の名称 : 半導体装置



(57) **Abstract**: This invention addresses the problem of using a vertical transistor, namely a surrounding gate transistor (SGT), to provide a semiconductor device that constitutes part of a CMOS NOR circuit and has a small surface area. In said NOR circuit, which comprises a plurality of MOS transistors arranged in m rows and n columns, each of said MOS transistors is formed on a flat silicon layer formed on top of a substrate, wherein a drain, a gate, and a source are arranged vertically, the gate is structured so as to surround a silicon pillar, the flat silicon layer comprises a first activated region that has a first conductivity type and a second activated region that has a second conductivity type, and said regions are connected to each other via a silicon layer formed at the surface of the flat silicon layer, thereby providing a semiconductor device that constitutes part of a NOR circuit and has a reduced surface area.

(57) 要約: 縦型トランジスタである Surrounding Gate Transistor（ＳＧＴ）を用いて、ＣＭＯＳ ＮＯＲ回路を構成する半導体装置を小さい面積で提供することが課題である。 ｍ行ｎ列に配置された複数のＭＯＳトランジスタを用いて構成されたＮＯＲ回路において、前記ＮＯＲ回路を構成するＭＯＳトランジスタは、基板上に形成された平面状シリコン層上に形成され、ドレイン、ゲート、ソースが垂直方向に配置され、ゲートがシリコン柱を取り囲む構造を有し、前記平面状シリコン層は第１の導電型を持つ第１の活性化領域と第２の導電型を持つ第２の活性化領域からなり、それらが平面状シリコン層表面に形成されたシリコン層を通して互いに接続されることにより小さい面積のＮＯＲ回路を構成する半導体装置を提供する。

WO 2015/033382 A1

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 半導体装置

技術分野

[0001] 本発明は、半導体装置に関する。

背景技術

[0002] 昨今、半導体集積回路は大規模化されており、最先端のＭＰＵ（Ｍｉｃｒｏ－ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）では、トランジスタの数が１Ｇ（ギガ）個にも達する半導体チップが開発されており、従来の平面形成トランジスタ、いわゆるプレーナー型トランジスタは、非特許文献１に示されるように、ＰＭＯＳを形成するＮ－ｗｅｌｌ領域とＮＭＯＳを形成するＰ型シリコン基板（あるいはＰ－ｗｅｌｌ領域）を完全に分離する必要があり、また、Ｎ－ｗｅｌｌ領域およびＰ型シリコン基板には、それぞれ電位を与えるボディ端子が必要であり、さらに面積が大きくなる要因となっている。

[0003] この課題を解決する手段として、基板に対してソース、ゲート、ドレインが垂直方向に配置され、ゲートが島状半導体層を取り囲む構造のＳｕｒｒｏｕｎｄｉｎｇ　Ｇａｔｅ　Ｔｒａｎｓｉｓｔｏｒ（ＳＧＴ）が提案され、ＳＧＴの製造方法、ＳＧＴを用いたＣＭＯＳインバータ、ＮＡＮＤ回路あるいはＳＲＡＭセルが開示されている。例えば、特許文献１、特許文献２、特許文献３、特許文献４を参照。

先行技術文献

特許文献

[0004] 特許文献1：特許第５１３０５９６号公報

特許文献2：特許第５０３１８０９号公報

特許文献3：特許第４７５６２２１号公報

特許文献4：国際公開ＷＯ２００９／０９６４６５号公報

非特許文献

[0005] 非特許文献1：ＣＭＯＳ　ＯＰアンプ回路実務設計の基礎（吉澤浩和　著）Ｃ

Ｑ出版社　ｐａｇｅ２３

発明の概要

発明が解決しようとする課題

[0006] 図１９、図２０ａ、図２０ｂに、ＳＧＴを用いたインバータの回路図とレイアウト図を示す。

図１９は、インバータの回路図であり、ＱｐはＰチャネルＭＯＳトランジスタ（以下ＰＭＯＳトランジスタと称す）、ＱｎはＮチャネルＭＯＳトランジスタ（以下ＮＭＯＳトランジスタと称す）、ＩＮは入力信号、ＯＵＴは出力信号、Ｖｃｃは電源、Ｖｓｓは基準電源である。

[0007] 図２０ａには、一例として、図１９のインバータをＳＧＴで構成したレイアウトの平面図を示す。また、図２０ｂには、図２０ａの平面図においてカットラインＡ－Ａ’方向の断面図を示す。

図２０ａ、図２０ｂにおいて、基板上に形成された埋め込み酸化膜層（ＢＯＸ）１などの絶縁膜上に平面状シリコン層２ｐ、２ｎが形成され、上記平面状シリコン層２ｐ、２ｎは不純物注入等により、それぞれｐ＋拡散層、ｎ＋拡散層から構成される。３は、平面状シリコン層（２ｐ、２ｎ）の表面に形成されるシリサイド層であり、前記平面状シリコン層２ｐ、２ｎを接続する。４ｎはｎ型シリコン柱、４ｐはｐ型シリコン柱、５は、シリコン柱４ｎ、４ｐを取り巻くゲート絶縁膜、６はゲート電極、６ａはゲート配線である。シリコン柱４ｎ、４ｐの最上部には、それぞれｐ＋拡散層７ｐ、ｎ＋拡散層７ｎが不純物注入等により形成される。８はゲート絶縁膜５等を保護するためのシリコン窒化膜、９ｐ、９ｎはｐ＋拡散層７ｐ、ｎ＋拡散層７ｎに接続されるシリサイド層、１０ｐ、１０ｎは、シリサイド層９ｐ、９ｎとメタル１３ａ、１３ｂとをそれぞれ接続するコンタクト、１１は、ゲート配線６ａとメタル配線１３ｃを接続するコンタクトである。

[0008] シリコン柱４ｎ、下部拡散層２ｐ、上部拡散層７ｐ、ゲート絶縁膜５、ゲート電極６により、ＰＭＯＳトランジスタＱｐを構成し、シリコン柱４ｐ、下部拡散層２ｎ、上部拡散層７ｎ、ゲート絶縁膜５、ゲート電極６により、Ｎ

ＭＯＳトランジスタＱｎを構成する。上部拡散層７ｐ、７ｎはソース、下部拡散層２ｐ、２ｎはドレインとなる。メタル１３ａには電源Ｖｃｃが供給され、メタル１３ｂには基準電源Ｖｓｓが供給され、メタル１３ｃには、入力信号ＩＮが接続される。また、ＰＭＯＳトランジスタＱｐのドレイン拡散層２ｐとＮＭＯＳトランジスタＱｎのドレイン拡散層２ｎを接続するシリサイド層３が出力ＯＵＴとなる。

[0009] 図１９、図２０ａ、図２０ｂで示したＳＧＴを用いたインバータは、ＰＭＯＳトランジスタ、ＮＭＯＳトランジスタが構造上完全に分離されており、プレーナトランジスタのように、ｗｅｌｌ分離が必要なく、さらに、シリコン柱はフローティングボディとなるため、プレーナトランジスタのように、ｗｅｌｌへ電位を供給するボディ端子も必要なく、非常にコンパクトにレイアウト（配置）ができることが特徴である。

[0010] 上述したように、ＳＧＴの最大の特徴は、構造原理的に、シリコン柱下部の基板側に存在するシリサイド層による下層配線と、シリコン柱上部のコンタクト接続による上部配線が利用できる点にある。本発明は、このＳＧＴの特徴を利用して、論理回路で良く用いられるｇ個の入力を有するＮＯＲ回路をｍ行ｎ列に並べることによりコンパクトに配置し、面積を最小にすることにより、低価格なロジック半導体装置を提供することが目的である。

課題を解決するための手段

[0011] （１）本発明によれば、ソース、ドレイン及びゲートが、基板と垂直な方向に階層的に配置される複数のトランジスタを、基板上に２行ｎ列（ｎ≧２）に配列することによりＮＯＲ回路を構成する半導体装置であって、

前記各トランジスタは、

シリコン柱と、

前記シリコン柱の側面を取り囲む絶縁体と、

前記絶縁体を囲むゲートと、

前記シリコン柱の上部又は下部に配置されるソース領域と、

前記シリコン柱の上部又は下部に配置されるドレイン領域であって、前記シ

リコン柱に対して前記ソース領域と反対側に配置されるドレイン領域とを備え、

前記複数のトランジスタは、

１行ｎ列に並んだｎ個のＮチャネルＭＯＳトランジスタと

１行ｎ列に並んだｎ個のＰチャネルＭＯＳトランジスタと

で構成され、

前記ｎ個のＮチャネルＭＯＳトランジスタ及び前記ｎ個のＰチャネルＭＯＳトランジスタの各々は、

第ｋ列目（ｋ＝１～ｎ）のＮチャネルＭＯＳトランジスタと第ｋ列目（ｋ＝１～ｎ）のＰチャネルＭＯＳトランジスタは対を成し、各々のゲートは互いに接続されており、

前記ｎ個のＮチャネルＭＯＳトランジスタと第１列目のＰチャネルＭＯＳトランジスタのドレイン領域はシリコン柱より基板側に配置されており、前記ｎ個のＮチャネルＭＯＳトランジスタと前記第１列目のＰチャネルＭＯＳトランジスタのドレイン領域が、互いにシリサイド領域を介して接続されており、

第ｓ列目（ｓ＝１～ｎ－１）のＰチャネルＭＯＳトランジスタのソースと第ｓ＋１列目のＰチャネルＭＯＳトランジスタのドレインは互いに接続されていることを特徴とする半導体装置が提供される。

（２）本発明の好ましい態様では、前記半導体装置において、前記ｎ個のＮチャネルＭＯＳトランジスタのソースは、各々、行に沿って延在した基準電源線に接続され、前記ｎ列目のＰチャネルＭＯＳトランジスタのソースは、行に沿って延在した電源線に接続される。

（３）また、別の態様では、前記半導体装置において、前記第ｎ個のＰチャネルＭＯＳトランジスタは、偶数列目のＰチャネルＭＯＳトランジスタのソース領域がシリコン柱より基板側に配置されている。

（４）また、別の態様では、前記半導体装置において、前記各々のゲートが互いに接続されるｎ個のトランジスタ対において、各々の組のゲートに対応

してｎ個の入力信号が接続される。

（５）また、別の態様では、前記半導体装置において、前記電源線及び基準電源線は第１のメタル配線により構成され、前記入力信号は、前記電源線及び基準電源線に対して直角方向に延在する第２のメタル配線により構成される。

（６）本発明の別の好ましい態様では、ソース、ドレイン及びゲートが、基板と垂直な方向に階層的に配置される複数のトランジスタを、基板上に２行ｎ列（ｎ≧４）に配列し、ｇ個の入力信号（ｎ＝ｈ×ｇ、ｇ及びｈは整数）を有するＮＯＲ回路を構成する半導体装置であって、

前記各トランジスタは、

シリコン柱と、

前記シリコン柱の側面を取り囲む絶縁体と、

前記絶縁体を囲むゲートと、

前記シリコン柱の上部又は下部に配置されるソース領域と、

前記シリコン柱の上部又は下部に配置されるドレイン領域であって、前記シリコン柱に対して前記ソース領域と反対側に配置されるドレイン領域とを備え、

前記複数のトランジスタは、

１行ｎ列に並んだｎ個のＮチャネルＭＯＳトランジスタと

１行ｎ列に並んだｎ個のＰチャネルＭＯＳトランジスタと

で構成され、

前記ｎ個のＮチャネルＭＯＳトランジスタ及び前記ｎ個のＰチャネルＭＯＳトランジスタの各々は、

第ｋ列目（ｋ＝１～ｎ）のＮチャネルＭＯＳトランジスタと第ｋ列目（ｋ＝１～ｎ）のＰチャネルＭＯＳトランジスタは対を成し、各々のゲートは互いに接続されており、

前記ｎ個のＮチャネルＭＯＳトランジスタと前記第１列から第ｈ列までのｈ個のＰチャネルＭＯＳトランジスタのドレイン領域は、シリコン柱より基板

側に配置されており、且つ、互いにシリサイド領域を介して接続されており、

前記ｎ列をｈ個ｇ組にグルーピングし、前記ｇ番目の組のＰチャネルＭＯＳトランジスタのソースと前記ｇ＋１番目の組のＰチャネルＭＯＳトランジスタのドレインが互いに接続されていることを特徴とする半導体装置が提供される。

（７）また、別の態様では、前記半導体装置において、前記ｎ個のＮチャネルＭＯＳトランジスタのソースは、各々、行に沿って延在した基準電源線に接続され、前記ｇ組にグルーピングされた最後の組のｈ個のＰチャネルＭＯＳトランジスタのソースは、行に沿って延在した電源線に接続される。

（８）また、別の態様では、前記半導体装置において、前記第ｇ組にグルーピングされたｈ個のＰチャネルＭＯＳトランジスタは、前記偶数組のＰチャネルＭＯＳトランジスタのソース領域がシリコン柱より基板側に配置されている。

（９）また、別の態様では、前記半導体装置において、前記各々のゲートが互いに接続されるｎ組のトランジスタ対において、前記ｇ個の入力信号が、各々前記ｎ対のトランジスタ対の任意のｈ個の対のゲートに接続される。

（１０）また、別の態様では、前記半導体装置において、前記電源線及び基準電源線は第１のメタル配線により構成され、前記入力信号は、前記電源線及び基準電源線に対して直角方向に延在する第２のメタル配線により構成される。

（１１）本発明の好ましい態様では、ソース、ドレイン及びゲートが、基板と垂直な方向に階層的に配置される複数のトランジスタを、基板上にｍ行ｎ列（ｍ≧３、ｎ≧２）に配列することによりＮＯＲ回路を構成する半導体装置であって、

前記各トランジスタは、

シリコン柱と、

前記シリコン柱の側面を取り囲む絶縁体と、

前記絶縁体を囲むゲートと、

前記シリコン柱の上部又は下部に配置されるソース領域と、

前記シリコン柱の上部又は下部に配置されるドレイン領域であって、前記シリコン柱に対して前記ソース領域と反対側に配置されるドレイン領域とを備え、

前記複数のトランジスタは、

ｉ行ｎ列に並んだｉ×ｎ個のＮチャネルＭＯＳトランジスタと

ｊ行ｎ列に並んだｊ×ｎ個のＰチャネルＭＯＳトランジスタと

で構成され、

ｉ＋ｊ＝ｍであり、

前記ｉ×ｎ個のＮチャネルＭＯＳトランジスタ及び前記ｊ×ｎ個のＰチャネルＭＯＳトランジスタの各々は、

第ｋ列目（ｋ＝１～ｎ）のＮチャネルＭＯＳトランジスタと第ｋ列目（ｋ＝１～ｎ）のＰチャネルＭＯＳトランジスタは組を成し、各々のゲートは互いに接続されており、

前記ｉ×ｎ個のＮチャネルＭＯＳトランジスタと第１列目のｊ個のＰチャネルＭＯＳトランジスタのドレイン領域はシリコン柱より基板側に配置されており、前記ｉ×ｎ個のＮチャネルＭＯＳトランジスタと前記第１列目のｊ個のＰチャネルＭＯＳトランジスタのドレイン領域が、互いにシリサイド領域を介して接続されており、

第ｓ列目（ｓ＝１～ｎ－１）のＰチャネルＭＯＳトランジスタのソースと第ｓ＋１列目のＰチャネルＭＯＳトランジスタのドレインは互いに接続されていることを特徴とする半導体装置が提供される。

（１２）また、別の態様では、前記半導体装置において、前記ｉ×ｎ個のＮチャネルＭＯＳトランジスタのソースは、各々、行に沿って延在した基準電源線に接続され、前記ｎ列目のｊ個のＰチャネルＭＯＳトランジスタのソースは、行に沿って延在した電源線に接続される。

（１３）また、別の態様では、前記半導体装置において、前記第ｊ×ｎ個の

ＰチャネルＭＯＳトランジスタは、偶数列目のｊ個のＰチャネルＭＯＳトランジスタのソース領域がシリコン柱より基板側に配置されている。

（１４）また、別の態様では、前記半導体装置において、前記各々のゲートが互いに接続されるｎ対のトランジスタ対において、各々の組のゲートに対応してｎ個の入力信号が接続される。

（１５）また、別の態様では、前記半導体装置において、前記電源線及び基準電源線は第１のメタル配線により構成され、前記入力信号は、前記電源線及び基準電源線に対して直角方向に延在する第２のメタル配線により構成される。

（１６）本発明の別の好ましい態様では、ソース、ドレイン及びゲートが、基板と垂直な方向に階層的に配置される複数のトランジスタを、基板上にｍ行ｎ列（ｍ≧２、ｎ≧２）に配列し、ｇ個の入力信号（ｎ＝ｈ×ｇ、ｇ及びｈは整数）を有するＮＯＲ回路を構成する半導体装置であって、

前記各トランジスタは、

シリコン柱と、

前記シリコン柱の側面を取り囲む絶縁体と、

前記絶縁体を囲むゲートと、

前記シリコン柱の上部又は下部に配置されるソース領域と、

前記シリコン柱の上部又は下部に配置されるドレイン領域であって、前記シリコン柱に対して前記ソース領域と反対側に配置されるドレイン領域とを備え、

前記複数のトランジスタは、

ｉ行ｎ列に並んだｉ×ｎ個のＮチャネルＭＯＳトランジスタと

ｊ行ｎ列に並んだｊ×ｎ個のＰチャネルＭＯＳトランジスタと

で構成され、

ｉ＋ｊ＝ｍであり、

前記ｉ×ｎ個のＮチャネルＭＯＳトランジスタ及び前記ｊ×ｎ個のＰチャネルＭＯＳトランジスタの各々は、

第ｋ列目（ｋ＝１～ｎ）のＮチャネルＭＯＳトランジスタと第ｋ列目（ｋ＝１～ｎ）のＰチャネルＭＯＳトランジスタは組を成し、各々のゲートは互いに接続されており、

前記ｉ×ｎ個のＮチャネルＭＯＳトランジスタと前記第１列目から第ｈ列目までのｊ×ｈ個のＰチャネルＭＯＳトランジスタのドレイン領域はシリコン柱より基板側に配置されており、

前記ｉ×ｎ個のＮチャネルＭＯＳトランジスタと前記第１列目から第ｈ列目までのｊ×ｈ個のＰチャネルＭＯＳトランジスタのドレイン領域が、互いにシリサイド領域を介して接続されており、

前記ｎ列をｈ個ｇ組にグルーピングし、前記ｇ番目の組のＰチャネルＭＯＳトランジスタのソースと前記ｇ＋１番目の組のＰチャネルＭＯＳトランジスタのドレインが互いに接続されていることを特徴とする半導体装置が提供される。

（１７）また、別の態様では、前記半導体装置において、前記ｉ×ｎ個のＮチャネルＭＯＳトランジスタのソースは、各々、行に沿って延在した基準電源線に接続され、前記ｇ個にグルーピングされた最後の組のｈ個のＰチャネルＭＯＳトランジスタのソースは、行に沿って延在した電源線に接続される。

（１８）また、別の態様では、前記半導体装置において、前記第ｇ組にグルーピングされたｊ×ｈ個のＰチャネルＭＯＳトランジスタは、前記偶数組のＰチャネルＭＯＳトランジスタのソース領域がシリコン柱より基板側に配置されている。

（１９）また、別の態様では、前記半導体装置において、前記各々のゲートが互いに接続されるｎ組のトランジスタ群（Ｎチャネルトランジスタｉ個、ＰチャネルＭＯＳトランジスタｊ個）において、前記ｇ個の入力信号が、各々前記ｎ組のトランジスタ群の任意のｈ個のゲートに接続される。

（２０）また、別の態様では、前記半導体装置において、前記電源線及び基準電源線は第１のメタル配線により構成され、前記入力信号は、前記電源線

及び基準電源線に対して直角方向に延在する第２のメタル配線により構成される。

（２１）本発明によれば、ソース、ドレイン及びゲートが、基板と垂直な方向に階層的に配置される複数のトランジスタを、基板上にｍ行ｎ列（ｍ≧２、ｎ≧２）に配列し、ｇ個の入力信号（ｎ＝ｈ×ｇ、ｇ及びｈは整数）を有するＮＯＲ回路を構成する半導体装置であって、

前記各トランジスタは、

シリコン柱と、

前記シリコン柱の側面を取り囲む絶縁体と、

前記絶縁体を囲むゲートと、

前記シリコン柱の上部又は下部に配置されるソース領域と、

前記シリコン柱の上部又は下部に配置されるドレイン領域であって、前記シリコン柱に対して前記ソース領域と反対側に配置されるドレイン領域とを備え、

前記複数のトランジスタは、

ｉ行ｎ列に並んだｉ×ｎ個のＮチャネルＭＯＳトランジスタと

ｊ行ｎ列に並んだｊ×ｎ個のＰチャネルＭＯＳトランジスタと

で構成され、

ｉ＋ｊ＝ｍであり、

前記ｉ×ｎ個のＮチャネルＭＯＳトランジスタ及び前記ｊ×ｎ個のＰチャネルＭＯＳトランジスタの各々は、

第ｋ列目（ｋ＝１～ｎ）のＮチャネルＭＯＳトランジスタと第ｋ列目（ｋ＝１～ｎ）のＰチャネルＭＯＳトランジスタは組を成し、各々のゲートは互いに接続されており、

前記ｉ×ｎ個のＮチャネルＭＯＳトランジスタと前記第１列目から第ｈ列目までのｊ×ｈ個のＰチャネルＭＯＳトランジスタのソース領域はシリコン柱より基板側に配置されており、

前記ｉ×ｎ個のＮチャネルＭＯＳトランジスタと前記第１列目から第ｈ列目

までのｊ×ｈ個のＰチャネルＭＯＳトランジスタのドレイン領域が、互いにコンタクトを介して接続されており、

前記ｎ列をｈ個ｇ組にグルーピングし、前記ｇ番目の組のＰチャネルＭＯＳトランジスタのソースと前記ｇ＋１番目の組のＰチャネルＭＯＳトランジスタのドレインが互いに接続されていることを特徴とする半導体装置が提供される。

（２２）また、別の態様では、前記半導体装置において、前記ｉ×ｎ個のＮチャネルＭＯＳトランジスタのソースは、各々、行に沿って延在した基準電源線に接続され、前記ｇ個にグルーピングされた最後の組のｈ個のＰチャネルＭＯＳトランジスタのソースは、行に沿って延在した電源線に接続される。

（２３）また、別の態様では、前記半導体装置において、前記第ｇ組にグルーピングされたｊ×ｈ個のＰチャネルＭＯＳトランジスタは、前記偶数組のＰチャネルＭＯＳトランジスタのドレイン領域がシリコン柱より基板側に配置されている。

（２４）また、別の態様では、前記半導体装置において、前記各々のゲートが互いに接続されるｎ組のトランジスタ群（Ｎチャネルトランジスタｉ個、Ｐチャネルトランジスタｊ個）において、前記ｇ個の入力信号が、各々前記ｎ組のトランジスタ群の任意のｈ個のゲートに接続される。

（２５）また、別の態様では、前記半導体装置において、前記電源線及び基準電源線は第１のメタル配線により構成され、前記入力信号は、前記電源線及び基準電源線に対して直角方向に延在する第２のメタル配線により構成される。

図面の簡単な説明

[0012] [図1]本発明の実施例のＮＯＲ回路を示す等価回路図である。

[図2a]本発明の第１の実施例のＮＯＲ回路の平面図である。

[図2b]本発明の第１の実施例のＮＯＲ回路の断面図である。

[図2c]本発明の第１の実施例のＮＯＲ回路の断面図である。

[図2d]本発明の第１の実施例のＮＯＲ回路の断面図である。

[図2e]本発明の第１の実施例のＮＯＲ回路の断面図である。

[図3]本発明の実施例のＮＯＲ回路を示す等価回路図である。

[図4a]本発明の第２の実施例のＮＯＲ回路の平面図である。

[図4b]本発明の第２の実施例のＮＯＲ回路の断面図である。

[図4c]本発明の第２の実施例のＮＯＲ回路の断面図である。

[図4d]本発明の第２の実施例のＮＯＲ回路の断面図である。

[図4e]本発明の第２の実施例のＮＯＲ回路の断面図である。

[図5]本発明の実施例のＮＯＲ回路を示す等価回路図である。

[図6a]本発明の第３の実施例のＮＯＲ回路の平面図である。

[図6b]本発明の第３の実施例のＮＯＲ回路の断面図である。

[図6c]本発明の第３の実施例のＮＯＲ回路の断面図である。

[図7]本発明の実施例のＮＯＲ回路を示す等価回路図である。

[図8a]本発明の第４の実施例のＮＯＲ回路の平面図である。

[図8b]本発明の第４の実施例のＮＯＲ回路の断面図である。

[図8c]本発明の第４の実施例のＮＯＲ回路の断面図である。

[図9]本発明の実施例のＮＯＲ回路を示す等価回路図である。

[図10]本発明の第５の実施例のＮＯＲ回路の平面図である。

[図11a]本発明の第６の実施例のＮＯＲ回路の平面図である。

[図11b]本発明の第６の実施例のＮＯＲ回路の断面図である。

[図11c]本発明の第６の実施例のＮＯＲ回路の断面図である。

[図11d]本発明の第６の実施例のＮＯＲ回路の断面図である。

[図11e]本発明の第６の実施例のＮＯＲ回路の断面図である。

[図12]本発明の実施例のＮＯＲ回路を示す等価回路図である。

[図13a]本発明の第７の実施例のＮＯＲ回路の平面図である。

[図13b]本発明の第７の実施例のＮＯＲ回路の断面図である。

[図13c]本発明の第７の実施例のＮＯＲ回路の断面図である。

[図13d]本発明の第７の実施例のＮＯＲ回路の断面図である。

[図13e]本発明の第７の実施例のＮＯＲ回路の断面図である。

[図14a]本発明の第８の実施例のＮＯＲ回路の平面図である。

[図14b]本発明の第８の実施例のＮＯＲ回路の断面図である。

[図14c]本発明の第８の実施例のＮＯＲ回路の断面図である。

[図14d]本発明の第８の実施例のＮＯＲ回路の断面図である。

[図14e]本発明の第８の実施例のＮＯＲ回路の断面図である。

[図14f]本発明の第８の実施例のＮＯＲ回路の断面図である。

[図15a]本発明の第９の実施例のＮＯＲ回路の平面図である。

[図15b]本発明の第９の実施例のＮＯＲ回路の断面図である。

[図15c]本発明の第９の実施例のＮＯＲ回路の断面図である。

[図15d]本発明の第９の実施例のＮＯＲ回路の断面図である。

[図16a]本発明の第１０の実施例のＮＯＲ回路の平面図である。

[図16b]本発明の第１０の実施例のＮＯＲ回路の断面図である。

[図16c]本発明の第１０の実施例のＮＯＲ回路の断面図である。

[図16d]本発明の第１０の実施例のＮＯＲ回路の断面図である。

[図16e]本発明の第１０の実施例のＮＯＲ回路の断面図である。

[図17a]本発明の第１１の実施例のＮＯＲ回路の平面図である。

[図17b]本発明の第１１の実施例のＮＯＲ回路の断面図である。

[図17c]本発明の第１１の実施例のＮＯＲ回路の断面図である。

[図18a]本発明の第１２の実施例のＮＯＲ回路の平面図である。

[図18b]本発明の第１２の実施例のＮＯＲ回路の断面図である。

[図18c]本発明の第１２の実施例のＮＯＲ回路の断面図である。

[図18d]本発明の第１２の実施例のＮＯＲ回路の断面図である。

[図18e]本発明の第１２の実施例のＮＯＲ回路の断面図である。

[図19]従来例を示すインバータ回路の等価回路である。

[図20a]従来のインバータの平面図である。

[図20b]従来のインバータの断面図である。

発明を実施するための形態

[0013]（実施例１）

図１に本発明に適用する３入力ＮＯＲ回路の等価回路図を示す。Ｑｎ１、Ｑｎ２、Ｑｎ３は、ＳＧＴで構成されたＮＭＯＳトランジスタ、Ｑｐ１、Ｑｐ２、Ｑｐ３は、同じくＳＧＴで構成されたＰＭＯＳトランジスタである。前記ＮＭＯＳトランジスタＱｎ１、Ｑｎ２、Ｑｎ３のソースは基準電源Ｖｓｓに接続され、ドレインは共通にノードＮ１に接続される。ノードＮ１は出力ＯＵＴ３１となる。ＰＭＯＳトランジスタＱｐ１のドレインはノードＮ１に接続され、ソースはノードＮ２を介してＰＭＯＳトランジスタＱｐ２のドレインに接続され、ＰＭＯＳトランジスタＱｐ２のソースはノードＮ３を介してＰＭＯＳトランジスタＱｐ３のドレインに接続され、ＰＭＯＳトランジスタＱｐ３のソースは電源Ｖｃｃに接続される。また、ＮＭＯＳトランジスタＱｎ１、ＰＭＯＳトランジスタＱｐ１のゲートには入力信号ＩＮ１が接続され、ＮＭＯＳトランジスタＱｎ２、ＰＭＯＳトランジスタＱｐ２のゲートには入力信号ＩＮ２が接続され、ＮＭＯＳトランジスタＱｎ３、ＰＭＯＳトランジスタＱｐ３のゲートには入力信号ＩＮ３が接続される。

[0014] 図２ａ、図２ｂ、図２ｃ、図２ｄおよび図２ｅに、第１の実施例を示す。図２ａは、本発明の３入力ＮＯＲレイアウト（配置）の平面図、図２ｂは、カットラインＡ－Ａ’に沿った断面図、図２ｃは、カットラインＢ－Ｂ’に沿った断面図、図２ｄは、カットラインＣ－Ｃ’に沿った断面図、図２ｅは、カットラインＤ－Ｄ’に沿った断面図を示す。

図２ａにおいて、図１のＮＯＲ回路のＮＭＯＳトランジスタＱｎ１、Ｑｎ２及びＱｎ３が１行目（図の下の行）、ＰＭＯＳトランジスタＱｐ１、Ｑｐ２及びＱｐ３が２行目（図の上の行）に、それぞれ図の右側より順番に配置されている。

なお、図２ａ、図２ｂ、図２ｃ、図２ｄ及び図２ｅにおいて、図２０ａ、図２０ｂと同じ構造の箇所については、１００番台の同等の記号で示してある。

[0015] 基板上に形成された埋め込み酸化膜層（ＢＯＸ）１０１などの絶縁膜上に平

面状シリコン層１０２ｎ、１０２ｐａ、１０２ｐｂが形成され、この平面状シリコン層１０２ｎ、１０２ｐａ、１０２ｐｂは不純物注入等により、それぞれｎ＋拡散層、ｐ＋拡散層、ｐ＋拡散層から構成される。１０３は、平面状シリコン層（１０２ｎ、１０２ｐａ、１０２ｐｂ）の表面に形成されるシリサイド層であり、平面状シリコン層１０２ｎ、１０２ｐａを接続する。１０４ｎ１、１０４ｎ２、１０４ｎ３はｎ型シリコン柱、１０４ｐ１、１０４ｐ２、１０４ｐ３はｐ型シリコン柱、１０５はシリコン柱１０４ｎ１、１０４ｎ２、１０４ｎ３、１０４ｐ１、１０４ｐ２、１０４ｐ３を取り巻くゲート絶縁膜、１０６はゲート電極、１０６ａ、１０６ｂ、１０６ｃ、１０６ｄ、１０６ｅ及び１０６ｆは、それぞれゲート配線である。シリコン柱１０４ｎ１、１０４ｎ２、１０４ｎ３の最上部には、それぞれｐ＋拡散層１０７ｐ１、１０７ｐ２、１０７ｐ３が不純物注入等により形成され、シリコン柱１０４ｐ１、１０４ｐ２、１０４ｐ３の最上部には、それぞれｎ＋拡散層１０７ｎ１、１０７ｎ２、１０７ｎ３が不純物注入等により形成される。１０８はゲート絶縁膜１０５を保護するためのシリコン窒化膜、１０９ｐ１、１０９ｐ２、１０９ｐ３、１０９ｎ１、１０９ｎ２、１０９ｎ３はそれぞれｐ＋拡散層１０７ｐ１、１０７ｐ２、１０７ｐ３、ｎ＋拡散層１０７ｎ１、１０７ｎ２、１０７ｎ３に接続されるシリサイド層、１１０ｐ１、１１０ｐ２、１１０ｐ３、１１０ｎ１、１１０ｎ２、１１０ｎ３は、シリサイド層１０９ｐ１、１０９ｐ２、１０９ｐ３、１０９ｎ１、１０９ｎ２、１０９ｎ３と第１メタル配線１１３ｇ、１１３ｇ、１１３ａ、１１３ｃ、１１３ｃ、１１３ｃとをそれぞれ接続するコンタクト、１１１ａはゲート配線１０６ｂと第１メタル配線１１３ｄとを接続するコンタクト、１１１ｂはゲート配線１０６ｄと第１メタル配線１１３ｅとを接続するコンタクト、１１１ｃはゲート配線１０６ｆと第１メタル配線１１３ｆとを接続するコンタクトである。

また、１１２ａは、下部拡散層１０２ｎと下部拡散層１０２ｐａとを接続するシリサイド１０３と第１メタル配線１１３ｂを接続するコンタクトである。

[0016] シリコン柱１０４ｎ１、下部拡散層１０２ｐａ、上部拡散層１０７ｐ１、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ１を構成し、シリコン柱１０４ｎ２、下部拡散層１０２ｐｂ、上部拡散層１０７ｐ２、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ２を構成し、シリコン柱１０４ｎ３、下部拡散層１０２ｐｂ、上部拡散層１０７ｐ３、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ３を構成し、シリコン柱１０４ｐ１、下部拡散層１０２ｎ、上部拡散層１０７ｎ１、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ１を構成し、シリコン柱１０４ｐ２、下部拡散層１０２ｎ、上部拡散層１０７ｎ２、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ２を構成し、シリコン柱１０４ｐ３、下部拡散層１０２ｎ、上部拡散層１０７ｎ３、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ３を構成する。

[0017] また、ＰＭＯＳトランジスタＱｐ１のゲート電極１０６にはゲート配線１０６ａが接続され、ＰＭＯＳトランジスタＱｐ２のゲート電極１０６にはゲート配線１０６ｃが接続され、ＰＭＯＳトランジスタＱｐ３のゲート電極１０６にはゲート配線１０６ｅが接続され、ＮＭＯＳトランジスタＱｎ１のゲート電極１０６にはゲート配線１０６ａ及び１０６ｂが接続され、ＮＭＯＳトランジスタＱｎ２のゲート電極１０６にはゲート配線１０６ｃ及び１０６ｄが接続され、ＮＭＯＳトランジスタＱｎ３のゲート電極にはゲート配線１０６ｅ及び１０６ｆが接続される。

[0018] 下部拡散層１０２ｎ及び１０２ｐａはシリサイド１０３を介してＮＭＯＳトランジスタＱｎ１、Ｑｎ２、Ｑｎ３及びＰＭＯＳトランジスタＱｐ１の共通ドレインとなり、コンタクト１１２ａを介して第１メタル配線１１３ｂに接続され、出力ＯＵＴ３１となる。ＮＭＯＳトランジスタＱｎ１のソースである上部拡散層１０７ｎ１はシリサイド１０９ｎ１、コンタクト１１０ｎ１を介して第１メタル配線１１３ｃに接続され、第１メタル配線１１３ｃには基準電源Ｖｓｓが供給される。ＮＭＯＳトランジスタＱｎ２のソースである上

部拡散層１０７ｎ２はシリサイド１０９ｎ２、コンタクト１１０ｎ２を介して第１メタル配線１１３ｃに接続される。また、ＮＭＯＳトランジスタＱｎ３のソースである上部拡散層１０７ｎ３はシリサイド１０９ｎ３、コンタクト１１０ｎ３を介して第１メタル配線１１３ｃに接続される。ＰＭＯＳトランジスタＱｐ１のソースである上部拡散層１０７ｐ１はシリサイド１０９ｐ１、コンタクト１１０ｐ１を介して第１メタル配線１１３ｇに接続される。ＰＭＯＳトランジスタＱｐ２のドレインである上部拡散層１０７ｐ２はシリサイド１０９ｐ２、コンタクト１１０ｐ２を介して第１メタル配線１１３ｇに接続される。ここで、ＰＭＯＳトランジスタＱｐ１のソースとＰＭＯＳトランジスタＱｐ２のドレインは、第１メタル配線１１３ｇを介して接続される。また、ＰＭＯＳトランジスタＱｐ２のソースは下部拡散層１０２ｐｂとシリサイド領域１０３を介してＰＭＯＳトランジスタＱｐ３のドレインと接続され、ＰＭＯＳトランジスタＱｐ３のソースは、コンタクト１１０ｐ３を介して第１メタル配線１１３ａに接続され、第１メタル配線１１３ａには電源Ｖｃｃが供給される。

[0019] 第１メタル配線１１３ｄには、入力信号ＩＮ１が供給され、コンタクト１１１ａを介してゲート配線１０６ｂに接続され、ＮＭＯＳトランジスタＱｎ１のゲート電極に供給されるとともに、ゲート配線１０６ａを介してＰＭＯＳトランジスタＱｐ１のゲート電極に供給される。

第１メタル配線１１３ｅには、入力信号ＩＮ２が供給され、コンタクト１１１ｂを介してゲート配線１０６ｄに接続され、ＮＭＯＳトランジスタＱｎ２のゲート電極に供給されるとともに、ゲート配線１０６ｃを介してＰＭＯＳトランジスタＱｐ２のゲート電極に供給される。

第１メタル配線１１３ｆには、入力信号ＩＮ３が供給され、コンタクト１１１ｃを介してゲート配線１０６ｆに接続され、ＮＭＯＳトランジスタＱｎ３のゲート電極に供給されるとともに、ゲート配線１０６ｅを介してＰＭＯＳトランジスタＱｐ３のゲート電極に供給される。

[0020] 本実施例におけるトランジスタの配置方法は、図２ａにおいて、下から、電

源線Ｖｓｓ（１１３ｃ）、１行目に配置されたＮＭＯＳトランジスタＱｎ１、Ｑｎ２、Ｑｎ３、２行目に配置されたＰＭＯＳトランジスタＱｐ１、Ｑｐ２、Ｑｐ３、電源線Ｖｃｃ（１１３ａ）の順番で配置されるものである。これらの３入力ＮＯＲ回路を、電源線Ｖｃｃ（１１３ａ）、基準電源線Ｖｓｓ（１１３ｃ）を含めて、ブロックＢＬ３１と定義する。

また、電源線１１３ａと基準電源線１１３ｃとの間隔をＬｙ（電源線、基準電源線を含めた間隔）として、以下の実施例でも、Ｌｙを一定として規格化する。このように規格化すれば、本実施例のブロックＢＬ３１と他のブロックが、横に配置しただけで、電源線、基準電源線が容易に接続できる利点がある。

本実施例によれば、無駄な配線やコンタクト領域を設けずに、３入力ＮＯＲ回路を構成する６個のＳＧＴを２行３列に配置でき、面積が縮小された半導体装置が提供できる。

[0021]（実施例２）

図３に本発明に適用する４入力ＮＯＲ回路の等価回路図を示す。Ｑｎ１、Ｑｎ２、Ｑｎ３、Ｑｎ４は、ＳＧＴで構成されたＮＭＯＳトランジスタ、Ｑｐ１、Ｑｐ２、Ｑｐ３、Ｑｐ４は、同じくＳＧＴで構成されたＰＭＯＳトランジスタである。前記ＮＭＯＳトランジスタＱｎ１、Ｑｎ２、Ｑｎ３、Ｑｎ４のソースは基準電源Ｖｓｓに接続され、ドレインは共通にノードＮ１に接続される。ノードＮ１は出力ＯＵＴ４１となる。ＰＭＯＳトランジスタＱｐ１のドレインはノードＮ１に接続され、ソースはノードＮ２を介してＰＭＯＳトランジスタＱｐ２のドレインに接続され、ＰＭＯＳトランジスタＱｐ２のソースはノードＮ３を介してＰＭＯＳトランジスタＱｐ３のドレインに接続され、ＰＭＯＳトランジスタＱｐ３のソースはノードＮ４を介してＰＭＯＳトランジスタＱｐ４のドレインに接続され、ＰＭＯＳトランジスタＱｐ４のソースは電源Ｖｃｃに接続される。また、ＮＭＯＳトランジスタＱｎ１、ＰＭＯＳトランジスタＱｐ１のゲートには入力信号ＩＮ１が接続され、ＮＭＯＳトランジスタＱｎ２、ＰＭＯＳトランジスタＱｐ２のゲートには入力信号

ＩＮ２が接続され、ＮＭＯＳトランジスタＱｎ３、ＰＭＯＳトランジスタＱｐ３のゲートには入力信号ＩＮ３が接続され、ＮＭＯＳトランジスタＱｎ４、ＰＭＯＳトランジスタＱｐ４のゲートには入力信号ＩＮ４が接続される。

[0022] 図４ａ、図４ｂ、図４ｃ、図４ｄ及び図４ｅに、第２の実施例を示す。図４ａは、本発明の４入力ＮＯＲレイアウト（配置）の平面図、図４ｂは、カットラインＡ－Ａ’に沿った断面図、図４ｃはカットラインＢ－Ｂ’に沿った断面図、図４ｄは、カットラインＣ－Ｃ’に沿った断面図、図４ｅは、カットラインＤ－Ｄ’に沿った断面図を示す。

図４ａにおいて、図３のＮＯＲ回路のＮＭＯＳトランジスタＱｎ１、Ｑｎ２、Ｑｎ３及びＱｎ４が１行目（図の下の行）、ＰＭＯＳトランジスタＱｐ１、Ｑｐ２、Ｑｐ３及びＱｐ４が２行目（図の上の行）に、それぞれ図の右側より順番に配置されている。

図２と異なるところは、ＮＭＯＳトランジスタＱｎ４とＰＭＯＳトランジスタＱｐ４が、図の左側に配置されたことである。

なお、図４ａ、図４ｂ、図４ｃ、図４ｄ及び図４ｅにおいて、図２ａ、図２ｂ、図２ｃ、図２ｄ、図２ｅと同じ構造の箇所については、１００番台の同じ記号で示してある。

[0023] 基板上に形成された埋め込み酸化膜層（ＢＯＸ）１０１などの絶縁膜上に平面状シリコン層１０２ｎ、１０２ｐａ、１０２ｐｂ、１０２ｐｃが形成され、この平面状シリコン層１０２ｎ、１０２ｐａ、１０２ｐｂ、１０２ｐｃは不純物注入等により、それぞれｎ＋拡散層、ｐ＋拡散層、ｐ＋拡散層、ｐ＋拡散層から構成される。１０３は、平面状シリコン層（１０２ｎ、１０２ｐａ、１０２ｐｂ、１０２ｐｃ）の表面に形成されるシリサイド層であり、平面状シリコン層１０２ｎ、１０２ｐａを接続する。１０４ｎ１、１０４ｎ２、１０４ｎ３、１０４ｎ４はｎ型シリコン柱、１０４ｐ１、１０４ｐ２、１０４ｐ３、１０４ｐ４はｐ型シリコン柱、１０５はシリコン柱１０４ｎ１、１０４ｎ２、１０４ｎ３、１０４ｎ４、１０４ｐ１、１０４ｐ２、１０４ｐ３、１０４ｐ４を取り巻くゲート絶縁膜、１０６はゲート電極、１０６ａ、

１０６ｂ、１０６ｃ、１０６ｄ、１０６ｅ、１０６ｆ、１０６ｇ及び１０６ｈは、それぞれゲート配線である。シリコン柱１０４ｎ１、１０４ｎ２、１０４ｎ３、１０４ｎ４の最上部には、それぞれｐ＋拡散層１０７ｐ１、１０７ｐ２、１０７ｐ３、１０７ｐ４が不純物注入等により形成され、シリコン柱１０４ｐ１、１０４ｐ２、１０４ｐ３、１０４ｐ４の最上部には、それぞれｎ＋拡散層１０７ｎ１、１０７ｎ２、１０７ｎ３、１０７ｎ４が不純物注入等により形成される。１０８はゲート絶縁膜１０５を保護するためのシリコン窒化膜、１０９ｐ１、１０９ｐ２、１０９ｐ３、１０９ｐ４、１０９ｎ１、１０９ｎ２、１０９ｎ３、１０９ｎ４はそれぞれｐ＋拡散層１０７ｐ１、１０７ｐ２、１０７ｐ３、１０７ｐ４、ｎ＋拡散層１０７ｎ１、１０７ｎ２、１０７ｎ３、１０７ｎ４に接続されるシリサイド層、１１０ｐ１、１１０ｐ２、１１０ｐ３、１１０ｐ４、１１０ｎ１、１１０ｎ２、１１０ｎ３、１１０ｎ４は、シリサイド層１０９ｐ１、１０９ｐ２、１０９ｐ３、１０９ｐ４、１０９ｎ１、１０９ｎ２、１０９ｎ３、１０９ｎ４と第１メタル配線１１３ｇ、１１３ｇ、１１３ｉ、１１３ｉ、１１３ｃ、１１３ｃ、１１３ｃ、１１３ｃとをそれぞれ接続するコンタクト、１１１ａはゲート配線１０６ｂと第１メタル配線１１３ｄとを接続するコンタクト、１１１ｂはゲート配線１０６ｄと第１メタル配線１１３ｅとを接続するコンタクト、１１１ｃはゲート配線１０６ｆと第１メタル配線１１３ｆとを接続するコンタクト、１１１ｄはゲート配線１０６ｈと第１メタル配線１１３ｈを接続するコンタクトである。

１１２ａは、下部拡散層１０２ｎと下部拡散層１０２ｐａとを接続するシリサイド１０３と第１メタル配線１１３ｂを接続するコンタクトである。また、１１２ｂは、下部拡散層１０２ｐｃを覆うシリサイド１０３と第１メタル配線１１３ａとを接続するコンタクトである。

[0024] シリコン柱１０４ｎ１、下部拡散層１０２ｐａ、上部拡散層１０７ｐ１、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ１を構成し、シリコン柱１０４ｎ２、下部拡散層１０２ｐｂ、上部拡散層１０

７ｐ２、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ２を構成し、シリコン柱１０４ｎ３、下部拡散層１０２ｐｂ、上部拡散層１０７ｐ３、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ３を構成し、シリコン柱１０４ｎ４、下部拡散層１０２ｐｃ、上部拡散層１０７ｐ４、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ４を構成し、シリコン柱１０４ｐ１、下部拡散層１０２ｎ、上部拡散層１０７ｎ１、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ１を構成し、シリコン柱１０４ｐ２、下部拡散層１０２ｎ、上部拡散層１０７ｎ２、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ２を構成し、シリコン柱１０４ｐ３、下部拡散層１０２ｎ、上部拡散層１０７ｎ３、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ３を構成し、シリコン柱１０４ｐ４、下部拡散層１０２ｎ、上部拡散層１０７ｎ４、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ４を構成する。

[0025] また、ＰＭＯＳトランジスタＱｐ１のゲート電極１０６にはゲート配線１０６ａが接続され、ＰＭＯＳトランジスタＱｐ２のゲート電極１０６にはゲート配線１０６ｃが接続され、ＰＭＯＳトランジスタＱｐ３のゲート電極１０６にはゲート配線１０６ｅが接続され、ＰＭＯＳトランジスタＱｐ４のゲート電極１０６にはゲート配線１０６ｇが接続され、ＮＭＯＳトランジスタＱｎ１のゲート電極１０６にはゲート配線１０６ａ及び１０６ｂが接続され、ＮＭＯＳトランジスタＱｎ２のゲート電極１０６にはゲート配線１０６ｃ及び１０６ｄが接続され、ＮＭＯＳトランジスタＱｎ３のゲート電極にはゲート配線１０６ｅ及び１０６ｆが接続され、ＮＭＯＳトランジスタＱｎ４のゲート電極にはゲート配線１０６ｇ及び１０６ｈが接続される。

[0026] 下部拡散層１０２ｎ及び１０２ｐａはＮＭＯＳトランジスタＱｎ１、Ｑｎ２、Ｑｎ３、Ｑｎ４及びＰＭＯＳトランジスタＱｐ１の共通ドレインとなり、出力ＯＵＴ４１に接続される。

ＮＭＯＳトランジスタＱｎ１のソースである上部拡散層１０７ｎ１はシリサイド１０９ｎ１、コンタクト１１０ｎ１を介して第１メタル配線１１３ｃに接続され、第１メタル配線１１３ｃには基準電源Ｖｓｓが供給される。ＮＭＯＳトランジスタＱｎ２のソースである上部拡散層１０７ｎ２はシリサイド１０９ｎ２、コンタクト１１０ｎ２を介して第１メタル配線１１３ｃに接続される。ＮＭＯＳトランジスタＱｎ３のソースである上部拡散層１０７ｎ３はシリサイド１０９ｎ３、コンタクト１１０ｎ３を介して第１メタル配線１１３ｃに接続される。ＮＭＯＳトランジスタＱｎ４のソースである上部拡散層１０７ｎ４はシリサイド１０９ｎ４、コンタクト１１０ｎ４を介して第１メタル配線１１３ｃに接続される。ＰＭＯＳトランジスタＱｐ１のソースである上部拡散層１０７ｐ１はシリサイド１０９ｐ１、コンタクト１１０ｐ１を介して第１メタル配線１１３ｇに接続される。ＰＭＯＳトランジスタＱｐ２のドレインである上部拡散層１０７ｐ２はシリサイド１０９ｐ２、コンタクト１１０ｐ２を介して第１メタル配線１１３ｇに接続される。ここで、ＰＭＯＳトランジスタＱｐ１のソースとＰＭＯＳトランジスタＱｐ２のドレインは、第１メタル配線１１３ｇを介して接続される。また、ＰＭＯＳトランジスタＱｐ２のソースは下部拡散層１０２ｐｂとシリサイド領域１０３を介してＰＭＯＳトランジスタＱｐ３のドレインと接続され、ＰＭＯＳトランジスタＱｐ３のソースは、コンタクト１１０ｐ３を介して第１メタル配線１１３ｉに接続される。ＰＭＯＳトランジスタＱｐ４のドレインは、コンタクト１１０ｐ４を介して第１メタル配線１１３ｉに接続される。ここで、ＰＭＯＳトランジスタＱｐ３のソースとＰＭＯＳトランジスタＱｐ４のドレインは、第１メタル配線１１３ｉを介して接続される。ＰＭＯＳトランジスタＱｐ４のソースは、シリサイド１０３を介して下部拡散層１０２ｐｃに接続され、下部拡散層１０２ｐｃはコンタクト１１２ｂを介して第１メタル配線１１３ａに接続される。また、第１メタル１１３ａには電源Ｖｃｃが供給される。

[0027] 第１メタル配線１１３ｄには、入力信号ＩＮ１が供給され、コンタクト１１

１ａを介してゲート配線１０６ｂに接続され、ＮＭＯＳトランジスタＱｎ１のゲート電極に供給されるとともに、ゲート配線１０６ａを介してＰＭＯＳトランジスタＱｐ１のゲート電極に供給される。

第１メタル配線１１３ｅには、入力信号ＩＮ２が供給され、コンタクト１１１ｂを介してゲート配線１０６ｄに接続され、ＮＭＯＳトランジスタＱｎ２のゲート電極に供給されるとともに、ゲート配線１０６ｃを介してＰＭＯＳトランジスタＱｐ２のゲート電極に供給される。

第１メタル配線１１３ｆには、入力信号ＩＮ３が供給され、コンタクト１１１ｃを介してゲート配線１０６ｆに接続され、ＮＭＯＳトランジスタＱｎ３のゲート電極に供給されるとともに、ゲート配線１０６ｅを介してＰＭＯＳトランジスタＱｐ３のゲート電極に供給される。

第１メタル配線１１３ｈには、入力信号ＩＮ４が供給され、コンタクト１１１ｄを介してゲート配線１０６ｈに接続され、ＮＭＯＳトランジスタＱｎ４のゲート電極に供給されるとともに、ゲート配線１０６ｇを介してＰＭＯＳトランジスタＱｐ４のゲート電極に供給される。

[0028] これらの４入力ＮＯＲ回路を、電源線Ｖｃｃ（１１３ａ）、基準電源線Ｖｓｓ（１１３ｃ）を含めて、ブロックＢＬ４１と定義する。

また、電源線１１３ａと基準電源線１１３ｃとの間隔を、実施例１（図２ａ）と同じくＬｙ（電源線、基準電源線を含めた間隔）とする。

本実施例によれば、無駄な配線やコンタクト領域を設けずに、４入力ＮＯＲ回路を構成する８個のＳＧＴを２行４列に配置でき、面積が縮小された半導体装置が提供できる。

[0029] （実施例３）

図５に本発明に適用する５入力ＮＯＲ回路の等価回路図を示す。Ｑｎ１、Ｑｎ２、Ｑｎ３、Ｑｎ４、Ｑｎ５は、ＳＧＴで構成されたＮＭＯＳトランジスタ、Ｑｐ１、Ｑｐ２、Ｑｐ３、Ｑｐ４、Ｑｐ５は、同じくＳＧＴで構成されたＰＭＯＳトランジスタである。前記ＮＭＯＳトランジスタＱｎ１、Ｑｎ２、Ｑｎ３、Ｑｎ４、Ｑｎ５のソースは基準電源Ｖｓｓに接続され、ドレイン

は共通にノードＮ１に接続される。ノードＮ１は出力ＯＵＴ５１となる。ＰＭＯＳトランジスタＱｐ１のドレインはノードＮ１に接続され、ソースはノードＮ２を介してＰＭＯＳトランジスタＱｐ２のドレインに接続され、ＰＭＯＳトランジスタＱｐ２のソースはノードＮ３を介してＰＭＯＳトランジスタＱｐ３のドレインに接続され、ＰＭＯＳトランジスタＱｐ３のソースはノードＮ４を介してＰＭＯＳトランジスタＱｐ４のドレインに接続され、ＰＭＯＳトランジスタＱｐ４のソースはノードＮ５を介してＰＭＯＳトランジスタＱｐ５のドレインに接続され、ＰＭＯＳトランジスタＱｐ５のソースは電源Ｖｃｃに接続される。また、ＰＭＯＳトランジスタＱｐ１、ＮＭＯＳトランジスタＱｎ１のゲートには入力信号ＩＮ１が接続され、ＰＭＯＳトランジスタＱｐ２、ＮＭＯＳトランジスタＱｎ２のゲートには入力信号ＩＮ２が接続され、ＰＭＯＳトランジスタＱｐ３、ＮＭＯＳトランジスタＱｎ３のゲートには入力信号ＩＮ３が接続され、ＰＭＯＳトランジスタＱｐ４、ＮＭＯＳトランジスタＱｎ４のゲートには入力信号ＩＮ４が接続され、ＰＭＯＳトランジスタＱｐ５、ＮＭＯＳトランジスタＱｎ５のゲートには入力信号ＩＮ５が接続される。

[0030] 図６ａ、図６ｂ及び図６ｃに、第３の実施例を示す。図６ａは、本発明の５入力ＮＯＲレイアウト（配置）の平面図、図６ｂは、カットラインＡ－Ａ’に沿った断面図、図６ｃはカットラインＢ－Ｂ’に沿った断面図を示す。なお、縦にカットした断面図は図４ｄ、図４ｅと同じであり、省略してある。

図６ａにおいて、図５のＮＯＲ回路のＮＭＯＳトランジスタＱｎ１、Ｑｎ２、Ｑｎ３、Ｑｎ４及びＱｎ５が１行目（図の下の行）、ＰＭＯＳトランジスタＱｐ１、Ｑｐ２、Ｑｐ３、Ｑｐ４及びＱｐ５が２行目（図の上の行）に、それぞれ図の右側より順番に配置されている。

図４と異なるところは、ＮＭＯＳトランジスタＱｎ５とＰＭＯＳトランジスタＱｐ５が、図の左側に配置されたことである。

なお、図６ａ、図６ｂ、図６ｃにおいて、図４ａ、図４ｂ、図４ｃと同じ構造の箇所については、１００番台の同じ記号で示してある。

[0031] 基板上に形成された埋め込み酸化膜層（ＢＯＸ）１０１などの絶縁膜上に平面状シリコン層１０２ｎ、１０２ｐａ、１０２ｐｂ、１０２ｐｃが形成され、この平面状シリコン層１０２ｎ、１０２ｐａ、１０２ｐｂ、１０２ｐｃは不純物注入等により、それぞれｎ＋拡散層、ｐ＋拡散層、ｐ＋拡散層、ｐ＋拡散層から構成される。１０３は、平面状シリコン層（１０２ｎ、１０２ｐａ、１０２ｐｂ、１０２ｐｃ）の表面に形成されるシリサイド層であり、平面状シリコン層１０２ｎ、１０２ｐａを接続する。１０４ｎ１、１０４ｎ２、１０４ｎ３、１０４ｎ４、１０４ｎ５はｎ型シリコン柱、１０４ｐ１、１０４ｐ２、１０４ｐ３、１０４ｐ４、１０４ｐ５はｐ型シリコン柱、１０５はシリコン柱１０４ｎ１、１０４ｎ２、１０４ｎ３、１０４ｎ４、１０４ｎ５、１０４ｐ１、１０４ｐ２、１０４ｐ３、１０４ｐ４、１０４ｐ５を取り巻くゲート絶縁膜、１０６はゲート電極、１０６ａ、１０６ｂ、１０６ｃ、１０６ｄ、１０６ｅ、１０６ｆ、１０６ｇ、１０６ｈ、１０６ｉ及び１０６ｊは、それぞれゲート配線である。シリコン柱１０４ｎ１、１０４ｎ２、１０４ｎ３、１０４ｎ４、１０４ｎ５の最上部には、それぞれｐ＋拡散層１０７ｐ１、１０７ｐ２、１０７ｐ３、１０７ｐ４、１０７ｐ５が不純物注入等により形成され、シリコン柱１０４ｐ１、１０４ｐ２、１０４ｐ３、１０４ｐ４、１０４ｐ５の最上部には、それぞれｎ＋拡散層１０７ｎ１、１０７ｎ２、１０７ｎ３、１０７ｎ４、１０７ｎ５が不純物注入等により形成される。１０８はゲート絶縁膜１０５を保護するためのシリコン窒化膜、１０９ｐ１、１０９ｐ２、１０９ｐ３、１０９ｐ４、１０９ｐ５、１０９ｎ１、１０９ｎ２、１０９ｎ３、１０９ｎ４、１０４ｎ５はそれぞれｐ＋拡散層１０７ｐ１、１０７ｐ２、１０７ｐ３、１０７ｐ４、１０７ｐ５、ｎ＋拡散層１０７ｎ１、１０７ｎ２、１０７ｎ３、１０７ｎ４、１０７ｎ５に接続されるシリサイド層、１１０ｐ１、１１０ｐ２、１１０ｐ３、１１０ｐ４、１１０ｐ５、１１０ｎ１、１１０ｎ２、１１０ｎ３、１１０ｎ４、１１０ｎ５は、シリサイド層１０９ｐ１、１０９ｐ２、１０９ｐ３、１０９ｐ４、１０９ｐ５、１０９ｎ１、１０９ｎ２、１０９ｎ３、１０９ｎ４、１０９ｎ５と第１メ

タル配線１１３ｇ、１１３ｇ、１１３ｉ、１１３ｉ、１１３ａ、１１３ｃ、１１３ｃ、１１３ｃ、１１３ｃ、１１３ｃとをそれぞれ接続するコンタクト、１１１ａはゲート配線１０６ｂと第１メタル配線１１３ｄとを接続するコンタクト、１１１ｂはゲート配線１０６ｄと第１メタル配線１１３ｅとを接続するコンタクト、１１１ｃはゲート配線１０６ｆと第１メタル配線１１３ｆとを接続するコンタクト、１１１ｄはゲート配線１０６ｈと第１メタル配線１１３ｈを接続するコンタクト、１１１ｅはゲート配線１０６ｊと第１メタル配線１１３ｊを接続するコンタクトである。

１１２ａは、下部拡散層１０２ｎと下部拡散層１０２ｐａとを接続するシリサイド１０３と第１メタル配線１１３ｂを接続するコンタクトである。

[0032] シリコン柱１０４ｎ１、下部拡散層１０２ｐａ、上部拡散層１０７ｐ１、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ１を構成し、シリコン柱１０４ｎ２、下部拡散層１０２ｐｂ、上部拡散層１０７ｐ２、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ２を構成し、シリコン柱１０４ｎ３、下部拡散層１０２ｐｂ、上部拡散層１０７ｐ３、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ３を構成し、シリコン柱１０４ｎ４、下部拡散層１０２ｐｃ、上部拡散層１０７ｐ４、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ４を構成し、シリコン柱１０４ｎ５、下部拡散層１０２ｐｃ、上部拡散層１０７ｐ５、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ５を構成し、シリコン柱１０４ｐ１、下部拡散層１０２ｎ、上部拡散層１０７ｎ１、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ１を構成し、シリコン柱１０４ｐ２、下部拡散層１０２ｎ、上部拡散層１０７ｎ２、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ２を構成し、シリコン柱１０４ｐ３、下部拡散層１０２ｎ、上部拡散層１０７ｎ３、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ３を構成し、シリコン柱１０４ｐ４、下部拡散層１０２ｎ、上部拡散層１０７ｎ４

、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ４を構成し、シリコン柱１０４ｐ５、下部拡散層１０２ｎ、上部拡散層１０７ｎ５、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ５を構成する。

[0033] また、ＰＭＯＳトランジスタＱｐ１のゲート電極１０６にはゲート配線１０６ａが接続され、ＰＭＯＳトランジスタＱｐ２のゲート電極１０６にはゲート配線１０６ｃが接続され、ＰＭＯＳトランジスタＱｐ３のゲート電極１０６にはゲート配線１０６ｅが接続され、ＰＭＯＳトランジスタＱｐ４のゲート電極１０６にはゲート配線１０６ｇが接続され、ＰＭＯＳトランジスタＱｐ５のゲート電極１０６にはゲート配線１０６ｉが接続され、、ＮＭＯＳトランジスタＱｎ１のゲート電極１０６にはゲート配線１０６ａ及び１０６ｂが接続され、ＮＭＯＳトランジスタＱｎ２のゲート電極１０６にはゲート配線１０６ｃ及び１０６ｄが接続され、ＮＭＯＳトランジスタＱｎ３のゲート電極にはゲート配線１０６ｅ及び１０６ｆが接続され、ＮＭＯＳトランジスタＱｎ４のゲート電極にはゲート配線１０６ｇ及び１０６ｈが接続され、ＮＭＯＳトランジスタＱｎ５のゲート電極にはゲート配線１０６ｉ及び１０６ｊが接続される。

[0034] 下部拡散層１０２ｎ及び１０２ｐａはＮＭＯＳトランジスタＱｎ１、Ｑｎ２、Ｑｎ３、Ｑｎ４、Ｑｎ５及びＰＭＯＳトランジスタＱｐ１の共通ドレインとなり、出力ＯＵＴ５１に接続される。

ＮＭＯＳトランジスタＱｎ１のソースである上部拡散層１０７ｎ１はシリサイド１０９ｎ１、コンタクト１１０ｎ１を介して第１メタル配線１１３ｃに接続され、第１メタル配線１１３ｃには基準電源Ｖｓｓが供給される。ＮＭＯＳトランジスタＱｎ２のソースである上部拡散層１０７ｎ２はシリサイド１０９ｎ２、コンタクト１１０ｎ２を介して第１メタル配線１１３ｃに接続される。ＮＭＯＳトランジスタＱｎ３のソースである上部拡散層１０７ｎ３はシリサイド１０９ｎ３、コンタクト１１０ｎ３を介して第１メタル配線１１３ｃに接続される。ＮＭＯＳトランジスタＱｎ４のソースである上部拡散

層１０７ｎ４はシリサイド１０９ｎ４、コンタクト１１０ｎ４を介して第１メタル配線１１３ｃに接続される。ＮＭＯＳトランジスタＱｎ５のソースである上部拡散層１０７ｎ５はシリサイド１０９ｎ５、コンタクト１１０ｎ５を介して第１メタル配線１１３ｃに接続される。ＰＭＯＳトランジスタＱｐ１のソースである上部拡散層１０７ｐ１はシリサイド１０９ｐ１、コンタクト１１０ｐ１を介して第１メタル配線１１３ｇに接続される。ＰＭＯＳトランジスタＱｐ２のドレインである上部拡散層１０７ｐ２はシリサイド１０９ｐ２、コンタクト１１０ｐ２を介して第１メタル配線１１３ｇに接続される。ここで、ＮＭＯＳトランジスタＱｐ１のソースとＰＭＯＳトランジスタＱｐ２のドレインは、第１メタル配線１１３ｇを介して接続される。また、ＰＭＯＳトランジスタＱｐ２のソースは下部拡散層１０２ｐｂとシリサイド領域１０３を介してＰＭＯＳトランジスタＱｐ３のドレインと接続され、ＰＭＯＳトランジスタＱｐ３のソースは、コンタクト１１０ｐ３を介して第１メタル配線１１３ｉに接続される。ＰＭＯＳトランジスタＱｐ４のドレインは、コンタクト１１０ｐ４を介して第１メタル配線１１３ｉに接続される。ここで、ＰＭＯＳトランジスタＱｐ３のソースとＰＭＯＳトランジスタＱｐ４のドレインは、第１メタル配線１１３ｉを介して接続される。ＰＭＯＳトランジスタＱｐ４のソースは下部拡散層１０２ｐｃとシリサイド領域１０３を介してＰＭＯＳトランジスタＱｐ５のドレインと接続され、ＰＭＯＳトランジスタＱｐ５のソースは、コンタクト１１０ｐ５を介して第１メタル配線１１３ａに接続される。また、第１メタル１１３ａには電源Ｖｃｃが供給される。

[0035] 第１メタル配線１１３ｄには、入力信号ＩＮ１が供給され、コンタクト１１１ａを介してゲート配線１０６ｂに接続され、ＮＭＯＳトランジスタＱｎ１のゲート電極に供給されるとともに、ゲート配線１０６ａを介してＰＭＯＳトランジスタＱｐ１のゲート電極に供給される。

第１メタル配線１１３ｅには、入力信号ＩＮ２が供給され、コンタクト１１１ｂを介してゲート配線１０６ｄに接続され、ＮＭＯＳトランジスタＱｎ２

のゲート電極に供給されるとともに、ゲート配線１０６ｃを介してＰＭＯＳトランジスタＱｐ２のゲート電極に供給される。

第１メタル配線１１３ｆには、入力信号ＩＮ３が供給され、コンタクト１１１ｃを介してゲート配線１０６ｆに接続され、ＮＭＯＳトランジスタＱｎ３のゲート電極に供給されるとともに、ゲート配線１０６ｅを介してＰＭＯＳトランジスタＱｐ３のゲート電極に供給される。

第１メタル配線１１３ｈには、入力信号ＩＮ４が供給され、コンタクト１１１ｄを介してゲート配線１０６ｈに接続され、ＮＭＯＳトランジスタＱｎ４のゲート電極に供給されるとともに、ゲート配線１０６ｇを介してＰＭＯＳトランジスタＱｐ４のゲート電極に供給される。

第１メタル配線１１３ｊには、入力信号ＩＮ５が供給され、コンタクト１１１ｅを介してゲート配線１０６ｊに接続され、ＮＭＯＳトランジスタＱｎ５のゲート電極に供給されるとともに、ゲート配線１０６ｉを介してＰＭＯＳトランジスタＱｐ５のゲート電極に供給される。

[0036] これらの５入力ＮＯＲ回路を、電源線Ｖｃｃ（１１３ａ）、基準電源線Ｖｓｓ（１１３ｃ）を含めて、ブロックＢＬ５１と定義する。

また、電源線１１３ａと基準電源線１１３ｃとの間隔を、実施例１（図２ａ）と同じくＬｙ（電源線、基準電源線を含めた間隔）とする。

本実施例によれば、無駄な配線やコンタクト領域を設けずに、５入力ＮＯＲ回路を構成する１０個のＳＧＴを２行５列に配置でき、面積が縮小された半導体装置が提供できる。

なお、本実施例にとどまらず、６入力以上の複数入力のＮＯＲ回路でも同様の方法により、面積の縮小された半導体装置が提供できる。

[0037] （実施例４）

図７に本発明に適用する３入力ＮＯＲ回路の等価回路図を示す。図１と異なるところは、同じ３入力ＮＯＲ回路であるが、図７は、各入力のトランジスタが２個並列に接続されており、駆動電流が２倍になるように設定されているところである。

Ｑｎ１１、Ｑｎ１２、Ｑｎ２１、Ｑｎ２２、Ｑｎ３１、Ｑｎ３２は、ＳＧＴで構成されたＮＭＯＳトランジスタ、Ｑｐ１１、Ｑｐ１２、Ｑｐ２１、Ｑｐ２２、Ｑｐ３１、Ｑｐ３２は、同じくＳＧＴで構成されたＰＭＯＳトランジスタである。前記ＮＭＯＳトランジスタＱｎ１１、Ｑｎ１２、Ｑｎ２１、Ｑｎ２２、Ｑｎ３１、Ｑｎ３２のソースは電源Ｖｓｓに接続され、ドレインは共通にノードＮ１に接続される。ノードＮ１は出力ＯＵＴ３２となる。ＰＭＯＳトランジスタＱｐ１１、Ｑｐ１２のドレインは各々ノードＮ１に接続され、ソースはノードＮ２を介して各々ＰＭＯＳトランジスタＱｐ２１、Ｑｐ２２のドレインに接続され、ＰＭＯＳトランジスタＱｐ２１、Ｑｐ２２のソースはノードＮ３を介して各々ＰＭＯＳトランジスタＱｐ３１、Ｑｐ３２のドレインに接続され、ＰＭＯＳトランジスタＱｐ３１、Ｑｐ３２のソースは各々電源Ｖｃｃに接続される。また、ＰＭＯＳトランジスタＱｐ１１、Ｑｐ１２、ＮＭＯＳトランジスタＱｎ１１、Ｑｎ１２のゲートには共通に入力信号ＩＮ１が接続され、ＰＭＯＳトランジスタＱｐ２１、Ｑｐ２２、ＮＭＯＳトランジスタＱｎ２１、Ｑｎ２２のゲートには共通に入力信号ＩＮ２が接続され、ＰＭＯＳトランジスタＱｐ３１、Ｑｐ３２、ＮＭＯＳトランジスタＱｎ３１、Ｑｎ３２のゲートには共通に入力信号ＩＮ３が接続される。

[0038] 図８ａ、図８ｂ及び図８ｃに、第４の実施例を示す。図８ａは、本発明の３入力ＮＯＲレイアウト（配置）の平面図、図８ｂは、カットラインＡ－Ａ’に沿った断面図、図８ｃはカットラインＢ－Ｂ’に沿った断面図を示す。なお、縦にカットした断面図は図２ｄ、図２ｅと同等であり、省略してある。図８ａにおいて、図７のＮＯＲ回路のＱｎ１１、Ｑｎ１２、Ｑｎ２１、Ｑｎ２２、Ｑｎ３１、Ｑｎ３２が１行目（図の下の行）、ＰＭＯＳトランジスタＱｐ１１、Ｑｐ１２、Ｑｐ２１、Ｑｐ２２、Ｑｐ３１、Ｑｐ３２が２行目（図の上の行）に、それぞれ図の右側より順番に配置されている。

図２と異なるところは、並列接続されたＰＭＯＳトランジスタＱｐ１１、Ｑｐ１２と、同じく並列接続されたＮＭＯＳトランジスタＱｎ１１、Ｑｎ１２が各々隣に配置されていることである。他の並列接続されたトランジスタに

ついても同様に、各々隣に配置されている。

なお、図８ａ、図８ｂ、図８ｃにおいて、図２ａ、図２ｂ、図２ｃと同じ構造の箇所については、１００番台の同じ記号で示してある。

[0039] 基板上に形成された埋め込み酸化膜層（ＢＯＸ）１０１などの絶縁膜上に平面状シリコン層１０２ｎ、１０２ｐａ、１０２ｐｂが形成され、この平面状シリコン層１０２ｎ、１０２ｐａ、１０２ｐｂは不純物注入等により、それぞれｎ＋拡散層、ｐ＋拡散層、ｐ＋拡散層から構成される。１０３は、平面状シリコン層（１０２ｎ、１０２ｐａ、１０２ｐｂ）の表面に形成されるシリサイド層であり、平面状シリコン層１０２ｎ、１０２ｐａを接続する。１０４ｎ１１、１０４ｎ１２、１０４ｎ２１、１０４ｎ２２、１０４ｎ３１、１０４ｎ３２はｎ型シリコン柱、１０４ｐ１１、１０４ｐ１２、１０４ｐ２１、１０４ｐ２２、１０４ｐ３１、１０４ｐ３２はｐ型シリコン柱、１０５はシリコン柱１０４ｎ１１、１０４ｎ１２、１０４ｎ２１、１０４ｎ２２、１０４ｎ３１、１０４ｎ３２、１０４ｐ１１、１０４ｐ１２、１０４ｐ２１、１０４ｐ２２、１０４ｐ３１、１０４ｐ３２を取り巻くゲート絶縁膜、１０６はゲート電極、１０６ａ、１０６ｂ、１０６ｃ、１０６ｄ、１０６ｅ、１０６ｆ、１０６ｇ、１０６ｈ、１０６ｉ、１０６ｊ、１０６ｋ及び１０６ｌは、それぞれゲート配線である。シリコン柱１０４ｎ１１、１０４ｎ１２、１０４ｎ２１、１０４ｎ２２、１０４ｎ３１、１０４ｎ３２の最上部には、それぞれｐ＋拡散層１０７ｐ１１、１０７ｐ１２、１０７ｐ２１、１０７ｐ２２、１０７ｐ３１、１０７ｐ３２が不純物注入等により形成され、シリコン柱１０４ｐ１１、１０４ｐ１２、１０４ｐ２１、１０４ｐ２２、１０４ｐ３１、１０４ｐ３２の最上部には、それぞれｎ＋拡散層１０７ｎ１１、１０７ｎ１２、１０７ｎ２１、１０７ｎ２２、１０７ｎ３１、１０７ｎ３２が不純物注入等により形成される。１０８はゲート絶縁膜１０５を保護するためのシリコン窒化膜、１０９ｐ１１、１０９ｐ１２、１０９ｐ２１、１０９ｐ２２、１０９ｐ３１、１０９ｐ３２、１０９ｎ１１、１０９ｎ１２、１０９ｎ２１、１０９ｎ２２、１０９ｎ３１、１０９ｎ３２はそれぞれｐ＋拡散

層１０７ｐ１１、１０７ｐ１２、１０７ｐ２１、１０７ｐ２２、１０７ｐ３１、１０７ｐ３２、ｎ＋拡散層１０７ｎ１１、１０７ｎ１２、１０７ｎ２１、１０７ｎ２２、１０７ｎ３１、１０７ｎ３２に接続されるシリサイド層、１１０ｐ１１、１１０ｐ１２、１１０ｐ２１、１１０ｐ２２、１１０ｐ３１、１１０ｐ３２、１１０ｎ１１、１１０ｎ１２、１１０ｎ２１、１１０ｎ２２、１１０ｎ３１、１１０ｎ３２は、シリサイド層１０９ｐ１１、１０９ｐ１２、１０９ｐ２１、１０９ｐ２２、１０９ｐ３１、１０９ｐ３２、１０９ｎ１１、１０９ｎ１２、１０９ｎ２１、１０９ｎ２２、１０９ｎ３１、１０９ｎ３２と第１メタル配線１１３ｇ、１１３ｇ、１１３ｇ、１１３ｇ、１１３ａ、１１３ａ、１１３ｃ、１１３ｃ、１１３ｃ、１１３ｃ、１１３ｃ、１１３ｃとをそれぞれ接続するコンタクト、１１１ａはゲート配線１０６ｂと第１メタル配線１１３ｄとを接続するコンタクト、１１１ｂはゲート配線１０６ｄと第１メタル配線１１３ｄとを接続するコンタクト、１１１ｃはゲート配線１０６ｆと第１メタル配線１１３ｅとを接続するコンタクト、１１１ｄはゲート配線１０６ｈと第１メタル配線１１３ｅを接続するコンタクト、１１１ｅはゲート配線１０６ｊと第１メタル配線１１３ｆを接続するコンタクト、１１１ｆはゲート配線１０６ｌと第１メタル配線１１３ｆとを接続するコンタクトである。

１１２ａは、下部拡散層１０２ｎと下部拡散層１０２ｐａとを接続するシリサイド１０３と第１メタル配線１１３ｂを接続するコンタクトである。なお、図ではシリサイド抵抗の影響を削減するために、コンタクト１１２ａを２個設けている。

[0040] シリコン柱１０４ｎ１１、下部拡散層１０２ｐａ、上部拡散層１０７ｐ１１、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ１１を構成し、シリコン柱１０４ｎ１２、下部拡散層１０２ｐａ、上部拡散層１０７ｐ１２、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ１２を構成し、シリコン柱１０４ｎ２１、下部拡散層１０２ｐｂ、上部拡散層１０７ｐ２１、ゲート絶縁膜１０５、ゲート電極１０

６により、ＰＭＯＳトランジスタＱｐ２１を構成し、シリコン柱１０４ｎ２２、下部拡散層１０２ｐｂ、上部拡散層１０７ｐ２２、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ２２を構成し、シリコン柱１０４ｎ３１、下部拡散層１０２ｐｂ、上部拡散層１０７ｐ３１、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ３１を構成し、シリコン柱１０４ｎ３２、下部拡散層１０２ｐｂ、上部拡散層１０７ｐ３２、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ３２を構成し、シリコン柱１０４ｐ１１、下部拡散層１０２ｎ、上部拡散層１０７ｎ１１、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ１１を構成し、シリコン柱１０４ｐ１２、下部拡散層１０２ｎ、上部拡散層１０７ｎ１２、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ１２を構成し、シリコン柱１０４ｐ２１、下部拡散層１０２ｎ、上部拡散層１０７ｎ２１、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ２１を構成し、シリコン柱１０４ｐ２２、下部拡散層１０２ｎ、上部拡散層１０７ｎ２２、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ２２を構成し、シリコン柱１０４ｐ３１、下部拡散層１０２ｎ、上部拡散層１０７ｎ３１、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ３１を構成し、シリコン柱１０４ｐ３２、下部拡散層１０２ｎ、上部拡散層１０７ｎ３２、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｐ３２を構成する。

[0041] また、ＰＭＯＳトランジスタＱｐ１１のゲート電極１０６にはゲート配線１０６ａが接続され、ＰＭＯＳトランジスタＱｐ１２のゲート電極１０６にはゲート配線１０６ｃが接続され、ＰＭＯＳトランジスタＱｐ２１のゲート電極１０６にはゲート配線１０６ｅが接続され、ＰＭＯＳトランジスタＱｐ２２のゲート電極１０６にはゲート配線１０６ｇが接続され、ＰＭＯＳトランジスタＱｐ３１のゲート電極１０６にはゲート配線１０６ｉが接続され、ＰＭＯＳトランジスタＱｐ３２のゲート電極１０６にはゲート配線１０６ｋが

接続され、ＮＭＯＳトランジスタＱｎ１１のゲート電極１０６にはゲート配線１０６ａ及び１０６ｂが接続され、ＮＭＯＳトランジスタＱｎ１２のゲート電極１０６にはゲート配線１０６ｃ及び１０６ｄが接続され、ＮＭＯＳトランジスタＱｎ２１のゲート電極にはゲート配線１０６ｅ及び１０６ｆが接続され、ＮＭＯＳトランジスタＱｎ２２のゲート電極にはゲート配線１０６ｇ及び１０６ｈが接続され、ＮＭＯＳトランジスタＱｎ３１のゲート電極にはゲート配線１０６ｉ及び１０６ｊが接続され、ＮＭＯＳトランジスタＱｎ３２のゲート電極にはゲート配線１０６ｋ及び１０６ｌが接続される。

[0042] 下部拡散層１０２ｎ及び１０２ｐａはＮＭＯＳトランジスタＱｎ１１、Ｑｎ１２、Ｑｎ２１、Ｑｎ２２、Ｑｎ３１、Ｑｎ３２及びＰＭＯＳトランジスタＱｐ１１、Ｑｐ１２の共通ドレインとなり、出力ＯＵＴ３２に接続される。ＮＭＯＳトランジスタＱｎ１１のソースである上部拡散層１０７ｎ１１はシリサイド１０９ｎ１１、コンタクト１１０ｎ１１を介して第１メタル配線１１３ｃに接続され、第１メタル配線１１３ｃには基準電源Ｖｓｓが供給される。ＮＭＯＳトランジスタＱｎ１２のソースである上部拡散層１０７ｎ１２はシリサイド１０９ｎ１２、コンタクト１１０ｎ１２を介して第１メタル配線１１３ｃに接続される。ＮＭＯＳトランジスタＱｎ２１のソースである上部拡散層１０７ｎ２１はシリサイド１０９ｎ２１、コンタクト１１０ｎ２１を介して第１メタル配線１１３ｃに接続される。ＮＭＯＳトランジスタＱｎ２２のソースである上部拡散層１０７ｎ２２はシリサイド１０９ｎ２２、コンタクト１１０ｎ２２を介して第１メタル配線１１３ｃに接続される。ＮＭＯＳトランジスタＱｎ３１のソースである上部拡散層１０７ｎ３１はシリサイド１０９ｎ３１、コンタクト１１０ｎ３１を介して第１メタル配線１１３ｃに接続される。ＮＭＯＳトランジスタＱｎ３２のソースである上部拡散層１０７ｎ３２はシリサイド１０９ｎ３２、コンタクト１１０ｎ３２を介して第１メタル配線１１３ｃに接続される。ＰＭＯＳトランジスタＱｐ１１のソースである上部拡散層１０７ｐ１１はシリサイド１０９ｐ１１、コンタクト１１０ｐ１１を介して第１メタル配線１１３ｇに接続される。ＰＭＯＳトラ

ンジスタＱｐ１２のソースである上部拡散層１０７ｐ１２はシリサイド１０９ｐ１２、コンタクト１１０ｐ１２を介して第１メタル配線１１３ｇに接続される。ＰＭＯＳトランジスタＱｐ２１のドレインである上部拡散層１０７ｐ２１はシリサイド１０９ｐ２１、コンタクト１１０ｐ２１を介して第１メタル配線１１３ｇに接続される。ＰＭＯＳトランジスタＱｐ２２のドレインである上部拡散層１０７ｐ２２はシリサイド１０９ｐ２２、コンタクト１１０ｐ２２を介して第１メタル配線１１３ｇに接続される。ここで、ＰＭＯＳトランジスタＱｐ１１、Ｑｐ１２のソースとＰＭＯＳトランジスタＱｐ２１、Ｑｐ２２のドレインは、第１メタル配線１１３ｇを介して接続される。また、ＰＭＯＳトランジスタＱｐ２１、Ｑｐ２２のソースは下部拡散層１０２ｐｂとシリサイド領域１０３を介してＰＭＯＳトランジスタＱｐ３１、Ｑｐ３２のドレインと接続され、ＰＭＯＳトランジスタＱｐ３１、Ｑｐ３２のソースは、それぞれコンタクト１１０ｐ３１、１１０ｐ３２を介して第１メタル配線１１３ａに接続される。また、第１メタル１１３ａには電源Ｖｃｃが供給される。

[0043] 第１メタル配線１１３ｄには、入力信号ＩＮ１が供給され、コンタクト１１１ａ、１１１ｂを介してゲート配線１０６ｂ、１０６ｄに接続され、それぞれＮＭＯＳトランジスタＱｎ１１のゲート電極、Ｑｎ１２のゲート電極に供給されるとともに、ゲート配線１０６ａ、ゲート配線１０６ｃを介してそれぞれＰＭＯＳトランジスタＱｐ１１、Ｑｐ１２のゲート電極に供給される。第１メタル配線１１３ｅには、入力信号ＩＮ２が供給され、コンタクト１１１ｃ、１１１ｄを介してゲート配線１０６ｆ、１０６ｈに接続され、それぞれＮＭＯＳトランジスタＱｎ２１のゲート電極、Ｑｎ２２のゲート電極に供給されるとともに、ゲート配線１０６ｅ、ゲート配線１０６ｇを介してそれぞれＰＭＯＳトランジスタＱｐ２１、Ｑｐ２２のゲート電極に供給される。第１メタル配線１１３ｆには、入力信号ＩＮ３が供給され、コンタクト１１１ｅ、１１１ｆを介してゲート配線１０６ｊ、１０６ｌに接続され、それぞれＮＭＯＳトランジスタＱｎ３１のゲート電極、Ｑｎ３２のゲート電極に供

給されるとともに、ゲート配線１０６ｉ、ゲート配線１０６ｋを介してそれぞれＰＭＯＳトランジスタＱｐ３１、Ｑｐ３２のゲート電極に供給される。

[0044] これらの３入力ＮＯＲ回路を、電源線Ｖｃｃ（１１３ａ）、基準電源線Ｖｓｓ（１１３ｃ）を含めて、ブロックＢＬ３２と定義する。

また、電源線１１３ａと基準電源線１１３ｃとの間隔を、実施例１（図２ａ）と同じくＬｙ（電源線、基準電源線を含めた間隔）とする。

本実施例によれば、無駄な配線やコンタクト領域を設けずに、３入力ＮＯＲ回路で入力トランジスタが各々２個並列となった構成の１２個のＳＧＴを２行６列に配置でき、面積が縮小された半導体装置が提供できる。

なお、本実施例では、並列接続するトランジスタは、それぞれ２個としたが、２個以上でも同様であり、例えば３個並列の場合は、さらに横に配置して、２行９列の配置にすれば良い。

[0045] （実施例５）

図９に本発明に適用する３入力ＮＯＲ回路で、各入力のトランジスタが２個並列に接続されており、駆動電流が２倍になるように設定されている回路の等価回路図を示す。図７と異なるところは、２個並列に設けられたそれぞれのトランジスタの入力信号に対して、組み合わせを変更している点である。

図７の回路図に従って配置された実施例４（図８ａ）では、入力ＩＮ１はＮＭＯＳトランジスタＱｎ１１、Ｑｎ１２に接続されており、電流の流れとしては、電源線１１３ｃ（Ｖｓｓ）、コンタクト１１０ｎ１１、１１０ｎ１２、ＮＭＯＳトランジスタＱｎ１１、Ｑｎ１２、シリサイド１０３、コンタクト１１２ａ、第１メタル配線１１３ｂを経由して出力ＯＵＴ３２に流れる。

このケースでは、寄生の配線抵抗となるのは、第１メタル１１３ｃ、コンタクト１１０ｎ１１、１１０ｎ１２、シリサイド１０３、コンタクト１１２ａ、第１メタル１１３ｂであるが、第１メタル配線の抵抗は非常に小さく、コンタクトの抵抗も比較的小さいので、問題にならない。寄生抵抗として考慮が必要なのはシリサイドであるが、この配置では、シリサイド領域は非常に小さく、寄生抵抗としては問題ない。

一方、入力ＩＮ３の場合は、電流経路は、ＮＭＯＳトランジスタＱｎ３１、Ｑｎ３２のドレインから第１メタル配線１１３ｂへつなぐコンタクト１１２ａまでのシリサイド領域が長く、シリサイドの材質によっては、寄生抵抗が無視できない場合がある。

本実施例では、この点を鑑みて改善を図っている。

図９において、入力信号ＩＮ１は、ＮＭＯＳトランジスタＱｎ１１とＰＭＯＳトランジスタＱｐ１１の対に接続する（後述する図１０の１列目）と同時に、ＮＭＯＳトランジスタＱｎ３２、ＰＭＯＳトランジスタＱｐ３２の対（図１０の６列目）に接続する。入力信号ＩＮ２は、ＮＭＯＳトランジスタＱｎ２１、ＰＭＯＳトランジスタＱｐ２１の対と、ＮＭＯＳトランジスタＱｎ２２、ＰＭＯＳトランジスタＱｐ２２の対に接続される。（図１０の３列目と４列目。）入力信号ＩＮ３は、ＮＭＯＳトランジスタＱｎ１２、ＰＭＯＳトランジスタＱｐ１２の対と、ＮＭＯＳトランジスタＱｎ３１、ＰＭＯＳトランジスタＱｐ３１の対に接続される。（図１０の２列目と５列目。）

[0046] 図１０に、第５の実施例を示す。図１０は、本発明の、入力トランジスタが各々２個並列に接続された３入力ＮＯＲレイアウト（配置）の平面図である。各トランジスタの配置は図８ａと同じであり、同じ箇所の符号は一部省略してある。図８ａと異なるところは、図の右からみて、第１列目から６列目に配置されているＮＭＯＳトランジスタＱｎｋ、Ｑｐｋの対（ｋ＝１～６）の入力信号の接続が異なる点である。

図１０において、入力信号ＩＮ１、ＩＮ２、ＩＮ３はそれぞれ第１メタル１１３ｄ、１１３ｅ、１１３ｆに供給される。

第１列目のＮＭＯＳトランジスタＱｎ１１，ＰＭＯＳトランジスタＱｐ１１の対には、入力ＩＮ１が第１メタル配線１１３ｄ、コンタクト１１１ａ、ゲート配線１０６ｂ、１０６ａを介して、各ゲート電極に接続される。

第２列目のＮＭＯＳトランジスタＱｎ１２，ＰＭＯＳトランジスタＱｐ１２の対には、入力ＩＮ３が第１メタル配線１１３ｆ、コンタクト１１１ｂ、ゲート配線１０６ｄ、１０６ｃを介して、各ゲート電極に接続される。

第３列目のＮＭＯＳトランジスタＱｎ２１，ＰＭＯＳトランジスタＱｐ２１の対には、入力ＩＮ２が第１メタル配線１１３ｅ、コンタクト１１１ｃ、ゲート配線１０６ｆ、１０６ｅを介して、各ゲート電極に接続される。

第４列目のＮＭＯＳトランジスタＱｎ２２，ＰＭＯＳトランジスタＱｐ２２の対には、入力ＩＮ２が第１メタル配線１１３ｅ、コンタクト１１１ｄ、ゲート配線１０６ｈ、１０６ｇを介して、各ゲート電極に接続される。

第５列目のＮＭＯＳトランジスタＱｎ３１，ＰＭＯＳトランジスタＱｐ３１の対には、入力ＩＮ３が第１メタル配線１１３ｆ、コンタクト１１１ｅ、ゲート配線１０６ｊ、１０６ｉを介して、各ゲート電極に接続される。

第６列目のＮＭＯＳトランジスタＱｎ３２，ＰＭＯＳトランジスタＱｐ３２の対には、入力ＩＮ１が第１メタル配線１１３ｄ、コンタクト１１１ｆ、ゲート配線１０６ｌ、１０６ｋを介して、各ゲート電極に接続される。

[0047] 入力信号ＩＮ１は、第１列目の対（シリサイド領域の距離が最短で寄生抵抗が小さい）と、第６列目の対（シリサイド領域の距離が最遠端で寄生抵抗が大きい）に接続され、入力信号ＩＮ２は、第３列目の対と第４列目の対（シリサイド領域の距離が中間で寄生抵抗が中間）に接続され、入力信号ＩＮ３は、第２列目の対（シリサイド領域の距離が短くて寄生抵抗が小さい）と第５列目の対（シリサイド領域の距離が遠端で寄生抵抗が大きい）に接続される。このような接続にすることにより、各入力が接続される対のシリサイドの寄生抵抗の平均が同等の値になり、列の位置による特性の差がなくなる。

これらの３入力ＮＯＲ回路を、電源線Ｖｃｃ（１１３ａ）、基準電源線Ｖｓｓ（１１３ｃ）を含めて、ブロックＢＬ３２ａと定義する。

また、電源線１１３ａと基準電源線１１３ｃとの間隔を、実施例１（図２ａ）と同じくＬｙ（電源線、基準電源線を含めた間隔）とする。

本実施例によれば、無駄な配線やコンタクト領域を設けずに、３入力ＮＯＲ回路で入力トランジスタが各々２個並列となった構成の１２個のＳＧＴを２行６列に配置でき、良好な特性が得られて、且つ、面積が縮小された半導体装置が提供できる。

[0048]（実施例６）

図１１ａ、図１１ｂ、図１１ｃ、図１１ｄ、図１１ｅに、第６の実施例を示す。等価回路図は図７に従う。図１１ａは、本発明の３入力ＮＯＲレイアウト（配置）の平面図、図１１ｂは、カットラインＡ－Ａ’に沿った断面図、図１１ｃはカットラインＢ－Ｂ’に沿った断面図、図１１ｄはカットラインＣ－Ｃ’に沿った断面図、図１１ｅはカットラインＤ－Ｄ’に沿った断面図を示す。

図８ａ（実施例５）と異なるところは、図８ａは、２行６列に配置されているが、本実施例では、４行３列に配置しているところである。

図１１ａにおいて、図７のＮＯＲ回路のＮＭＯＳトランジスタＱｎ１２、Ｑｎ２２、Ｑｎ３２が１行目（図の最下位の行）、Ｑｎ１１、Ｑｎ２１、Ｑｎ３１が２行目、ＰＭＯＳトランジスタＱｐ１１、Ｑｐ２１、Ｑｐ３１が３行目、Ｑｐ１２、Ｑｐ２２、Ｑｐ３２が４行目に、それぞれ図の右側より順番に配置されている。

なお、図１１ａ、図１１ｂ、図１１ｃにおいて、図８ａ、図８ｂ、図８ｃと同じ構造の箇所については、１００番台の同じ記号で示してある。

[0049] 基板上に形成された埋め込み酸化膜層（ＢＯＸ）１０１などの絶縁膜上に平面状シリコン層１０２ｎ、１０２ｐａ、１０２ｐｂが形成され、この平面状シリコン層１０２ｎ、１０２ｐａ、１０２ｐｂは不純物注入等により、それぞれｎ＋拡散層、ｐ＋拡散層、ｐ＋拡散層から構成される。１０３は、平面状シリコン層（１０２ｎ、１０２ｐａ、１０２ｐｂ）の表面に形成されるシリサイド層であり、平面状シリコン層１０２ｎ、１０２ｐａを接続する。１０４ｎ１１、１０４ｎ１２、１０４ｎ２１、１０４ｎ２２、１０４ｎ３１、１０４ｎ３２はｎ型シリコン柱、１０４ｐ１１、１０４ｐ１２、１０４ｐ２１、１０４ｐ２２、１０４ｐ３１、１０４ｐ３２はｐ型シリコン柱、１０５はシリコン柱１０４ｎ１１、１０４ｎ１２、１０４ｎ２１、１０４ｎ２２、１０４ｎ３１、１０４ｎ３２、１０４ｐ１１、１０４ｐ１２、１０４ｐ２１、１０４ｐ２２、１０４ｐ３１、１０４ｐ３２を取り巻くゲート絶縁膜、１

０６はゲート電極、１０６ａ、１０６ｂ、１０６ｃ、１０６ｄ、１０６ｅ、１０６ｆ、１０６ｇ、１０６ｈ、１０６ｉ、１０６ｊ、１０６ｋ及び１０６ｌは、それぞれゲート配線である。シリコン柱１０４ｎ１１、１０４ｎ１２、１０４ｎ２１、１０４ｎ２２、１０４ｎ３１、１０４ｎ３２の最上部には、それぞれｐ＋拡散層１０７ｐ１１、１０７ｐ１２、１０７ｐ２１、１０７ｐ２２、１０７ｐ３１、１０７ｐ３２が不純物注入等により形成され、シリコン柱１０４ｐ１１、１０４ｐ１２、１０４ｐ２１、１０４ｐ２２、１０４ｐ３１、１０４ｐ３２の最上部には、それぞれｎ＋拡散層１０７ｎ１１、１０７ｎ１２、１０７ｎ２１、１０７ｎ２２、１０７ｎ３１、１０７ｎ３２が不純物注入等により形成される。１０８はゲート絶縁膜１０５を保護するためのシリコン窒化膜、１０９ｐ１１、１０９ｐ１２、１０９ｐ２１、１０９ｐ２２、１０９ｐ３１、１０９ｐ３２、１０９ｎ１１、１０９ｎ１２、１０９ｎ２１、１０９ｎ２２、１０９ｎ３１、１０９ｎ３２はそれぞれｐ＋拡散層１０７ｐ１１、１０７ｐ１２、１０７ｐ２１、１０７ｐ２２、１０７ｐ３１、１０７ｐ３２、ｎ＋拡散層１０７ｎ１１、１０７ｎ１２、１０７ｎ２１、１０７ｎ２２、１０７ｎ３１、１０７ｎ３２に接続されるシリサイド層、１１０ｐ１１、１１０ｐ１２、１１０ｐ２１、１１０ｐ２２、１１０ｐ３１、１１０ｐ３２、１１０ｎ１１、１１０ｎ１２、１１０ｎ２１、１１０ｎ２２、１１０ｎ３１、１１０ｎ３２は、シリサイド層１０９ｐ１１、１０９ｐ１２、１０９ｐ２１、１０９ｐ２２、１０９ｐ３１、１０９ｐ３２、１０９ｎ１１、１０９ｎ１２、１０９ｎ２１、１０９ｎ２２、１０９ｎ３１、１０９ｎ３２と第１メタル配線１１３ｇ、１１３ｇ、１１３ｇ、１１３ｇ、１１３ａ、１１３ａ、１１３ｃ、１１３ｃ、１１３ｃ、１１３ｃ、１１３ｃ、１１３ｃとをそれぞれ接続するコンタクト、１１１ａはゲート配線１０６ｄと第１メタル配線１１３ｄとを接続するコンタクト、１１１ｂはゲート配線１０６ｈと第１メタル配線１１３ｅとを接続するコンタクト、１１１ｃはゲート配線１０６ｌと第１メタル配線１１３ｆとを接続するコンタクトである。１１２ａ（図では７個設けている）は、下部拡散層１０２ｎと下部拡散層１

０２ｐａとを接続するシリサイド１０３と第１メタル配線１１３ｂを接続するコンタクトである。

[0050] シリコン柱１０４ｎ１１、下部拡散層１０２ｐａ、上部拡散層１０７ｐ１１、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ１１を構成し、シリコン柱１０４ｎ１２、下部拡散層１０２ｐａ、上部拡散層１０７ｐ１２、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ１２を構成し、シリコン柱１０４ｎ２１、下部拡散層１０２ｐｂ、上部拡散層１０７ｐ２１、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ２１を構成し、シリコン柱１０４ｎ２２、下部拡散層１０２ｐｂ、上部拡散層１０７ｐ２２、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ２２を構成し、シリコン柱１０４ｎ３１、下部拡散層１０２ｐｂ、上部拡散層１０７ｐ３１、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ３１を構成し、シリコン柱１０４ｎ３２、下部拡散層１０２ｐｂ、上部拡散層１０７ｐ３２、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ３２を構成し、

シリコン柱１０４ｐ１１、下部拡散層１０２ｎ、上部拡散層１０７ｎ１１、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ１１を構成し、シリコン柱１０４ｐ１２、下部拡散層１０２ｎ、上部拡散層１０７ｎ１２、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ１２を構成し、シリコン柱１０４ｐ２１、下部拡散層１０２ｎ、上部拡散層１０７ｎ２１、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ２１を構成し、シリコン柱１０４ｐ２２、下部拡散層１０２ｎ、上部拡散層１０７ｎ２２、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ２２を構成し、シリコン柱１０４ｐ３１、下部拡散層１０２ｎ、上部拡散層１０７ｎ３１、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ３１を構成し、シリコン柱１０４ｐ３２、下部拡散層１０２ｎ、上部拡散層１０７ｎ３２

、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ３２を構成する。

[0051] また、ＰＭＯＳトランジスタＱｐ１１のゲート電極１０６にはゲート配線１０６ａ及び１０６ｂが接続され、ＰＭＯＳトランジスタＱｐ１２のゲート電極１０６にはゲート配線１０６ａが接続され、ＰＭＯＳトランジスタＱｐ２１のゲート電極１０６にはゲート配線１０６ｅ及び１０６ｆが接続され、ＰＭＯＳトランジスタＱｐ２２のゲート電極１０６にはゲート配線１０６ｅが接続され、ＰＭＯＳトランジスタＱｐ３１のゲート電極１０６にはゲート配線１０６ｉ及び１０６ｊが接続され、ＰＭＯＳトランジスタＱｐ３２のゲート電極１０６にはゲート配線１０６ｉが接続され、ＮＭＯＳトランジスタＱｎ１１のゲート電極１０６にはゲート配線１０６ｂ及び１０６ｃが接続され、ＮＭＯＳトランジスタＱｎ１２のゲート電極１０６にはゲート配線１０６ｃ及び１０６ｄが接続され、ＮＭＯＳトランジスタＱｎ２１のゲート電極にはゲート配線１０６ｆ及び１０６ｇが接続され、ＮＭＯＳトランジスタＱｎ２２のゲート電極にはゲート配線１０６ｇ及び１０６ｈが接続され、ＮＭＯＳトランジスタＱｎ３１のゲート電極にはゲート配線１０６ｊ及び１０６ｋが接続され、ＮＭＯＳトランジスタＱｎ３２のゲート電極にはゲート配線１０６ｋ及び１０６ｌが接続される。

[0052] 下部拡散層１０２ｎ及び１０２ｐａはＮＭＯＳトランジスタＱｎ１１、Ｑｎ１２、Ｑｎ２１、Ｑｎ２２、Ｑｎ３１、Ｑｎ３２及びＰＭＯＳトランジスタＱｐ１１、Ｑｐ１２の共通ドレインとなり、出力ＯＵＴ３２に接続される。ＮＭＯＳトランジスタＱｎ１１のソースである上部拡散層１０７ｎ１１はシリサイド１０９ｎ１１、コンタクト１１０ｎ１１を介して第１メタル配線１１３ｃに接続され、第１メタル配線１１３ｃには基準電源Ｖｓｓが供給される。ＮＭＯＳトランジスタＱｎ１２のソースである上部拡散層１０７ｎ１２はシリサイド１０９ｎ１２、コンタクト１１０ｎ１２を介して第１メタル配線１１３ｃに接続される。ＮＭＯＳトランジスタＱｎ２１のソースである上部拡散層１０７ｎ２１はシリサイド１０９ｎ２１、コンタクト１１０ｎ２１

を介して第１メタル配線１１３ｃに接続される。ＮＭＯＳトランジスタＱｎ２２のソースである上部拡散層１０７ｎ２２はシリサイド１０９ｎ２２、コンタクト１１０ｎ２２を介して第１メタル配線１１３ｃに接続される。ＮＭＯＳトランジスタＱｎ３１のソースである上部拡散層１０７ｎ３１はシリサイド１０９ｎ３１、コンタクト１１０ｎ３１を介して第１メタル配線１１３ｃに接続される。ＮＭＯＳトランジスタＱｎ３２のソースである上部拡散層１０７ｎ３２はシリサイド１０９ｎ３２、コンタクト１１０ｎ３２を介して第１メタル配線１１３ｃに接続される。ＰＭＯＳトランジスタＱｐ１１のソースである上部拡散層１０７ｐ１１はシリサイド１０９ｐ１１、コンタクト１１０ｐ１１を介して第１メタル配線１１３ｇに接続される。ＰＭＯＳトランジスタＱｐ１２のドレインである上部拡散層１０７ｐ１２はシリサイド１０９ｐ１２、コンタクト１１０ｐ１２を介して第１メタル配線１１３ｇに接続される。ＰＭＯＳトランジスタＱｐ２１のドレインである上部拡散層１０７ｐ２１はシリサイド１０９ｐ２１、コンタクト１１０ｐ２１を介して第１メタル配線１１３ｇに接続される。ＰＭＯＳトランジスタＱｐ２２のドレインである上部拡散層１０７ｐ２２はシリサイド１０９ｐ２２、コンタクト１１０ｐ２２を介して第１メタル配線１１３ｇに接続される。ここで、ＰＭＯＳトランジスタＱｐ１１、Ｑｐ１２のソースとＰＭＯＳトランジスタＱｐ２１、Ｑｐ２２のドレインは、第１メタル配線１１３ｇを介して接続される。また、ＰＭＯＳトランジスタＱｐ２１、Ｑｐ２２のソースは下部拡散層１０２ｐｂとシリサイド領域１０３を介してＰＭＯＳトランジスタＱｐ３１、Ｑｐ３２のドレインと接続され、ＰＭＯＳトランジスタＱｐ３１、Ｑｐ３２のソースは、それぞれコンタクト１１０ｐ３１、１１０ｐ３２を介して第１メタル配線１１３ａに接続される。また、第１メタル１１３ａには電源Ｖｃｃが供給される。

[0053] 第１メタル配線１１３ｄには、入力信号ＩＮ１が供給され、入力信号ＩＮ１はコンタクト１１１ａを介してゲート配線１０６ｄに接続され、ＮＭＯＳトランジスタＱｎ１２のゲート電極に供給されると同時に、ゲート配線１０６

ｃ、１０６ｂ、１０６ａを介して、ＮＭＯＳトランジスタＱｎ１１、ＰＭＯＳトランジスタＱｐ１１、Ｑｐ１２のゲート電極に供給される。

第１メタル配線１１３ｅには、入力信号ＩＮ２が供給され、入力信号ＩＮ２はコンタクト１１１ｂを介してゲート配線１０６ｈに接続され、ＮＭＯＳトランジスタＱｎ２２のゲート電極に供給されると同時に、ゲート配線１０６ｇ、１０６ｆ、１０６ｅを介して、ＮＭＯＳトランジスタＱｎ２１、ＰＭＯＳトランジスタＱｐ２１、Ｑｐ２２のゲート電極に供給される。

第１メタル配線１１３ｆには、入力信号ＩＮ３が供給され、入力信号ＩＮ３はコンタクト１１１ｃを介してゲート配線１０６Ｉに接続され、ＮＭＯＳトランジスタＱｎ３２のゲート電極に供給されると同時に、ゲート配線１０６ｋ、１０６ｊ、１０６ｉを介して、ＮＭＯＳトランジスタＱｎ３１、ＰＭＯＳトランジスタＱｐ３１、Ｑｐ３２のゲート電極に供給される。

[0054] 本実施例のメリットは、４行３列に配置することにより、図８ａで課題となっていたシリサイド層の寄生抵抗を少なくできることである。電流経路としてシリサイドの寄生抵抗がもっとも大きくなるのは、基準電源Ｖｓｓが第１メタル配線に供給され、ＮＭＯＳトランジスタＱｎ３１，Ｑｎ３２を経由してシリサイド１０３を通ってコンタクト１１２ａを介して第１メタル配線１１３ｂに流れる箇所である。図８ａと比較して、シリサイド領域の距離（長さ）は半減しており、また、幅はおおよそ２倍となっており、抵抗値としては１／４となり、効果は大きい。

これらの３入力ＮＯＲ回路を、電源線Ｖｃｃ（１１３ａ）、基準電源線Ｖｓｓ（１１３ｃ）を含めて、ブロックＢＬ３２１と定義する。

また、電源線１１３ａと基準電源線１１３ｃとの間隔を、Ｌｙ２（電源線、基準電源線を含めた間隔）とする。図２の実施例のＬｙとは異なるが、本実施例のような４行配置の実施は多くあるので、４行ｎ列の規格として、Ｌｙ２とすれば良い。

本実施例によれば、無駄な配線やコンタクト領域を設けずに、３入力ＮＯＲ回路で入力トランジスタが各々２個並列となった構成の１２個のＳＧＴを４

行３列に配置することにより、良好な特性が得られて、且つ、面積が縮小された半導体装置が提供できる。

なお、本実施例では２個並列としたが、さらに大きな電流が必要な場合は、２個以上の複数個を並列にすることも可能である。例えば、３個並列の場合は、６行３列とすることも容易である。

さらに並列の個数を増やしたい場合には、本実施例と、実施例４（図８ａ）を組み合わせることが可能である。例えば、４個並列の３入力ＮＡＮＤを構成する場合には、４行６列に配置すれば、良好な特性で、且つ、面積が縮小された半導体装置が供給される。

[0055]（実施例７）

図１２に本発明に適用する３入力ＮＯＲ回路の等価回路図を示す。図９と異なるところは、同じ３入力ＮＯＲ回路であるが、図１２は、各入力に対して、ＰＭＯＳトランジスタのみ２個並列に接続されており、ＰＭＯＳ側の駆動電流が２倍になるように設定されているところである。

ＮＯＲ回路ではＰＭＯＳトランジスタが直列接続となり電流が減少するが、一般的には特に大きな問題とはならない。しかしながらＮＯＲ段数が大きい場合にＮＭＯＳトランジスタを流れる電流と、直列接続されたＰＭＯＳトランジスタを流れる電流の大きさがアンバランスになる場合があり、充電電流（ＰＭＯＳトランジスタを流れる電流）と放電電流（ＮＭＯＳを流れる電流）をできるだけ等しくしたい場合や、高速に充電したい場合に、ＰＭＯＳトランジスタのみ複数個並列にする場合がある。

本実施例では、ＰＭＯＳトランジスタのみ２個並列にした場合を示す。

[0056] Ｑｎ１１、Ｑｎ２１、Ｑｎ３１は、ＳＧＴで構成されたＮＭＯＳトランジスタ、Ｑｐ１１、Ｑｐ１２、Ｑｐ２１、Ｑｐ２２、Ｑｐ３１、Ｑｐ３２は、同じくＳＧＴで構成されたＰＭＯＳトランジスタである。前記ＮＭＯＳトランジスタＱｎ１１、Ｑｎ２１、Ｑｎ３１のソースは基準電源Ｖｓｓに接続され、ドレインは共通にノードＮ１に接続される。ノードＮ１は出力ＯＵＴ３２ｂとなる。ＰＭＯＳトランジスタＱｐ１１、Ｑｐ１２のドレインは各々ノー

ドＮ１に接続され、ソースはノードＮ２を介して各々ＰＭＯＳトランジスタＱｐ２１、Ｑｐ２２のドレインに接続され、ＰＭＯＳトランジスタＱｐ２１、Ｑｐ２２のソースはノードＮ３を介して各々ＰＭＯＳトランジスタＱｐ３１、Ｑｐ３２のドレインに接続され、ＰＭＯＳトランジスタＱｐ３１、Ｑｐ３２のソースは各々電源Ｖｃｃに接続される。また、ＮＭＯＳトランジスタＱｎ１１、ＰＭＯＳトランジスタＱｐ１１、Ｑｐ１２のゲートには共通に入力信号ＩＮ１が接続され、ＮＭＯＳトランジスタＱｎ２１、ＰＭＯＳトランジスタＱｐ２１、Ｑｐ２２のゲートには共通に入力信号ＩＮ２が接続され、ＮＭＯＳトランジスタＱｎ３１、ＰＭＯＳトランジスタＱｐ３１、Ｑｐ３２のゲートには共通に入力信号ＩＮ３が接続される。

[0057] 図１３ａ、図１３ｂ、図１３ｃ、図１３ｄ、図１３ｅに、第７の実施例を示す。図１３ａは、本発明の３入力ＮＯＲレイアウト（配置）の平面図、図１３ｂは、カットラインＡ－Ａ’に沿った断面図、図１３ｃはカットラインＢ－Ｂ’に沿った断面図、図１３ｄはカットラインＣ－Ｃ’に沿った断面図、図１３ｅはカットラインＤ－Ｄ’に沿った断面図を示す。

図１１ａ（実施例６）と異なるところは、図１１ａは、４行３列に配置されているが、本実施例では、３行３列に配置しているところである。

図１３ａにおいて、図１２のＮＯＲ回路のＮＭＯＳトランジスタＱｎ１１、Ｑｎ２１、Ｑｎ３１が１行目（図の最下位の行）、ＰＭＯＳトランジスタＱｐ１１、Ｑｐ２１、Ｑｐ３１が２行目、Ｑｐ１２、Ｑｐ２２、Ｑｐ３２が３行目に、それぞれ図の右側より順番に配置されている。

なお、図１３ａ、図１３ｂ、図１３ｃ、図１３ｄ、図１３ｅにおいて、図１１ａ、図１１ｂ、図１１ｃ、図１１ｄ、図１１ｅと同じ構造の箇所については、１００番台の同じ記号で示してある。

[0058] 基板上に形成された埋め込み酸化膜層（ＢＯＸ）１０１などの絶縁膜上に平面状シリコン層１０２ｎ、１０２ｐａ、１０２ｐｂが形成され、この平面状シリコン層１０２ｎ、１０２ｐａ、１０２ｐｂは不純物注入等により、それぞれｎ＋拡散層、ｐ＋拡散層、ｐ＋拡散層から構成される。１０３は、平面

状シリコン層（１０２ｎ、１０２ｐａ、１０２ｐｂ）の表面に形成されるシリサイド層であり、平面状シリコン層１０２ｎ、１０２ｐａを接続する。１０４ｐ１１、１０４ｐ２１、１０４ｐ３１はｐ型シリコン柱、１０４ｎ１１、１０４ｎ１２、１０４ｎ２１、１０４ｎ２２、１０４ｎ３１、１０４ｎ３２はｎ型シリコン柱、１０５はシリコン柱１０４ｐ１１、１０４ｐ２１、１０４ｐ３１、１０４ｎ１１、１０４ｎ１２、１０４ｎ２１、１０４ｎ２２、１０４ｎ３１、１０４ｎ３２を取り巻くゲート絶縁膜、１０６はゲート電極、１０６ｂ、１０６ｃ、１０６ｄ、１０６ｆ、１０６ｇ、１０６ｈ、１０６ｊ、１０６ｋ及び１０６ｌは、それぞれゲート配線である。シリコン柱１０４ｐ１１、１０４ｐ２１、１０４ｐ３１の最上部には、それぞれｎ＋拡散層１０７ｎ１１、１０７ｎ２１、１０７ｎ３１が不純物注入等により形成され、シリコン柱１０４ｎ１１、１０４ｎ１２、１０４ｎ２１、１０４ｎ２２、１０４ｎ３１、１０４ｎ３２の最上部には、それぞれｐ＋拡散層１０７ｐ１１、１０７ｐ１２、１０７ｐ２１、１０７ｐ２２、１０７ｐ３１、１０７ｐ３２が不純物注入等により形成される。１０８はゲート絶縁膜１０５を保護するためのシリコン窒化膜、１０９ｎ１１、１０９ｎ２１、１０９ｎ３１、１０９ｐ１１、１０９ｐ１２、１０９ｐ２１、１０９ｐ２２、１０９ｐ３１、１０９ｐ３２はそれぞれｎ＋拡散層１０７ｎ１１、１０７ｎ２１、１０７ｎ３１、ｐ＋拡散層１０７ｐ１１、１０７ｐ１２、１０７ｐ２１、１０７ｐ２２、１０７ｐ３１、１０７ｐ３２に接続されるシリサイド層、１１０ｎ１１、１１０ｎ２１、１１０ｎ３１、１１０ｐ１１、１１０ｐ１２、１１０ｐ２１、１１０ｐ２２、１１０ｐ３１、１１０ｐ３２は、シリサイド層１０９ｎ１１、１０９ｎ２１、１０９ｎ３１、１０９ｐ１１、１０９ｐ１２、１０９ｐ２１、１０９ｐ２２、１０９ｐ３１、１０９ｐ３２と第１メタル配線１１３ｃ、１１３ｃ、１１３ｃ、１１３ｇ、１１３ｇ、１１３ｇ、１１３ｇ、１１３ａ、１１３ａとをそれぞれ接続するコンタクト、１１１ａはゲート配線１０６ｄと第１メタル配線１１３ｄとを接続するコンタクト、１１１ｂはゲート配線１０６ｈと第１メタル配線１１３ｅとを接続するコンタクト、１

１１ｃはゲート配線１０６Ｉと第１メタル配線１１３ｆとを接続するコンタクトである。

１１２ａ（図では５個配置）は、下部拡散層１０２ｎと下部拡散層１０２ｐａとを接続するシリサイド１０３と第１メタル配線１１３ｂを接続するコンタクトである。

[0059] シリコン柱１０４ｐ１１、下部拡散層１０２ｎ、上部拡散層１０７ｎ１１、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ１１を構成し、シリコン柱１０４ｐ２１、下部拡散層１０２ｎ、上部拡散層１０７ｎ２１、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ２１を構成し、シリコン柱１０４ｐ３１、下部拡散層１０２ｎ、上部拡散層１０７ｎ３１、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｐ３１を構成し、シリコン柱１０４ｎ１１、下部拡散層１０２ｐａ、上部拡散層１０７ｐ１１、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ１１を構成し、シリコン柱１０４ｎ１２、下部拡散層１０２ｐａ、上部拡散層１０７ｐ１２、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ１２を構成し、シリコン柱１０４ｎ２１、下部拡散層１０２ｐｂ、上部拡散層１０７ｐ２１、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ２１を構成し、シリコン柱１０４ｎ２２、下部拡散層１０２ｐｂ、上部拡散層１０７ｐ２２、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ２２を構成し、シリコン柱１０４ｎ３１、下部拡散層１０２ｐｂ、上部拡散層１０７ｐ３１、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ３１を構成し、シリコン柱１０４ｎ３２、下部拡散層１０２ｐｂ、上部拡散層１０７ｐ３２、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ３２を構成する。

[0060] また、ＰＭＯＳトランジスタＱｐ１２のゲート電極１０６にはゲート配線１０６ｂが接続され、ＰＭＯＳトランジスタＱｐ１１のゲート電極１０６には

ゲート配線１０６ｂ及び１０６ｃが接続され、ＮＭＯＳトランジスタＱｎ１１のゲート電極にはゲート配線１０６ｃ及び１０６ｄが接続され、ＰＭＯＳトランジスタＱｐ２２のゲート電極１０６にはゲート配線１０６ｆが接続され、ＰＭＯＳトランジスタＱｐ２１のゲート電極１０６にはゲート配線１０６ｆ及び１０６ｇが接続され、ＮＭＯＳトランジスタＱｎ２１のゲート電極にはゲート配線１０６ｇ及び１０６ｈが接続され、ＰＭＯＳトランジスタＱｐ３２のゲート電極１０６にはゲート配線１０６ｊが接続され、ＰＭＯＳトランジスタＱｐ３１のゲート電極１０６にはゲート配線１０６ｊ及び１０６ｋが接続され、ＮＭＯＳトランジスタＱｎ３１のゲート電極にはゲート配線１０６ｋ及び１０６ｌが接続される。

[0061] 下部拡散層１０２ｎ及び１０２ｐａはＮＭＯＳトランジスタＱｎ１１、Ｑｎ２１、Ｑｎ３１、ＰＭＯＳトランジスタＱｐ１１、Ｑｐ１２の共通ドレインとなり、出力ＯＵＴ３２ｂに接続される。

ＮＭＯＳトランジスタＱｎ１１のソースである上部拡散層１０７ｎ１１はシリサイド１０９ｎ１１、コンタクト１１０ｎ１１を介して第１メタル配線１１３ｃに接続され、第１メタル配線１１３ｃには基準電源Ｖｓｓが供給される。ＮＭＯＳトランジスタＱｎ２１のソースである上部拡散層１０７ｎ２１はシリサイド１０９ｎ２１、コンタクト１１０ｎ２１を介して第１メタル配線１１３ｃに接続される。ＮＭＯＳトランジスタＱｎ３１のソースである上部拡散層１０７ｎ３１はシリサイド１０９ｎ３１、コンタクト１１０ｎ３１を介して第１メタル配線１１３ｃに接続される。ＰＭＯＳトランジスタＱｐ１１のソースである上部拡散層１０７ｐ１１はシリサイド１０９ｐ１１、コンタクト１１０ｐ１１を介して第１メタル配線１１３ｇに接続される。ＰＭＯＳトランジスタＱｐ１２のソースである上部拡散層１０７ｐ１２はシリサイド１０９ｐ１２、コンタクト１１０ｐ１２を介して第１メタル配線１１３ｇに接続される。ＰＭＯＳトランジスタＱｐ２１のドレインである上部拡散層１０７ｐ２１はシリサイド１０９ｐ２１、コンタクト１１０ｐ２１を介して第１メタル配線１１３ｇに接続される。ＰＭＯＳトランジスタＱｐ２２の

ドレインである上部拡散層１０７ｐ２２はシリサイド１０９ｐ２２、コンタクト１１０ｐ２２を介して第１メタル配線１１３ｇに接続される。ここで、ＰＭＯＳトランジスタＱｐ１１、Ｑｐ１２のソースとＰＭＯＳトランジスタＱｐ２１、Ｑｐ２２のドレインは、第１メタル配線１１３ｇを介して接続される。また、ＰＭＯＳトランジスタＱｐ２１、Ｑｐ２２のソースは下部拡散層１０２ｐｂとシリサイド領域１０３を介してＰＭＯＳトランジスタＱｐ３１、Ｑｐ３２のドレインと接続され、ＰＭＯＳトランジスタＱｐ３１、Ｑｐ３２のソースは、それぞれコンタクト１１０ｐ３１、１１０ｐ３２を介して第１メタル配線１１３ａに接続される。また、第１メタル１１３ａには電源Ｖｃｃが供給される。

[0062] 第１メタル配線１１３ｄには、入力信号ＩＮ１が供給され、入力信号ＩＮ１はコンタクト１１１ａを介してゲート配線１０６ｄに接続され、ＮＭＯＳトランジスタＱｎ１１のゲート電極に供給されると同時に、ゲート配線１０６ｃ、１０６ｂを介して、ＰＭＯＳトランジスタＱｐ１１、ＰＭＯＳトランジスタＱｐ１２のゲート電極に供給される。

第１メタル配線１１３ｅには、入力信号ＩＮ２が供給され、入力信号ＩＮ２はコンタクト１１１ｂを介してゲート配線１０６ｈに接続され、ＮＭＯＳトランジスタＱｎ２１のゲート電極に供給されると同時に、ゲート配線１０６ｇ、１０６ｆを介して、ＰＭＯＳトランジスタＱｐ２１、ＰＭＯＳトランジスタＱｐ２２のゲート電極に供給される。

第１メタル配線１１３ｆには、入力信号ＩＮ３が供給され、入力信号ＩＮ３はコンタクト１１１ｃを介してゲート配線１０６Ｉに接続され、ＮＭＯＳトランジスタＱｎ３１のゲート電極に供給されると同時に、ゲート配線１０６ｋ、１０６ｊを介して、ＰＭＯＳトランジスタＱｎ３１、ＰＭＯＳトランジスタＱｐ３２のゲート電極に供給される。

[0063] 本実施例のメリットは、３行３列に配置することにより、実施例６（図１１ａ）と同様に、図８ａで課題となっていたシリサイド層の寄生抵抗を少なくできることである。さらに、ＮＯＲ回路構成で直列となるＰＭＯＳトランジ

スタのみ複数個（本実施例では２個）の並列接続にすることにより、ＰＭＯＳ回路側の電流とＮＭＯＳ回路側の電流のバランスをとることができ、最適な特性が得られる。また、面積の増加を最小にすることができる。

これらの３入力ＮＯＲ回路を、電源線Ｖｃｃ（１１３ａ）、基準電源線Ｖｓｓ（１１３ｃ）を含めて、ブロックＢＬ３２ｂと定義する。

また、電源線１１３ａと基準電源線１１３ｃとの間隔を、Ｌｙ３（電源線、基準電源線を含めた間隔）とする。図２の実施例のＬｙとは異なるが、本実施例のような３行配置の実施は多くあるので、３行ｎ列の規格として、Ｌｙ３とすれば良い。

本実施例によれば、無駄な配線やコンタクト領域を設けずに、３入力ＮＯＲ回路で入力ＰＭＯＳトランジスタのみが各々２個並列となった構成の９個のＳＧＴを３行３列に配置することにより、良好な特性が得られて、且つ、面積が縮小された半導体装置が提供できる。

なお、本実施例では２個並列としたが、さらに大きな電流が必要な場合は、２個以上の複数個を並列にすることも可能である。例えば、ＰＭＯＳトランジスタが３個並列の場合は、４行３列となり、ＰＭＯＳトランジスタが３個並列、ＮＭＯＳトランジスタが２個並列の場合は、５行３列の構成となる。

[0064]（実施例８）

図１４ａ、図１４ｂ、図１４ｃ、図１４ｄ、図１４ｅ、図１４ｆに、第８の実施例を示す。等価回路は図１に従う。図１４ａは、本発明の３入力ＮＯＲレイアウト（配置）の平面図、図１４ｂは、カットラインＡ－Ａ’に沿った断面図、図１４ｃは、カットラインＢ－Ｂ’に沿った断面図、図１４ｄは、カットラインＣ－Ｃ’に沿った断面図、図１４ｅは、カットラインＤ－Ｄ’に沿った断面図、図１４ｆは、カットラインＥ－Ｅ’に沿った断面図を示す。

図２ａ（実施例１）と異なるところは、本発明の実施例（図１４ａ）では、入力信号及び出力信号の配線に、第２メタル配線を用いているところである。実施例では、第２メタル配線は第１メタル配線である電源線Ｖｃｃと基準

電源線Ｖｓｓと垂直方向に延在させている。

なお、図１４ａ、図１４ｂ、図１４ｃ、図１４ｄ、図１４ｅ、図１４ｆにおいて、図２ａ、図２ｂ、図２ｃ、図２ｄ、図２ｅと同じ構造の箇所については、１００番台の同等の記号で示してある。

[0065] 基板上に形成された埋め込み酸化膜層（ＢＯＸ）１０１などの絶縁膜上に平面状シリコン層１０２ｎ、１０２ｐａ、１０２ｐｂが形成され、この平面状シリコン層１０２ｎ、１０２ｐａ、１０２ｐｂは不純物注入等により、それぞれｎ＋拡散層、ｐ＋拡散層、ｐ＋拡散層から構成される。１０３は、平面状シリコン層（１０２ｎ、１０２ｐａ、１０２ｐｂ）の表面に形成されるシリサイド層であり、平面状シリコン層１０２ｎ、１０２ｐａを接続する。１０４ｎ１、１０４ｎ２、１０４ｎ３はｎ型シリコン柱、１０４ｐ１、１０４ｐ２、１０４ｐ３はｐ型シリコン柱、１０５はシリコン柱１０４ｎ１、１０４ｎ２、１０４ｎ３、１０４ｐ１、１０４ｐ２、１０４ｐ３を取り巻くゲート絶縁膜、１０６はゲート電極、１０６ａ、１０６ｂ、１０６ｃは、それぞれゲート配線である。シリコン柱１０４ｎ１、１０４ｎ２、１０４ｎ３の最上部には、それぞれｐ＋拡散層１０７ｐ１、１０７ｐ２、１０７ｐ３が不純物注入等により形成され、シリコン柱１０４ｐ１、１０４ｐ２、１０４ｐ３の最上部には、それぞれｎ＋拡散層１０７ｎ１、１０７ｎ２、１０７ｎ３が不純物注入等により形成される。１０８はゲート絶縁膜１０５を保護するためのシリコン窒化膜、１０９ｐ１、１０９ｐ２、１０９ｐ３、１０９ｎ１、１０９ｎ２、１０９ｎ３はそれぞれｐ＋拡散層１０７ｐ１、１０７ｐ２、１０７ｐ３、ｎ＋拡散層１０７ｎ１、１０７ｎ２、１０７ｎ３に接続されるシリサイド層、１１０ｐ１、１１０ｐ２、１１０ｐ３、１１０ｎ１、１１０ｎ２、１１０ｎ３は、シリサイド層１０９ｐ１、１０９ｐ２、１０９ｐ３、１０９ｎ１、１０９ｎ２、１０９ｎ３と第１メタル配線１１３ｇ、１１３ｇ、１１３ａ、１１３ｃ、１１３ｃ、１１３ｃとをそれぞれ接続するコンタクト、１１１ａはゲート配線１０６ａと第１メタル配線１１３ｄとを接続するコンタクト、１１１ｂはゲート配線１０６ｂと第１メタル配線１１３ｅとを接

続するコンタクト、１１１ｃはゲート配線１０６ｃと第１メタル配線１１３ｆとを接続するコンタクトである。

また、１１２ａ（３個）は、下部拡散層１０２ｎと下部拡散層１０２ｐａとを接続するシリサイド１０３と第１メタル配線１１３ｂを接続するコンタクトである。

１１４ａは、第１メタル配線１１３ｄと第２メタル配線１１５ｂを接続するコンタクト、１１４ｂは、第１メタル配線１１３ｅと第２メタル配線１１５ｄを接続するコンタクト、１１４ｃは、第１メタル配線１１３ｆと第２メタル配線１１５ｆを接続するコンタクト、１１４ｄは、第１メタル配線１１３ｂと第２メタル配線１１５ａを接続するコンタクトである。また、１１５ｃ、１１５ｅは、図面上ではどこにも接続されない第２メタル配線である。

[0066] シリコン柱１０４ｎ１、下部拡散層１０２ｐａ、上部拡散層１０７ｐ１、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ１を構成し、シリコン柱１０４ｎ２、下部拡散層１０２ｐｂ、上部拡散層１０７ｐ２、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ２を構成し、シリコン柱１０４ｎ３、下部拡散層１０２ｐｂ、上部拡散層１０７ｐ３、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ３を構成し、シリコン柱１０４ｐ１、下部拡散層１０２ｎ、上部拡散層１０７ｎ１、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ１を構成し、シリコン柱１０４ｐ２、下部拡散層１０２ｎ、上部拡散層１０７ｎ２、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ２を構成し、シリコン柱１０４ｐ３、下部拡散層１０２ｎ、上部拡散層１０７ｎ３、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ３を構成する。

[0067] また、ＰＭＯＳトランジスタＱｐ１のゲート電極１０６とＮＭＯＳトランジスタＱｎ１のゲート電極１０６にはゲート配線１０６ａが接続され、ＰＭＯＳトランジスタＱｐ２のゲート電極１０６とＮＭＯＳトランジスタＱｎ２のゲート電極１０６にはゲート配線１０６ｂが接続され、ＰＭＯＳトランジス

タＱｐ３のゲート電極１０６とＮＭＯＳトランジスタＱｎ３のゲート電極１０６にはゲート配線１０６ｃが接続される。

[0068] 下部拡散層１０２ｎ及び１０２ｐａはシリサイド１０３を介してＮＭＯＳトランジスタＱｎ１、Ｑｎ２、Ｑｎ３及びＰＭＯＳトランジスタＱｐ１の共通ドレインとなり、コンタクト１１２ａを介して第１メタル配線１１３ｂに接続され、第１メタル配線１１３ｂは、コンタクト１１４ｄを介して第２メタル配線１１５ａに接続され、出力ＯＵＴ３１となる。ＮＭＯＳトランジスタＱｎ１のソースである上部拡散層１０７ｎ１はシリサイド１０９ｎ１、コンタクト１１０ｎ１を介して第１メタル配線１１３ｃに接続され、第１メタル配線１１３ｃには基準電源Ｖｓｓが供給される。ＮＭＯＳトランジスタＱｎ２のソースである上部拡散層１０７ｎ２はシリサイド１０９ｎ２、コンタクト１１０ｎ２を介して第１メタル配線１１３ｃに接続される。また、ＮＭＯＳトランジスタＱｎ３のソースである上部拡散層１０７ｎ３はシリサイド１０９ｎ３、コンタクト１１０ｎ３を介して第１メタル配線１１３ｃに接続される。ＰＭＯＳトランジスタＱｐ１のソースである上部拡散層１０７ｐ１はシリサイド１０９ｐ１、コンタクト１１０ｐ１を介して第１メタル配線１１３ｇに接続される。ＰＭＯＳトランジスタＱｐ２のドレインである上部拡散層１０７ｐ２はシリサイド１０９ｐ２、コンタクト１１０ｐ２を介して第１メタル配線１１３ｇに接続される。ここで、ＰＭＯＳトランジスタＱｐ１のソースとＰＭＯＳトランジスタＱｐ２のドレインは、第１メタル配線１１３ｇを介して接続される。また、ＰＭＯＳトランジスタＱｐ２のソースは下部拡散層１０２ｐｂとシリサイド領域１０３を介してＰＭＯＳトランジスタＱｐ３のドレインと接続され、ＰＭＯＳトランジスタＱｐ３のソースは、コンタクト１１０ｐ３を介して第１メタル配線１１３ａに接続され、第１メタル配線１１３ａには電源Ｖｃｃが供給される。

[0069] 第２メタル配線１１５ｂには、入力信号ＩＮ１が供給され、コンタクト１１４ａを介して第１メタル配線１１３ｄに接続され、さらに、コンタクト１１１ａを介してゲート配線１０６ａに接続され、ＰＭＯＳトランジスタＱｐ１

とＮＭＯＳトランジスタＱｎ１のゲート電極に供給される。

第２メタル配線１１５ｄには、入力信号ＩＮ２が供給され、コンタクト１１４ｂを介して第１メタル配線１１３ｅに接続され、さらに、コンタクト１１１ｂを介してゲート配線１０６ｂに接続され、ＰＭＯＳトランジスタＱｐ２とＮＭＯＳトランジスタＱｎ２のゲート電極に供給される。

第２メタル配線１１５ｆには、入力信号ＩＮ３が供給され、コンタクト１１４ｃを介して第１メタル配線１１３ｆに接続され、さらに、コンタクト１１１ｃを介してゲート配線１０６ｃに接続され、ＰＭＯＳトランジスタＱｐ３とＮＭＯＳトランジスタＱｎ３のゲート電極に供給される。

また、第２メタル配線１１５ｃと１１５ｅは、それぞれ信号ＤＵＭ１、ＤＵＭ２が供給されるが、他のブロックで使用されるため本ブロックではどこにも接続されないダミーの配線としてこのブロックを通過する。

[0070] 本実施例は、行方向に沿って延在している第１メタル配線による電源線１１３ａ（Ｖｃｃ）、基準電源線１１３ｃ（Ｖｓｓ）と直行する形で垂直方向に、第２メタル配線を用いて、出力信号線１１５ａ（ＯＵＴ３１），入力信号線１１５ｂ（ＩＮ１）、１１５ｄ（ＩＮ２）、１１５ｆ（ＩＮ３）を配置しており、無駄な配線領域をなくし、非常に面積の縮小されたレイアウトが提供できる。さらに、空いた領域に、他のブロックで使用する信号線を通すことができ、本ブロックを複数個配置する場合に効率よく配線を通すことができる。

本実施例のブロックを、電源線Ｖｃｃ（１１３ａ）、基準電源線Ｖｓｓ（１１３ｃ）を含めて、ブロックＢＬ３１２と定義する。

また、電源線１１３ａと基準電源線１１３ｃとの間隔を、実施例１（図２ａ）と同じくＬｙ（電源線、基準電源線を含めた間隔）とする。

本実施例によれば、無駄な配線やコンタクト領域を設けずに、３入力ＮＯＲ回路を構成する６個のＳＧＴを２行３列に配置でき、面積が縮小された半導体装置が提供できる。

[0071]（実施例９）

図１５ａ、図１５ｂ、図１５ｃ、図１５ｄに、第９の実施例を示す。等価回路は図７に従う。図１５ａは、本発明の３入力ＮＯＲレイアウト（配置）の平面図、図１５ｂは、カットラインＡ－Ａ’に沿った断面図、図１５ｃは、カットラインＢ－Ｂ’に沿った断面図、図１５ｄは、カットラインＣ－Ｃ’に沿った断面図を示す。

実施例４（図８ａ）と異なるところは、本発明の実施例（図１５ａ）では、入力信号及び出力信号の配線に、実施例８(図１４ａ)と同じく、第２メタル配線を用いているところである。本実施例では、第２メタル配線は第１メタル配線である電源線Ｖｃｃと基準電源線Ｖｓｓと垂直方向に延在させている。

縦方向の断面図（図１４ａのカットラインＤ－Ｄ’及びＥ－Ｅ’）は、図１４ｅ、図１４ｆと同等であり、省略してある。なお、図１５ａ、図１５ｂ、図１５ｃ、図１５ｄにおいて、図８ａ、図８ｂ、図８ｃ、あるいは、図１４ａ、図１４ｂ、図１４ｃ、図１４ｄと同じ構造の箇所については、１００番台の同等の符号で示してある。

[0072] 基板上に形成された埋め込み酸化膜層（ＢＯＸ）１０１などの絶縁膜上に平面状シリコン層１０２ｎ、１０２ｐａ、１０２ｐｂが形成され、この平面状シリコン層１０２ｎ、１０２ｐａ、１０２ｐｂは不純物注入等により、それぞれｎ＋拡散層、ｐ＋拡散層、ｐ＋拡散層から構成される。１０３は、平面状シリコン層（１０２ｎ、１０２ｐａ、１０２ｐｂ）の表面に形成されるシリサイド層であり、平面状シリコン層１０２ｎ、１０２ｐａを接続する。１０４ｎ１１、１０４ｎ１２、１０４ｎ２１、１０４ｎ２２、１０４ｎ３１、１０４ｎ３２はｎ型シリコン柱、１０４ｐ１１、１０４ｐ１２、１０４ｐ２１、１０４ｐ２２、１０４ｐ３１、１０４ｐ３２はｐ型シリコン柱、１０５はシリコン柱１０４ｎ１１、１０４ｎ１２、１０４ｎ２１、１０４ｎ２２、１０４ｎ３１、１０４ｎ３２、１０４ｐ１１、１０４ｐ１２、１０４ｐ２１、１０４ｐ２２、１０４ｐ３１、１０４ｐ３２を取り巻くゲート絶縁膜、１０６はゲート電極、１０６ａ、１０６ｂ、１０６ｃ、１０６ｄは、それぞれ

ゲート配線である。シリコン柱１０４ｎ１１、１０４ｎ１２、１０４ｎ２１、１０４ｎ２２、１０４ｎ３１、１０４ｎ３２の最上部には、それぞれｐ＋拡散層１０７ｐ１１、１０７ｐ１２、１０７ｐ２１、１０７ｐ２２、１０７ｐ３１、１０７ｐ３２が不純物注入等により形成され、シリコン柱１０４ｐ１１、１０４ｐ１２、１０４ｐ２１、１０４ｐ２２、１０４ｐ３１、１０４ｐ３２の最上部には、それぞれｎ＋拡散層１０７ｎ１１、１０７ｎ１２、１０７ｎ２１、１０７ｎ２２、１０７ｎ３１、１０７ｎ３２が不純物注入等により形成される。１０８はゲート絶縁膜１０５を保護するためのシリコン窒化膜、１０９ｐ１１、１０９ｐ１２、１０９ｐ２１、１０９ｐ２２、１０９ｐ３１、１０９ｐ３２、１０９ｎ１１、１０９ｎ１２、１０９ｎ２１、１０９ｎ２２、１０９ｎ３１、１０９ｎ３２はそれぞれｐ＋拡散層１０７ｐ１１、１０７ｐ１２、１０７ｐ２１、１０７ｐ２２、１０７ｐ３１、１０７ｐ３２、ｎ＋拡散層１０７ｎ１１、１０７ｎ１２、１０７ｎ２１、１０７ｎ２２、１０７ｎ３１、１０７ｎ３２に接続されるシリサイド層、１１０ｐ１１、１１０ｐ１２、１１０ｐ２１、１１０ｐ２２、１１０ｐ３１、１１０ｐ３２、１１０ｎ１１、１１０ｎ１２、１１０ｎ２１、１１０ｎ２２、１１０ｎ３１、１１０ｎ３２は、シリサイド層１０９ｐ１１、１０９ｐ１２、１０９ｐ２１、１０９ｐ２２、１０９ｐ３１、１０９ｐ３２、１０９ｎ１１、１０９ｎ１２、１０９ｎ２１、１０９ｎ２２、１０９ｎ３１、１０９ｎ３２と第１メタル配線１１３ｇ、１１３ｇ、１１３ｇ、１１３ｇ、１１３ａ、１１３ａ、１１３ｃ、１１３ｃ、１１３ｃ、１１３ｃ、１１３ｃ、１１３ｃとをそれぞれ接続するコンタクト、１１１ａはゲート配線１０６ａと第１メタル配線１１３ｄとを接続するコンタクト、１１１ｂはゲート配線１０６ｂと第１メタル配線１１３ｅとを接続するコンタクト、１１１ｃはゲート配線１０６ｃと第１メタル配線１１３ｆとを接続するコンタクト、１１１ｄはゲート配線１０６ｄと第１メタル配線１１３ｆを接続するコンタクトである。

１１２ａ（３個）は、下部拡散層１０２ｎと下部拡散層１０２ｐａとを接続するシリサイド１０３と第１メタル配線１１３ｂを接続するコンタクトであ

る。

１１４ａは、第１メタル配線１１３ｄと第２メタル配線１１５ｃを接続するコンタクト、１１４ｂは、第１メタル配線１１３ｅと第２メタル配線１１５ｆを接続するコンタクト、１１４ｃは、第１メタル配線１１３ｆと第２メタル配線１１５ｋを接続するコンタクト、１１４ｄは、第１メタル配線１１３ｂと第２メタル配線１１５ａを接続するコンタクトである。また、１１５ｂ、１１５ｄ、１１５ｅ、１１５ｇ、１１５ｈ、１１５ｉ、１１５ｊ、１１５ｌは、図面上ではどこにも接続されない第２メタル配線である。

[0073] シリコン柱１０４ｎ１１、下部拡散層１０２ｐａ、上部拡散層１０７ｐ１１、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ１１を構成し、シリコン柱１０４ｎ１２、下部拡散層１０２ｐａ、上部拡散層１０７ｐ１２、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ１２を構成し、シリコン柱１０４ｎ２１、下部拡散層１０２ｐｂ、上部拡散層１０７ｐ２１、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ２１を構成し、シリコン柱１０４ｎ２２、下部拡散層１０２ｐｂ、上部拡散層１０７ｐ２２、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ２２を構成し、シリコン柱１０４ｎ３１、下部拡散層１０２ｐｂ、上部拡散層１０７ｐ３１、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ３１を構成し、シリコン柱１０４ｎ３２、下部拡散層１０２ｐｂ、上部拡散層１０７ｐ３２、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ３２を構成し、シリコン柱１０４ｐ１１、下部拡散層１０２ｎ、上部拡散層１０７ｎ１１、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ１１を構成し、シリコン柱１０４ｐ１２、下部拡散層１０２ｎ、上部拡散層１０７ｎ１２、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ１２を構成し、シリコン柱１０４ｐ２１、下部拡散層１０２ｎ、上部拡散層１０７ｎ２１、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ２１を構成し

、シリコン柱１０４ｐ２２、下部拡散層１０２ｎ、上部拡散層１０７ｎ２２、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ２２を構成し、シリコン柱１０４ｐ３１、下部拡散層１０２ｎ、上部拡散層１０７ｎ３１、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ３１を構成し、シリコン柱１０４ｐ３２、下部拡散層１０２ｎ、上部拡散層１０７ｎ３２、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｐ３２を構成する。

[0074] また、ＰＭＯＳトランジスタＱｐ１１とＱｐ１２のゲート電極１０６、ＮＭＯＳトランジスタＱｎ１１とＱｎ１２のゲート電極１０６にはゲート配線１０６ａが接続され、ＰＭＯＳトランジスタＱｐ２１とＱｐ２２のゲート電極１０６、ＮＭＯＳトランジスタＱｎ１２とＱｎ２２のゲート電極１０６にはゲート配線１０６ｂが接続され、ＰＭＯＳトランジスタＱｐ３１のゲート電極１０６とＮＭＯＳトランジスタＱｎ３１のゲート電極１０６にはゲート配線１０６ｃが接続され、ＰＭＯＳトランジスタＱｐ３２のゲート電極１０６とＮＭＯＳトランジスタＱｎ３２のゲート電極１０６にはゲート配線１０６ｄが接続される。

[0075] 下部拡散層１０２ｎ及び１０２ｐａはシリサイド１０３を介してＮＭＯＳトランジスタＱｎ１１、Ｑｎ１２、Ｑｎ２１、Ｑｎ２２、Ｑｎ３１、Ｑｎ３２及びＰＭＯＳトランジスタＱｐ１１、Ｑｐ１２の共通ドレインとなり、コンタクト１１２ａを介して第１メタル配線１１３ｂに接続され、第１メタル配線１１３ｂは、コンタクト１１４ｄを介して第２メタル配線１１５ａに接続され、出力ＯＵＴ３２となる。

ＮＭＯＳトランジスタＱｎ１１のソースである上部拡散層１０７ｎ１１はシリサイド１０９ｎ１１、コンタクト１１０ｎ１１を介して第１メタル配線１１３ｃに接続され、第１メタル配線１１３ｃには基準電源Ｖｓｓが供給される。ＮＭＯＳトランジスタＱｎ１２のソースである上部拡散層１０７ｎ１２はシリサイド１０９ｎ１２、コンタクト１１０ｎ１２を介して第１メタル配線１１３ｃに接続される。ＮＭＯＳトランジスタＱｎ２１のソースである上

部拡散層１０７ｎ２１はシリサイド１０９ｎ２１、コンタクト１１０ｎ２１を介して第１メタル配線１１３ｃに接続される。ＮＭＯＳトランジスタＱｎ２２のソースである上部拡散層１０７ｎ２２はシリサイド１０９ｎ２２、コンタクト１１０ｎ２２を介して第１メタル配線１１３ｃに接続される。ＮＭＯＳトランジスタＱｎ３１のソースである上部拡散層１０７ｎ３１はシリサイド１０９ｎ３１、コンタクト１１０ｎ３１を介して第１メタル配線１１３ｃに接続される。ＮＭＯＳトランジスタＱｎ３２のソースである上部拡散層１０７ｎ３２はシリサイド１０９ｎ３２、コンタクト１１０ｎ３２を介して第１メタル配線１１３ｃに接続される。ＰＭＯＳトランジスタＱｐ１１のソースである上部拡散層１０７ｐ１１はシリサイド１０９ｐ１１、コンタクト１１０ｐ１１を介して第１メタル配線１１３ｇに接続される。ＰＭＯＳトランジスタＱｐ１２のソースである上部拡散層１０７ｐ１２はシリサイド１０９ｐ１２、コンタクト１１０ｐ１２を介して第１メタル配線１１３ｇに接続される。ＰＭＯＳトランジスタＱｐ２１のドレインである上部拡散層１０７ｐ２１はシリサイド１０９ｐ２１、コンタクト１１０ｐ２１を介して第１メタル配線１１３ｇに接続される。ＰＭＯＳトランジスタＱｐ２２のドレインである上部拡散層１０７ｐ２２はシリサイド１０９ｐ２２、コンタクト１１０ｐ２２を介して第１メタル配線１１３ｇに接続される。ここで、ＰＭＯＳトランジスタＱｐ１１、Ｑｐ１２のソースとＰＭＯＳトランジスタＱｐ２１、Ｑｐ２２のドレインは、第１メタル配線１１３ｇを介して接続される。また、ＰＭＯＳトランジスタＱｐ２１、Ｑｐ２２のソースは下部拡散層１０２ｐｂとシリサイド領域１０３を介してＰＭＯＳトランジスタＱｐ３１、Ｑｐ３２のドレインと接続され、ＰＭＯＳトランジスタＱｐ３１、Ｑｐ３２のソースは、それぞれコンタクト１１０ｐ３１、１１０ｐ３２を介して第１メタル配線１１３ａに接続される。また、第１メタル１１３ａには基源Ｖｃｃが供給される。

[0076] 第２メタル配線１１５ｃには、入力信号ＩＮ１が供給され、コンタクト１１４ａを介して第１メタル配線１１３ｄに接続され、さらに、コンタクト１１

１ａを介してゲート配線１０６ａに接続され、ＰＭＯＳトランジスタＱｐ１１、Ｑｐ１２，ＮＭＯＳトランジスタＱｎ１１、Ｑｎ１２のゲート電極に供給される。

第２メタル配線１１５ｆには、入力信号ＩＮ２が供給され、コンタクト１１４ｂを介して第１メタル配線１１３ｅに接続され、さらに、コンタクト１１１ｂを介してゲート配線１０６ｂに接続され、ＰＭＯＳトランジスタＱｐ２１、Ｑｐ２２、ＮＭＯＳトランジスタＱｎ２１、Ｑｎ２２のゲート電極に供給される。

第２メタル配線１１５ｋには、入力信号ＩＮ３が供給され、コンタクト１１４ｃを介して第１メタル配線１１３ｆに接続され、さらに、コンタクト１１１ｃを介してゲート配線１０６ｃに接続され、ＰＭＯＳトランジスタＱｐ３１とＮＭＯＳトランジスタＱｎ３１のゲート電極に供給される。さらに、第１メタル配線１１３ｆは、コンタクト１１１ｄを介してゲート配線１０６ｄに接続され、ＰＭＯＳトランジスタＱｐ３２とＮＭＯＳトランジスタＱｎ３２のゲート電極に供給される。

また、第２メタル配線１１５ｄ、１０５ｅ、１０５ｇ、１０５ｈ、１０５ｉ、１０５ｊ、１０５ｌは、それぞれ信号ＤＵＭ１、ＤＵＭ２、ＤＵＭ３、ＤＵＭ４、ＤＵＭ５、ＤＵＭ６、ＤＵＭ７、ＤＵＭ８が供給されるが、他のブロックで使用されるため本ブロックではどこにも接続されないダミーの配線としてこのブロックを通過する。

[0077] 本実施例は、行方向に沿って延在している第１メタル配線による電源線１１３ａ（Ｖｃｃ）、基準電源線１１３ｃ（Ｖｓｓ）と直行する形で垂直方向に、第２メタル配線を用いて、出力信号線１１５ａ（ＯＵＴ３２），入力信号線１１５ｃ（ＩＮ１）、１１５ｆ（ＩＮ２）、１１５ｋ（ＩＮ３）を配置しており、無駄な配線領域をなくし、非常に面積の縮小されたレイアウトが提供できる。さらに、空いた領域に、他のブロックで使用する信号線を通すことができ、本ブロックを複数個配置する場合に効率よく配線を通すことができる。

本実施例のブロックを、電源線Ｖｃｃ（１１３ａ）、基準電源線Ｖｓｓ（１１３ｃ）を含めて、ブロックＢＬ３２２と定義する。

また、電源線１１３ａと基準電源線１１３ｃとの間隔を、実施例１（図２ａ）と同じくＬｙ（電源線、基準電源線を含めた間隔）とする。

本実施例によれば、無駄な配線やコンタクト領域を設けずに、入力トランジスタが２個並列接続される３入力ＮＯＲ回路を構成する１２個のＳＧＴを２行６列に配置でき、さらに第２メタル配線を用いることにより、面積が縮小された半導体装置が提供できる。

なお、本実施例では、並列接続するトランジスタは、それぞれ２個としたが、２個以上でも同様であり、例えば３個並列の場合は、さらに横に配置して、２行９列の配置にすれば良い。また、図示しないが、本実施例に示した第２メタル配線による方式は、実施例６（図１１ａ）あるいは実施例７（図１３ａ）にも適用できる。

[0078]（実施例１０）

図１６ａ、図１６ｂ、図１６ｃ、図１６ｄ、図１６ｅに第１０の実施例を示す。等価回路は図１に従う。図１６ａは、本発明の３入力ＮＯＲレイアウト（配置）の平面図、図１６ｂは、カットラインＡ－Ａ’に沿った断面図、図１６ｃは、カットラインＢ－Ｂ’に沿った断面図、図１６ｄは、カットラインＣ－Ｃ’に沿った断面図、図１６ｅは、カットラインＤ－Ｄ’に沿った断面図を示す。

本実施例において、図２ａ（実施例１）と異なるところはＮＭＯＳトランジスタＱｎ１、Ｑｎ２、Ｑｎ３、ＰＭＯＳトランジスタＱｐ１、Ｑｐ２及びＱｐ３のソースとドレインの向きを上下逆に配置して、ＮＭＯＳトランジスタＱｎ１、Ｑｎ２、Ｑｎ３、ＰＭＯＳトランジスタＱｐ１の各ドレインが、コンタクトを介して共通に接続されていることである。

なお、図１６ａ、図１６ｂ、図１６ｃ、図１６ｄ、図１６ｅにおいて、図２ａ、図２ｂ、図２ｃ、図２ｄ、図２ｅと同じ構造の箇所については、１００番台の同等の記号で示してある。

[0079] 基板上に形成された埋め込み酸化膜層（ＢＯＸ）１０１などの絶縁膜上に平面状シリコン層１０２ｎ、１０２ｐａ、１０２ｐｂが形成され、この平面状シリコン層１０２ｎ、１０２ｐａ、１０２ｐｂは不純物注入等により、それぞれｎ＋拡散層、ｐ＋拡散層、ｐ＋拡散層から構成される。１０３は、平面状シリコン層（１０２ｎ、１０２ｐａ、１０２ｐｂ）の表面に形成されるシリサイド層である。１０４ｎ１、１０４ｎ２、１０４ｎ３はｎ型シリコン柱、１０４ｐ１、１０４ｐ２、１０４ｐ３はｐ型シリコン柱、１０５はシリコン柱１０４ｎ１、１０４ｎ２、１０４ｎ３、１０４ｐ１、１０４ｐ２、１０４ｐ３を取り巻くゲート絶縁膜、１０６はゲート電極、１０６ａ、１０６ｂ、１０６ｃ、１０６ｄ、１０６ｅ、１０６ｆは、それぞれゲート配線である。シリコン柱１０４ｎ１、１０４ｎ２、１０４ｎ３の最上部には、それぞれｐ＋拡散層１０７ｐ１、１０７ｐ２、１０７ｐ３が不純物注入等により形成され、シリコン柱１０４ｐ１、１０４ｐ２、１０４ｐ３の最上部には、それぞれｎ＋拡散層１０７ｎ１、１０７ｎ２、１０７ｎ３が不純物注入等により形成される。１０８はゲート絶縁膜１０５を保護するためのシリコン窒化膜、１０９ｐ１、１０９ｐ２、１０９ｐ３、１０９ｎ１、１０９ｎ２、１０９ｎ３はそれぞれｐ＋拡散層１０７ｐ１、１０７ｐ２、１０７ｐ３、ｎ＋拡散層１０７ｎ１、１０７ｎ２、１０７ｎ３に接続されるシリサイド層、１１０ｐ１、１１０ｐ２、１１０ｐ３、１１０ｎ１、１１０ｎ２、１１０ｎ３は、シリサイド層１０９ｐ１、１０９ｐ２、１０９ｐ３、１０９ｎ１、１０９ｎ２、１０９ｎ３と第１メタル配線１１３ｂ、１１３ｇ、１１３ｇ、１１３ｂ、１１３ｂ、１１３ｂとをそれぞれ接続するコンタクト、１１１ａはゲート配線１０６ｂと第１メタル配線１１３ｄとを接続するコンタクト、１１１ｂはゲート配線１０６ｄと第１メタル配線１１３ｅとを接続するコンタクト、１１１ｃはゲート配線１０６ｆと第１メタル配線１１３ｆとを接続するコンタクトである。

また、１１２ａは、下部拡散層１０２ｐｂを覆うシリサイド層１０３と第１メタル配線１１３ａを接続するコンタクト、１１２ｂ（図では４個）は、下

部拡散層１０２ｎを覆うシリサイド層１０３と第１メタル配線１１３ｃとを接続するコンタクトである。

[0080] シリコン柱１０４ｎ１、下部拡散層１０２ｐａ、上部拡散層１０７ｐ１、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ１を構成し、シリコン柱１０４ｎ２、下部拡散層１０２ｐａ、上部拡散層１０７ｐ２、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ２を構成し、シリコン柱１０４ｎ３、下部拡散層１０２ｐｂ、上部拡散層１０７ｐ３、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ３を構成し、シリコン柱１０４ｐ１、下部拡散層１０２ｎ、上部拡散層１０７ｎ１、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ１を構成し、シリコン柱１０４ｐ２、下部拡散層１０２ｎ、上部拡散層１０７ｎ２、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ２を構成し、シリコン柱１０４ｐ３、下部拡散層１０２ｎ、上部拡散層１０７ｎ３、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ３を構成する。

[0081] また、ＰＭＯＳトランジスタＱｐ１のゲート電極１０６にはゲート配線１０６ａが接続され、ＰＭＯＳトランジスタＱｐ２のゲート電極１０６にはゲート配線１０６ｃが接続され、ＰＭＯＳトランジスタＱｐ３のゲート電極１０６にはゲート配線１０６ｅが接続され、ＮＭＯＳトランジスタＱｎ１のゲート電極１０６にはゲート配線１０６ａ及び１０６ｂが接続され、ＮＭＯＳトランジスタＱｎ２のゲート電極１０６にはゲート配線１０６ｃ及び１０６ｄが接続され、ＮＭＯＳトランジスタＱｎ３のゲート電極にはゲート配線１０６ｅ及び１０６ｆが接続される。

[0082] ＮＭＯＳトランジスタＱｎ１、Ｑｎ２、Ｑｎ３のソースは、下部拡散層１０２ｎとなり、シリサイド１０３及びコンタクト１１２ｂを介して第１メタル配線１１３ｃに接続され、第１メタル配線１１３ｃには基準電源Ｖｓｓが供給される。ＮＭＯＳトランジスタＱｎ１のドレインである上部拡散層１０７ｎ１はシリサイド１０９ｎ１、コンタクト１１０ｎ１を介して第１メタル配

線１１３ｂに接続され、第１メタル配線１１３ｂは出力ＯＵＴ３１となる。ＮＭＯＳトランジスタＱｎ２のドレインである上部拡散層１０７ｎ２はシリサイド１０９ｎ２、コンタクト１１０ｎ２を介して第１メタル配線１１３ｂに接続される。また、ＮＭＯＳトランジスタＱｎ３のドレインである上部拡散層１０７ｎ３はシリサイド１０９ｎ３、コンタクト１１０ｎ３を介して第１メタル配線１１３ｂに接続される。ＰＭＯＳトランジスタＱｐ１のドレインである上部拡散層１０７ｐ１はシリサイド１０９ｐ１、コンタクト１１０ｐ１を介して第１メタル配線１１３ｂに接続される。ここで、上述したように、ＮＭＯＳトランジスタＱｎ１、Ｑｎ２、Ｑｎ３、及びＰＭＯＳトランジスタＱｐ１のドレインがコンタクトを介して第１メタル配線１１３ｂに共通接続される。ＰＭＯＳトランジスタＱｐ１のソースとなる下部拡散層１０２ｐａはシリサイド層１０３を介してＰＭＯＳトランジスタＱｐ２のドレインと接続される。ＰＭＯＳトランジスタＱｐ２のソースである上部拡散層１０７ｐ２はシリサイド１０９ｐ２、コンタクト１１０ｐ２を介して第１メタル配線１１３ｇに接続される。また、ＰＭＯＳトランジスタＱｐ３のドレインである上部拡散層１０７ｐ３はシリサイド１０９ｐ３、コンタクト１１０ｐ３を介して第１メタル配線１１３ｇに接続される。ここで、ＰＭＯＳトランジスタＱｐ２のソースとＰＭＯＳトランジスタＱｐ３のドレインは、第１メタル配線１１３ｇを介して接続される。また、ＰＭＯＳトランジスタＱｐ３のソースは下部拡散層１０２ｐｂとシリサイド領域１０３とコンタクト１１２ａを介して第１メタル配線１１３ａに接続され、第１メタル配線１１３ａには電源Ｖｃｃが供給される。

[0083] 第１メタル配線１１３ｄには、入力信号ＩＮ１が供給され、コンタクト１１１ａを介してゲート配線１０６ｂに接続され、ＮＭＯＳトランジスタＱｎ１のゲート電極に供給されるとともに、ゲート配線１０６ａを介してＰＭＯＳトランジスタＱｐ１のゲート電極に供給される。

第１メタル配線１１３ｅには、入力信号ＩＮ２が供給され、コンタクト１１１ｂを介してゲート配線１０６ｄに接続され、ＮＭＯＳトランジスタＱｎ２

のゲート電極に供給されるとともに、ゲート配線１０６ｃを介してＰＭＯＳトランジスタＱｐ２のゲート電極に供給される。

第１メタル配線１１３ｆには、入力信号ＩＮ３が供給され、コンタクト１１１ｃを介してゲート配線１０６ｆに接続され、ＮＭＯＳトランジスタＱｎ３のゲート電極に供給されるとともに、ゲート配線１０６ｅを介してＰＭＯＳトランジスタＱｐ３のゲート電極に供給される。

[0084] 本実施例におけるトランジスタの配置方法は、図１６ａにおいて、上から、電源線Ｖｃｃ（１１３ａ）、２行目に配置されたＰＭＯＳトランジスタＱｐ１、Ｑｐ２、Ｑｐ３、１行目に配置されたＮＭＯＳトランジスタＱｎ１、Ｑｎ２、Ｑｎ３、基準電源線Ｖｓｓ（１１３ｃ）の順番で配置されるものである。これらの３入力ＮＯＲ回路を、電源線Ｖｃｃ（１１３ａ）、基準電源線Ｖｓｓ（１１３ｃ）を含めて、ブロックＢＬ３１３と定義する。

また、電源線１１３ａと基準電源線１１３ｃとの間隔をＬｙ（電源線、基準電源線を含めた間隔）として規格化する。このように規格化すれば、本実施例のブロックＢＬ３１３と他のブロックが、横に配置しただけで、電源線、基準電源線が容易に接続できる利点がある。

本実施例によれば、無駄な配線やコンタクト領域を設けずに、３入力ＮＯＲ回路を構成する６個のＳＧＴを２行３列に配置でき、面積が縮小された半導体装置が提供できる。

[0085] （実施例１１）

図１７ａ、図１７ｂ及び図１７ｃに、第１１の実施例を示す。等価回路図は図７に従う。図１７ａは、本発明の３入力ＮＯＲレイアウト（配置）の平面図、図１７ｂは、カットラインＡ－Ａ’に沿った断面図、図１７ｃはカットラインＢ－Ｂ’に沿った断面図を示す。なお、縦にカットした断面図は図１６ｄ、図１６ｅと同等であり、省略してある。

図１７ａにおいて、図７のＮＯＲ回路のＮＭＯＳトランジスタＱｎ１１、Ｑｎ１２、Ｑｎ２１、Ｑｎ２２、Ｑｎ３１、Ｑｎ３２が１行目（図の下の行）、ＰＭＯＳトランジスタＱｐ１１、Ｑｐ１２、Ｑｐ２１、Ｑｐ２２、Ｑｐ３

１、Ｑｐ３２が２行目（図の上の行）に、それぞれ図の右側より順番に配置されている。

図１６ａと異なるところは、並列接続されたＰＭＯＳトランジスタＱｐ１１、Ｑｐ１２と、同じく並列接続されたＮＭＯＳトランジスタＱｎ１１、Ｑｎ１２が各々隣に配置されていることである。他のトランジスタについても同様である。

なお、図１７ａ、図１７ｂ、図１７ｃにおいて、図１６ａ、図１６ｂ、図１６ｃと同じ構造の箇所については、１００番台の同じ記号で示してある。

[0086] 基板上に形成された埋め込み酸化膜層（ＢＯＸ）１０１などの絶縁膜上に平面状シリコン層１０２ｎ、１０２ｐａ、１０２ｐｂが形成され、この平面状シリコン層１０２ｎ、１０２ｐａ、１０２ｐｂは不純物注入等により、それぞれｎ＋拡散層、ｐ＋拡散層、ｐ＋拡散層から構成される。１０３は、平面状シリコン層（１０２ｎ、１０２ｐａ、１０２ｐｂ）の表面に形成されるシリサイド層である。１０４ｎ１１、１０４ｎ１２、１０４ｎ２１、１０４ｎ２２、１０４ｎ３１、１０４ｎ３２はｎ型シリコン柱、１０４ｐ１１、１０４ｐ１２、１０４ｐ２１、１０４ｐ２２、１０４ｐ３１、１０４ｐ３２はｐ型シリコン柱、１０５はシリコン柱１０４ｎ１１、１０４ｎ１２、１０４ｎ２１、１０４ｎ２２、１０４ｎ３１、１０４ｎ３２、１０４ｐ１１、１０４ｐ１２、１０４ｐ２１、１０４ｐ２２、１０４ｐ３１、１０４ｐ３２を取り巻くゲート絶縁膜、１０６はゲート電極、１０６ａ、１０６ｂ、１０６ｃ、１０６ｄ、１０６ｅ、１０６ｆ、１０６ｇ、１０６ｈ、１０６ｉ、１０６ｊ、１０６ｋ及び１０６ｌは、それぞれゲート配線である。シリコン柱１０４ｎ１１、１０４ｎ１２、１０４ｎ２１、１０４ｎ２２、１０４ｎ３１、１０４ｎ３２の最上部には、それぞれｐ＋拡散層１０７ｐ１１、１０７ｐ１２、１０７ｐ２１、１０７ｐ２２、１０７ｐ３１、１０７ｐ３２が不純物注入等により形成され、シリコン柱１０４ｐ１１、１０４ｐ１２、１０４ｐ２１、１０４ｐ２２、１０４ｐ３１、１０４ｐ３２の最上部には、それぞれｎ＋拡散層１０７ｎ１１、１０７ｎ１２、１０７ｎ２１、１０７ｎ２２、１０７ｎ

３１、１０７ｎ３２が不純物注入等により形成される。１０８はゲート絶縁膜１０５を保護するためのシリコン窒化膜、１０９ｐ１１、１０９ｐ１２、１０９ｐ２１、１０９ｐ２２、１０９ｐ３１、１０９ｐ３２、１０９ｎ１１、１０９ｎ１２、１０９ｎ２１、１０９ｎ２２、１０９ｎ３１、１０９ｎ３２はそれぞれｐ＋拡散層１０７ｐ１１、１０７ｐ１２、１０７ｐ２１、１０７ｐ２２、１０７ｐ３１、１０７ｐ３２、ｎ＋拡散層１０７ｎ１１、１０７ｎ１２、１０７ｎ２１、１０７ｎ２２、１０７ｎ３１、１０７ｎ３２に接続されるシリサイド層、１１０ｐ１１、１１０ｐ１２、１１０ｐ２１、１１０ｐ２２、１１０ｐ３１、１１０ｐ３２、１１０ｎ１１、１１０ｎ１２、１１０ｎ２１、１１０ｎ２２、１１０ｎ３１、１１０ｎ３２は、シリサイド層１０９ｐ１１、１０９ｐ１２、１０９ｐ２１、１０９ｐ２２、１０９ｐ３１、１０９ｐ３２、１０９ｎ１１、１０９ｎ１２、１０９ｎ２１、１０９ｎ２２、１０９ｎ３１、１０９ｎ３２と第１メタル配線１１３ｂ、１１３ｂ、１１３ｇ、１１３ｇ、１１３ｇ、１１３ｇ、１１３ｂ、１１３ｂ、１１３ｂ、１１３ｂ、１１３ｂ、１１３ｂとをそれぞれ接続するコンタクト、１１１ａはゲート配線１０６ｂと第１メタル配線１１３ｄとを接続するコンタクト、１１１ｂはゲート配線１０６ｄと第１メタル配線１１３ｄとを接続するコンタクト、１１１ｃはゲート配線１０６ｆと第１メタル配線１１３ｅとを接続するコンタクト、１１１ｄはゲート配線１０６ｈと第１メタル配線１１３ｅを接続するコンタクト、１１１ｅはゲート配線１０６ｊと第１メタル配線１１３ｆを接続するコンタクト、１１１ｆはゲート配線１０６ｌと第１メタル配線１１３ｆとを接続するコンタクトである。

１１２ａ（図では３個）は、下部拡散層１０２ｐｂを覆うシリサイド層１０３と第１メタル配線１１３ａを接続するコンタクト、１１２ｂ（図では７個）は、下部拡散層１０２ｎを覆うシリサイド層１０３と第１メタル配線１１３ｃを接続するコンタクトである。

[0087] シリコン柱１０４ｎ１１、下部拡散層１０２ｐａ、上部拡散層１０７ｐ１１、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱ

ｐ１１を構成し、シリコン柱１０４ｎ１２、下部拡散層１０２ｐａ、上部拡散層１０７ｐ１２、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ１２を構成し、シリコン柱１０４ｎ２１、下部拡散層１０２ｐａ、上部拡散層１０７ｐ２１、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ２１を構成し、シリコン柱１０４ｎ２２、下部拡散層１０２ｐａ、上部拡散層１０７ｐ２２、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ２２を構成し、シリコン柱１０４ｎ３１、下部拡散層１０２ｐｂ、上部拡散層１０７ｐ３１、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ３１を構成し、シリコン柱１０４ｎ３２、下部拡散層１０２ｐｂ、上部拡散層１０７ｐ３２、ゲート絶縁膜１０５、ゲート電極１０６により、ＰＭＯＳトランジスタＱｐ３２を構成し、シリコン柱１０４ｐ１１、下部拡散層１０２ｎ、上部拡散層１０７ｎ１１、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ１１を構成し、シリコン柱１０４ｐ１２、下部拡散層１０２ｎ、上部拡散層１０７ｎ１２、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ１２を構成し、シリコン柱１０４ｐ２１、下部拡散層１０２ｎ、上部拡散層１０７ｎ２１、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ２１を構成し、シリコン柱１０４ｐ２２、下部拡散層１０２ｎ、上部拡散層１０７ｎ２２、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ２２を構成し、シリコン柱１０４ｐ３１、下部拡散層１０２ｎ、上部拡散層１０７ｎ３１、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｎ３１を構成し、シリコン柱１０４ｐ３２、下部拡散層１０２ｎ、上部拡散層１０７ｎ３２、ゲート絶縁膜１０５、ゲート電極１０６により、ＮＭＯＳトランジスタＱｐ３２を構成する。

[0088] また、ＰＭＯＳトランジスタＱｐ１１のゲート電極１０６にはゲート配線１０６ａが接続され、ＰＭＯＳトランジスタＱｐ１２のゲート電極１０６にはゲート配線１０６ｃが接続され、ＰＭＯＳトランジスタＱｐ２１のゲート電

極１０６にはゲート配線１０６ｅが接続され、ＰＭＯＳトランジスタＱｐ２２のゲート電極１０６にはゲート配線１０６ｇが接続され、ＰＭＯＳトランジスタＱｐ３１のゲート電極１０６にはゲート配線１０６ｉが接続され、ＰＭＯＳトランジスタＱｐ３２のゲート電極１０６にはゲート配線１０６ｋが接続され、ＮＭＯＳトランジスタＱｎ１１のゲート電極１０６にはゲート配線１０６ａ及び１０６ｂが接続され、ＮＭＯＳトランジスタＱｎ１２のゲート電極１０６にはゲート配線１０６ｃ及び１０６ｄが接続され、ＮＭＯＳトランジスタＱｎ２１のゲート電極にはゲート配線１０６ｅ及び１０６ｆが接続され、ＮＭＯＳトランジスタＱｎ２２のゲート電極にはゲート配線１０６ｇ及び１０６ｈが接続され、ＮＭＯＳトランジスタＱｎ３１のゲート電極にはゲート配線１０６ｉ及び１０６ｊが接続され、ＮＭＯＳトランジスタＱｎ３２のゲート電極にはゲート配線１０６ｋ及び１０６ｌが接続される。

[0089] ＮＭＯＳトランジスタＱｎ１１、Ｑｎ１２、Ｑｎ２１、Ｑｎ２２、Ｑｎ３１、Ｑｎ３２のソースは、下部拡散層１０２ｎとなり、シリサイド１０３及びコンタクトを介して第１メタル配線１１３ｃに接続され、第１メタル配線１１３ｃには基準電源Ｖｓｓが供給される。ＮＭＯＳトランジスタＱｎ１１のドレインである上部拡散層１０７ｎ１１はシリサイド１０９ｎ１１、コンタクト１１０ｎ１１を介して第１メタル配線１１３ｂに接続され、第１メタル配線１１３ｂは出力ＯＵＴ３２となる。ＮＭＯＳトランジスタＱｎ１２のドレインである上部拡散層１０７ｎ１２はシリサイド１０９ｎ１２、コンタクト１１０ｎ１２を介して第１メタル配線１１３ｂに接続される。また、ＮＭＯＳトランジスタＱｎ２１のドレインである上部拡散層１０７ｎ２１はシリサイド１０９ｎ２１、コンタクト１１０ｎ２１を介して第１メタル配線１１３ｂに接続される。ＮＭＯＳトランジスタＱｎ２２のドレインである上部拡散層１０７ｎ２２はシリサイド１０９ｎ２２、コンタクト１１０ｎ２２を介して第１メタル配線１１３ｂに接続される。ＮＭＯＳトランジスタＱｎ３１のドレインである上部拡散層１０７ｎ３１はシリサイド１０９ｎ３１、コンタクト１１０ｎ３１を介して第１メタル配線１１３ｂに接続される。また、

ＮＭＯＳトランジスタＱｎ３２のドレインである上部拡散層１０７ｎ３２はシリサイド１０９ｎ３２、コンタクト１１０ｎ３２を介して第１メタル配線１１３ｂに接続される。ＰＭＯＳトランジスタＱｐ１１のドレインである上部拡散層１０７ｐ１１はシリサイド１０９ｐ１１、コンタクト１１０ｐ１１を介して第１メタル配線１１３ｂに接続される。ＰＭＯＳトランジスタＱｐ１２のドレインである上部拡散層１０７ｐ１２はシリサイド１０９ｐ１２、コンタクト１１０ｐ１２を介して第１メタル配線１１３ｂに接続される。

ここで、上述したように、ＮＭＯＳトランジスタＱｎ１１、Ｑｎ１２、Ｑｎ２１、Ｑｎ２２、Ｑｎ３１、Ｑｎ３２、ＰＭＯＳトランジスタＱｐ１１及びＰＭＯＳトランジスタＱｐ１２のドレインがコンタクトを介して第１メタル配線１１３ｂに共通接続され第１メタル配線１１３ｂは、出力ＯＵＴ３２となる。ＰＭＯＳトランジスタＱｐ１１およびＱｐ１２のソースとなる下部拡散層１０２ｐａはシリサイド層１０３を介してＰＭＯＳトランジスタＱｐ２１およびＱｐ２２のドレインと接続される。ＰＭＯＳトランジスタＱｐ２１のソースである上部拡散層１０７ｐ２１はシリサイド１０９ｐ２１、コンタクト１１０ｐ２１を介して第１メタル配線１１３ｇに接続され、同じく、ＰＭＯＳトランジスタＱｐ２２のソースである上部拡散層１０７ｐ２２はシリサイド１０９ｐ２２、コンタクト１１０ｐ２２を介して第１メタル配線１１３ｇに接続される。ＰＭＯＳトランジスタＱｐ３１のドレインである上部拡散層１０７ｐ３１はシリサイド１０９ｐ３１、コンタクト１１０ｐ３１を介して第１メタル配線１１３ｇに接続され、同じくＰＭＯＳトランジスタＱｐ３２のドレインである上部拡散層１０７ｐ３２はシリサイド１０９ｐ３２、コンタクト１１０ｐ３２を介して第１メタル配線１１３ｇに接続される。ここで、ＰＭＯＳトランジスタＱｐ２１、Ｑｐ２２のソースとＰＭＯＳトランジスタＱｐ３１、Ｑｐ３２のドレインは、第１メタル配線１１３ｇを介して接続される。また、ＰＭＯＳトランジスタＱｐ３１、Ｑｐ３２のソースは各々下部拡散層１０２ｐｂとシリサイド領域１０３とコンタクト１１２ｂを介して第１メタル配線１１３ａに接続され、第１メタル配線１１３ａには電源

Ｖｃｃが供給される。

[0090] 第１メタル配線１１３ｄには、入力信号ＩＮ１が供給され、コンタクト１１１ａを介してゲート配線１０６ｂに接続され、ＮＭＯＳトランジスタＱｎ１１のゲート電極に供給されるとともに、ゲート配線１０６ａを介してＰＭＯＳトランジスタＱｐ１１のゲート電極に供給される。また、メタル配線１１３ｄは、コンタクト１１１ｂを介してゲート配線１０６ｄに接続され、ＮＭＯＳトランジスタＱｎ１２のゲート電極に供給されるとともに、ゲート配線１０６ｃを介してＰＭＯＳトランジスタＱｐ１２のゲート電極に供給される。

第１メタル配線１１３ｅには、入力信号ＩＮ２が供給され、コンタクト１１１ｃを介してゲート配線１０６ｆに接続され、ＮＭＯＳトランジスタＱｎ２１のゲート電極に供給されるとともに、ゲート配線１０６ｅを介してＰＭＯＳトランジスタＱｐ２１のゲート電極に供給される。また、メタル配線１１３ｅは、コンタクト１１１ｄを介してゲート配線１０６ｈに接続され、ＮＭＯＳトランジスタＱｎ２２のゲート電極に供給されるとともに、ゲート配線１０６ｇを介してＰＭＯＳトランジスタＱｐ２２のゲート電極に供給される。

第１メタル配線１１３ｆには、入力信号ＩＮ３が供給され、コンタクト１１１ｅを介してゲート配線１０６ｊに接続され、ＮＭＯＳトランジスタＱｎ３１のゲート電極に供給されるとともに、ゲート配線１０６ｉを介してＰＭＯＳトランジスタＱｐ３１のゲート電極に供給される。また、メタル配線１１３ｆは、コンタクト１１１ｆを介してゲート配線１０６ｌに接続され、ＮＭＯＳトランジスタＱｎ３２のゲート電極に供給されるとともに、ゲート配線１０６ｋを介してＰＭＯＳトランジスタＱｐ３２のゲート電極に供給される。

[0091] これらの３入力ＮＯＲ回路を、電源線Ｖｃｃ（１１３ａ）、基準電源線Ｖｓｓ（１１３ｃ）を含めて、ブロックＢＬ３２３と定義する。

また、電源線１１３ａと基準電源線１１３ｃとの間隔を、実施例１（図２ａ

）と同じくＬｙ（電源線、基準電源線を含めた間隔）とする。

本実施例によれば、無駄な配線やコンタクト領域を設けずに、３入力ＮＯＲ回路で入力トランジスタが各々２個並列となった構成の１２個のＳＧＴを２行６列に配置でき、面積が縮小された半導体装置が提供できる。

なお、本実施例では、並列接続するトランジスタは、それぞれ２個としたが、２個以上でも同様であり、例えば３個並列の場合は、さらに横に配置して、２行９列の配置にすれば良い。

［0092］（実施例１２）

以上の実施例では、基板上に形成された埋め込み酸化膜層（ＢＯＸ）などの絶縁膜上に平面状シリコンを配置したプロセスの例を用いて配置を説明したが、バルクのＣＭＯＳプロセスを用いても同様である。一例として、図１８に、図２の実施例を、バルクＣＭＯＳプロセスにて配置した第１２の実施例を示す。

図１８ａは、本発明の３入力ＮＯＲレイアウト（配置）の平面図、図１８ｂは、カットラインＡ－Ａ’に沿った断面図、図１８ｃは、カットラインＢ－Ｂ’に沿った断面図、図１８ｄは、カットラインＣ－Ｃ’に沿った断面図、図１８ｅは、カットラインＤ－Ｄ’に沿った断面図を示す。

図１８ａ、図１８ｂ、図１８ｃ、図１８ｄ、図１８ｅにおいて、図２ａ、図２ｂ、図２ｃ、図２ｄ、図２ｅと同じ構造の箇所については、同じ１００番台の同等の記号で示してある。

特許文献３の特許第４７５６２２１号公報を参照して、図２のＢＯＸプロセスと図１８のバルクＣＭＯＳプロセスでは、図１８ａの平面図では違いがない。図１８ｂ、図１８ｃ、図１８ｄ、図１８ｅの断面図において、異なる点がある。図１８ｂにおいて、１５０は、ｐ型シリコン基板である。１６０は、素子分離（アイソレーション）用の絶縁体である。また、１７０は、リーク防止の分離層となるｎ－領域である。このｐ型シリコン基板１５０、素子分離用の絶縁体１６０、リーク防止分離層１７０以外の、下層拡散層より上側の工程、構造はまったく同じであり、本発明の実施例１～１１までをバル

クＣＭＯＳプロセスで実現できる。

[0093] 以上、実施例１から実施例１２まで説明したが、実施例の図面以外にも、実施例８（図１４ａ）の第２メタル配線による面積縮小方法を、実施例１０（図１６ａ）に適用することも可能である。また、実施例６（図１１ａ）あるいは実施例７（図１３ａ）のｍ行ｎ列の配置方法を、実施例１１（図１７ａ）の第２メタル配線の例に適用しても良い。

なお、本実施例の説明では、便宜上、ＰＭＯＳトランジスタのシリコン柱はｎ型シリコン、ＮＭＯＳシリコン柱はｐ型シリコン層と定義したが、微細化されたプロセスでは、不純物注入による濃度の制御が困難となるため、ＰＭＯＳトランジスタもＮＭＯＳトランジスタも、シリコン柱は不純物注入を行わない、いわゆる中性（イントリンジック：Ｉｎｔｒｉｎｓｉｃ）な半導体を用い、チャネルの制御、すなわちＰＭＯＳ、ＮＭＯＳの閾値は、金属ゲート材固有のワークファンクション（Ｗｏｒｋ　Ｆｕｎｃｔｉｎ）の差を利用する場合もある。

また、本実施例では、下部拡散層あるいは上部拡散層をシリサイド層で覆うようにしたが、低抵抗にするためにシリサイドを採用したものであり、特にシリサイドでなくとも、他の低抵抗な材料あるいは金属でもかまわない。

本発明の本質は、出力端子に接続されるトランジスタのドレインを下部拡散層を介して共通に接続することにより面積を縮小する、あるいは、出力端子に接続されるトランジスタのドレインを上部拡散層及びコンタクトを介して共通に接続することにより面積を縮小することであり、この配置方法に従った場合において、ゲート配線の配線方法、配線位置、メタル配線の配線方法及び配線位置等は本実施例の図面に示したもの以外のものも、本発明の技術的範囲に属するものである。

符号の説明

[0094] Ｑｐ１、Ｑｐ２、Ｑｐ３、Ｑｐ４、Ｑｐ５、Ｑｐ１１、Ｑｐ１２、Ｑｐ２１、Ｑｐ２２、Ｑｐ３１、Ｑｐ３２：ＰチャネルＭＯＳトランジスタ

Ｑｎ１、Ｑｎ２、Ｑｎ３、Ｑｎ４、Ｑｎ５、Ｑｎ１１、Ｑｎ１２、Ｑｎ２１

、Ｑｎ２２、Ｑｎ３１、Ｑｎ３２：ＮチャネルＭＯＳトランジスタ

１０１：埋め込み酸化膜層

１０２ｐ、１０２ｎａ、１０２ｎｂ、１０２ｎｃ：平面状シリコン層

１０３：シリサイド層

１０４ｐ１、１０４ｐ２、１０４ｐ３、１０４ｐ４、１０４ｐ５、１０４ｐ１１、１０４ｐ１２、１０４ｐ２１、１０４ｐ２２、１０４ｐ３１、１０４ｐ３２：ｐ型シリコン柱

１０４ｎ１、１０４ｎ２、１０４ｎ３、１０４ｎ４、１０４ｎ５、１０４ｎ１１、１０４ｎ１２、１０４ｎ２１、１０４ｎ２２、１０４ｎ３１、１０４ｎ３２：ｎ型シリコン柱

１０５：ゲート絶縁膜

１０６：ゲート電極

１０６ａ、１０６ｂ、１０６ｃ、１０６ｄ、１０６ｅ、１０６ｆ、１０６ｇ、１０６ｈ、１０６ｉ、１０６ｊ、１０６ｋ、１０６ｌ：ゲート配線

１０７ｐ１、１０７ｐ２、１０７ｐ３、１０７ｐ４、１０７ｐ５、１０７ｐ１１、１０７ｐ１２、１０７ｐ２１、１０７ｐ２２、１０７ｐ３１、１０７ｐ３２：ｐ＋拡散層

１０７ｎ１、１０７ｎ２、１０７ｎ３、１０７ｎ４、１０７ｎ５、１０７ｎ１１、１０７ｎ１２、１０７ｎ２１、１０７ｎ２２、１０７ｎ３１、１０７ｎ３２：ｎ＋拡散層

１０８：シリコン窒化膜

１０９ｐ１、１０９ｐ２、１０９ｐ３、１０９ｐ４、１０９ｐ５、１０９ｐ１１、１０９ｐ１２、１０９ｐ２１、１０９ｐ２２、１０９ｐ３１、１０９ｐ３２、１０９ｎ１、１０９ｎ２、１０９ｎ３、１０９ｎ４、１０９ｎ５、１０９ｎ１１、１０９ｎ１２、１０９ｎ２１、１０９ｎ２２、１０９ｎ３１、１０９ｎ３２：シリサイド層

１１０ｐ１、１１０ｐ２、１１０ｐ３、１１０ｐ４、１１０ｐ５、１１０ｐ１１、１１０ｐ１２、１１０ｐ２１、１１０ｐ２２、１１０ｐ３１、１１０

ｐ３２、１１０ｎ１、１１０ｎ２、１１０ｎ３、１１０ｎ４、１１０ｎ５、１１０ｎ１１、１１０ｎ１２、１１０ｎ２１、１１０ｎ２２、１１０ｎ３１、１１０ｎ３２：コンタクト

１１１ａ、１１１ｂ、１１１ｃ、１１１ｄ、１１１ｅ、１１１ｆ：コンタクト

１１２ａ、１１２ｂ：コンタクト

１１３ａ、１１３ｂ、１１３ｃ、１１３ｄ、１１３ｅ、１１３ｆ：第１メタル配線

１１４ａ、１１４ｂ、１１４ｃ、１１４ｄ：コンタクト

１１５ａ、１１５ｂ、１１５ｃ、１１５ｄ、１１５ｅ、１１５ｆ、１１５ｇ、１１５ｈ、１１５ｉ、１１５ｊ、１１５ｋ、１１５ｌ：第２メタル配線

１５０：ｐ型シリコン基板

１６０：素子分離用絶縁体

１７０ａ、１７０ｂ：リーク防止分離層

請求の範囲

［請求項1］ ソース、ドレイン及びゲートが、基板と垂直な方向に階層的に配置される複数のトランジスタを、基板上に２行ｎ列（ｎ≧２）に配列することによりＮＯＲ回路を構成する半導体装置であって、

前記各トランジスタは、

シリコン柱と、

前記シリコン柱の側面を取り囲む絶縁体と、

前記絶縁体を囲むゲートと、

前記シリコン柱の上部又は下部に配置されるソース領域と、

前記シリコン柱の上部又は下部に配置されるドレイン領域であって、

前記シリコン柱に対して前記ソース領域と反対側に配置されるドレイン領域とを備え、

前記複数のトランジスタは、

１行ｎ列に並んだｎ個のＮチャネルＭＯＳトランジスタと

１行ｎ列に並んだｎ個のＰチャネルＭＯＳトランジスタと

で構成され、

前記ｎ個のＮチャネルＭＯＳトランジスタ及び前記ｎ個のＰチャネルＭＯＳトランジスタの各々は、

第ｋ列目（ｋ＝１～ｎ）のＮチャネルＭＯＳトランジスタと第ｋ列目（ｋ＝１～ｎ）のＰチャネルＭＯＳトランジスタは対を成し、各々のゲートは互いに接続されており、

前記ｎ個のＮチャネルＭＯＳトランジスタと第１列目のＰチャネルＭＯＳトランジスタのドレイン領域はシリコン柱より基板側に配置されており、前記ｎ個のＮチャネルＭＯＳトランジスタと前記第１列目のＰチャネルＭＯＳトランジスタのドレイン領域が、互いにシリサイド領域を介して接続されており、

第ｓ列目（ｓ＝１～ｎ－１）のＰチャネルＭＯＳトランジスタのソースと第ｓ＋１列目のＰチャネルＭＯＳトランジスタのドレインは互い

に接続されていることを特徴とする半導体装置。

［請求項2］ 前記ｎ個のＮチャネルＭＯＳトランジスタのソースは、各々、行に沿って延在した基準電源線に接続され、前記ｎ列目のＰチャネルＭＯＳトランジスタのソースは、行に沿って延在した電源線に接続されることを特徴とする、請求項１に記載の半導体装置。

［請求項3］ 前記第ｎ個のＰチャネルＭＯＳトランジスタは、偶数列目のＰチャネルＭＯＳトランジスタのソース領域がシリコン柱より基板側に配置されていることを特徴とする請求項１あるいは請求項２に記載の半導体装置。

［請求項4］ 前記各々のゲートが互いに接続されるｎ個のトランジスタ対において、各々の組のゲートに対応してｎ個の入力信号が接続されることを特徴とする請求項１～請求項３のいずれか一項に記載の半導体装置。

［請求項5］ 前記電源線及び基準電源線は第１のメタル配線により構成され、前記入力信号は、前記電源線及び基準電源線に対して直角方向に延在する第２のメタル配線により構成されることを特徴とする請求項１～請求項４のいずれか一項に記載の半導体装置。

［請求項6］ ソース、ドレイン及びゲートが、基板と垂直な方向に階層的に配置される複数のトランジスタを、基板上に２行ｎ列（ｎ≧４）に配列し、ｇ個の入力信号（ｎ＝ｈ×ｇ、ｇ及びｈは整数）を有するＮＯＲ回路を構成する半導体装置であって、

前記各トランジスタは、

シリコン柱と、

前記シリコン柱の側面を取り囲む絶縁体と、

前記絶縁体を囲むゲートと、

前記シリコン柱の上部又は下部に配置されるソース領域と、

前記シリコン柱の上部又は下部に配置されるドレイン領域であって、

前記シリコン柱に対して前記ソース領域と反対側に配置されるドレイン領域とを備え、

前記複数のトランジスタは、

１行ｎ列に並んだｎ個のＮチャネルＭＯＳトランジスタと

１行ｎ列に並んだｎ個のＰチャネルＭＯＳトランジスタと

で構成され、

前記ｎ個のＮチャネルＭＯＳトランジスタ及び前記ｎ個のＰチャネルＭＯＳトランジスタの各々は、

第ｋ列目（ｋ＝１～ｎ）のＮチャネルＭＯＳトランジスタと第ｋ列目（ｋ＝１～ｎ）のＰチャネルＭＯＳトランジスタは対を成し、各々のゲートは互いに接続されており、

前記ｎ個のＮチャネルＭＯＳトランジスタと前記第１列から第ｈ列までのｈ個のＰチャネルＭＯＳトランジスタのドレイン領域は、シリコン柱より基板側に配置されており、且つ、互いにシリサイド領域を介して接続されており、

前記ｎ列をｈ個ｇ組にグルーピングし、前記ｇ番目の組のＰチャネルＭＯＳトランジスタのソースと前記ｇ＋１番目の組のＰチャネルＭＯＳトランジスタのドレインが互いに接続されていることを特徴とする半導体装置。

［請求項7］ 前記ｎ個のＮチャネルＭＯＳトランジスタのソースは、各々、行に沿って延在した基準電源線に接続され、前記ｇ組にグルーピングされた最後の組のｈ個のＰチャネルＭＯＳトランジスタのソースは、行に沿って延在した電源線に接続されることを特徴とする、請求項６に記載の半導体装置。

［請求項8］ 前記第ｇ組にグルーピングされたｈ個のＰチャネルＭＯＳトランジスタは、前記偶数組のＰチャネルＭＯＳトランジスタのソース領域がシリコン柱より基板側に配置されていることを特徴とする請求項６あるいは請求項７に記載の半導体装置。

［請求項9］ 前記各々のゲートが互いに接続されるｎ組のトランジスタ対において、前記ｇ個の入力信号が、各々前記ｎ対のトランジスタ対の任意の

ｈ個の対のゲートに接続されることを特徴とする請求項６～請求項８のいずれか一項に記載の半導体装置。

［請求項10］ 前記電源線及び基準電源線は第１のメタル配線により構成され、前記入力信号は、前記電源線及び基準電源線に対して直角方向に延在する第２のメタル配線により構成されることを特徴とする請求項６～請求項９のいずれか一項に記載の半導体装置。

［請求項11］ ソース、ドレイン及びゲートが、基板と垂直な方向に階層的に配置される複数のトランジスタを、基板上にｍ行ｎ列（ｍ≧３、ｎ≧２）に配列することによりＮＯＲ回路を構成する半導体装置であって、

前記各トランジスタは、

シリコン柱と、

前記シリコン柱の側面を取り囲む絶縁体と、

前記絶縁体を囲むゲートと、

前記シリコン柱の上部又は下部に配置されるソース領域と、

前記シリコン柱の上部又は下部に配置されるドレイン領域であって、

前記シリコン柱に対して前記ソース領域と反対側に配置されるドレイン領域とを備え、

前記複数のトランジスタは、

ｉ行ｎ列に並んだｉ×ｎ個のＮチャネルＭＯＳトランジスタと

ｊ行ｎ列に並んだｊ×ｎ個のＰチャネルＭＯＳトランジスタと

で構成され、

ｉ＋ｊ＝ｍであり、

前記ｉ×ｎ個のＮチャネルＭＯＳトランジスタ及び前記ｊ×ｎ個のＰチャネルＭＯＳトランジスタの各々は、

第ｋ列目（ｋ＝１～ｎ）のＮチャネルＭＯＳトランジスタと第ｋ列目（ｋ＝１～ｎ）のＰチャネルＭＯＳトランジスタは組を成し、各々のゲートは互いに接続されており、

前記ｉ×ｎ個のＮチャネルＭＯＳトランジスタと第１列目のｊ個のＰ

チャネルＭＯＳトランジスタのドレイン領域はシリコン柱より基板側に配置されており、前記ｉ×ｎ個のＮチャネルＭＯＳトランジスタと前記第１列目のｊ個のＰチャネルＭＯＳトランジスタのドレイン領域が、互いにシリサイド領域を介して接続されており、

第ｓ列目（ｓ＝１～ｎ－１）のＰチャネルＭＯＳトランジスタのソースと第ｓ＋１列目のＰチャネルＭＯＳトランジスタのドレインは互いに接続されていることを特徴とする半導体装置。

［請求項12］ 前記ｉ×ｎ個のＮチャネルＭＯＳトランジスタのソースは、各々、行に沿って延在した基準電源線に接続され、前記ｎ列目のｊ個のＰチャネルＭＯＳトランジスタのソースは、行に沿って延在した電源線に接続されることを特徴とする、請求項１１に記載の半導体装置。

［請求項13］ 前記第ｊ×ｎ個のＰチャネルＭＯＳトランジスタは、偶数列目のｊ個のＰチャネルＭＯＳトランジスタのソース領域がシリコン柱より基板側に配置されていることを特徴とする請求項１１あるいは請求項１２に記載の半導体装置。

［請求項14］ 前記各々のゲートが互いに接続されるｎ対のトランジスタ対において、各々の組のゲートに対応してｎ個の入力信号が接続されることを特徴とする請求項１１～請求項１３のいずれか一項に記載の半導体装置。

［請求項15］ 前記電源線及び基準電源線は第１のメタル配線により構成され、前記入力信号は、前記電源線及び基準電源線に対して直角方向に延在する第２のメタル配線により構成されることを特徴とする請求項１１～請求項１４のいずれか一項に記載の半導体装置。

［請求項16］ ソース、ドレイン及びゲートが、基板と垂直な方向に階層的に配置される複数のトランジスタを、基板上にｍ行ｎ列（ｍ≧２、ｎ≧２）に配列し、ｇ個の入力信号（ｎ＝ｈ×ｇ、ｇ及びｈは整数）を有するＮＯＲ回路を構成する半導体装置であって、

前記各トランジスタは、

シリコン柱と、

前記シリコン柱の側面を取り囲む絶縁体と、

前記絶縁体を囲むゲートと、

前記シリコン柱の上部又は下部に配置されるソース領域と、

前記シリコン柱の上部又は下部に配置されるドレイン領域であって、

前記シリコン柱に対して前記ソース領域と反対側に配置されるドレイン領域とを備え、

前記複数のトランジスタは、

ｉ行ｎ列に並んだｉ×ｎ個のＮチャネルＭＯＳトランジスタと

ｊ行ｎ列に並んだｊ×ｎ個のＰチャネルＭＯＳトランジスタと

で構成され、

ｉ＋ｊ＝ｍであり、

前記ｉ×ｎ個のＮチャネルＭＯＳトランジスタ及び前記ｊ×ｎ個のＰチャネルＭＯＳトランジスタの各々は、

第ｋ列目（ｋ＝１～ｎ）のＮチャネルＭＯＳトランジスタと第ｋ列目（ｋ＝１～ｎ）のＰチャネルＭＯＳトランジスタは組を成し、各々のゲートは互いに接続されており、

前記ｉ×ｎ個のＮチャネルＭＯＳトランジスタと前記第１列目から第ｈ列目までのｊ×ｈ個のＰチャネルＭＯＳトランジスタのドレイン領域はシリコン柱より基板側に配置されており、

前記ｉ×ｎ個のＮチャネルＭＯＳトランジスタと前記第１列目から第ｈ列目までのｊ×ｈ個のＰチャネルＭＯＳトランジスタのドレイン領域が、互いにシリサイド領域を介して接続されており、

前記ｎ列をｈ個ｇ組にグルーピングし、前記ｇ番目の組のＰチャネルＭＯＳトランジスタのソースと前記ｇ＋１番目の組のＰチャネルＭＯＳトランジスタのドレインが互いに接続されていることを特徴とする半導体装置。

［請求項17］ 前記ｉ×ｎ個のＮチャネルＭＯＳトランジスタのソースは、各々、

行に沿って延在した基準電源線に接続され、前記ｇ個にグルーピングされた最後の組のｈ個のＰチャネルＭＯＳトランジスタのソースは、行に沿って延在した電源線に接続されることを特徴とする、請求項１６に記載の半導体装置。

[請求項18] 前記第ｇ組にグルーピングされたｊ×ｈ個のＰチャネルＭＯＳトランジスタは、前記偶数組のＰチャネルＭＯＳトランジスタのソース領域がシリコン柱より基板側に配置されていることを特徴とする請求項１６あるいは請求項１７に記載の半導体装置。

[請求項19] 前記各々のゲートが互いに接続されるｎ組のトランジスタ群（Ｎチャネルトランジスタｉ個、ＰチャネルＭＯＳトランジスタｊ個）において、前記ｇ個の入力信号が、各々前記ｎ組のトランジスタ群の任意のｈ個のゲートに接続されることを特徴とする請求項１６～請求項１８のいずれか一項に記載の半導体装置。

[請求項20] 前記電源線及び基準電源線は第１のメタル配線により構成され、前記入力信号は、前記電源線及び基準電源線に対して直角方向に延在する第２のメタル配線により構成されることを特徴とする請求項１６～請求項１９のいずれか一項に記載の半導体装置。

[請求項21] ソース、ドレイン及びゲートが、基板と垂直な方向に階層的に配置される複数のトランジスタを、基板上にｍ行ｎ列（ｍ≧２、ｎ≧２）に配列し、ｇ個の入力信号（ｎ＝ｈ×ｇ、ｇ及びｈは整数）を有するＮＯＲ回路を構成する半導体装置であって、

前記各トランジスタは、

シリコン柱と、

前記シリコン柱の側面を取り囲む絶縁体と、

前記絶縁体を囲むゲートと、

前記シリコン柱の上部又は下部に配置されるソース領域と、

前記シリコン柱の上部又は下部に配置されるドレイン領域であって、

前記シリコン柱に対して前記ソース領域と反対側に配置されるドレイ

ン領域とを備え、

前記複数のトランジスタは、

ｉ行ｎ列に並んだｉ×ｎ個のＮチャネルＭＯＳトランジスタと

ｊ行ｎ列に並んだｊ×ｎ個のＰチャネルＭＯＳトランジスタと

で構成され、

ｉ＋ｊ＝ｍであり、

前記ｉ×ｎ個のＮチャネルＭＯＳトランジスタ及び前記ｊ×ｎ個のＰチャネルＭＯＳトランジスタの各々は、

第ｋ列目（ｋ＝１～ｎ）のＮチャネルＭＯＳトランジスタと第ｋ列目（ｋ＝１～ｎ）のＰチャネルＭＯＳトランジスタは組を成し、各々のゲートは互いに接続されており、

前記ｉ×ｎ個のＮチャネルＭＯＳトランジスタと前記第１列目から第ｈ列目までのｊ×ｈ個のＰチャネルＭＯＳトランジスタのソース領域はシリコン柱より基板側に配置されており、

前記ｉ×ｎ個のＮチャネルＭＯＳトランジスタと前記第１列目から第ｈ列目までのｊ×ｈ個のＰチャネルＭＯＳトランジスタのドレイン領域が、互いにコンタクトを介して接続されており、

前記ｎ列をｈ個ｇ組にグルーピングし、前記ｇ番目の組のＰチャネルＭＯＳトランジスタのソースと前記ｇ＋１番目の組のＰチャネルＭＯＳトランジスタのドレインが互いに接続されていることを特徴とする半導体装置。

［請求項22］ 前記ｉ×ｎ個のＮチャネルＭＯＳトランジスタのソースは、各々、行に沿って延在した基準電源線に接続され、前記ｇ個にグルーピングされた最後の組のｈ個のＰチャネルＭＯＳトランジスタのソースは、行に沿って延在した電源線に接続されることを特徴とする、請求項２１に記載の半導体装置。

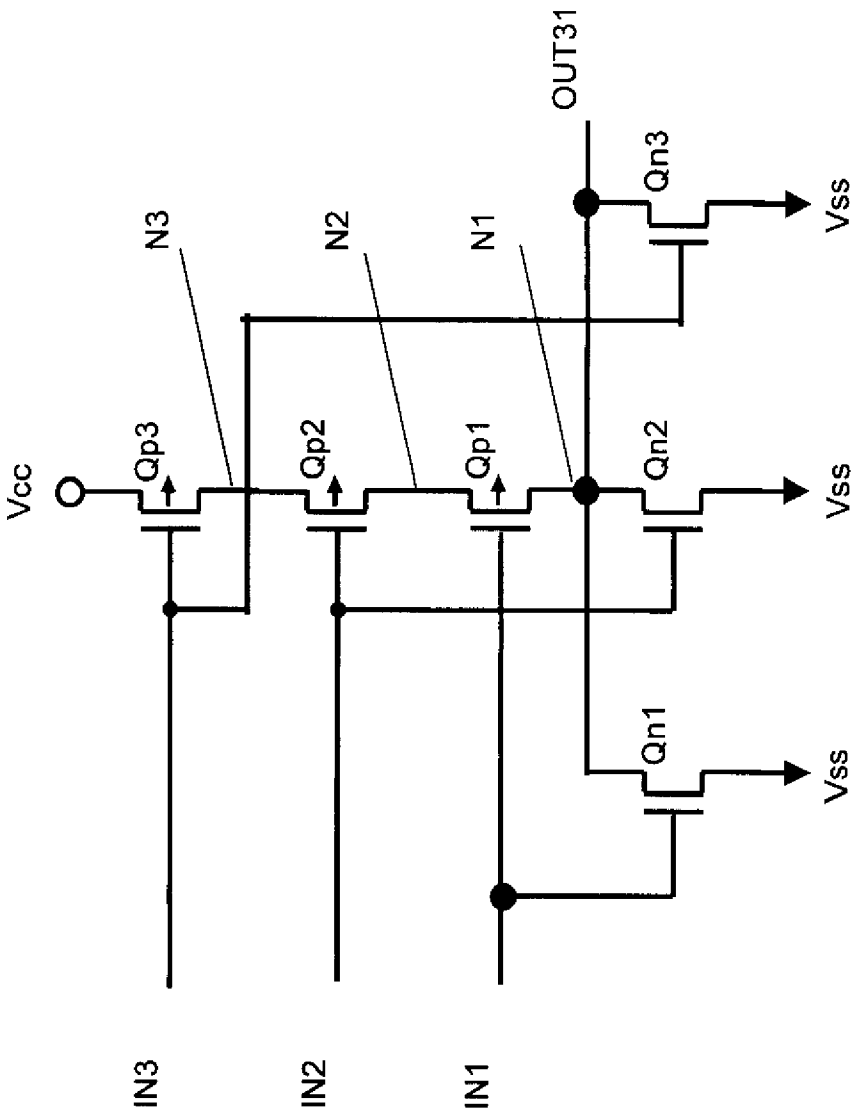
［請求項23］ 前記第ｇ組にグルーピングされたｊ×ｈ個のＰチャネルＭＯＳトランジスタは、前記偶数組のＰチャネルＭＯＳトランジスタのドレイン

領域がシリコン柱より基板側に配置されていることを特徴とする請求項２１あるいは請求項２２に記載の半導体装置。

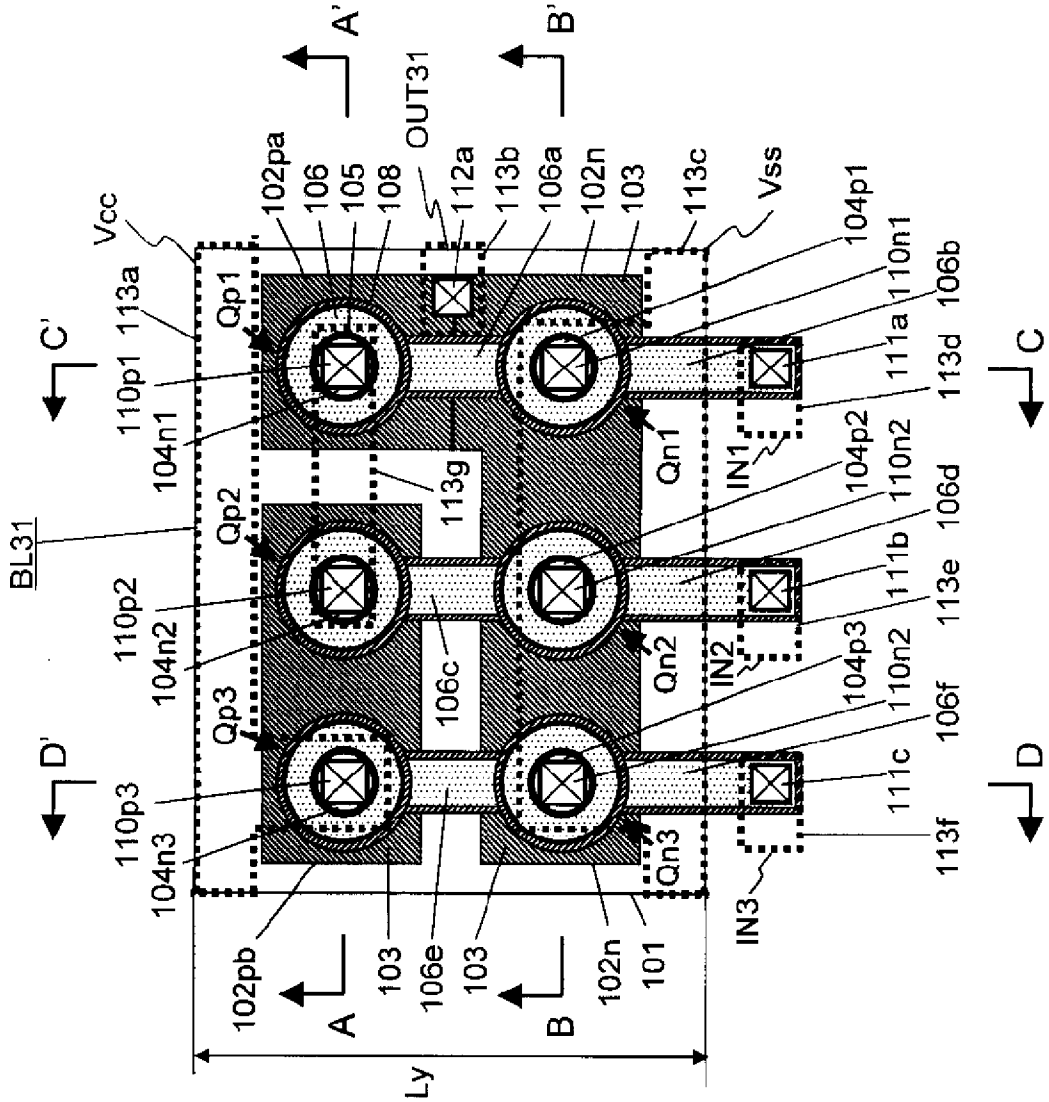
［請求項24］ 前記各々のゲートが互いに接続されるｎ組のトランジスタ群（Ｎチャネルトランジスタｉ個、ＰチャネルＭＯＳトランジスタｊ個）において、前記ｇ個の入力信号が、各々前記ｎ組のトランジスタ群の任意のｈ個のゲートに接続されることを特徴とする請求項２１～請求項２３のいずれか一項に記載の半導体装置。

［請求項25］ 前記電源線及び基準電源線は第１のメタル配線により構成され、前記入力信号は、前記電源線及び基準電源線に対して直角方向に延在する第２のメタル配線により構成されることを特徴とする請求項２１～請求項２４のいずれか一項に記載の半導体装置。

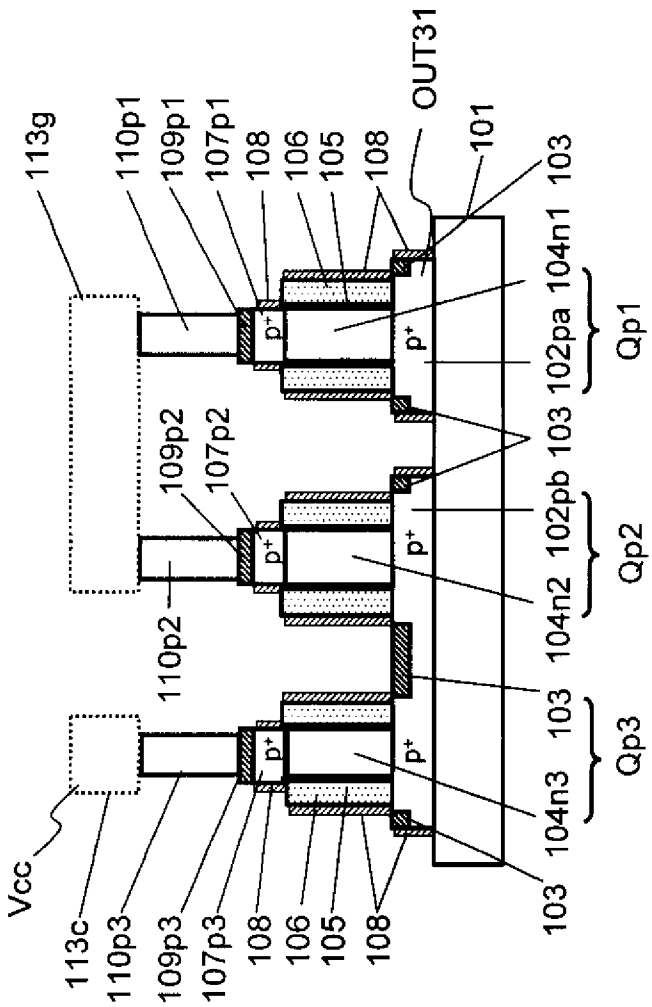
[図1]


OUT31
Qn3
Vss
N3
N2
N1
Vcc
Qp3
Qp2
Qp1
Qn2
Vss
Qn1
Vss
IN3
IN2
IN1

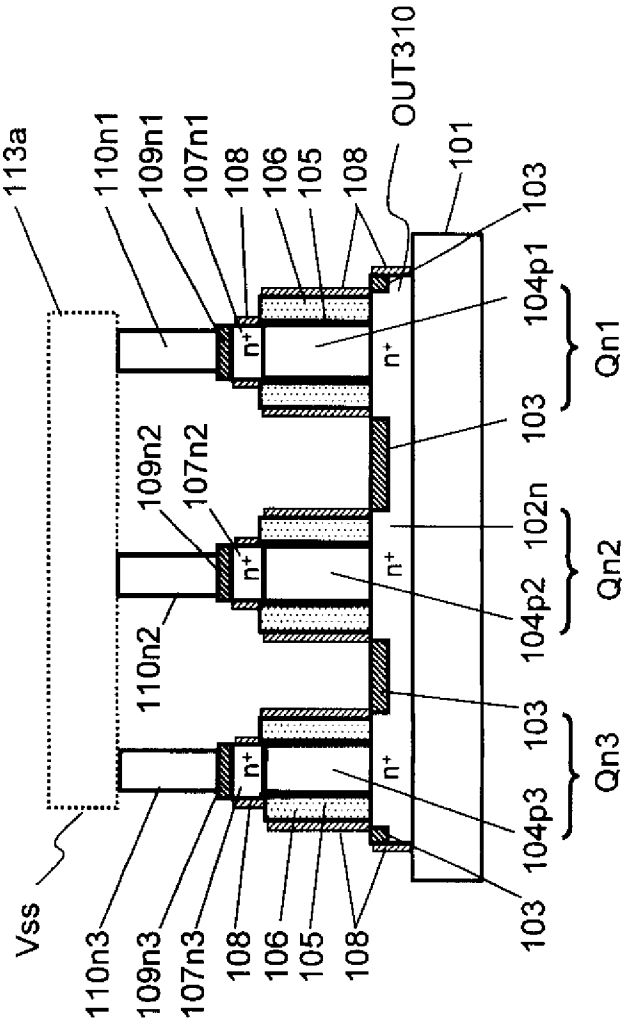
[図2a]


A'
B'
OUT31
102pa
106
105
108
112a
113b
106a
102n
103
113c
Vss
Vcc
104p1
110n1
106b
113a
Qp1
110p1
104n1
C'
111a
113d
C
Qn1
IN1
104p2
110n2
106d
BL31
Qp2
113g
110p2
104n2
111b
113e
106c
Qn2
IN2
104p3
110n2
106f
Qp3
D'
110p3
104n3
111c
113f
D
Qn3
IN3
102pb
A
103
106e
103
B
102n
101
Ly

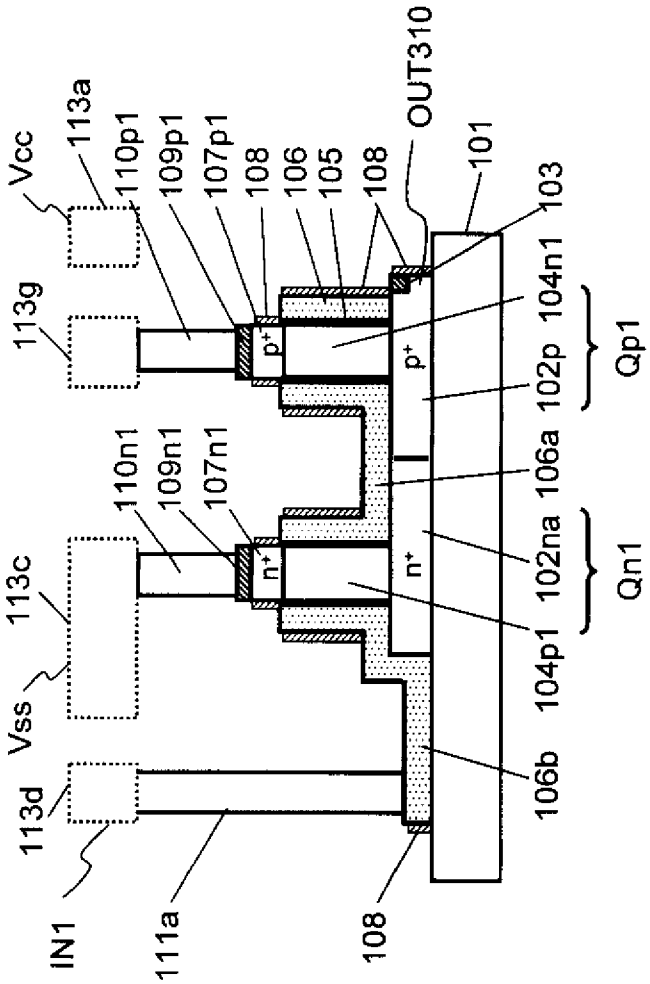
[図2b]


OUT31
113g
110p1
109p1
107p1
108
106
105
108
101
103
104n1
102pa
Qp1
p+
109p2
107p2
103
102pb
Qp2
104n2
110p2
103
Qp3
104n3
Vcc
113c
110p3
109p3
107p3
108
106
105
108
103

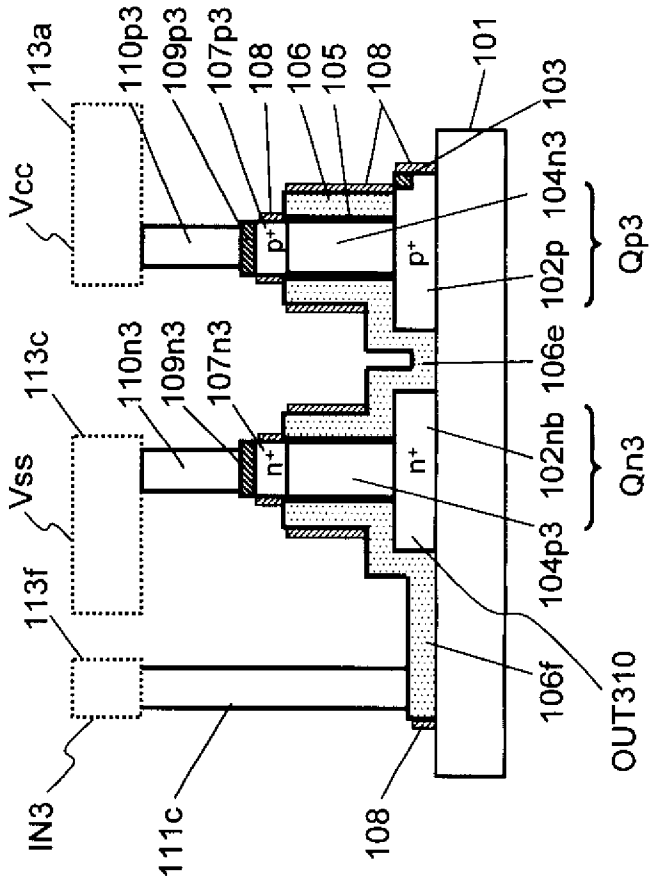
[図2c]


113a
110n1
109n1
107n1
108
106
105
108
OUT310
101
103
104p1
Qn1
103
109n2
107n2
102n
Qn2
104p2
110n2
103
Qn3
104p3
103
Vss
110n3
109n3
107n3
108
106
105
108
n+

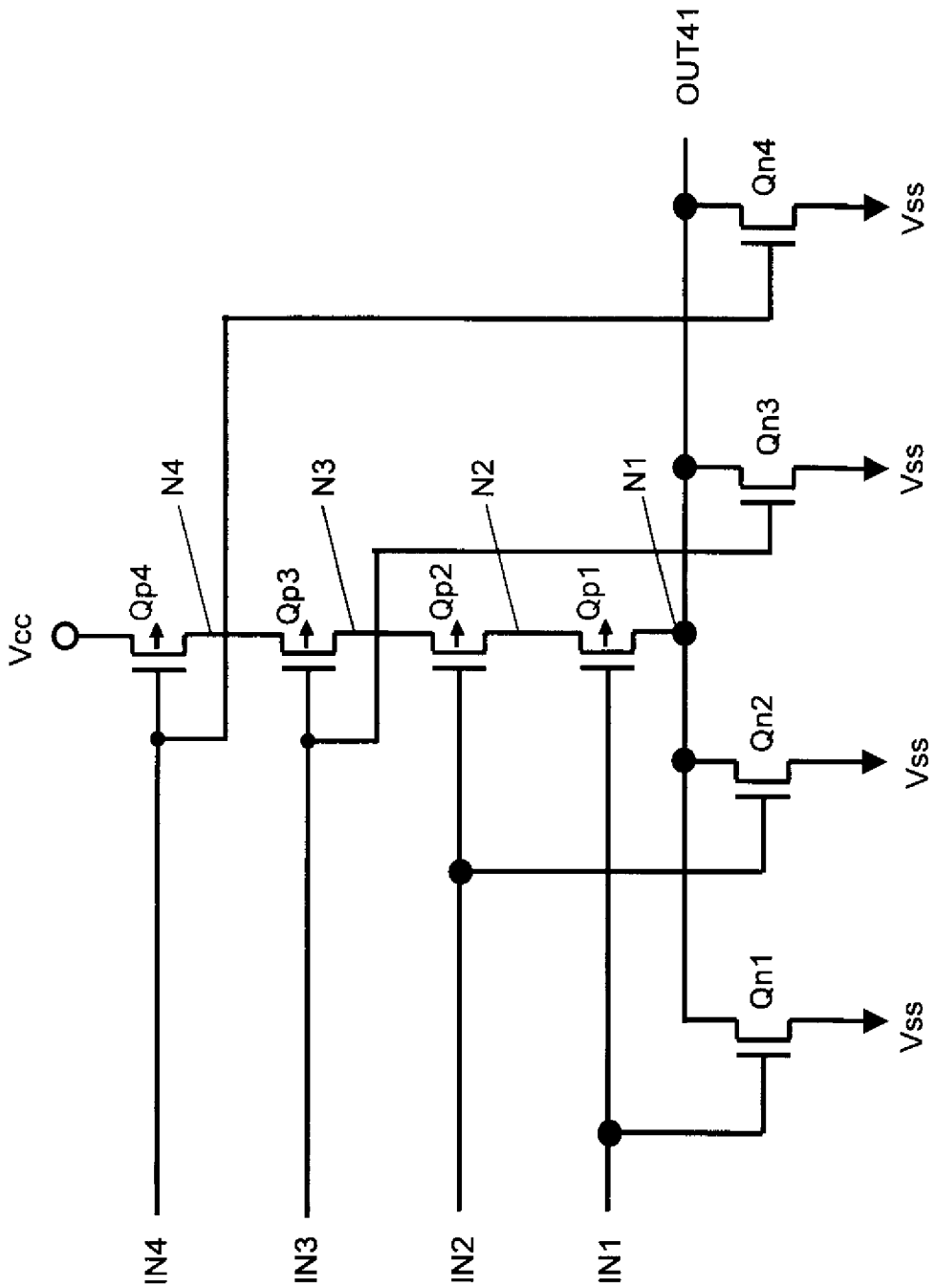
[図2d]


Vcc
113a
110p1
109p1
107p1
108
106
105
108
OUT310
101
103
113g
104n1
Qp1
102p
106a
110n1
109n1
107n1
102na
Qn1
113c
Vss
104p1
106b
113d
IN1
111a
108
p+
n+

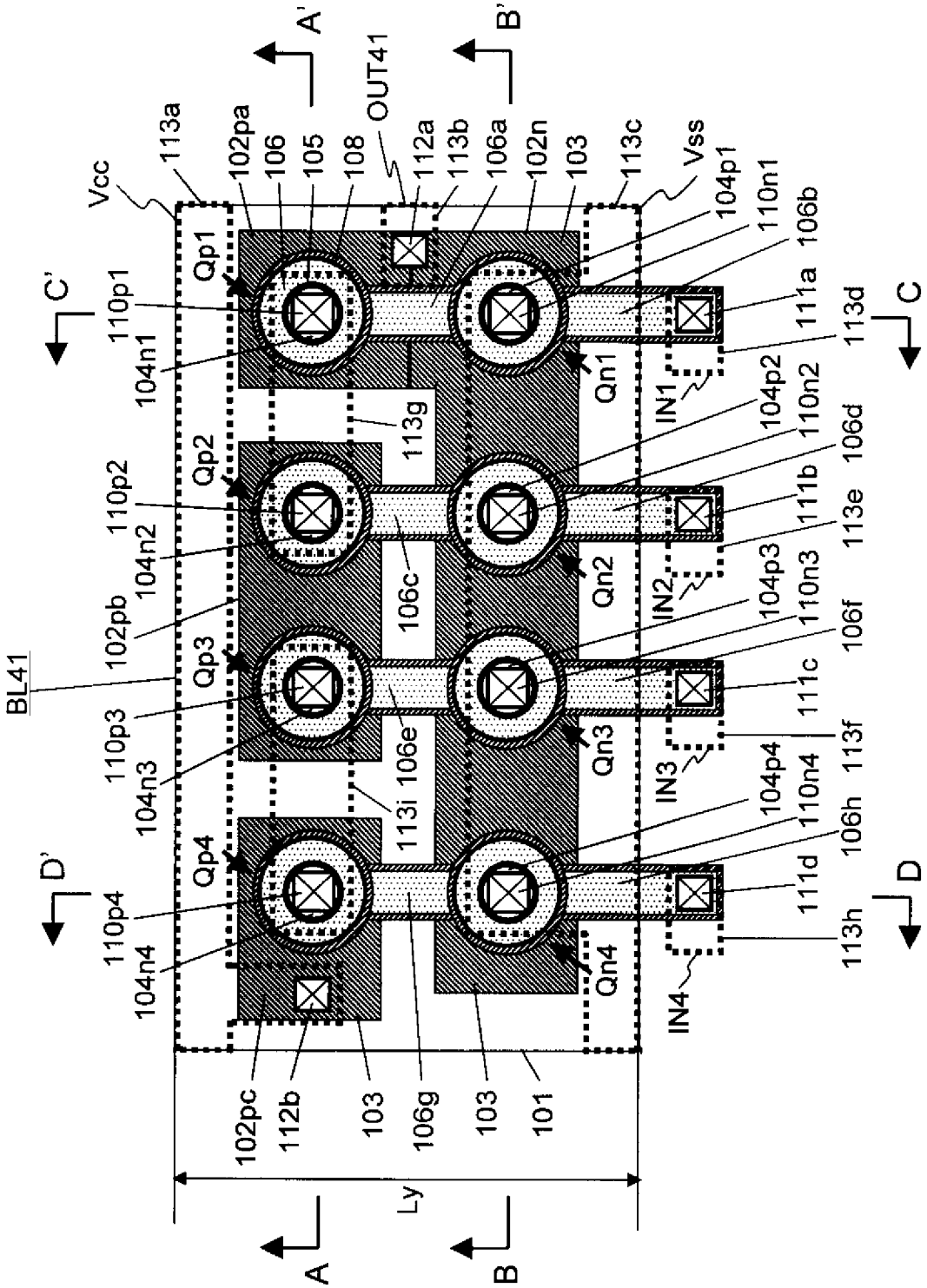
[図2e]


113a
110p3
109p3
107p3
108
106
105
108
101
103
Vcc
p+
p+
104n3
102p
Qp3
113c
110n3
109n3
107n3
106e
Vss
n+
n+
102nb
Qn3
104p3
113f
106f
OUT310
IN3
111c
108

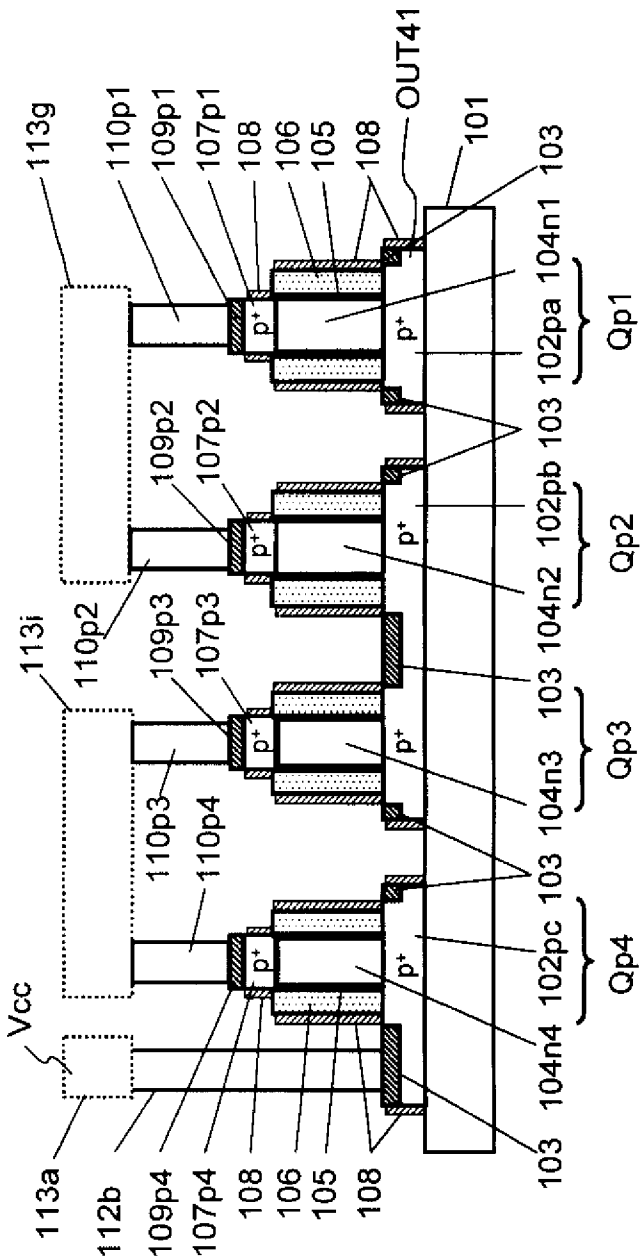
[図3]


OUT41
Qn4
Vss
Qn3
Vss
Qn2
Vss
Qn1
Vss
N4
N3
N2
N1
Qp4
Qp3
Qp2
Qp1
Vcc
IN4
IN3
IN2
IN1

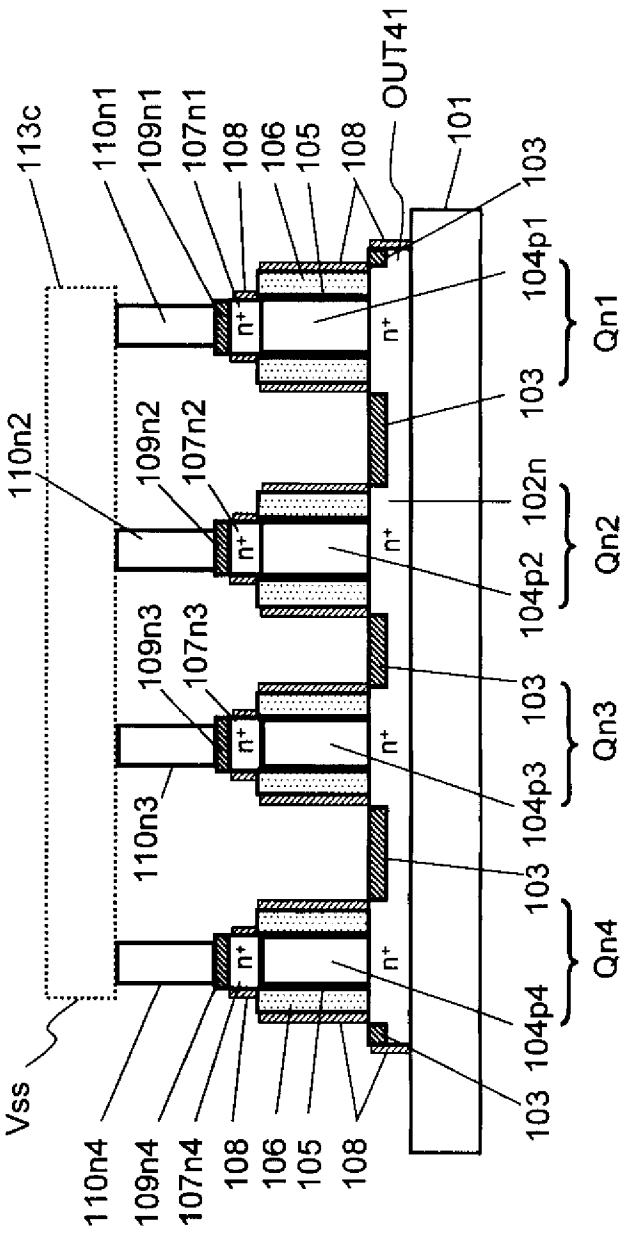
[図4a]


A'
B'
C'
C
D'
D
A
B
Vcc
Vss
OUT41
BL41
Qp1
Qp2
Qp3
Qp4
Qn1
Qn2
Qn3
Qn4
IN1
IN2
IN3
IN4
113a
102pa
106
105
108
112a
113b
106a
102n
103
113c
104p1
110n1
106b
111a
113d
110p1
104n1
113g
104p2
110n2
106d
111b
113e
110p2
104n2
102pb
106c
104p3
110n3
106f
111c
113f
110p3
104n3
113i
106e
104p4
110n4
106h
111d
113h
110p4
104n4
102pc
112b
103
106g
103
101
Ly

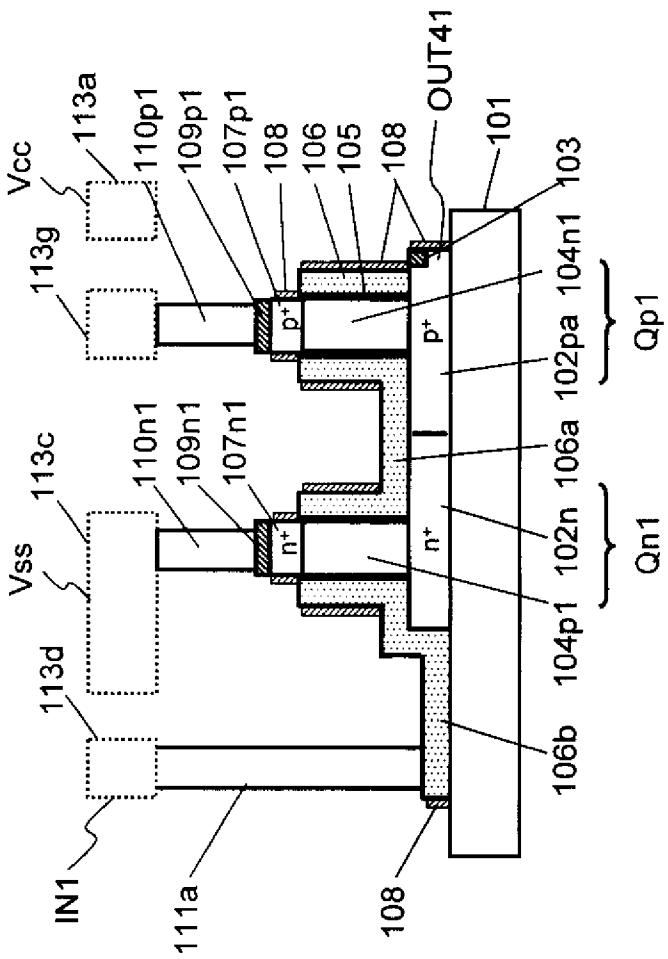
[図4b]


OUT41
101
113g
110p1
109p1
107p1
108
106
105
108
103
104n1
102pa
Qp1
109p2
107p2
103
102pb
Qp2
110p2
104n2
113i
109p3
107p3
103
104n3
Qp3
110p3
110p4
103
102pc
Qp4
Vcc
104n4
103
113a
112b
109p4
107p4
108
106
105
108
p+

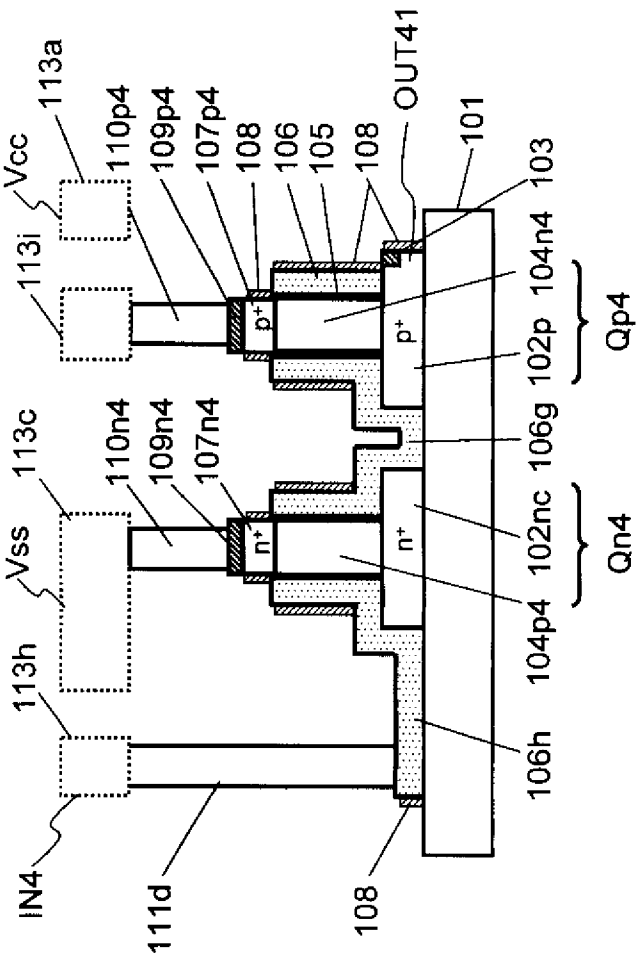
[図4c]


OUT41
101
113c
110n1
109n1
107n1
108
106
105
108
103
104p1
Qn1
110n2
109n2
107n2
102n
104p2
Qn2
109n3
107n3
103
104p3
Qn3
110n3
103
Qn4
104p4
Vss
103
110n4
109n4
107n4
108
106
105
108
n+

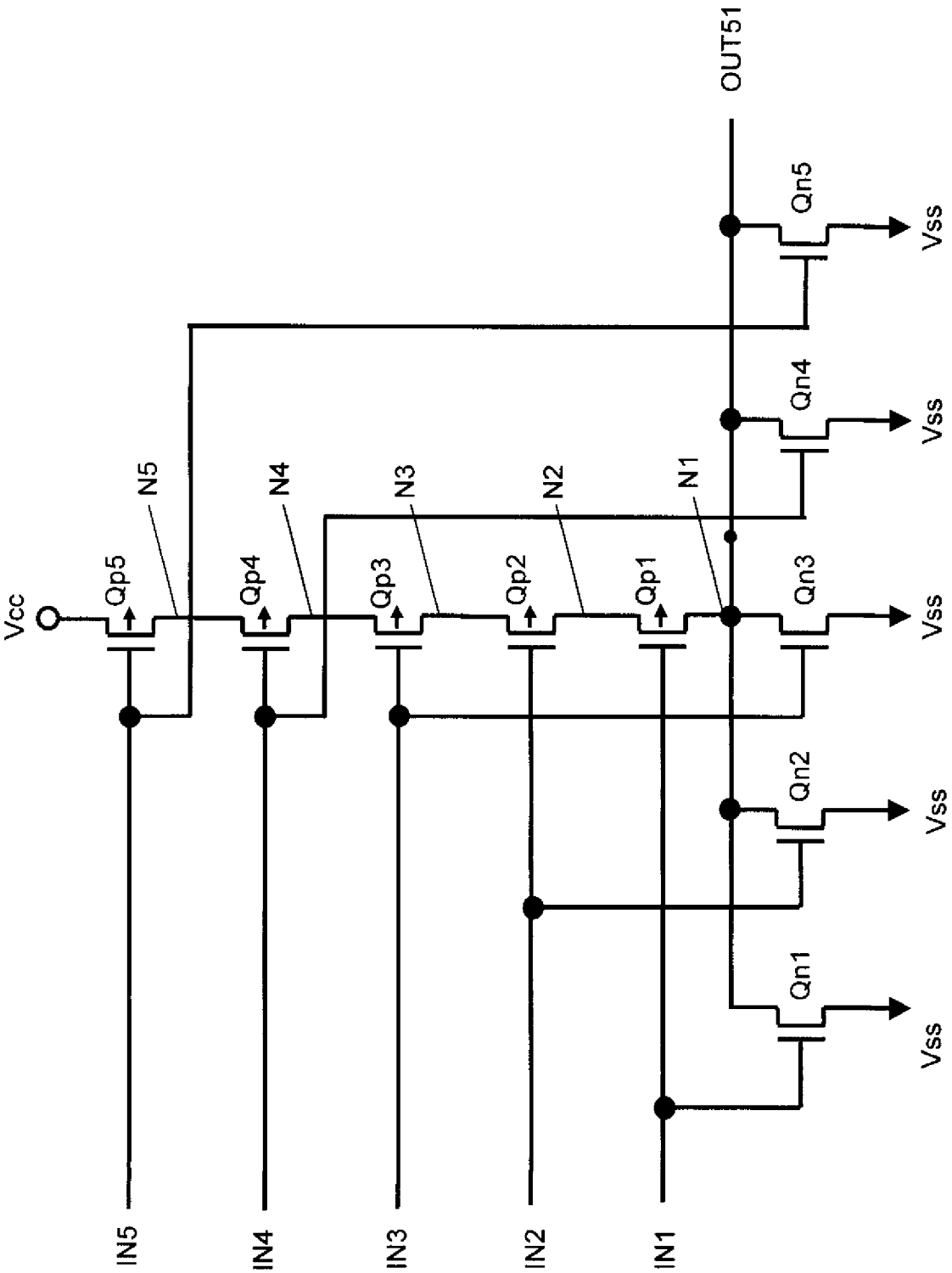
[図4d]


Vcc
113a
110p1
109p1
107p1
108
106
105
108
OUT41
101
103
113g
104n1
Qp1
102pa
106a
110n1
109n1
107n1
113c
Vss
102n
Qn1
104p1
113d
106b
IN1
111a
108

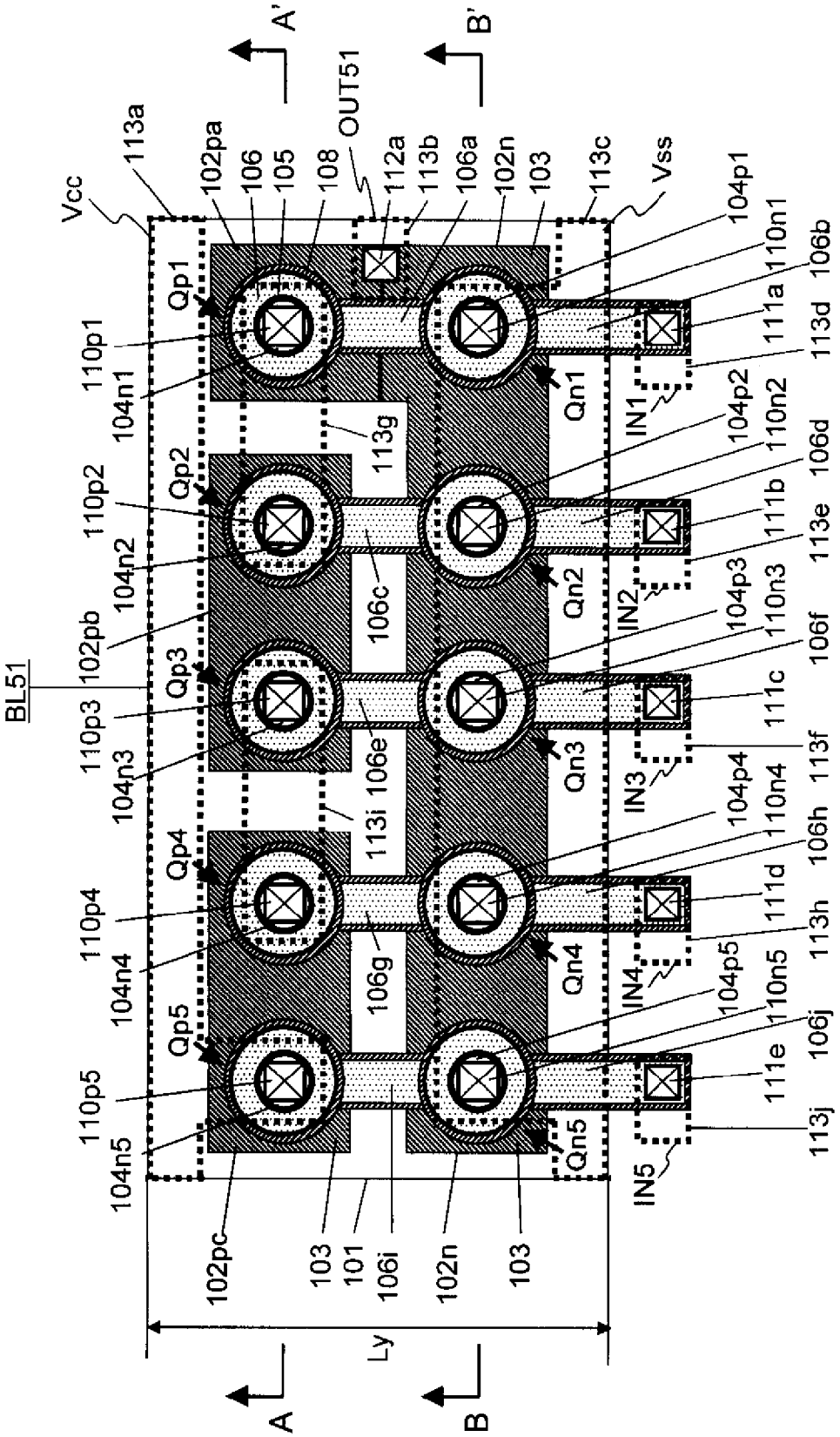
[図4e]


Vcc
113a
110p4
109p4
107p4
108
106
105
108
OUT41
101
103
113i
104n4
Qp4
102p
106g
113c
110n4
109n4
107n4
Vss
102nc
Qn4
104p4
113h
106h
IN4
111d
108
p+
n+

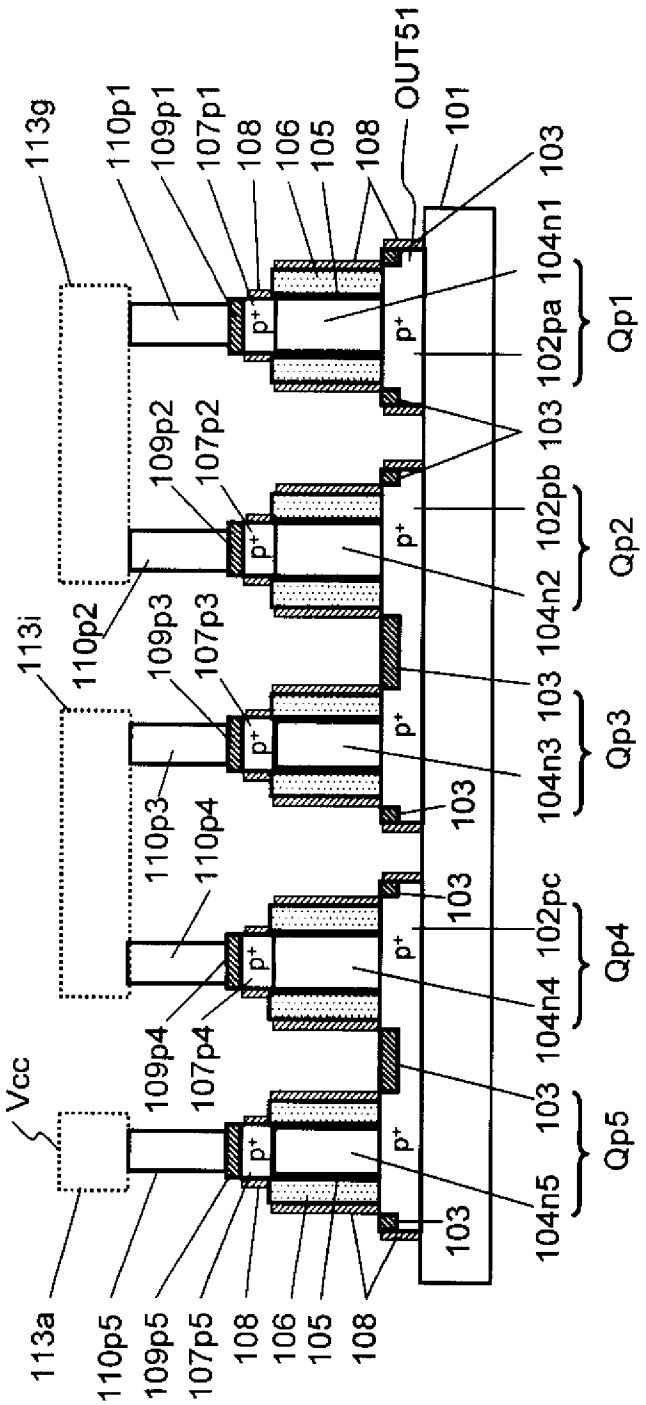
[図5]


OUT51
Qn5
Vss
Qn4
Vss
N5
N4
N3
N2
N1
Vcc
Qp5
Qp4
Qp3
Qp2
Qp1
Qn3
Vss
Qn2
Vss
Qn1
Vss
IN5
IN4
IN3
IN2
IN1

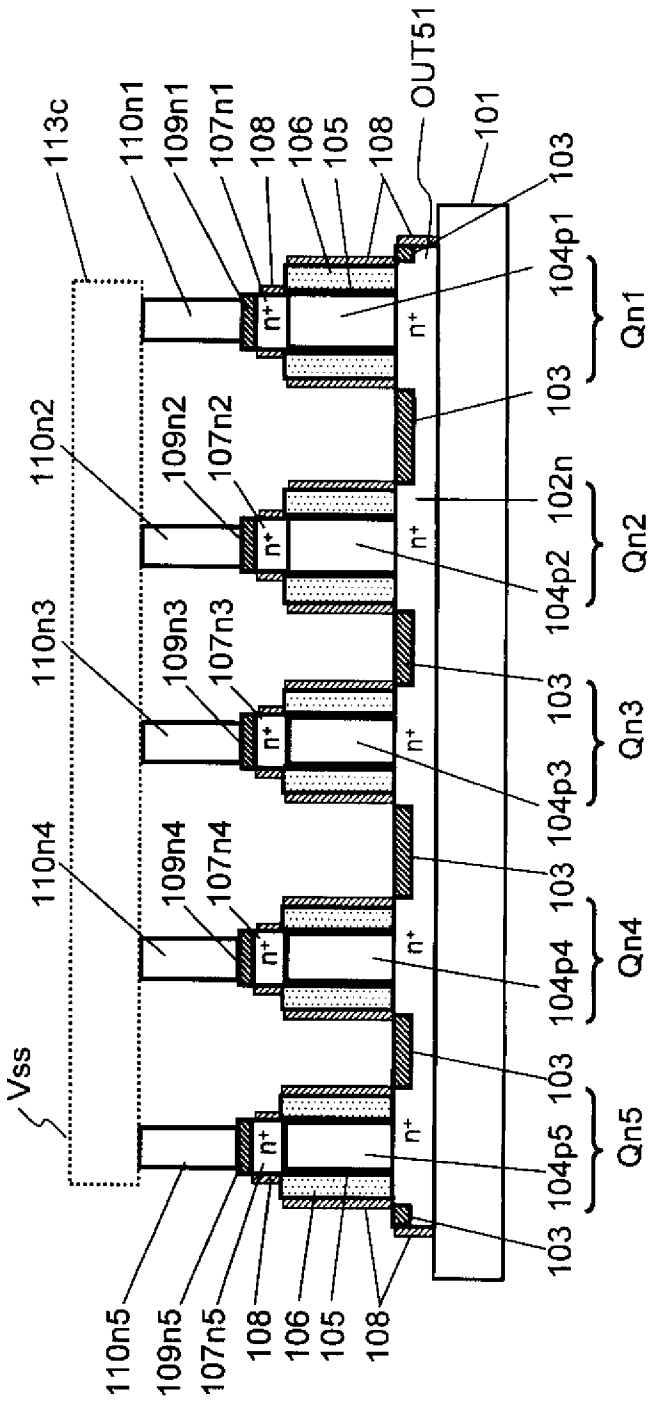
[図6a]


A'
B'
OUT51
Vcc
Vss
113a
102pa
106
105
108
112a
113b
106a
102n
103
113c
104p1
110n1
106b
Qp1
110p1
104n1
111a
113d
Qn1
IN1
113g
104p2
110n2
106d
Qp2
110p2
104n2
111b
113e
Qn2
IN2
106c
102pb
104p3
110n3
106f
BL51
Qp3
110p3
104n3
111c
113f
Qn3
IN3
106e
113i
104p4
110n4
106h
Qp4
110p4
104n4
111d
113h
Qn4
IN4
106g
104p5
110n5
106j
Qp5
110p5
104n5
111e
113j
Qn5
IN5
102pc
103
101
106i
102n
103
Ly
A
B

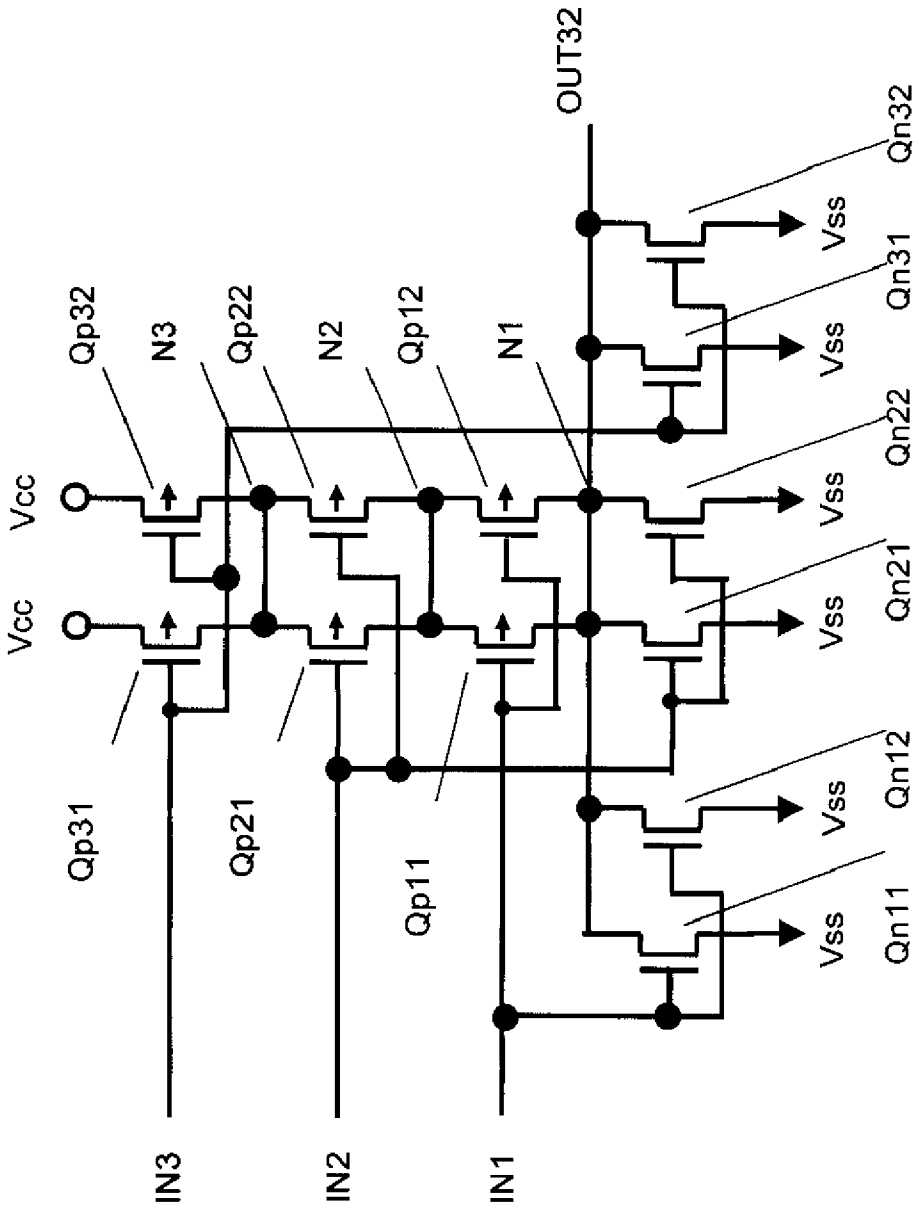
[図6b]


113g
110p1
109p1
107p1
108
106
105
108
OUT51
101
103
104n1
102pa
Qp1
p+
109p2
107p2
110p2
103
102pb
Qp2
104n2
113i
109p3
107p3
103
Qp3
104n3
110p3
110p4
103
103
102pc
Qp4
104n4
109p4
107p4
Vcc
103
Qp5
104n5
113a
110p5
109p5
107p5
108
106
105
108

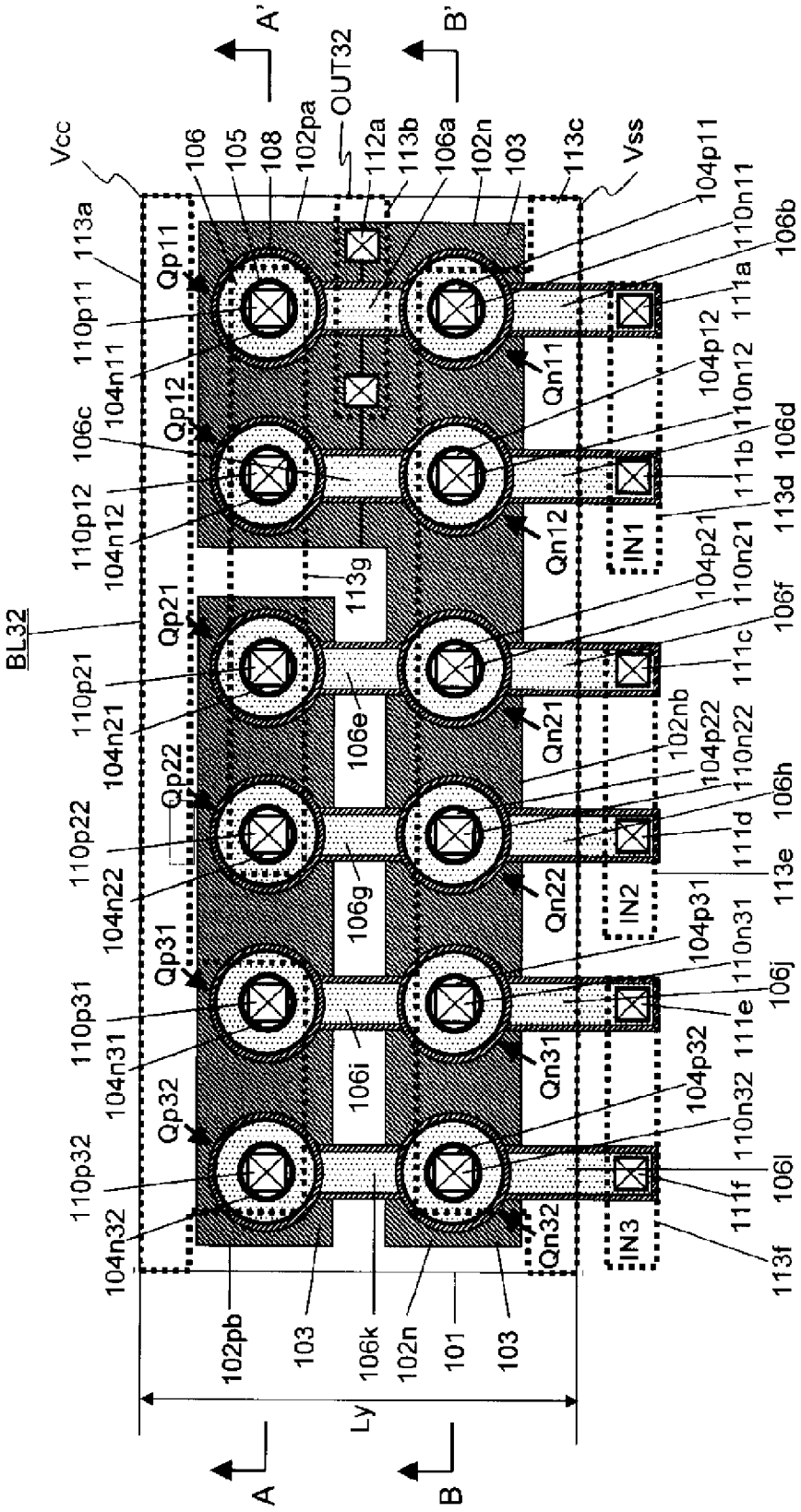
[図6c]


OUT51
101
113c
110n1
109n1
107n1
108
106
105
108
103
104p1
Qn1
110n2
109n2
107n2
103
102n
104p2
Qn2
110n3
109n3
107n3
103
104p3
Qn3
110n4
109n4
107n4
103
104p4
Qn4
Vss
103
104p5
Qn5
103
110n5
109n5
107n5
108
106
105
108
n+

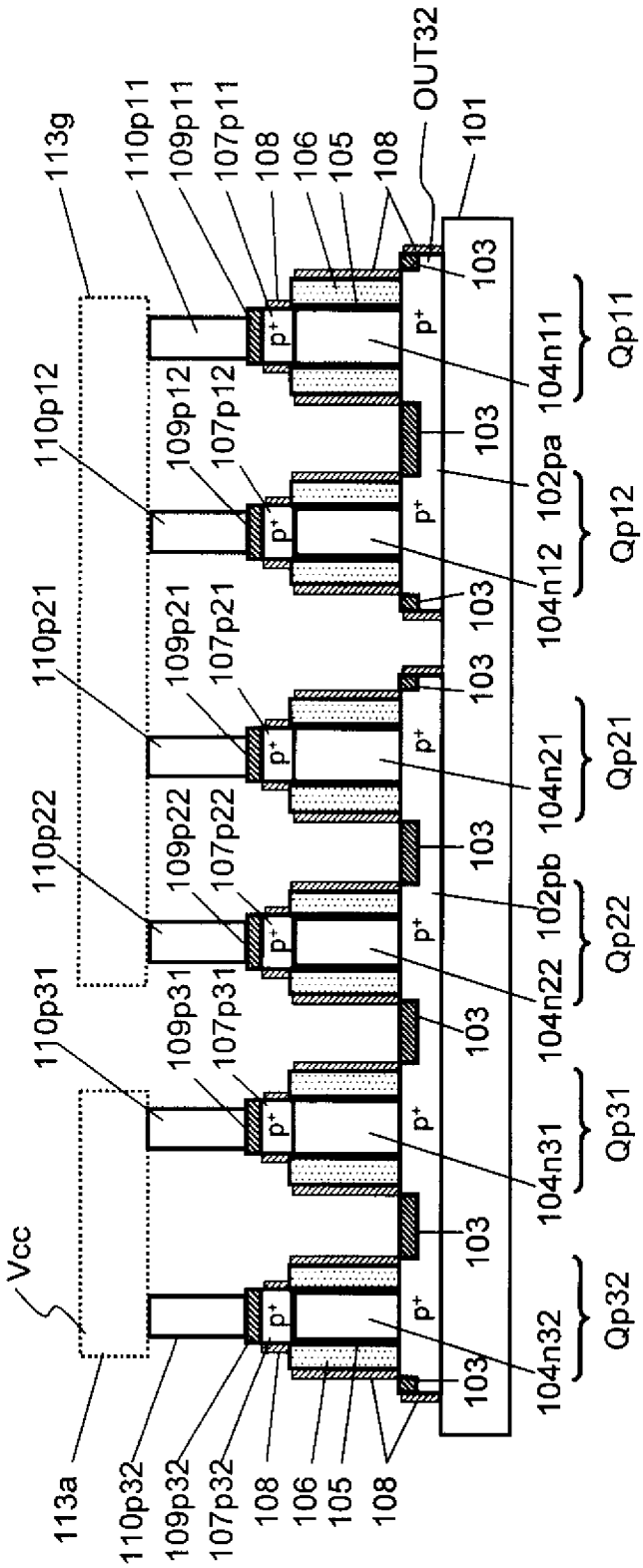
[図7]


OUT32
Qn32
Qn31
Qn22
Qn21
Qn12
Qn11
Vss
Qp32
N3
Qp22
N2
Qp12
N1
Vcc
Vcc
Qp31
Qp21
Qp11
IN3
IN2
IN1

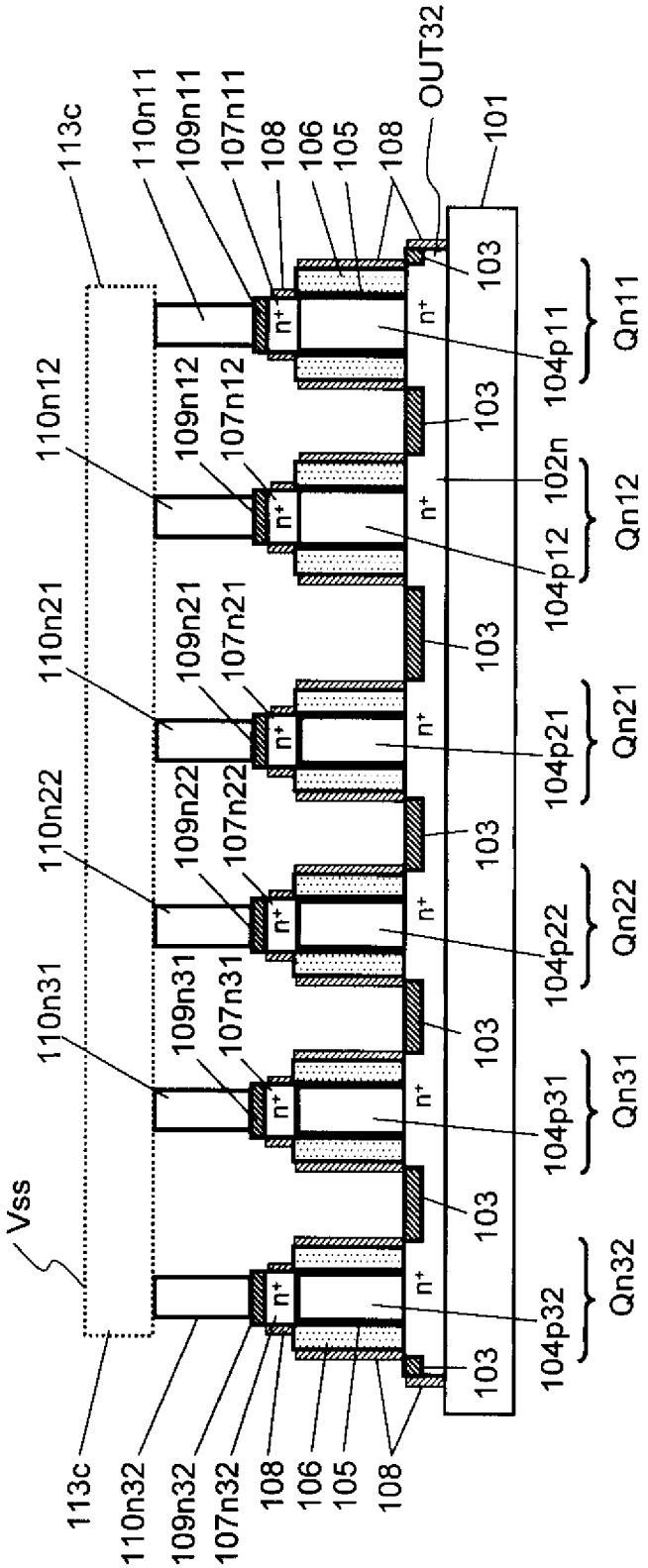
[図8a]


A'
B'
OUT32
Vcc
Vss
BL32
Qp11
Qp12
Qp21
Qp22
Qp31
Qp32
Qn11
Qn12
Qn21
Qn22
Qn31
Qn32
IN1
IN2
IN3
Ly
A
B

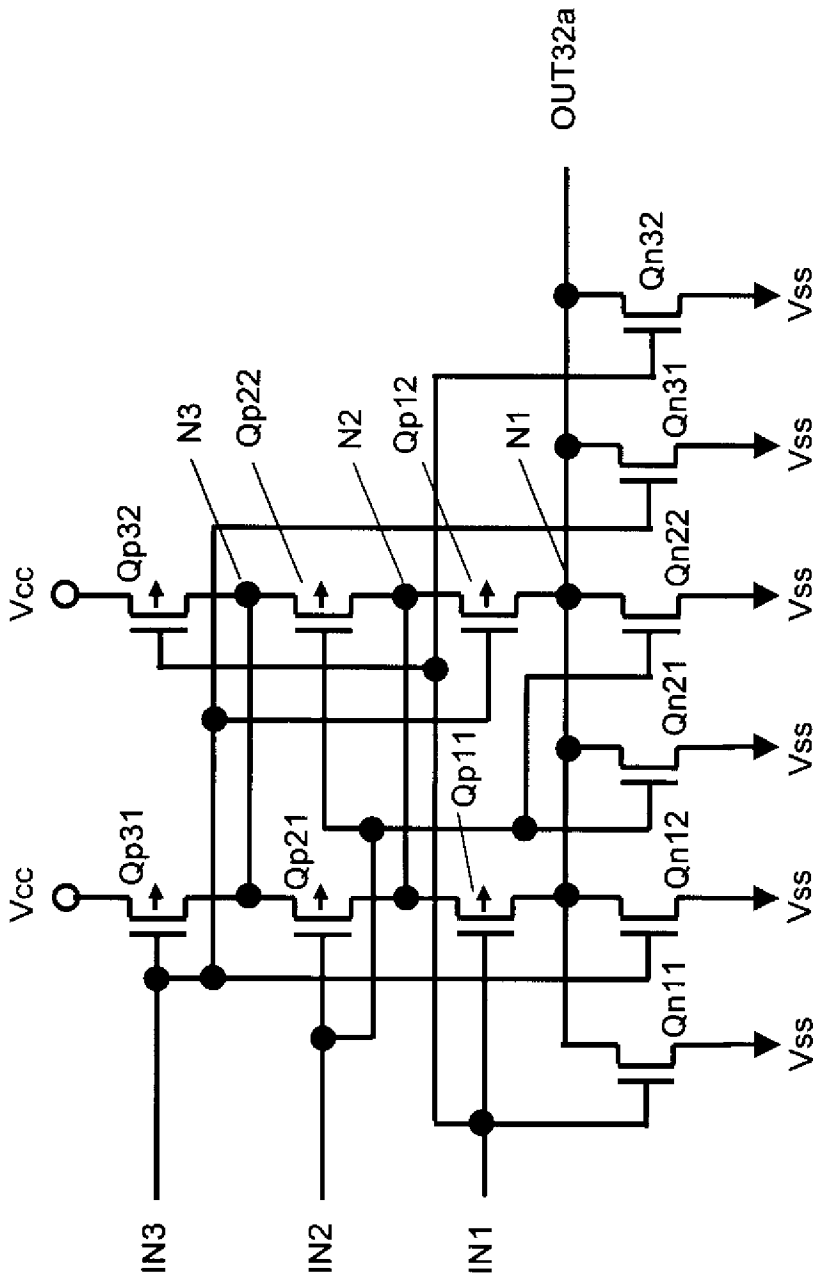
[図8b]


OUT32
101
113g
110p11
109p11
107p11
108
106
105
108
103
p+
104n11
Qp11
110p12
109p12
107p12
102pa
104n12
Qp12
110p21
109p21
107p21
104n21
Qp21
110p22
109p22
107p22
102pb
104n22
Qp22
110p31
109p31
107p31
104n31
Qp31
Vcc
104n32
Qp32
113a
110p32
109p32
107p32

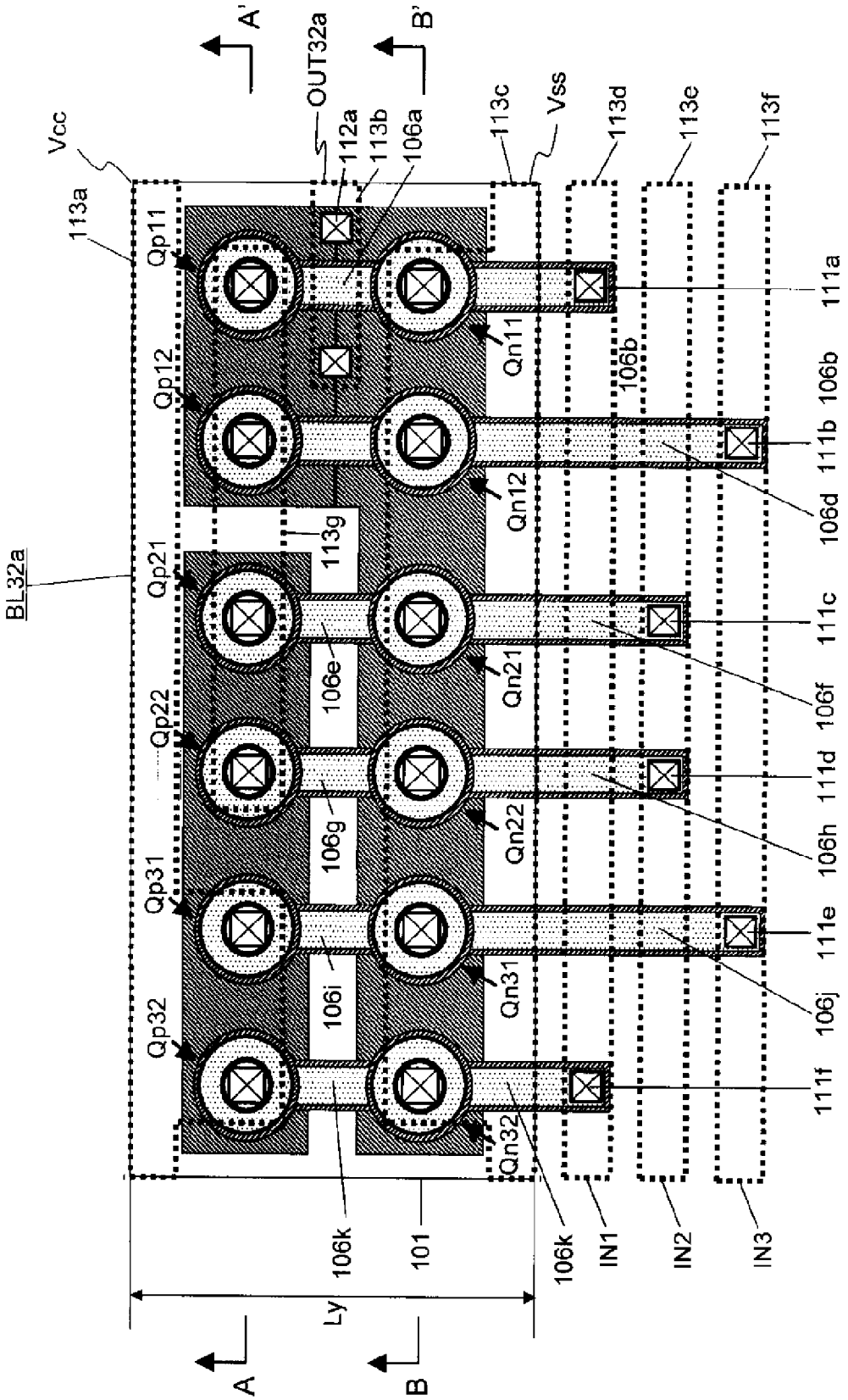
[図8c]


Vss
113c
110n32
109n32
107n32
108
106
105
108
103
104p32
Qn32
104p31
Qn31
104p22
Qn22
104p21
Qn21
104p12
Qn12
102n
104p11
Qn11
110n31
109n31
107n31
110n22
109n22
107n22
110n21
109n21
107n21
110n12
109n12
107n12
110n11
109n11
107n11
OUT32
101
n+

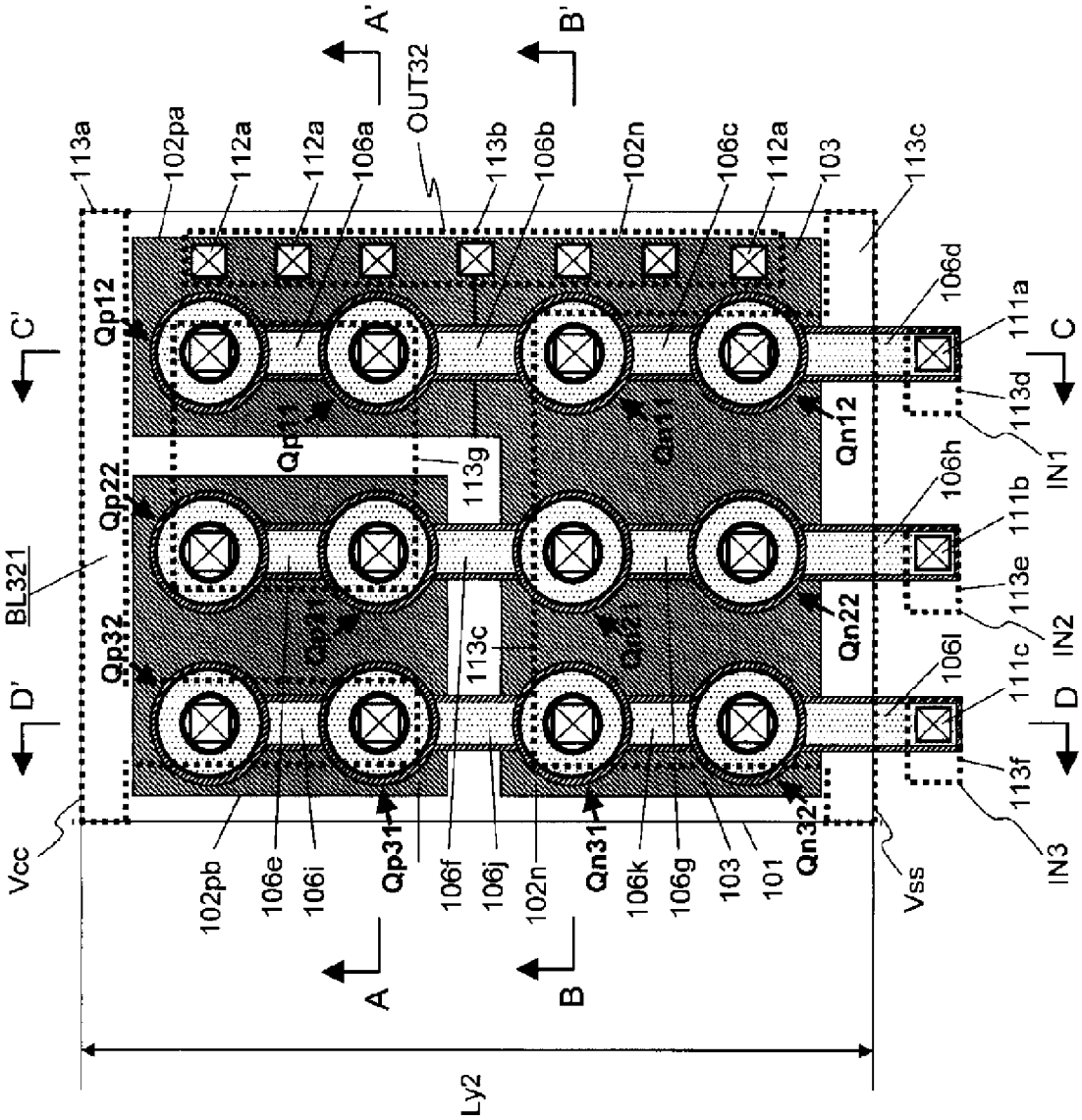
[図9]


OUT32a
Qn32
Qn31
Qn22
Qn21
Qn12
Qn11
Vss
Vss
Vss
Vss
Vss
Vss
N3
N2
N1
Qp22
Qp12
Qp11
Qp32
Qp31
Qp21
Vcc
Vcc
IN3
IN2
IN1

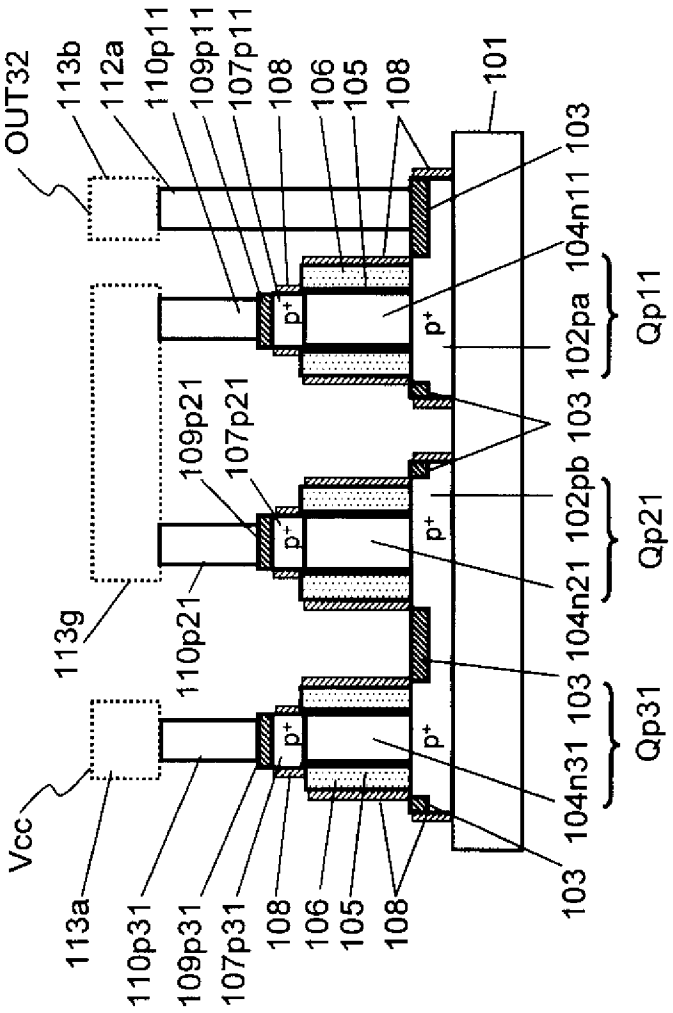
[図10]


A'
B'
OUT32a
Vcc
Vss
113a
112a
113b
106a
113c
113d
113e
113f
Qp11
Qp12
Qp21
Qp22
Qp31
Qp32
Qn11
Qn12
Qn21
Qn22
Qn31
Qn32
BL32a
113g
106e
106g
106i
106b
111a
111b
106d
111c
106f
111d
106h
111e
106j
111f
106k
101
IN1
IN2
IN3
Ly
A
B

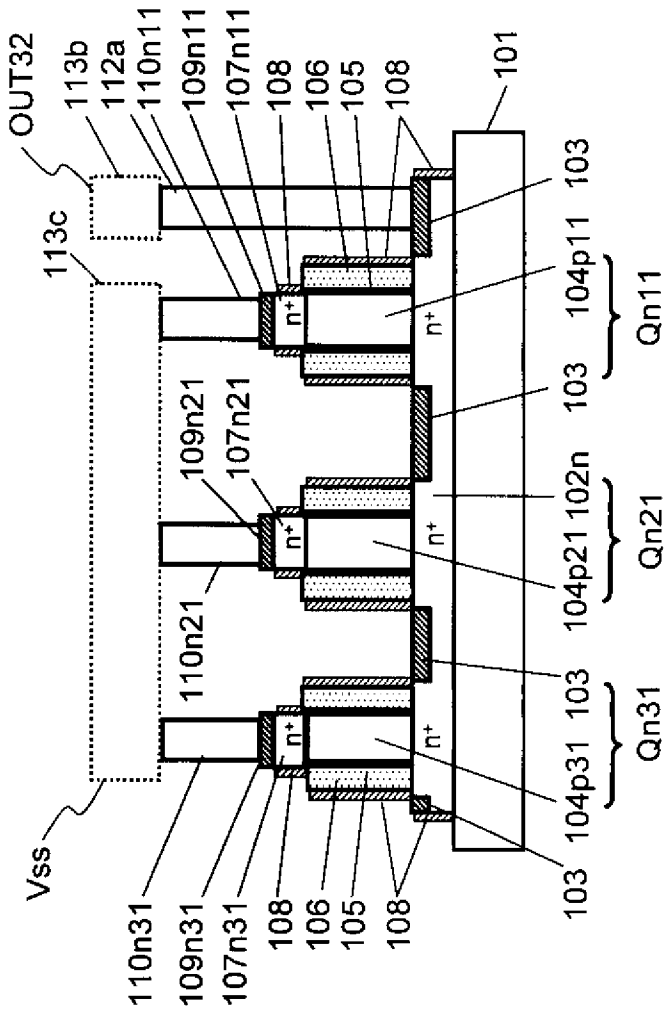
[図11a]


A'
B'
OUT32
113a
102pa
112a
112a
106a
113b
106b
102n
106c
112a
103
113c
C'
Qp12
Qp11
Qn11
Qn12
106d
111a
C
113d
IN1
106h
111b
Qp22
BL321
Qp21
Qn21
Qn22
113e
IN2
Qp32
113g
113c
106l
111c
D'
D
Qp31
Qn31
Qn32
113f
Vcc
Vss
IN3
102pb
106e
106i
106f
106j
102n
106k
106g
103
101
A
B
Ly2

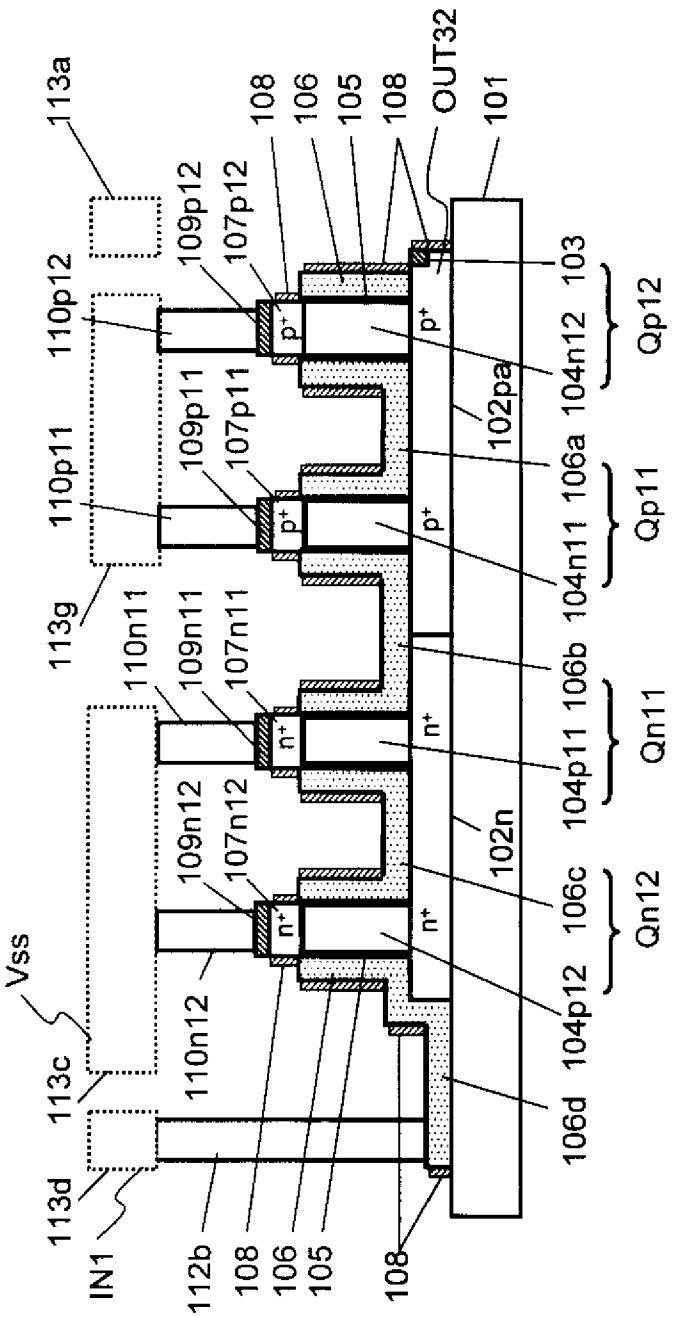
[図11b]


OUT32
113b
112a
110p11
109p11
107p11
108
106
105
108
101
103
104n11
102pa
Qp11
p+
109p21
107p21
103
102pb
Qp21
104n21
113g
110p21
103
Qp31
104n31
Vcc
113a
110p31
109p31
107p31
108
106
105
108
103

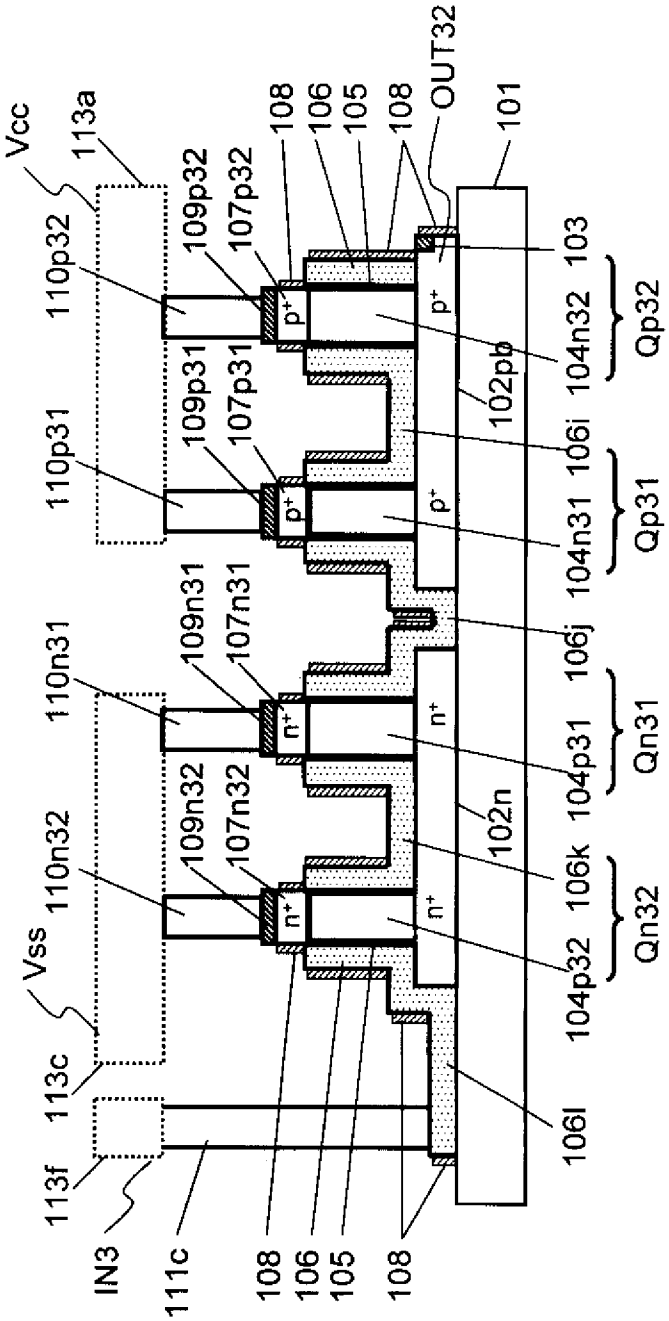
[図11c]


OUT32
113b
112a
110n11
109n11
107n11
108
106
105
108
101
103
113c
104p11
Qn11
n+
109n21
107n21
103
102n
104p21
Qn21
110n21
103
104p31
Qn31
Vss
103
110n31
109n31
107n31
108
106
105
108

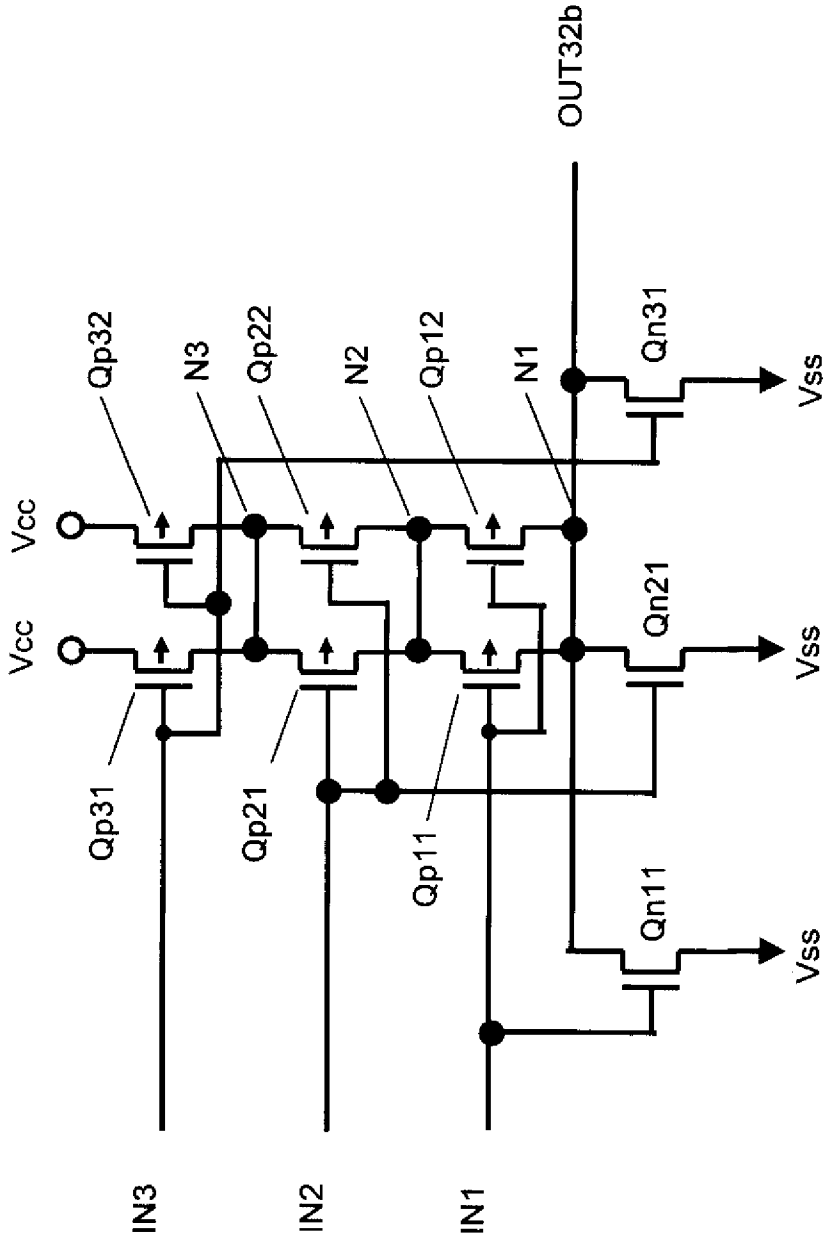
[図11d]


113a
110p12
109p12
107p12
108
106
105
108
OUT32
101
103
Qp12
104n12
102pa
110p11
109p11
107p11
106a
Qp11
104n11
113g
110n11
109n11
107n11
106b
Qn11
104p11
102n
109n12
107n12
106c
Qn12
104p12
Vss
113c
110n12
106d
113d
IN1
112b
108
106
105
108
p+
n+

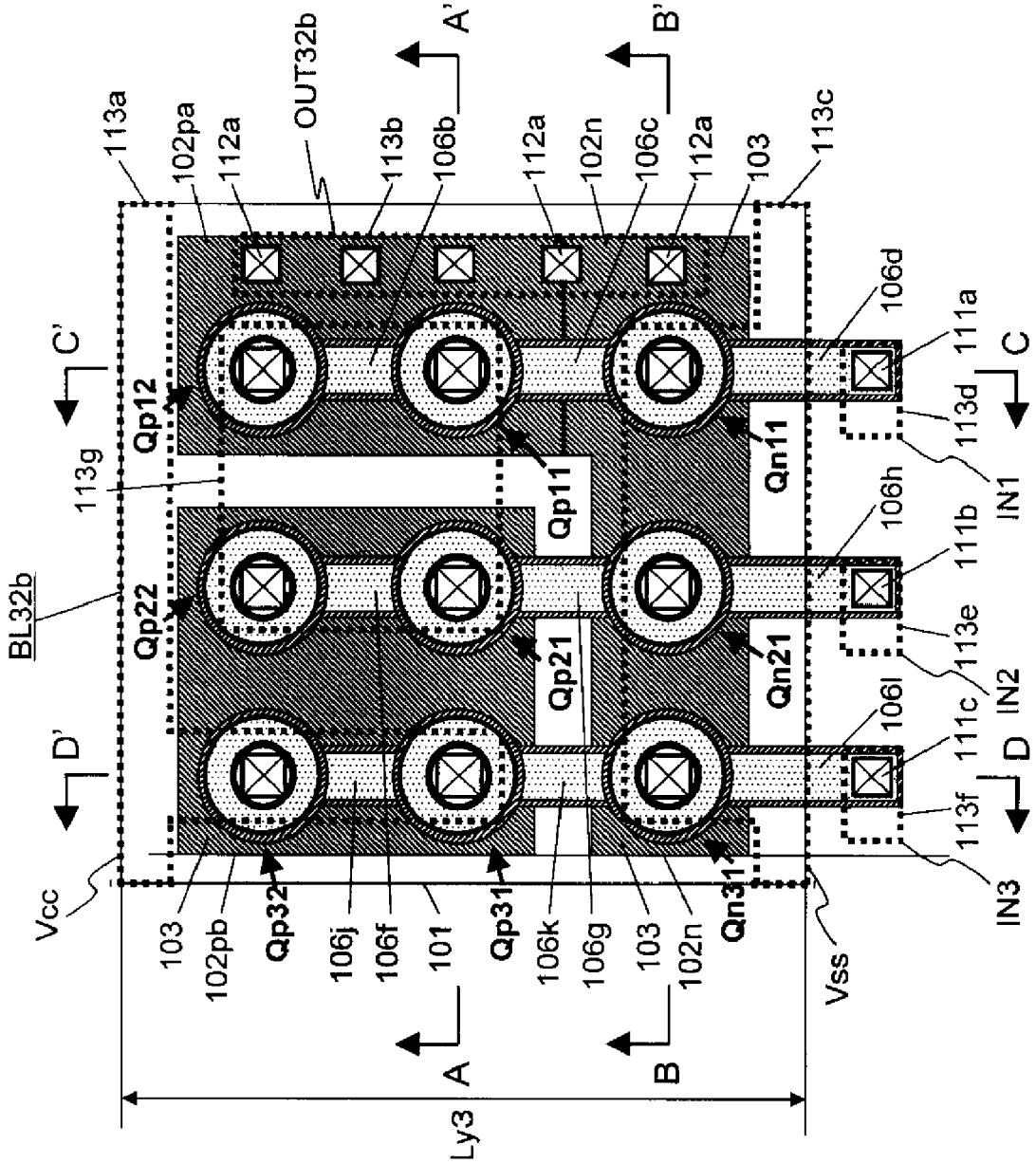
[図11e]


Vcc
113a
110p32
109p32
107p32
108
106
105
108
OUT32
101
103
104n32
Qp32
102pb
106i
110p31
109p31
107p31
104n31
Qp31
106j
110n31
109n31
107n31
104p31
Qn31
102n
106k
110n32
109n32
107n32
104p32
Qn32
Vss
113c
106l
113f
IN3
111c
108
106
105
108
p+
n+

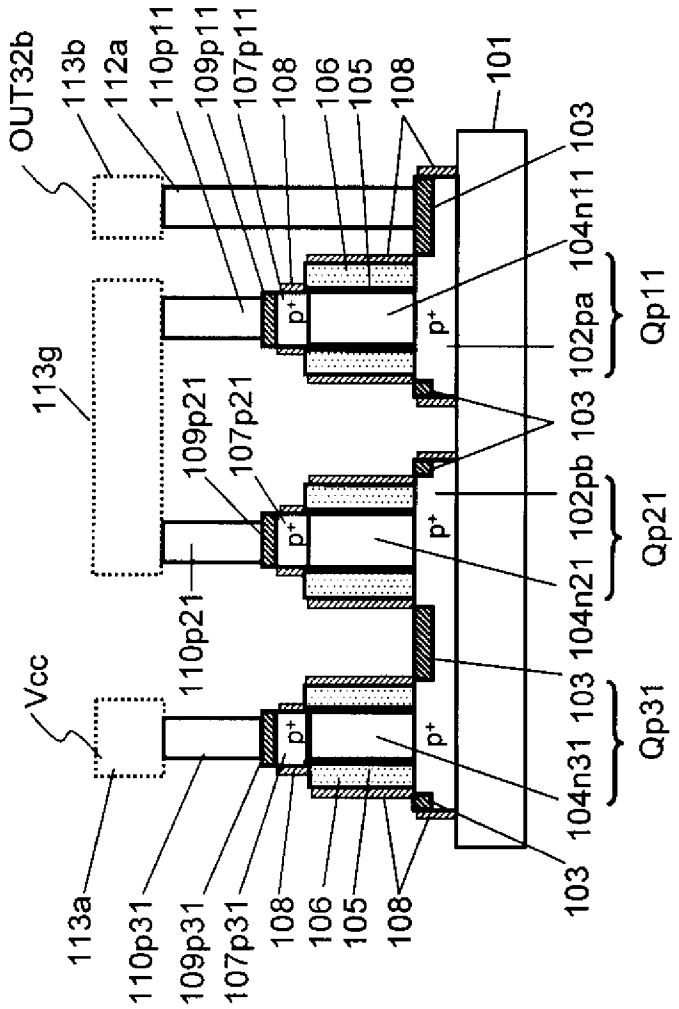
[図12]


OUT32b
Qp32
N3
Qp22
N2
Qp12
N1
Qn31
Vss
Vcc
Vcc
Qn21
Vss
Qp31
Qp21
Qp11
Qn11
Vss
IN3
IN2
IN1

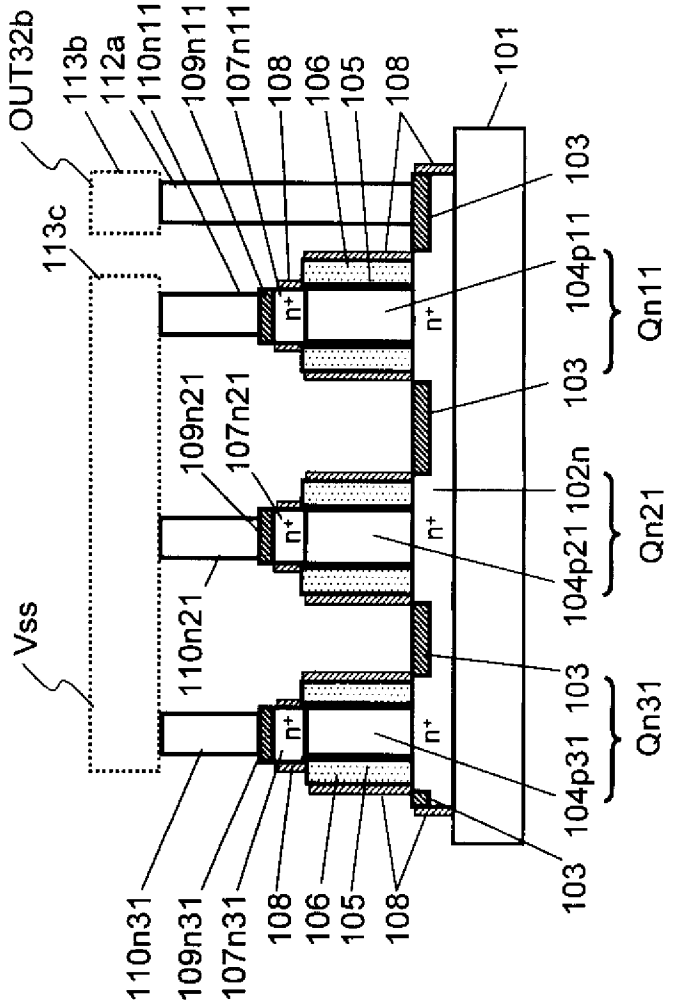
[図13a]


113a
102pa
112a
OUT32b
113b
106b
A'
112a
102n
106c
B'
112a
103
113c
106d
111a
C
C'
Qp12
113g
Qp11
Qn11
113d
IN1
106h
111b
BL32b
Qp22
Qp21
Qn21
113e
IN2
106l
111c
D
D'
113f
IN3
Vcc
103
102pb
Qp32
106j
106f
101
Qp31
106k
106g
103
102n
Qn31
Vss
A
B
Ly3

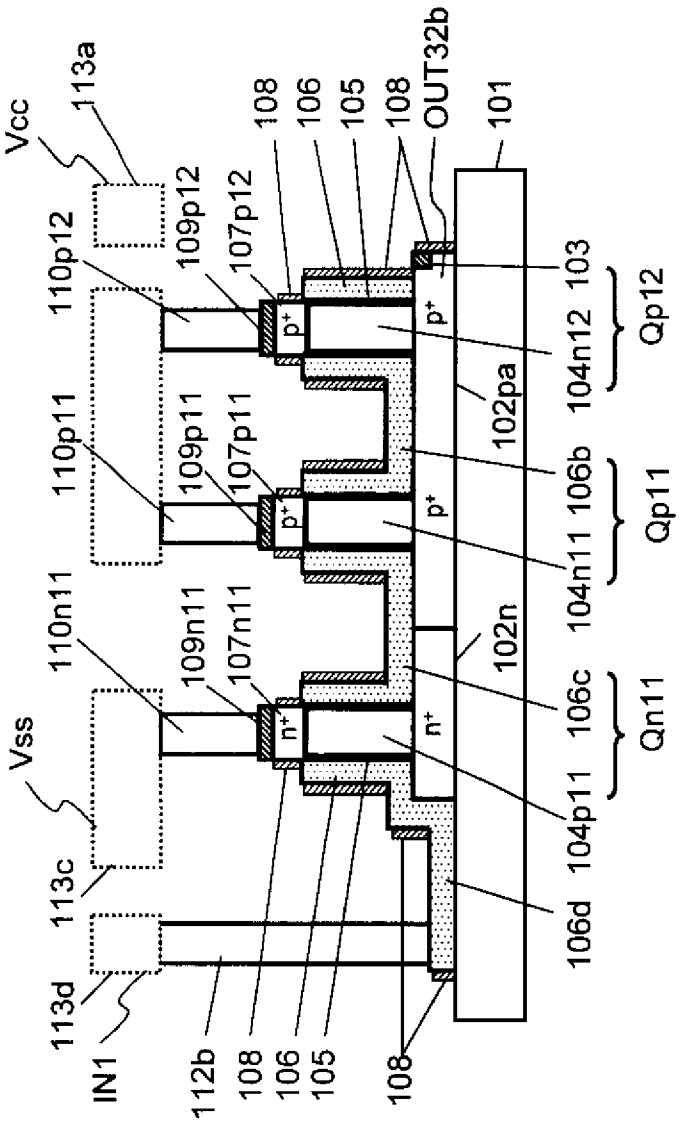
[図13b]


OUT32b
113b
112a
110p11
109p11
107p11
108
106
105
108
101
103
104n11
102pa
Qp11
113g
109p21
107p21
p+
103
102pb
Qp21
104n21
110p21
Vcc
103
104n31
Qp31
113a
110p31
109p31
107p31
108
106
105
108
103

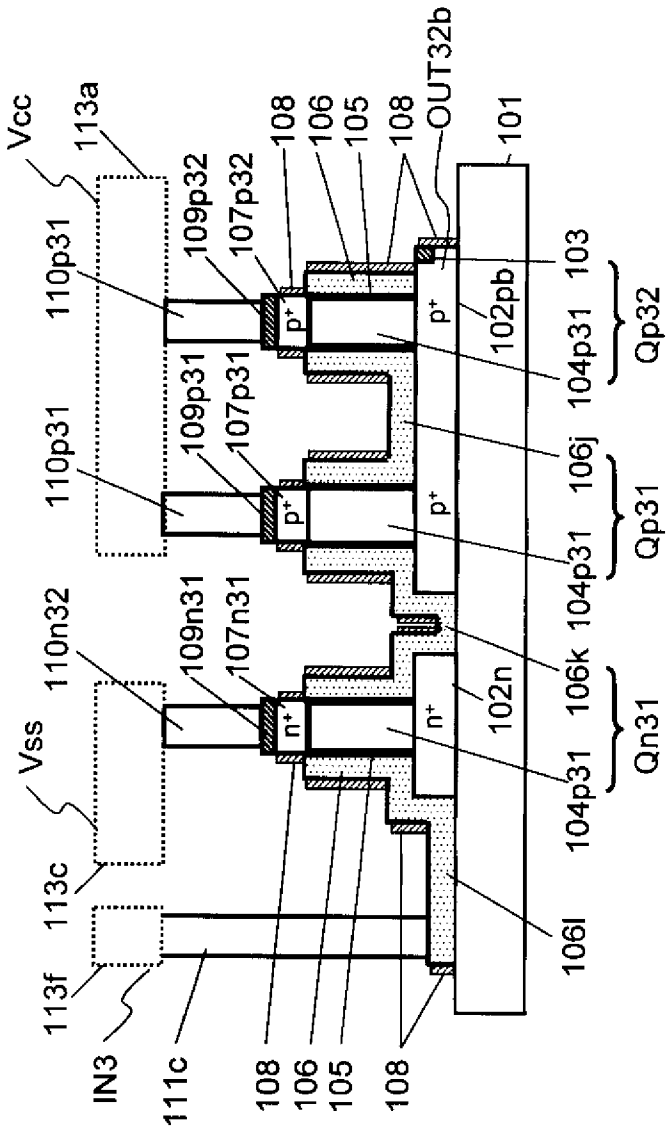
[図13c]


OUT32b
113b
112a
110n11
109n11
107n11
108
106
105
108
101
103
104p11
Qn11
103
102n
104p21
Qn21
103
104p31
Qn31
103
113c
Vss
109n21
107n21
110n21
110n31
109n31
107n31
108
106
105
108
n+

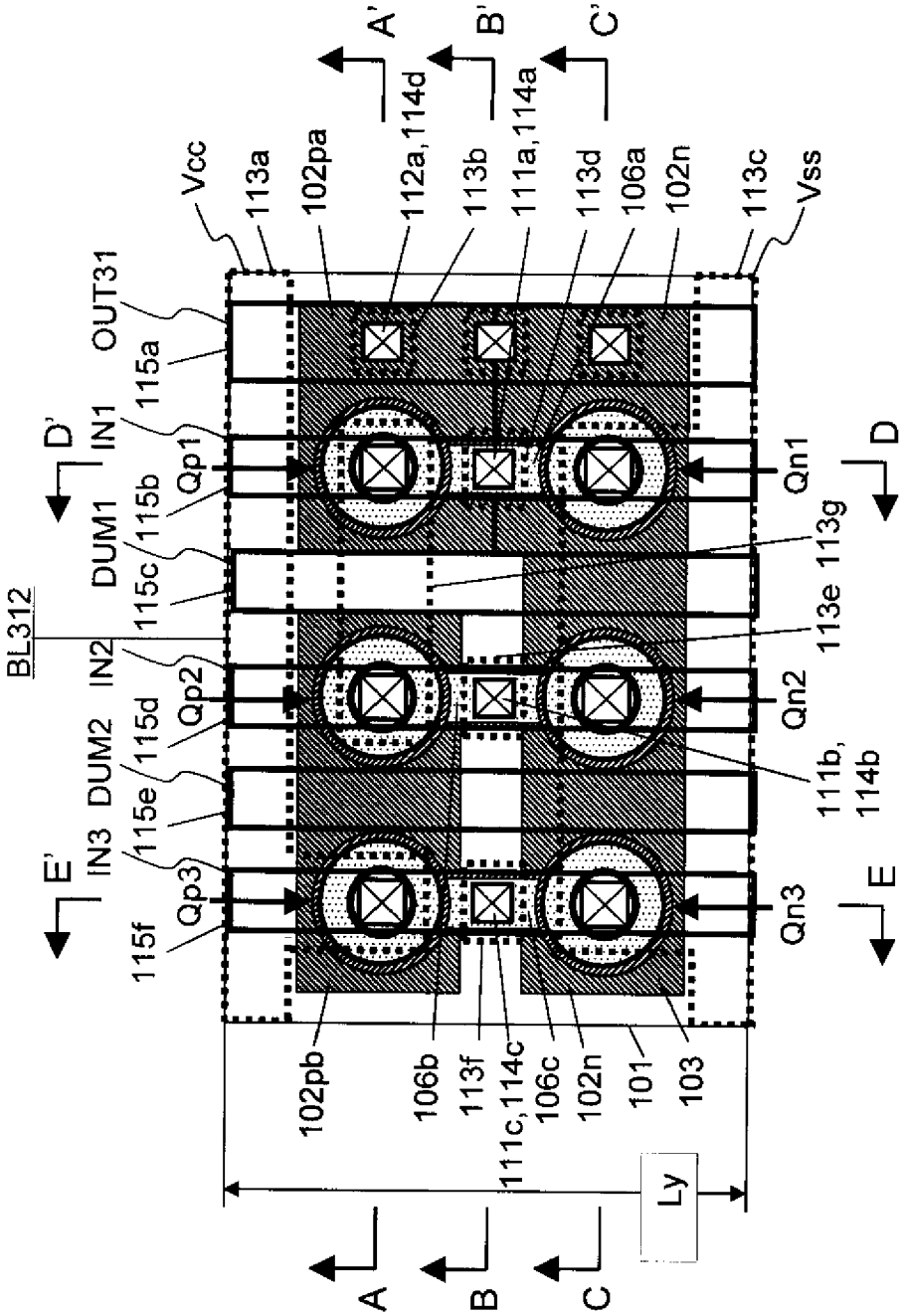
[図13d]


Vcc
113a
110p12
109p12
107p12
108
106
105
108
OUT32b
101
103
104n12
Qp12
102pa
110p11
109p11
107p11
106b
104n11
Qp11
110n11
109n11
107n11
102n
106c
104p11
Qn11
Vss
113c
106d
113d
IN1
112b
108
106
105
108
p+
n+

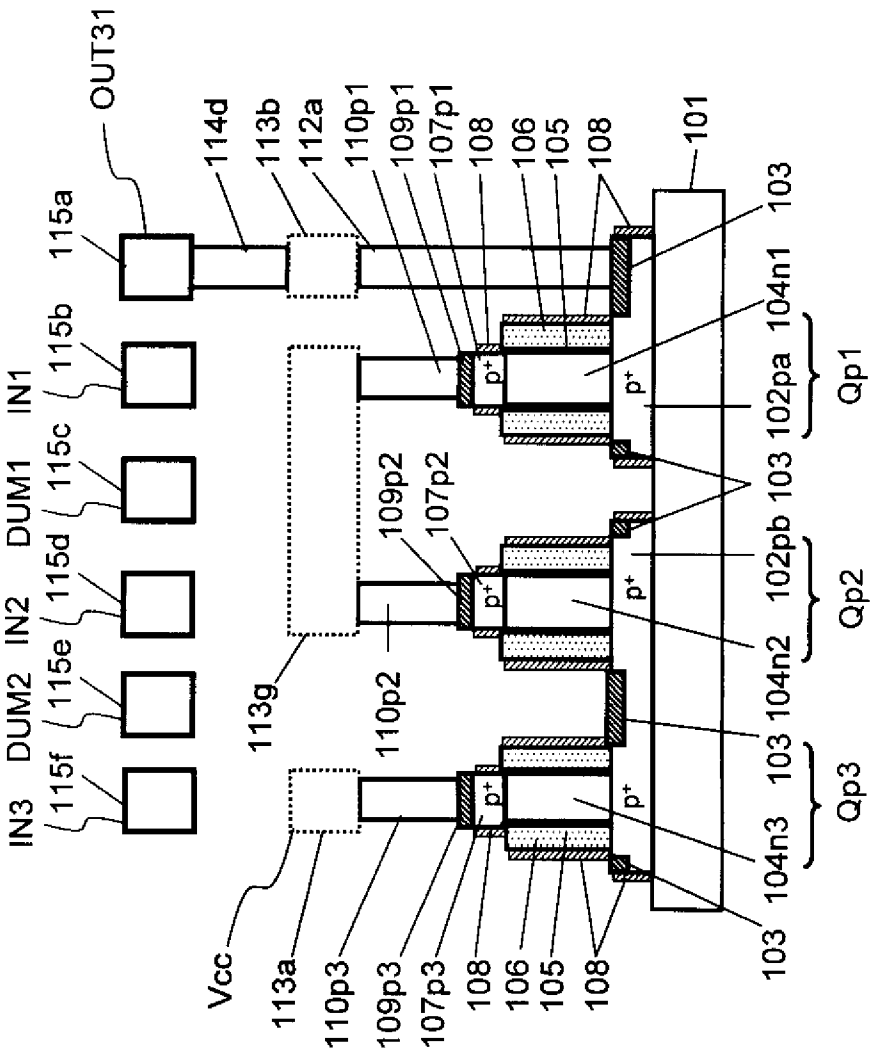
[図13e]


Vcc
113a
110p31
109p32
107p32
108
106
105
108
OUT32b
101
103
102pb
104p31
Qp32
106j
Qp31
110n32
109n31
107n31
106k
102n
Qn31
Vss
113c
113f
IN3
111c
106l
p+
n+

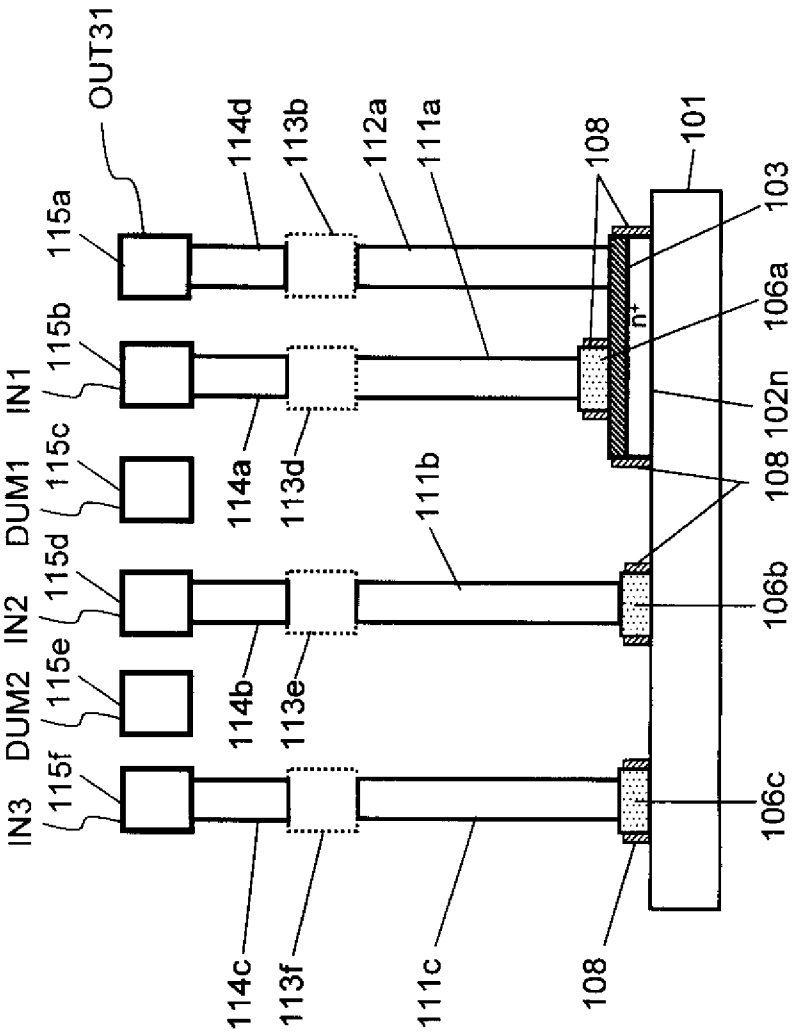
[図14a]


A'
B'
C'
Vcc
113a
102pa
112a,114d
113b
111a,114a
113d
106a
102n
113c
Vss
OUT31
115a
D'
IN1
Qp1
115b
DUM1
115c
BL312
IN2
Qp2
115d
DUM2
115e
E'
IN3
Qp3
115f
Qn1
D
113g
113e
Qn2
111b,
114b
Qn3
E
102pb
106b
113f
111c,114c
106c
102n
101
103
Ly
A
B
C

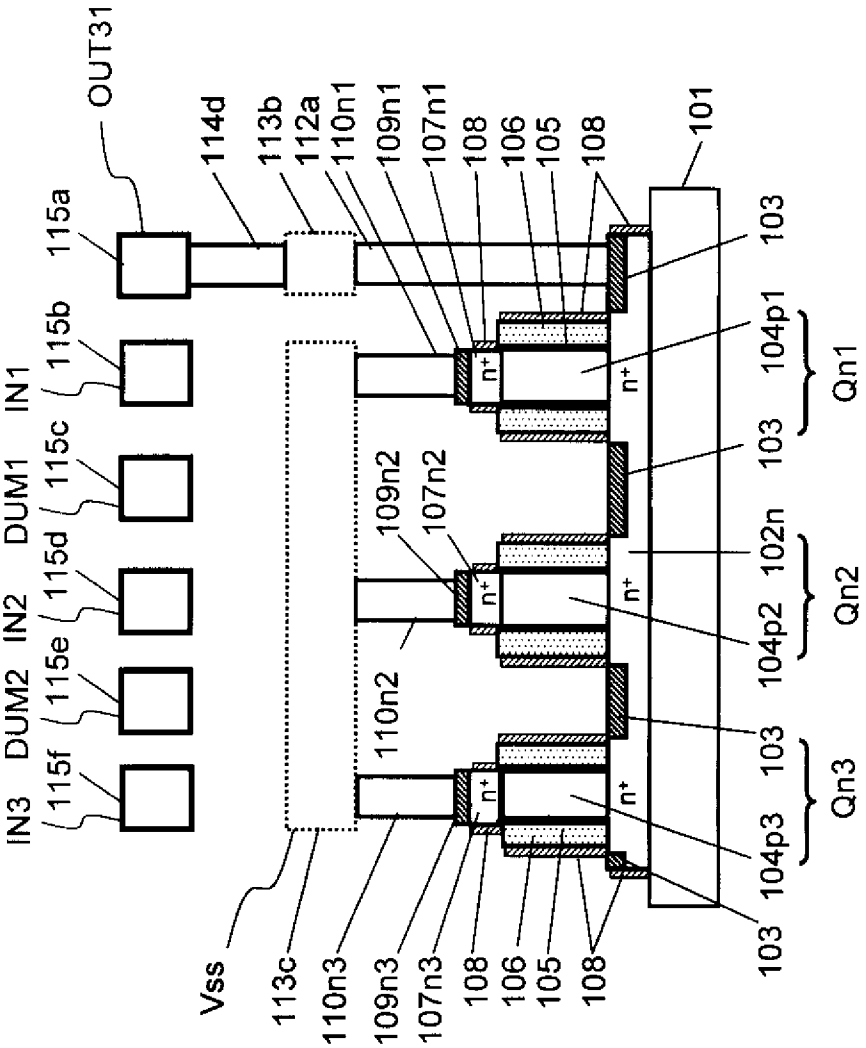
[図14b]


OUT31
114d
113b
112a
110p1
109p1
107p1
108
106
105
108
101
103
115a
IN1
115b
104n1
102pa
Qp1
DUM1
115c
109p2
107p2
103
IN2
115d
102pb
Qp2
DUM2
115e
113g
110p2
104n2
103
IN3
115f
Qp3
104n3
103
Vcc
113a
110p3
109p3
107p3
108
106
105
108
p+

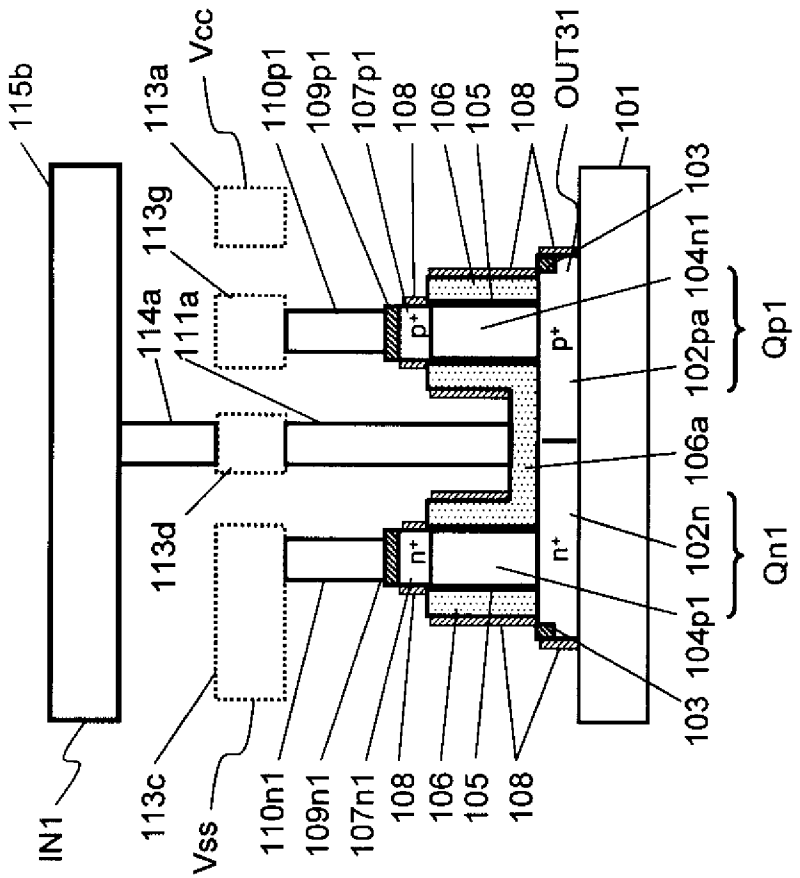
[図14c]


OUT31
114d
113b
112a
111a
108
101
103
115a
106a
115b
IN1
n+
102n
114a
113d
108
DUM1
115c
111b
115d
IN2
106b
114b
113e
115e
DUM2
115f
IN3
106c
114c
113f
111c
108

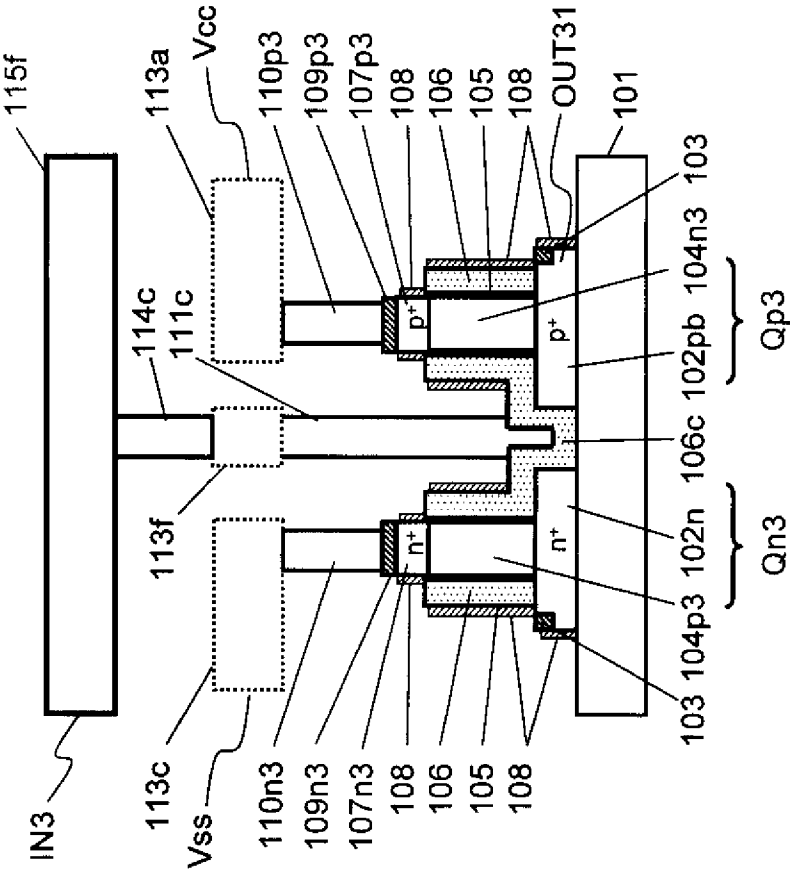
[図14d]


OUT31
114d
113b
112a
110n1
109n1
107n1
108
106
105
108
101
115a
IN1
115b
DUM1
115c
IN2
115d
DUM2
115e
IN3
115f
103
104p1
Qn1
n+
109n2
107n2
102n
104p2
Qn2
110n2
104p3
Qn3
Vss
113c
110n3
109n3
107n3

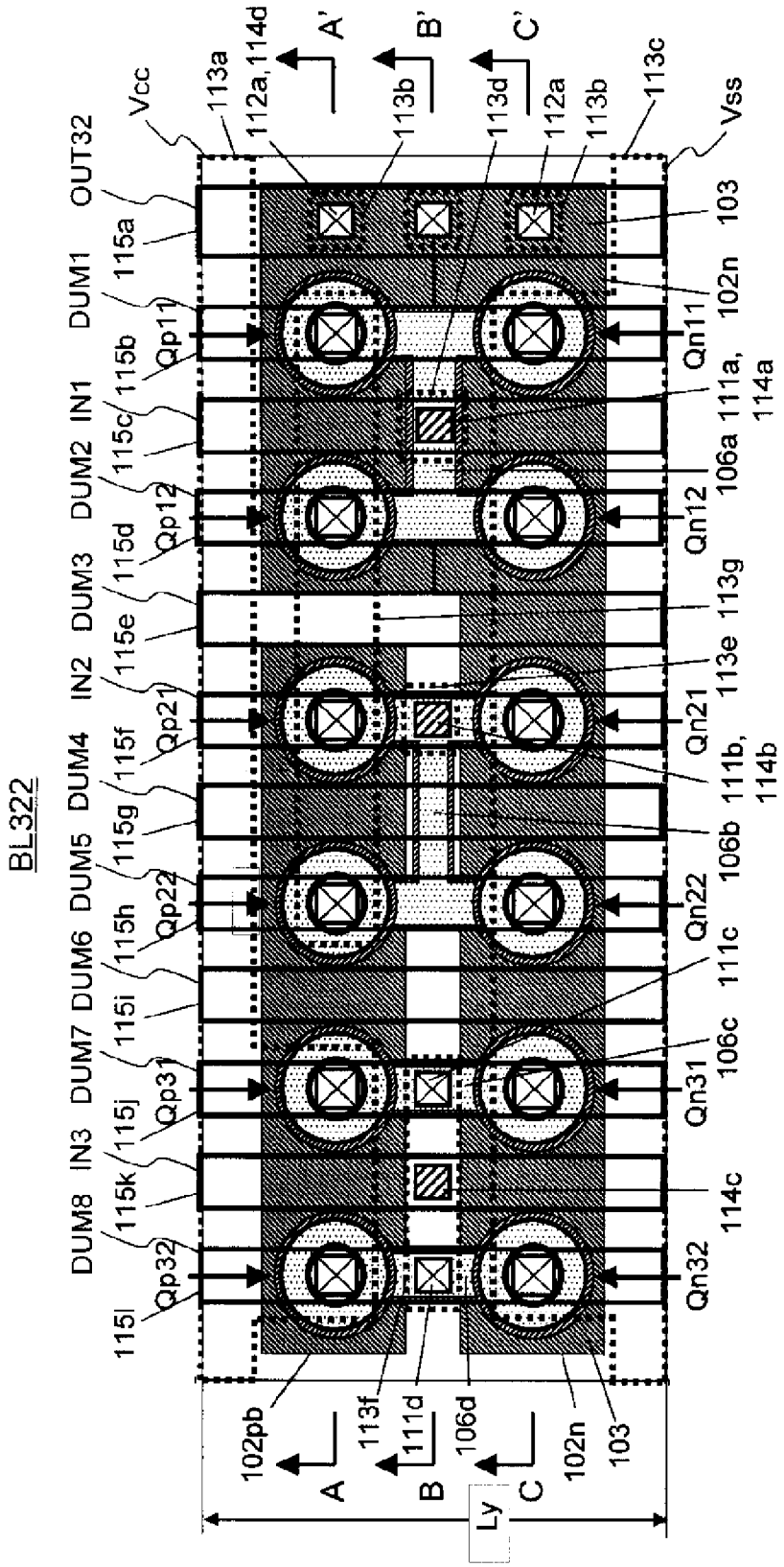
[図14e]


115b
113a
Vcc
110p1
109p1
107p1
108
106
105
108
OUT31
101
103
113g
114a
111a
104n1
102pa
Qp1
106a
113d
102n
Qn1
104p1
103
IN1
113c
Vss
110n1
109n1
107n1
108
106
105
108
p+
n+

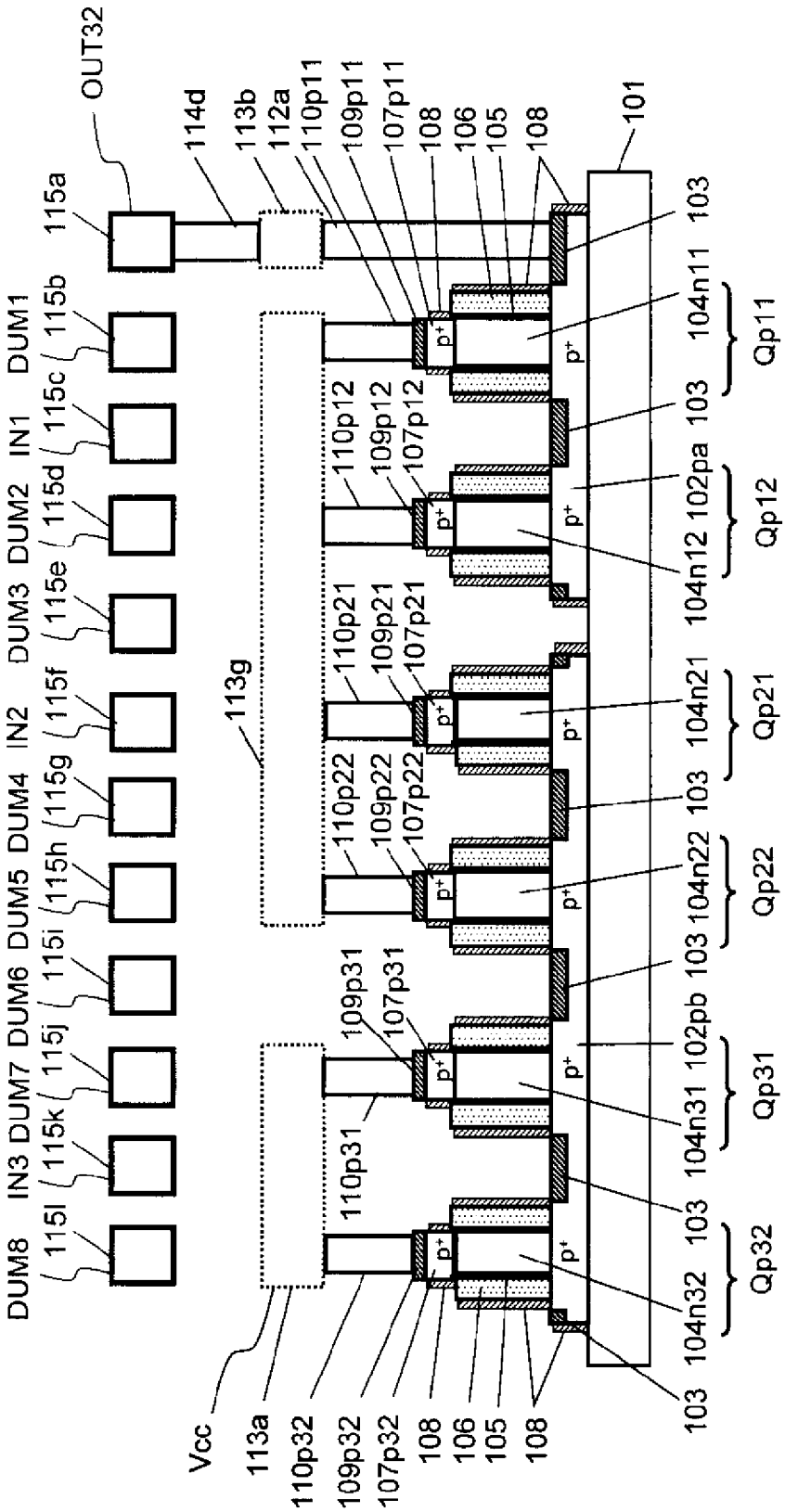
[図14f]


115f
113a
Vcc
110p3
109p3
107p3
108
106
105
108
OUT31
101
103
104n3
Qp3
102pb
106c
102n
Qn3
104p3
103
114c
111c
113f
113c
Vss
110n3
109n3
107n3
108
106
105
108
IN3
p+
n+

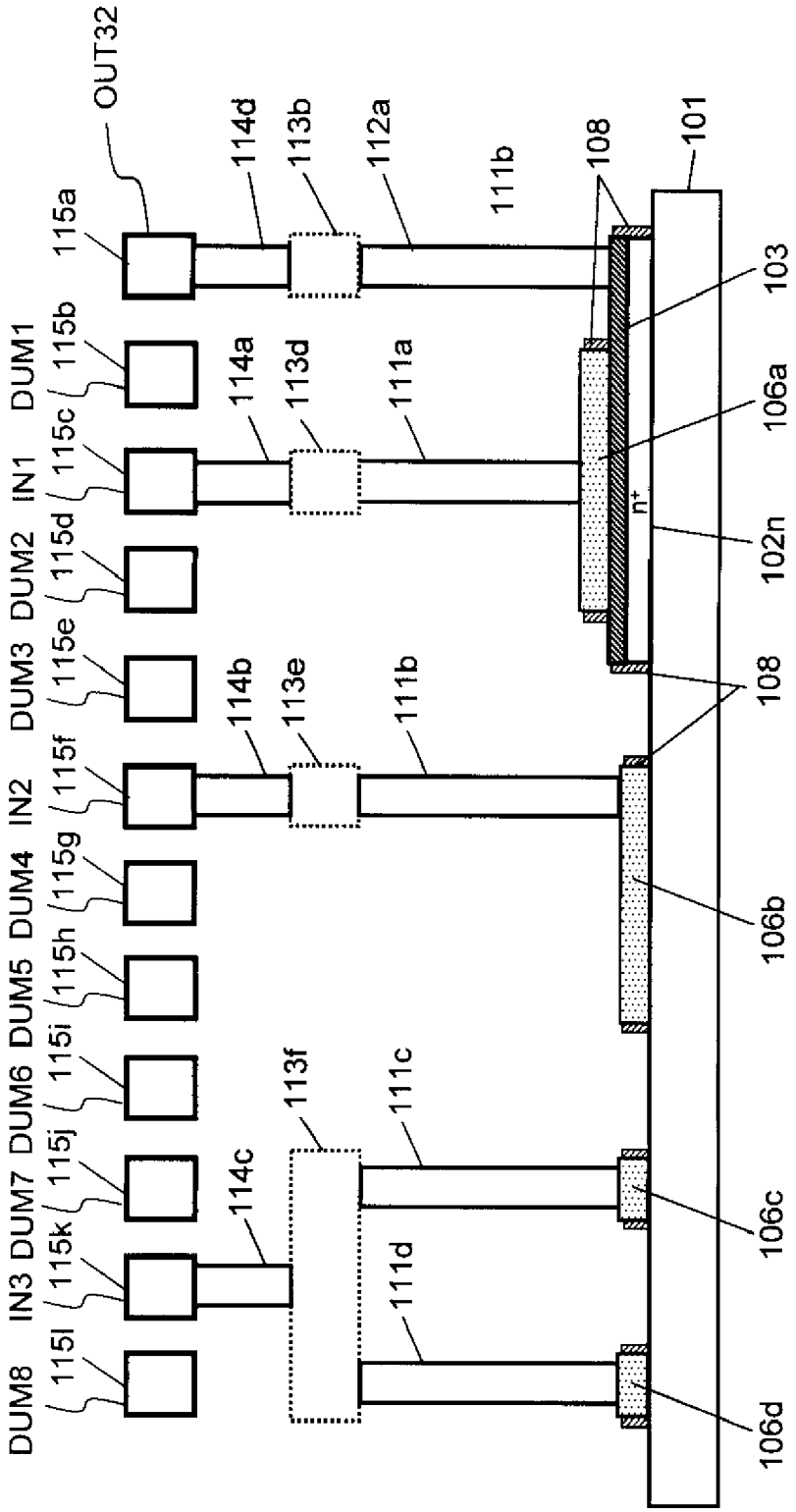
[図15a]


BL322
OUT32
DUM1
IN1
DUM2
DUM3
IN2
DUM4
DUM5
DUM6
DUM7
IN3
DUM8
Vcc
Vss
A'
B'
C'
A
B
C
Ly
113a
112a, 114d
113b
113d
112a
113b
113c
103
102n
111a, 114a
106a
113g
113e
111b, 114b
106b
111c
106c
114c
102pb
113f
111d
106d
102n
103
115a
115b
115c
115d
115e
115f
115g
115h
115i
115j
115k
115l
Qp11
Qp12
Qp21
Qp22
Qp31
Qp32
Qn11
Qn12
Qn21
Qn22
Qn31
Qn32

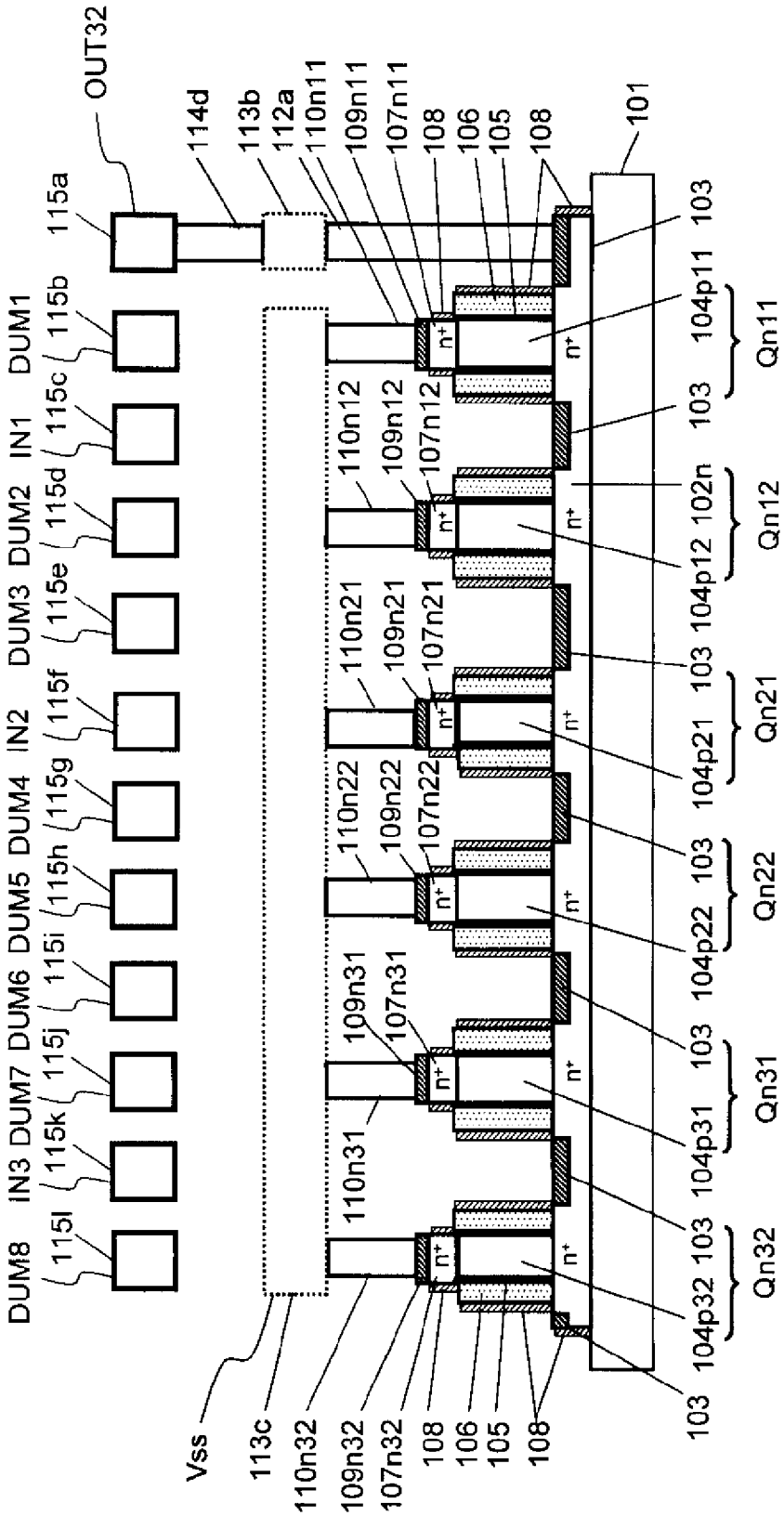
[図15b]


OUT32
114d
113b
112a
110p11
109p11
107p11
108
106
105
108
101
115a
DUM1
115b
IN1
115c
DUM2
115d
DUM3
115e
IN2
115f
DUM4
115g
DUM5
115h
DUM6
115i
DUM7
115j
IN3
115k
DUM8
115l
113g
103
104n11
Qp11
110p12
109p12
107p12
102pa
104n12
Qp12
110p21
109p21
107p21
104n21
Qp21
110p22
109p22
107p22
104n22
Qp22
109p31
107p31
102pb
104n31
Qp31
110p31
104n32
Qp32
Vcc
113a
110p32
109p32
107p32
p+

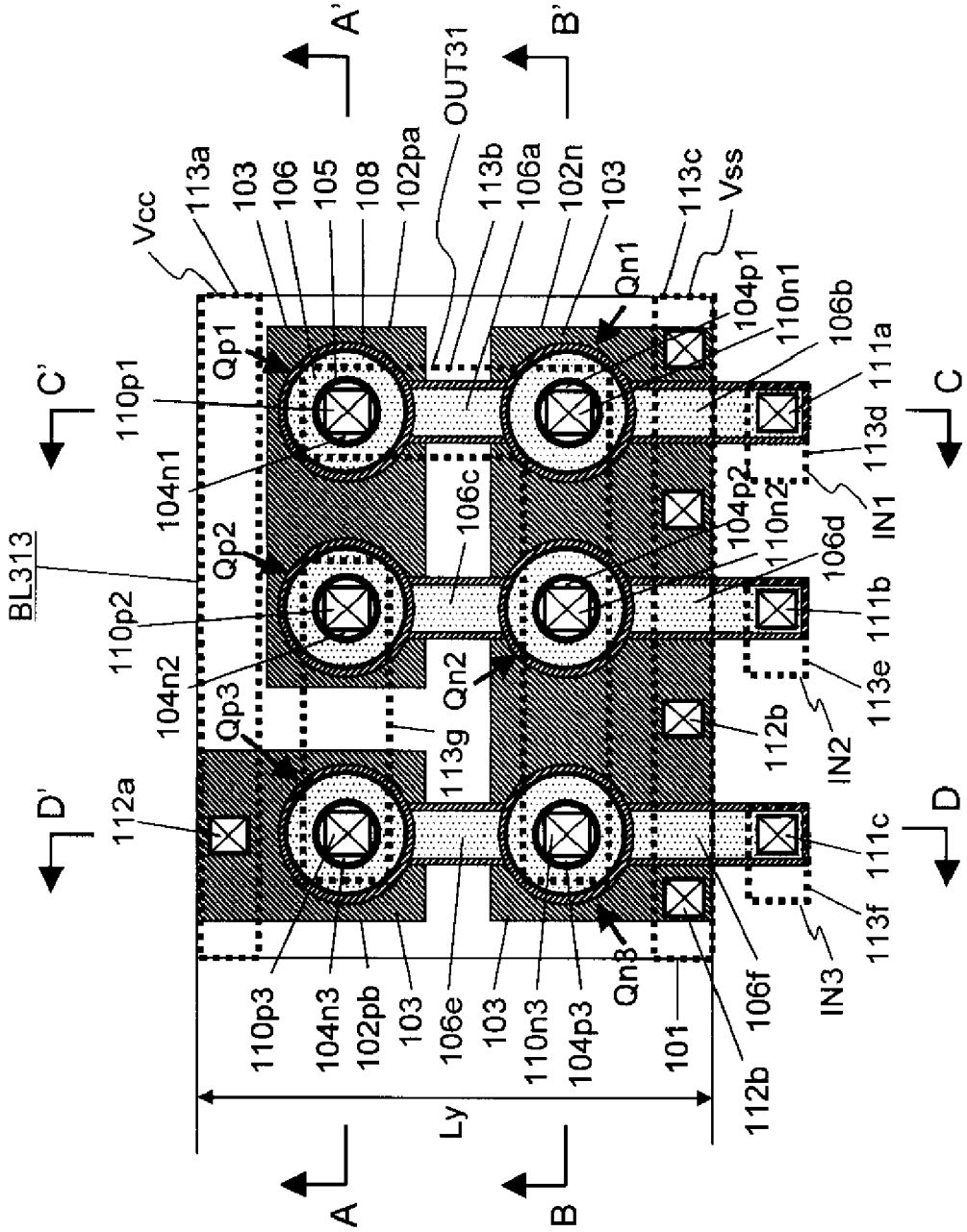
[図15c]


OUT32
114d
113b
112a
111b
108
101
115a
103
DUM1
115b
114a
113d
111a
106a
IN1
115c
n+
DUM2
115d
102n
DUM3
115e
114b
113e
111b
108
IN2
115f
DUM4
115g
106b
DUM5
115h
DUM6
115i
113f
111c
DUM7
115j
114c
106c
IN3
115k
111d
DUM8
115l
106d

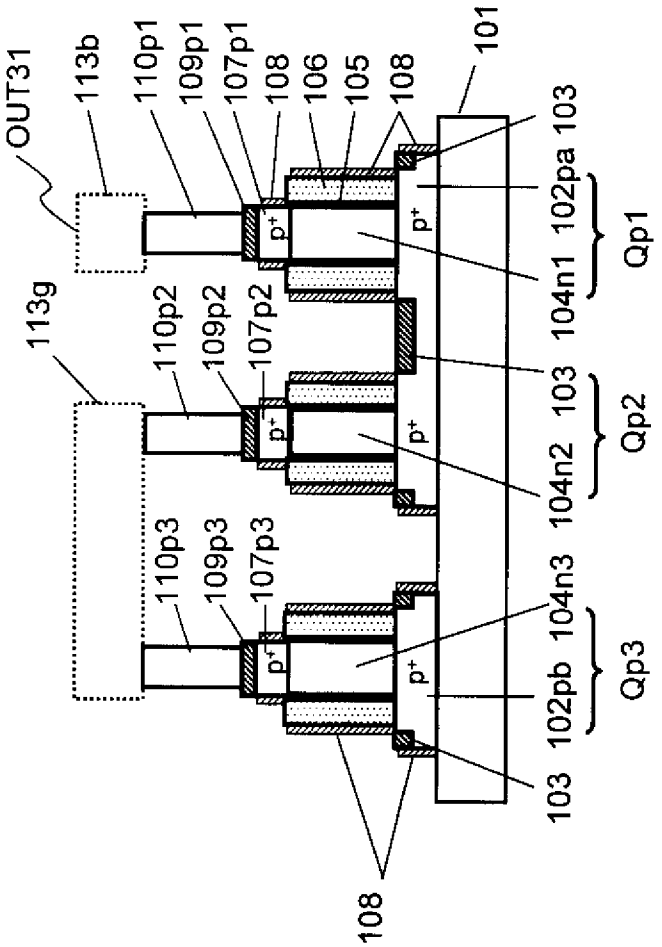
[図15d]


OUT32
114d
113b
112a
110n11
109n11
107n11
108
106
105
108
101
115a
DUM1
115b
IN1
115c
DUM2
115d
DUM3
115e
IN2
115f
DUM4
115g
DUM5
115h
DUM6
115i
DUM7
115j
IN3
115k
DUM8
115l
103
104p11
Qn11
110n12
109n12
107n12
102n
104p12
Qn12
110n21
109n21
107n21
104p21
Qn21
110n22
109n22
107n22
104p22
Qn22
110n31
109n31
107n31
104p31
Qn31
104p32
Qn32
n+
Vss
113c
110n32
109n32
107n32

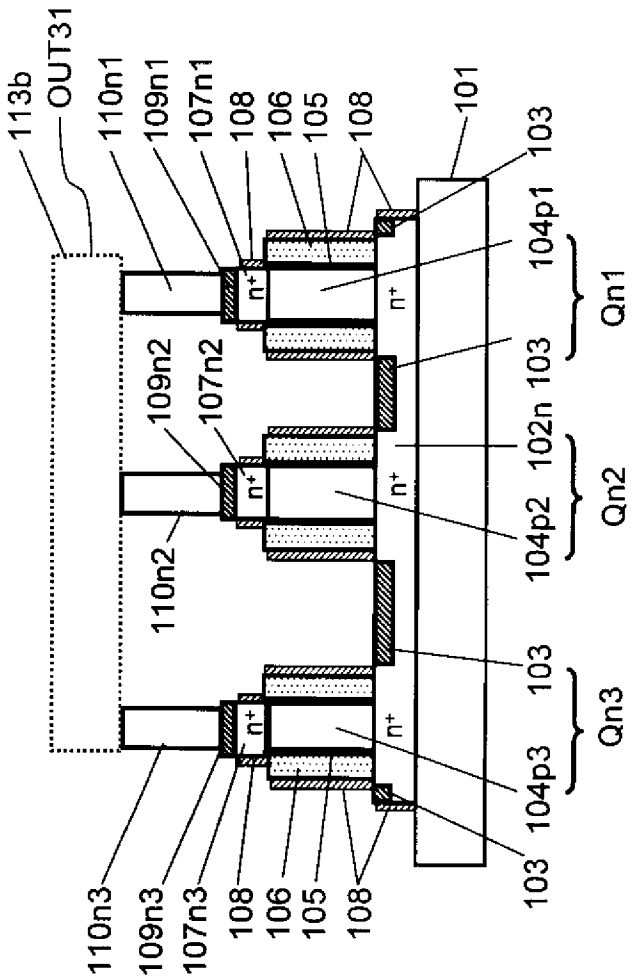
[図16a]


A'
B'
OUT31
Vcc
113a
103
106
105
108
102pa
113b
106a
102n
103
113c
Vss
Qn1
104p1
110n1
106b
111a
C'
110p1
Qp1
104n1
106c
113d
C
IN1
BL313
Qp2
104p2
110n2
106d
110p2
111b
104n2
Qp3
Qn2
113e
IN2
113g
112b
D'
112a
111c
D
113f
IN3
Qn3
106f
110p3
104n3
102pb
103
106e
103
110n3
104p3
101
112b
Ly
A
B

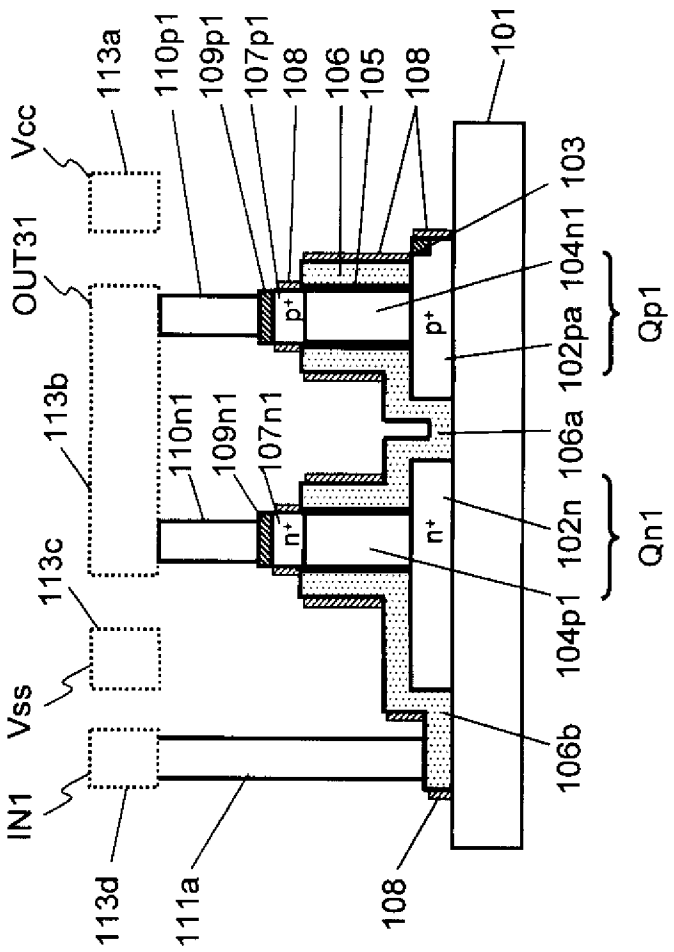
[図16b]


OUT31
113b
110p1
109p1
107p1
108
106
105
108
101
103
102pa
104n1
Qp1
113g
110p2
109p2
107p2
103
104n2
Qp2
110p3
109p3
107p3
104n3
102pb
Qp3
103
108
p+

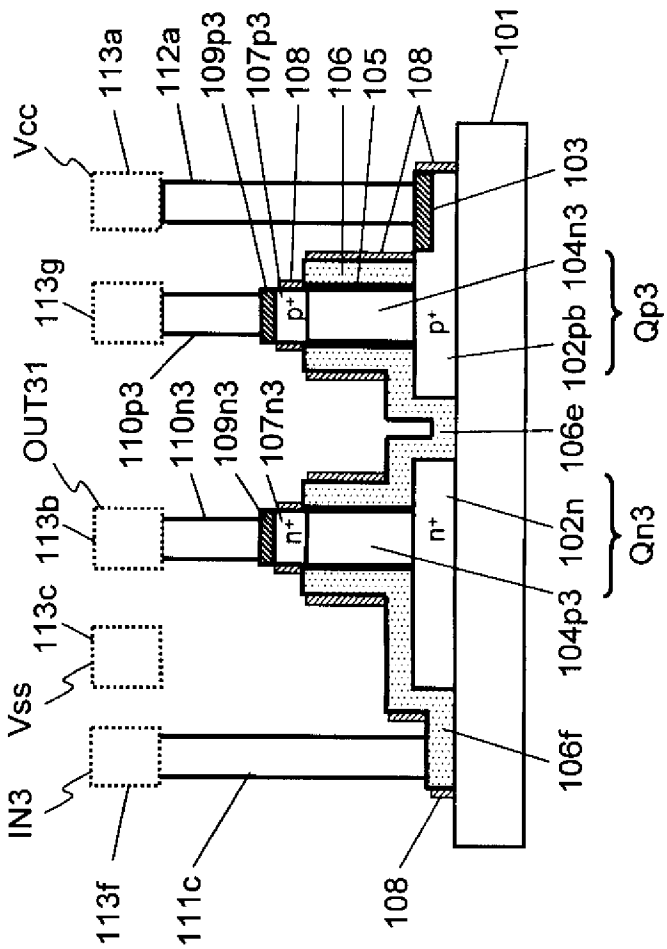
[図16c]


113b
OUT31
110n1
109n1
107n1
108
106
105
108
101
103
104p1
Qn1
103
109n2
107n2
102n
Qn2
104p2
110n2
103
Qn3
104p3
103
110n3
109n3
107n3
108
106
105
108
n+

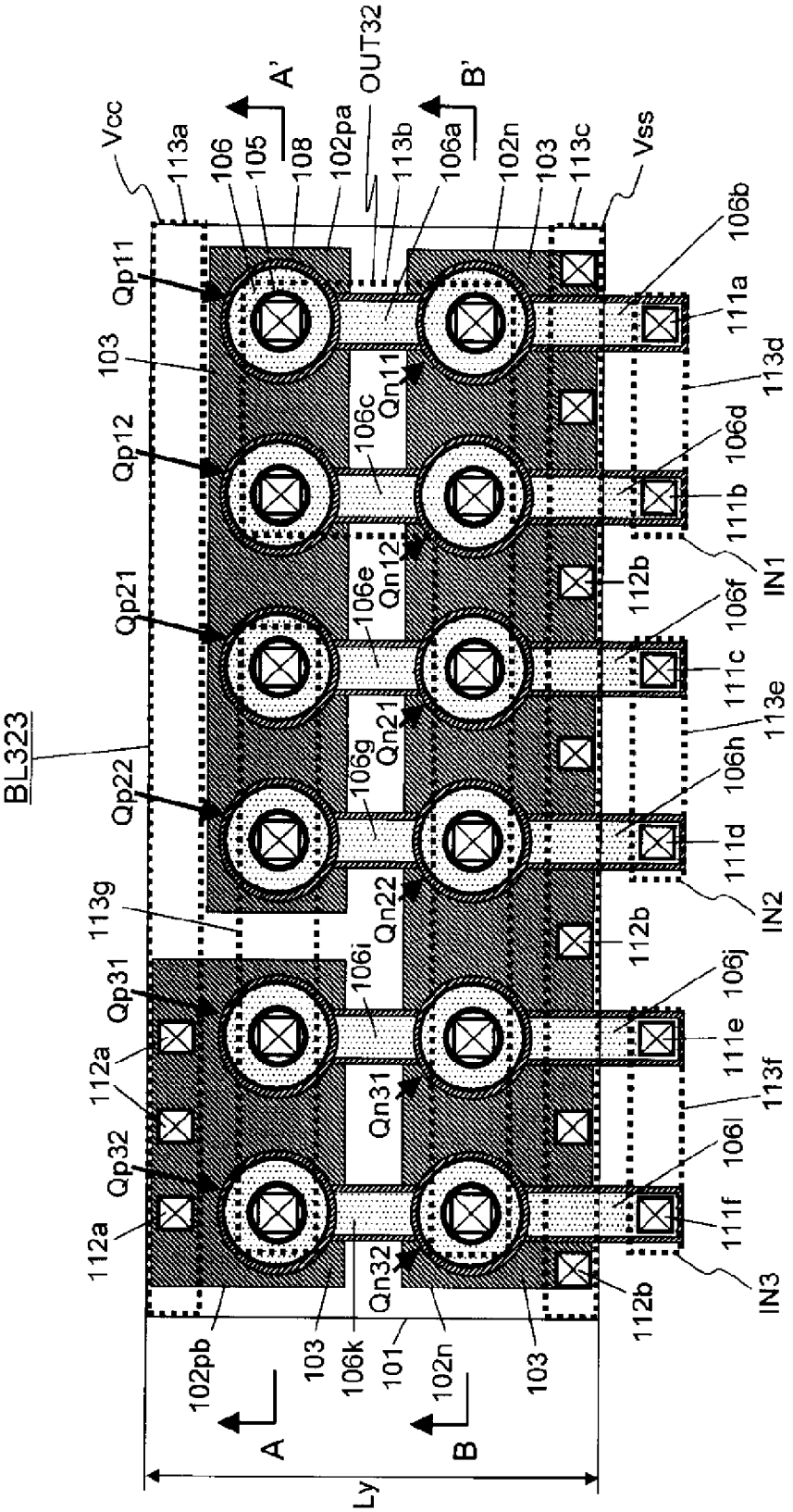
[図16d]


Vcc
OUT31
Vss
IN1
113a
113b
113c
113d
110p1
109p1
107p1
108
106
105
108
101
103
104n1
102pa
Qp1
106a
110n1
109n1
107n1
102n
Qn1
104p1
106b
111a
108
p+
p+
n+
n+

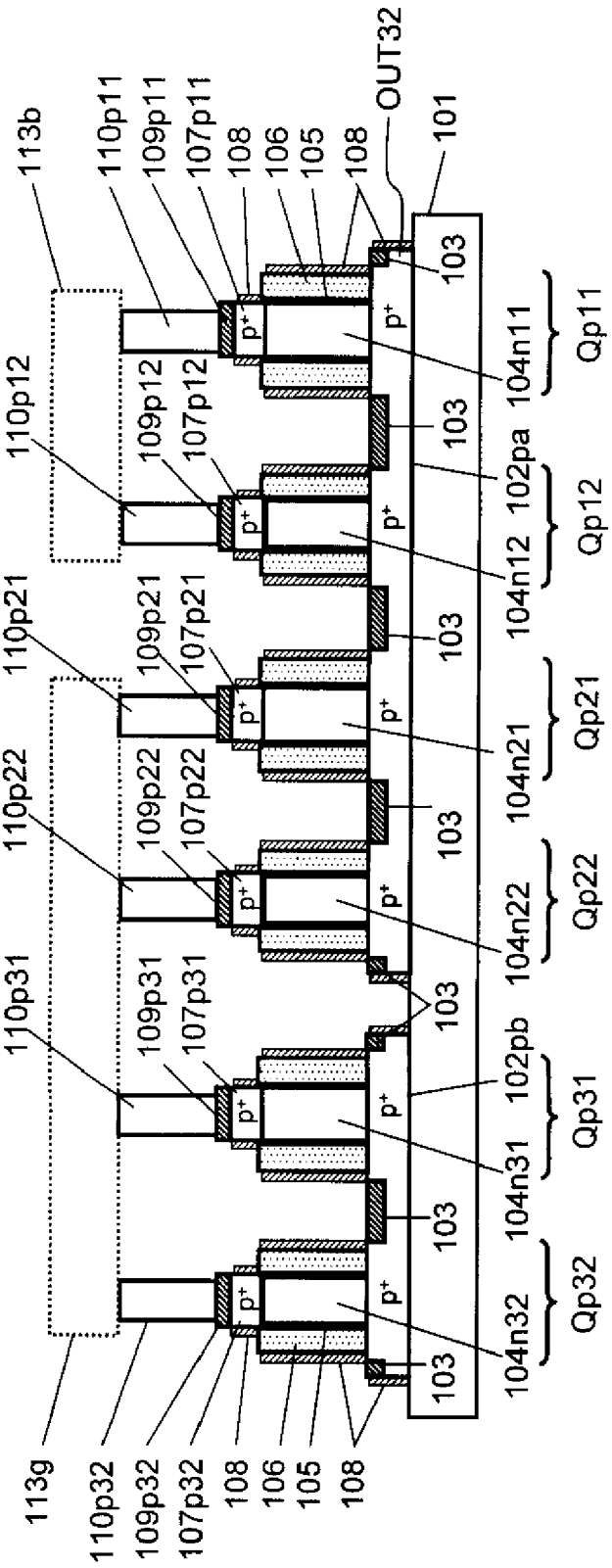
[図16e]


Vcc
113a
112a
109p3
107p3
108
106
105
108
101
103
104n3
Qp3
102pb
106e
102n
Qn3
104p3
106f
113g
110p3
OUT31
113b
110n3
109n3
107n3
113c
Vss
IN3
113f
111c
108
p+
n+

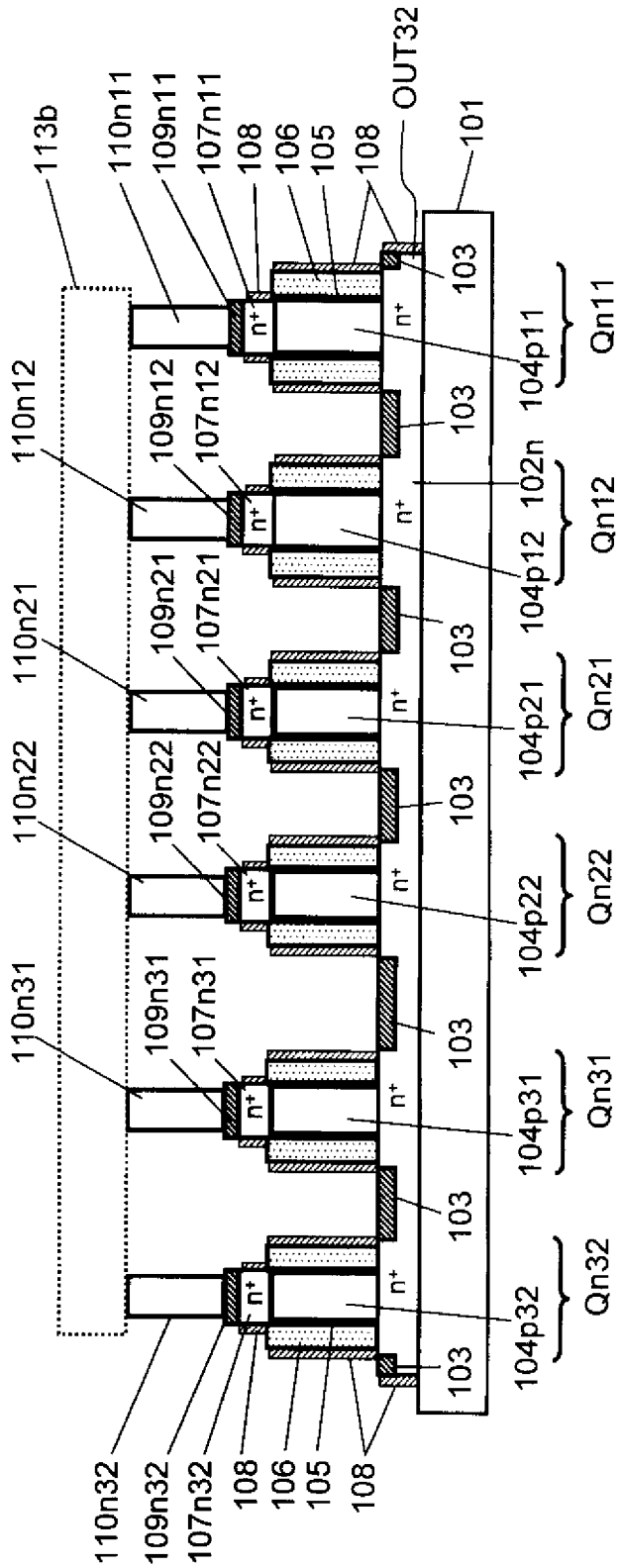
[図17a]


Vcc
113a
106
105
A'
108
102pa
OUT32
113b
106a
B'
102n
103
113c
Vss
106b
Qp11
111a
103
113d
Qn11
106c
Qp12
106d
111b
IN1
Qn12
106e
112b
Qp21
106f
111c
Qn21
106g
113e
BL323
Qp22
106h
111d
IN2
Qn22
113g
112b
106i
106j
Qp31
111e
112a
113f
Qn31
Qp32
106l
111f
112a
Qn32
IN3
112b
102pb
103
106k
101
102n
103
A
B
Ly

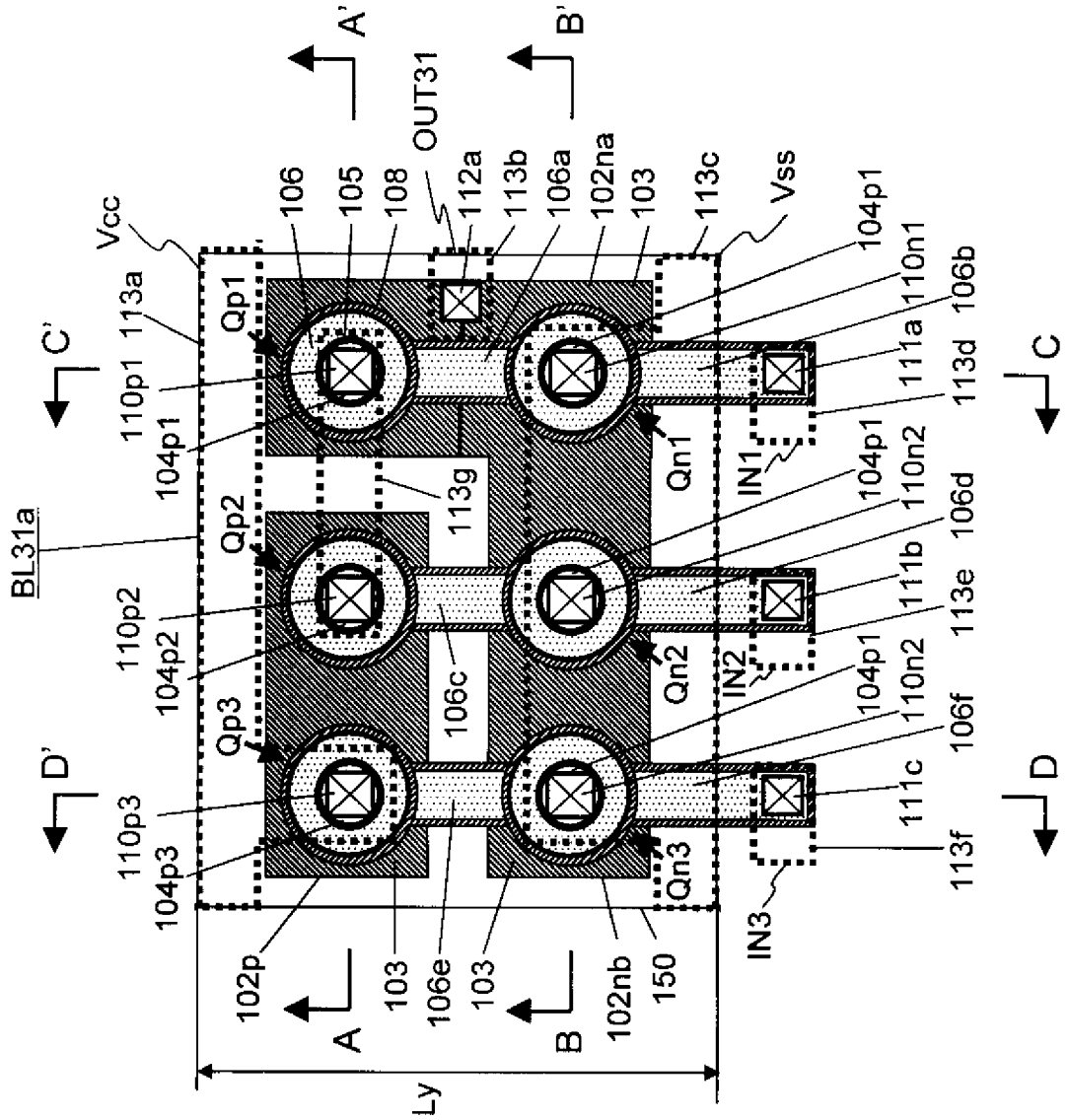
[図17b]


OUT32
101
113b
110p11
109p11
107p11
108
106
105
108
103
104n11
Qp11
110p12
109p12
107p12
102pa
104n12
Qp12
110p21
109p21
107p21
104n21
Qp21
110p22
109p22
107p22
104n22
Qp22
110p31
109p31
107p31
102pb
104n31
Qp31
104n32
Qp32
p+
113g
110p32
109p32
107p32

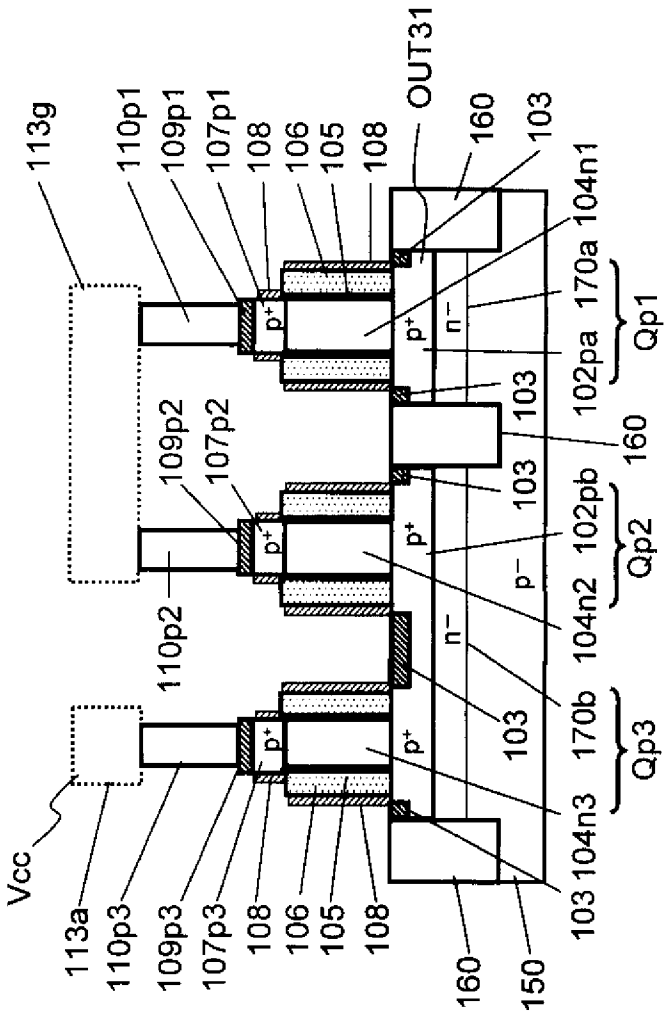
[図17c]


113b
110n11
109n11
107n11
108
106
105
108
OUT32
101
103
104p11
Qn11
110n12
109n12
107n12
102n
104p12
Qn12
110n21
109n21
107n21
104p21
Qn21
110n22
109n22
107n22
104p22
Qn22
110n31
109n31
107n31
104p31
Qn31
104p32
Qn32
n+
110n32
109n32
107n32

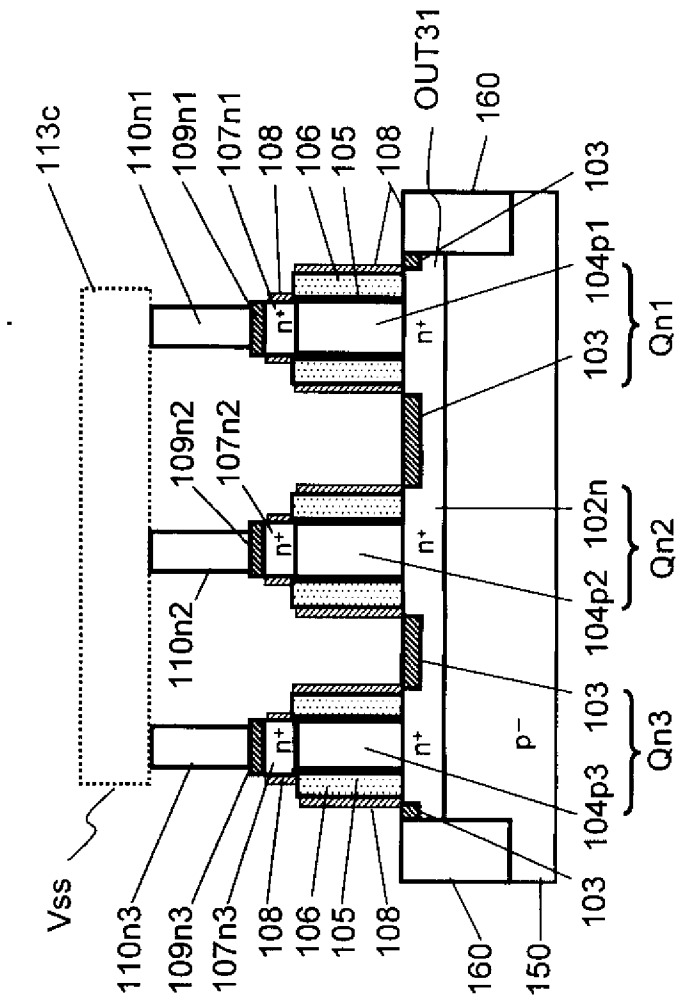
[図18a]


A'
B'
OUT31
106
105
108
112a
113b
106a
102na
103
113c
Vss
Vcc
104p1
110n1
106b
113a
Qp1
C'
110p1
104p1
111a
113d
C
Qn1
IN1
113g
Qp2
BL31a
104p1
110n2
106d
110p2
104p2
111b
113e
106c
Qn2
IN2
Qp3
104p1
110n2
106f
D'
110p3
111c
D
104p3
113f
Qn3
IN3
102p
103
106e
103
102nb
150
A
B
Ly

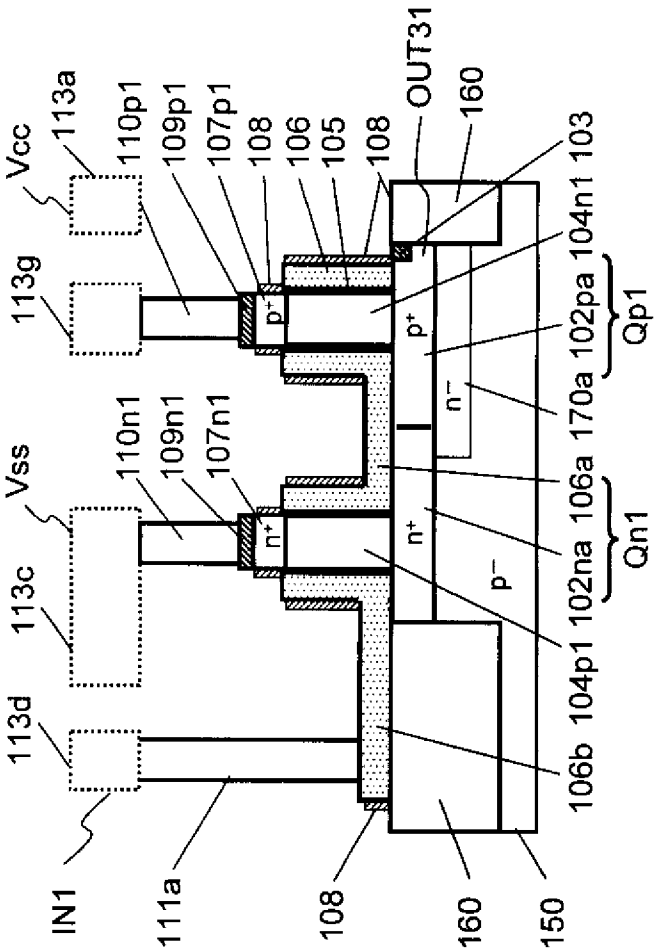
[図18b]


113g
110p1
109p1
107p1
108
106
105
108
OUT31
160
103
104n1
170a
Qp1
102pa
103
160
109p2
107p2
103
102pb
Qp2
104n2
110p2
103
170b
Qp3
104n3
103
Vcc
113a
110p3
109p3
107p3
108
106
105
108
160
150
p+
n−
p−

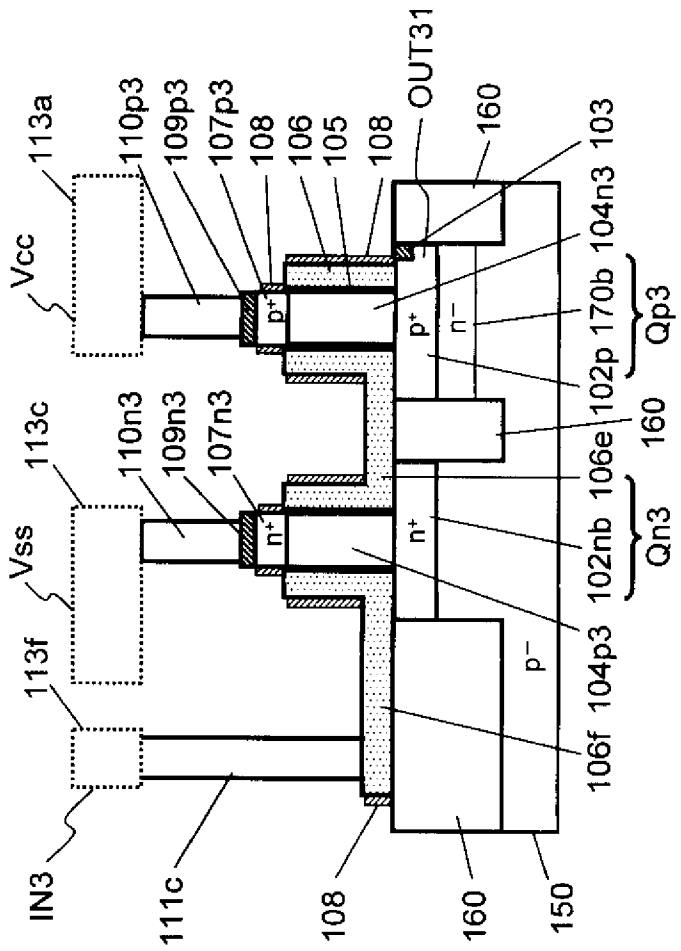
[図18c]


113c
110n1
109n1
107n1
108
106
105
108
OUT31
160
103
104p1
Qn1
109n2
107n2
102n
Qn2
110n2
104p2
103
Qn3
104p3
Vss
110n3
109n3
107n3
150
n+
p−

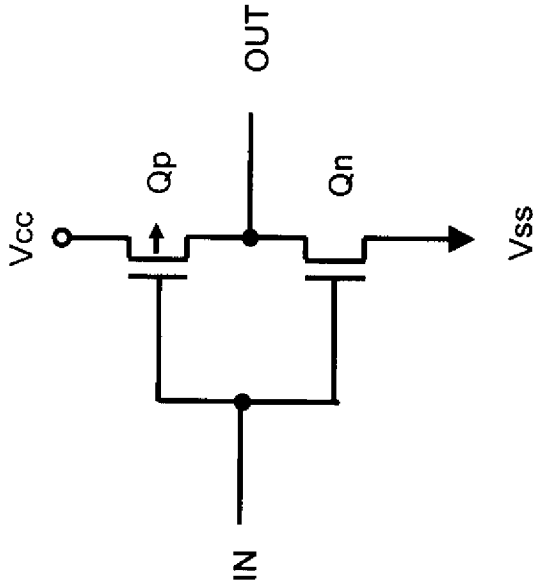
[図18d]


Vcc
113a
110p1
109p1
107p1
108
106
105
108
OUT31
160
113g
p+
104n1 103
102pa
Qp1
170a
n−
Vss
110n1
109n1
107n1
106a
n+
102na
Qn1
113c
p−
104p1
113d
106b
IN1
111a
108
160
150

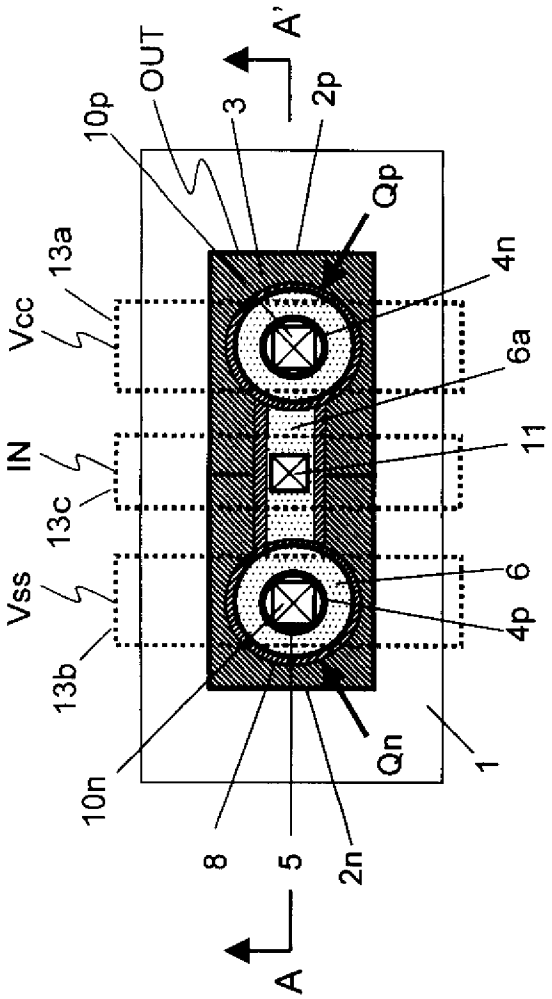
[図18e]


OUT31
160
103
104n3
170b
Qp3
102p
106e
160
102nb
Qn3
104p3
106f
150
108
160
111c
IN3
113a
Vcc
110p3
109p3
107p3
108
106
105
108
113c
Vss
110n3
109n3
107n3
113f
p+
n+
n−
p−

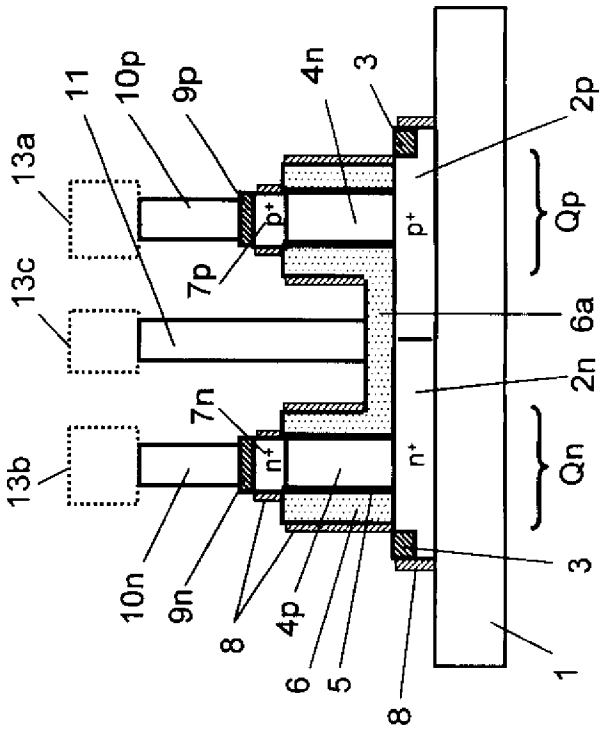
[図19]


OUT
Qp
Qn
Vcc
Vss
IN

[図20a]



[図20b]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/073629

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/8238(2006.01)i, *H01L21/336*(2006.01)i, *H01L27/092*(2006.01)i, *H01L29/78*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/8238, H01L21/336, H01L27/092, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-108702 A (Unisantis Electronics Japan Ltd.), 02 June 2011 (02.06.2011), claims; all drawings & US 2011/0115011 A1 & EP 2323166 A1 & CN 102136496 A & KR 10-2011-0053201 A & TW 201133855 A	1-25
A	JP 2010-251586 A (Unisantis Electronics Japan Ltd.), 04 November 2010 (04.11.2010), claims; all drawings & JP 4487221 B & US 2010/0264484 A1 & EP 2242096 A2 & CN 101866925 A & KR 10-2010-0115308 A & SG 166074 A & TW 201039435 A	1-25

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
19 November, 2013 (19.11.13)	03 December, 2013 (03.12.13)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/073629

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2011/043402 A1 (Tohoku University), 14 April 2011 (14.04.2011), claims; all drawings (Family: none)	1-25

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１３／０７３６２９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/8238(2006.01)i, H01L21/336(2006.01)i, H01L27/092(2006.01)i, H01L29/78(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/8238, H01L21/336, H01L27/092, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１３年
日本国実用新案登録公報	１９９６－２０１３年
日本国登録実用新案公報	１９９４－２０１３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2011-108702 A (日本ユニサンティスエレクトロニクス株式会社) 2011.06.02, 特許請求の範囲、全図 & US 2011/0115011 A1 & EP 2323166 A1 & CN 102136496 A & KR 10-2011-0053201 A & TW 201133855 A	1-25
A	JP 2010-251586 A (日本ユニサンティスエレクトロニクス株式会社) 2010.11.04, 特許請求の範囲、全図 & JP 4487221 B & US 2010/0264484 A1 & EP 2242096 A2 & CN 101866925 A & KR 10-2010-0115308 A & SG 166074 A & TW 201039435 A	1-25

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１９．１１．２０１３	０３．１２．２０１３

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　９３５５
岩本　勉
電話番号　０３－３５８１－１１０１　内線　３５１６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2011/043402 A1（国立大学法人東北大学）2011.04.14, 請求の範囲、全図（ファミリーなし）	1-25