

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2016-197737

(P2016-197737A)

(43) 公開日 平成28年11月24日 (2016. 11. 24)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/872 (2006.01)	H O 1 L 29/86 3 O 1 D	4 G O 7 7
C 3 O B 29/16 (2006.01)	C 3 O B 29/16	4 M 1 O 4
H O 1 L 21/28 (2006.01)	H O 1 L 21/28 3 O 1 B	5 F O 4 5
H O 1 L 21/329 (2006.01)	H O 1 L 29/86 3 O 1 F	5 F 1 O 2
H O 1 L 21/336 (2006.01)	H O 1 L 29/86 3 O 1 P	5 F 1 O 3
審査請求 未請求 請求項の数 9 O L (全 42 頁) 最終頁に続く		

(21) 出願番号	特願2016-129307 (P2016-129307)	(71) 出願人	390005223
(22) 出願日	平成28年6月29日 (2016. 6. 29)		株式会社タムラ製作所
(62) 分割の表示	特願2014-152410 (P2014-152410)		東京都練馬区東大泉 1 丁目 1 9 番 4 3 号
原出願日	平成26年7月25日 (2014. 7. 25)	(71) 出願人	301022471
			国立研究開発法人情報通信研究機構
			東京都小金井市貫井北町 4 - 2 - 1
		(74) 代理人	100071526
			弁理士 平田 忠雄
		(74) 代理人	100119208
			弁理士 岩永 勇二
		(74) 代理人	100124246
			弁理士 遠藤 和光
		(74) 代理人	100145171
			弁理士 伊藤 浩行
		最終頁に続く	

(54) 【発明の名称】 半導体素子及びその製造方法、並びに結晶積層構造体

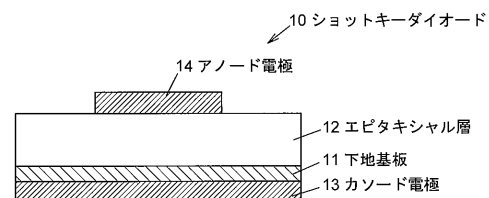
(57) 【要約】

【課題】 放熱特性及び耐電圧性に優れた Ga_2O_3 系の半導体素子及びその製造方法、並びにその半導体素子の製造に用いることができる結晶積層構造体を提供する。

【解決手段】 一実施の形態として、 $0.05\mu m$ 以上かつ $10\mu m$ 未満の厚さを有する、 Ga_2O_3 系結晶からなる下地基板11と、 Ga_2O_3 系結晶からなり、下地基板11上のエピタキシャル層12と、を有するショットキーダイオード10を提供する。

【選択図】 図1

図1



【特許請求の範囲】

【請求項 1】

0.05 μm 以上かつ10 μm 未満の厚さを有する、 Ga_2O_3 系結晶からなる下地基板と、

Ga_2O_3 系結晶からなり、前記下地基板上のエピタキシャル層と、
を有する、半導体素子。

【請求項 2】

前記下地基板及び前記エピタキシャル層が電流経路となる縦型の素子である、
請求項 1 に記載の半導体素子。

【請求項 3】

前記下地基板が電流経路とならない横型の素子である、
請求項 1 に記載の半導体素子。

【請求項 4】

前記下地基板と前記エピタキシャル層のそれぞれが、電極を介して他の基板に貼り付けられた、
請求項 1～3 のいずれか 1 項に記載の半導体素子。

【請求項 5】

Ga_2O_3 系結晶からなる下地基板上に Ga_2O_3 系結晶をエピタキシャル成長させて、
エピタキシャル層を形成する工程と、
前記下地基板を薄くして、その厚さを0.05 μm 以上かつ10 μm 未満にする工程と、
を含む、半導体素子の製造方法。

【請求項 6】

研磨処理と前記研磨処理後のエッチングにより前記下地基板を薄くする、
請求項 5 に記載の半導体素子の製造方法。

【請求項 7】

前記エピタキシャル層はn型ドーパントを含み、
前記下地基板を薄くして最終的に除去した後、前記下地基板が位置していた側の前記エピタキシャル層の表面にn型ドーパントをイオン注入し、前記エピタキシャル層よりも高濃度のn型ドーパントを含むイオン注入層を前記表面に形成する、
請求項 5 に記載の半導体素子の製造方法。

【請求項 8】

前記エピタキシャル層を支持基板に貼り付けた状態で前記下地基板を薄くする、
請求項 5～7 のいずれか 1 項に記載の半導体素子の製造方法。

【請求項 9】

0.05 μm 以上かつ10 μm 未満の厚さを有する、 Ga_2O_3 系結晶からなる下地基板と、
 Ga_2O_3 系結晶からなる、前記下地基板上のエピタキシャル層と、
を有する、結晶積層構造体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体素子及びその製造方法、並びに結晶積層構造体に関する。

【背景技術】

【0002】

従来の半導体素子として、高濃度のn型ドーパントを含む n^+ 半導体層と、その上に形成された比較的低濃度のn型ドーパントを含む n^- 半導体層とを有する、 Ga_2O_3 系のショットキーダイオードが知られている（例えば、特許文献1参照）。 n^+ 半導体層と n^- 半導体層は、ともに Ga_2O_3 系半導体からなる。

【0003】

このショットキーダイオードにおいて、 n^+ 半導体層は、 n^+ 半導体層に接続される電極とオーミック接触し、 n^- 半導体層は、 n^- 半導体層に接続される電極とショットキー接触する。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2013-102081号公報

【発明の概要】

【発明が解決しようとする課題】

10

【0005】

特許文献1においては、 n^+ 半導体層として $\beta\text{-Ga}_2\text{O}_3$ 基板が用いられ、この $\beta\text{-Ga}_2\text{O}_3$ 基板の厚さが $600\mu\text{m}$ と大きい。 Ga_2O_3 の熱伝導率は、一般に知られているSiやGaAs等の半導体材料の熱伝導率よりも低いため、 Ga_2O_3 基板を含む Ga_2O_3 系の素子は、同じ厚さのSi基板等を含む素子と比較して、電流の大きさに対する発熱量が大きい。

【0006】

このため、特許文献1に開示されたショットキーダイオードにおいては、動作時に生じた熱を n^+ 半導体層側から逃がすことが難しく、放熱特性に乏しい。また、耐電圧性が大きく低下するため、 n^- 半導体層の薄型化により放熱性の向上を図ることは困難である。

20

【0007】

したがって、本発明の目的は、放熱特性及び耐電圧性に優れた Ga_2O_3 系の半導体素子及びその製造方法、並びにその半導体素子の製造に用いることができる結晶積層構造体を提供することにある。

【課題を解決するための手段】

【0008】

本発明の一態様は、上記目的を達成するために、以下の〔1〕～〔4〕の半導体素子を提供する。

【0009】

〔1〕 $0.05\mu\text{m}$ 以上かつ $10\mu\text{m}$ 未満の厚さを有する、 Ga_2O_3 系結晶からなる下地基板と、 Ga_2O_3 系結晶からなり、前記下地基板上のエピタキシャル層と、を有する、半導体素子。

30

【0010】

〔2〕前記下地基板及び前記エピタキシャル層が電流経路となる縦型の素子である、前記〔1〕に記載の半導体素子。

【0011】

〔3〕前記下地基板が電流経路とならない横型の素子である、前記〔1〕に記載の半導体素子。

【0012】

〔4〕前記下地基板と前記エピタキシャル層のそれぞれが、電極を介して他の基板に貼り付けられた、前記〔1〕～〔3〕のいずれか1項に記載の半導体素子。

40

【0013】

また、本発明の他の態様は、上記目的を達成するために、以下の〔5〕～〔8〕の半導体素子の製造方法を提供する。

【0014】

〔5〕 Ga_2O_3 系結晶からなる下地基板上に Ga_2O_3 系結晶をエピタキシャル成長させて、エピタキシャル層を形成する工程と、前記下地基板を薄くして、その厚さを $0.05\mu\text{m}$ 以上かつ $10\mu\text{m}$ 未満にする工程と、を含む、半導体素子の製造方法。

【0015】

〔6〕研磨処理と前記研磨処理後のエッチングにより前記下地基板を薄くする、前記〔5〕

50

」に記載の半導体素子の製造方法。

【0016】

〔7〕前記エピタキシャル層はn型ドーパントを含み、前記下地基板を薄くして最終的に除去した後、前記下地基板が位置していた側の前記エピタキシャル層の表面にn型ドーパントをイオン注入し、前記エピタキシャル層よりも高濃度のn型ドーパントを含むイオン注入層を前記表面に形成する、前記〔5〕に記載の半導体素子の製造方法。

【0017】

〔8〕前記エピタキシャル層を支持基板に貼り付けた状態で前記下地基板を薄くする、前記〔5〕～〔7〕のいずれか1項に記載の半導体素子の製造方法。

【0018】

また、本発明の他の態様は、上記目的を達成するために、以下の〔9〕の結晶積層構造体を提供する。

【0019】

〔9〕0.05 μ m以上かつ10 μ m未満の厚さを有する、Ga₂O₃系結晶からなる下地基板と、Ga₂O₃系結晶からなる、前記下地基板上のエピタキシャル層と、を有する、結晶積層構造体。

【発明の効果】

【0020】

本発明によれば、放熱特性及び耐電圧性に優れたGa₂O₃系の半導体素子及びその製造方法、並びにその半導体素子の製造に用いることができる結晶積層構造体を提供することができる。

【図面の簡単な説明】

【0021】

【図1】図1は、第1の実施の形態に係るショットキーダイオードの垂直断面図である。

【図2】図2(a)～(d)は、第1の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

【図3】図3(a)、(b)は、第1の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

【図4】図4(a)～(c)は、第1の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

【図5】図5(a)～(e)は、第1の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

【図6】図6(a)～(c)は、第1の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

【図7】図7は、第2の実施の形態に係る縦型トランジスタの垂直断面図である。

【図8】図8(a)～(d)は、第2の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

【図9】図9(a)～(c)は、第2の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

【図10】図10(a)～(c)は、第2の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

【図11】図11(a)～(d)は、第2の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

【図12】図12は、第2の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

【図13】図13(a)～(c)は、第2の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

【図14】図14は、第3の実施の形態に係る横型トランジスタの垂直断面図である。

【図15】図15(a)～(e)は、第3の実施の形態に係る横型トランジスタの製造工程の一例を表す垂直断面図である。

10

20

30

40

50

【図 16】図 16 (a) ~ (c) は、第 3 の実施の形態に係る横型トランジスタの製造工程の一例を表す垂直断面図である。

【図 17】図 17 (a) ~ (e) は、第 3 の実施の形態に係る横型トランジスタの製造工程の一例を表す垂直断面図である。

【図 18】図 18 (a) ~ (c) は、第 3 の実施の形態に係る横型トランジスタの製造工程の一例を表す垂直断面図である。

【図 19】図 19 (a) ~ (d) は、第 3 の実施の形態に係る横型トランジスタの製造工程の一例を表す垂直断面図である。

【図 20】図 20 (a)、(b) は、第 3 の実施の形態に係る横型トランジスタの製造工程の一例を表す垂直断面図である。

【図 21】図 21 は、第 4 の実施の形態に係るショットキーダイオードの垂直断面図である。

【図 22】図 22 (a) ~ (e) は、第 4 の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

【図 23】図 23 (a) ~ (d) は、第 4 の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

【図 24】図 24 (a)、(b)、(c) は、それぞれ両面が支持基板に貼り付けられたショットキーダイオード、縦型トランジスタ、横型トランジスタの垂直断面図である。

【図 25】図 25 は、第 6 の実施の形態に係るショットキーダイオードの垂直断面図である。

【図 26】図 26 (a) ~ (e) は、第 6 の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

【図 27】図 27 は、第 7 の実施の形態に係る縦型トランジスタの垂直断面図である。

【図 28】図 28 (a) ~ (d) は、第 7 の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

【図 29】図 29 は、第 7 の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

【図 30】図 30 は、第 8 の実施の形態に係る縦型トランジスタの垂直断面図である。

【図 31】図 31 は、第 9 の実施の形態に係るショットキーダイオードの垂直断面図である。

【図 32】図 32 (a) ~ (e) は、第 9 の実施の形態に係るショットキーダイオードの製造工程の一例を表す垂直断面図である。

【図 33】図 33 は、第 10 の実施の形態に係る縦型トランジスタの垂直断面図である。

【図 34】図 34 (a) ~ (d) は、第 10 の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

【図 35】図 35 (a) ~ (d) は、第 10 の実施の形態に係る縦型トランジスタの製造工程の一例を表す垂直断面図である。

【発明を実施するための形態】

【0022】

〔第 1 の実施の形態〕

第 1 の実施の形態は、縦型の半導体素子としてのショットキーダイオードについての形態である。

【0023】

(半導体素子の構造)

図 1 は、第 1 の実施の形態に係るショットキーダイオード 10 の垂直断面図である。ショットキーダイオード 10 は、下地基板 11 と、下地基板 11 上にエピタキシャル成長により形成されるエピタキシャル層 12 と、下地基板 11 の下面（エピタキシャル層 12 に接する面の反対側の面）上に形成され、下地基板 11 とオーミック接触するカソード電極 13 と、エピタキシャル層 12 の上面（下地基板 11 に接する面の反対側の面）上に形成され、エピタキシャル層 12 とショットキー接触するアノード電極 14 とを含む。

10

20

30

40

50

【0024】

ショットキーダイオード10においては、アノード電極14とカソード電極13との間に順方向バイアスを印加することにより、アノード電極14とエピタキシャル層12との界面のショットキー障壁が低下し、アノード電極14からカソード電極13へ電流が流れる。一方、アノード電極14とカソード電極13との間に逆方向バイアスを印加したときは、アノード電極14とエピタキシャル層12との界面のショットキー障壁が高くなり、電流は流れない。

【0025】

下地基板11及びエピタキシャル層12は、 Ga_2O_3 系結晶からなり、n型ドーパントを含む。このn型ドーパントは、Si、Sn等のIV族元素であることが好ましい。下地基板11のn型ドーパントの濃度は、エピタキシャル層12のn型ドーパントの濃度よりも高い。

10

【0026】

ここで、 Ga_2O_3 系結晶は、 Ga_2O_3 結晶、又は、Al、In等の置換型不純物を含む Ga_2O_3 結晶である。 Ga_2O_3 系結晶は単結晶であることが好ましい。また、 Ga_2O_3 系結晶はβ型であることが好ましい。

【0027】

下地基板11は、ショットキーダイオード10の製造過程において薄型化加工が施されるため、従来の半導体素子に用いられる下地基板よりも薄い。下地基板11が薄い場合、ショットキーダイオード10に生じた熱を下地基板11側から効率的に逃がすことができる。このため、ショットキーダイオード10は優れた放熱特性を有する。放熱効果をより高めるため、下地基板11の厚さは50μm以下であることが好ましい。下地基板11の厚さが薄いほど、ショットキーダイオード10の放熱特性が向上する。

20

【0028】

研磨処理により下地基板11を薄くする場合、基板面内の厚さのばらつきを抑えるために、下地基板11の厚さを10μm以上にすることが好ましい。

【0029】

上記の研磨処理の後にエッチングにより下地基板11をさらに薄くする場合、下地基板11の厚さを10μm未満にして、放熱効果をより高めることができる。ただし、カソード電極13とオーミック接触させるために、下地基板11の厚さは0.05μm以上であることが好ましい。

30

【0030】

なお、 Ga_2O_3 系結晶は、従来、半導体基板や半導体層に一般的に用いられるSi、SiC、GaN等の半導体材料と比較して、絶縁破壊電界強度が高く、ショットキーダイオード10の耐電圧性の低下を抑えつつ、エピタキシャル層12の厚さも薄くすることができるため、ショットキーダイオード10全体を薄型化し、より放熱性を高めることもできる。このように、ショットキーダイオード10は、高い放熱性と高い耐電圧性を併せ持つ。

【0031】

下地基板11の主面は、例えば、β- Ga_2O_3 系単結晶の(100)面から50°以上90°以下回転させた面である。すなわち、下地基板11において主面と(100)面のなす角θ(0<θ≤90°)が50°以上である。(100)面から50°以上90°以下回転させた面として、例えば、(010)面、(001)面、(-201)面、(101)面、及び(310)面が存在する。

40

【0032】

下地基板11の主面が、(100)面から50°以上90°以下回転させた面である場合、下地基板11上にβ- Ga_2O_3 系結晶をエピタキシャル成長させるときに、β- Ga_2O_3 系結晶の原料の下地基板11からの再蒸発を効果的に抑えることができる。具体的には、β- Ga_2O_3 系結晶を成長温度500℃で成長させたときに再蒸発する原料の割合を0%としたとき、下地基板11の主面が、(100)面から50°以上90°以下

50

回転させた面である場合、再蒸発する原料の割合を40%以下に抑えることができる。そのため、供給する原料の60%以上を β -Ga₂O₃系結晶の形成に用いることができ、 β -Ga₂O₃系結晶の成長速度や製造コストの観点から好ましい。

【0033】

β -Ga₂O₃結晶においては、c軸を軸として(100)面を52.5°回転させると(310)面と一致し、90°回転させると(010)面と一致する。また、b軸を軸として(100)面を53.8°回転させると(101)面と一致し、76.3°回転させると(001)面と一致し、53.8°回転させると(-201)面と一致する。

【0034】

また、下地基板11の主面は、例えば、(010)面、又は(010)面から37.5°以内の角度範囲で回転させた面である。この場合、下地基板11とエピタキシャル層12との界面を急峻にし、また、エピタキシャル層12の厚さを高精度で制御することができる。また、エピタキシャル層12の元素の取り込み量のムラを抑制し、エピタキシャル層12を均質化することが可能である。なお、c軸を軸として(010)面を37.5°回転させると(310)面と一致する。

【0035】

また、 β 型のGa₂O₃系結晶は、[010]方向(b軸方向)の熱伝導率が高いことが知られている。例えば、 β 型のGa₂O₃結晶の[100]方向(a軸方向)の熱伝導率が13.6W/(m・K)なのに対し、[010]方向(b軸方向)の熱伝導率は22.8W/(m・K)であり、[100]方向の熱伝導率の2倍近い。

【0036】

このため、下地基板11の主面の面方位を(010)とすることにより、下地基板11の厚さ方向の熱伝導率を高めることができる。したがって、下地基板11の主面の面方位が(010)であることが好ましい。

【0037】

エピタキシャル層12の厚さは、例えば、0.4~30μmである。

【0038】

アノード電極14は、Pt、Ni等の金属からなる。アノード電極14は、異なる金属膜を積層した多層構造、例えば、Pt/Au又はPt/Al、を有してもよい。なお、エピタキシャル層12に電極終端構造を設けてもよい。この電極終端構造として、例えば、エピタキシャル層12の表面上のアノード電極14の両側に絶縁膜が形成されたフィールドプレート構造、エピタキシャル層12の表面のアノード電極14の両側にアクセプタイオンが注入されたガードリング構造、エピタキシャル層12の表面のアノード電極14の両側が除去されたメサ構造およびそれらを組み合わせて用いることができる。

【0039】

カソード電極13は、Ti等の金属からなる。カソード電極13は、異なる金属膜を積層した多層構造、例えば、Ti/Au又はTi/Al、を有してもよい。

【0040】

以下に、本実施の形態に係るショットキーダイオード10の製造方法について、具体例を挙げて説明する。なお、ショットキーダイオード10の製造方法は以下の例に限定されるものではない。

【0041】

(半導体素子の製造方法1)

図2(a)~(d)、図3(a)、(b)は、第1の実施の形態に係るショットキーダイオード10の製造工程の一例を表す垂直断面図である。図2(a)~(d)、図3(a)、(b)に示される例では、下地基板11は研磨処理により薄くされる。

【0042】

まず、図2(a)に示されるように、下地基板11上にエピタキシャル層12を形成する。

【0043】

下地基板 11 は、例えば、EFG 法で育成した高濃度の n 型ドーパントを含む $\beta\text{-Ga}_2\text{O}_3$ 単結晶を、所望の厚さにスライス、研磨加工することにより得られる。研磨処理を施す前の下地基板 11 の厚さは、例えば、 $600\text{ }\mu\text{m}$ である。

【0044】

エピタキシャル層 12 は、例えば、HVPE 法、PLD (Pulsed Laser Deposition) 法、CVD (Chemical Vapor Deposition) 法、又は分子線エピタキシー (MBE; Molecular Beam Epitaxy) 法により、 $\beta\text{-Ga}_2\text{O}_3$ 単結晶が下地基板 11 上にエピタキシャル成長することにより形成される。

【0045】

エピタキシャル層 12 に n 型ドーパントを導入する方法としては、例えば、n 型ドーパントを含んだ Ga_2O_3 結晶膜をエピタキシャル成長させる方法や、 Ga_2O_3 結晶膜を成長させた後でイオン注入法により n 型ドーパントを注入する方法がある。

【0046】

次に、図 2 (b) に示されるように、樹脂等からなる接着層 16 を介してエピタキシャル層 12 を支持基板 15 に貼り付ける。

【0047】

ここで、支持基板 15 の材料は、例えば、金属、樹脂、セラミック等であるが、これらに限定されるものではない。

【0048】

次に、図 2 (c) に示されるように、支持基板 15 に支持される下地基板 11 に研磨処理を施し、 $10\text{ }\mu\text{m}$ 以上かつ $50\text{ }\mu\text{m}$ 以下の厚さになるまで薄くする。

【0049】

下地基板 11 の研磨処理は、例えば、コロイダルシリカをスラリーとして用いる CMP (Chemical Mechanical Polishing) である。

【0050】

なお、下地基板 11 を薄くした後に支持基板 15 から剥離してもよい。それにより、 $10\text{ }\mu\text{m}$ 以上かつ $50\text{ }\mu\text{m}$ 以下の厚さを有する、 Ga_2O_3 系結晶からなる下地基板 11 と、 Ga_2O_3 系結晶からなり、下地基板 11 上にエピタキシャル成長したエピタキシャル層 12 と、を有する結晶積層構造体を得られる。

【0051】

次に、図 2 (d) に示されるように、下地基板 11 の下面 (エピタキシャル層 12 に接している面の反対側の面) 上にカソード電極 13 を形成する。

【0052】

例えば、フォトリソグラフィによりマスクパターンを下地基板 11 上に形成した後、Ti/Au 等の金属膜を下地基板 11 上の全面に蒸着し、リフトオフによりマスクパターン及びその上の金属膜を除去することにより、カソード電極 13 が形成される。

【0053】

下地基板 11 に含まれる n 型ドーパントの濃度が高いため、下地基板 11 とカソード電極 13 はオーミック接触する。

【0054】

次に、図 3 (a) に示されるように、一方の面に電極 18 を有する支持基板 17 を用意し、カソード電極 13 と電極 18 を貼り合わせるようにして下地基板 11 を支持基板 17 に貼り付ける。

【0055】

支持基板 17 の材料は、特定のものに限定されないが、後述するように、ショットキーダイオード 10 の支持基板として支持基板 17 を残す場合は、Al 等の金属、AlN、SiN、GaN 等の窒化物、 SiO_2 、 Al_2O_3 等の酸化物、SiC、Si、GaAs、ダイヤモンド等の、 $\beta\text{-Ga}_2\text{O}_3$ よりも熱伝導率の高い材料であることが好ましい。電極 18 は、例えば、Au からなる。カソード電極 13 と電極 18 は、例えば、加圧や、加熱若しくは超音波振動を伴う加圧、又は加圧及び超音波振動を伴う加圧により貼り合わさ

10

20

30

40

50

れる。

【0056】

次に、図3(b)に示されるように、支持基板17に支持された状態のエピタキシャル層12を支持基板15及び接着層16から剥離し、エピタキシャル層12の上面(下地基板11に接している面の反対側の面)上にアノード電極14を形成する。

【0057】

例えば、フォトリソグラフィによりマスクパターンをエピタキシャル層12上に形成した後、Pt/Au等の金属膜をエピタキシャル層12上の全面に蒸着し、リフトオフによりマスクパターン及びその上の金属膜を除去することにより、アノード電極14が形成される。

10

【0058】

エピタキシャル層12に含まれるn型ドーパントの濃度が低いため、エピタキシャル層12とアノード電極14はショットキー接触する。

【0059】

本製造方法によれば、下地基板11の研磨処理の後にアノード電極14を形成するため、下地基板11の研磨処理時のアノード電極14の破損を抑制し、ショットキーダイオード10の歩留まり向上を図ることができる。

【0060】

なお、最終製品としてのショットキーダイオード10の支持基板として支持基板17を残してもよい。この場合、カソード電極13への外部電源の供給は、支持基板17の電極18を介して行ってもよい。また、支持基板17が導電性を有する場合は、支持基板17及び電極18を介してカソード電極13へ外部電源を供給してもよい。また、ショットキーダイオード10を支持基板17から剥離して他の支持基板に貼り付けてもよい。

20

【0061】

(半導体素子の製造方法2)

図4(a)～(c)は、第1の実施の形態に係るショットキーダイオード10の製造工程の一例を表す垂直断面図である。図4(a)～(c)に示される例では、下地基板11は研磨処理とその後のエッチングにより薄くされる。

【0062】

まず、図4(a)に示されるように、図2(a)～(c)に示される、下地基板11を研磨処理により薄くするまでの工程を実施する。

30

【0063】

次に、図4(b)に示されるように、支持基板15に支持される下地基板11にエッチングを施し、さらに薄くする。このエッチングにより、下地基板11の厚さを10μmよりも小さくすることができる。

【0064】

この下地基板11に施されるエッチングは、例えば、RIE(Reactive Ion Etching)等のドライエッチングや、H₂SO₄やH₃PO₄等をエッチャントとして用いるウェットエッチングである。

【0065】

なお、下地基板11を薄くした後に支持基板15から剥離してもよい。それにより、0.05μm以上かつ50μm以下の厚さを有する、Ga₂O₃系結晶からなる下地基板11と、Ga₂O₃系結晶からなり、下地基板11上にエピタキシャル成長したエピタキシャル層12と、を有する結晶積層構造体を得られる。

40

【0066】

次に、図4(c)に示されるように、下地基板11の下面上にカソード電極13を形成する。

【0067】

その後、図3(a)、(b)に示される工程と同様に、下地基板11を支持基板17に貼り付け、エピタキシャル層12を支持基板15及び接着層16から剥離し、アノード電

50

極 1 4 を形成する。

【0068】

(半導体素子の製造方法 3)

図 5 (a) ~ (e) は、第 1 の実施の形態に係るショットキーダイオード 10 の製造工程の一例を表す垂直断面図である。図 5 (a) ~ (e) に示される例では、下地基板 11 は研磨処理により薄くされる。

【0069】

まず、図 5 (a) に示されるように、下地基板 11 上にエピタキシャル層 12 を形成する。

【0070】

次に、図 5 (b) に示されるように、エピタキシャル層 12 の上面 (下地基板 11 に接している面の反対側の面) 上にアノード電極 14 を形成する。

【0071】

次に、図 5 (c) に示されるように、一方の面に電極 19 を有する支持基板 15 を用意し、アノード電極 14 と電極 19 を貼り合わせるようにしてエピタキシャル層 12 を支持基板 15 に貼り付ける。この支持基板 15 の材料は、特定のものに限定されないが、後述するように、ショットキーダイオード 10 の支持基板として支持基板 15 を残す場合は、Al 等の金属、AlN、SiN、GaN 等の窒化物、SiO₂、Al₂O₃ 等の酸化物、SiC、Si、GaAs、ダイヤモンド等の、β-Ga₂O₃ よりも熱伝導率の高い材料であることが好ましい。

【0072】

電極 19 は、例えば、Au からなる。アノード電極 14 と電極 19 は、例えば、加圧や、加熱若しくは超音波振動を伴う加圧、又は加圧及び超音波振動を伴う加圧により貼り合わされる。

【0073】

次に、図 5 (d) に示されるように、支持基板 15 に支持される下地基板 11 に研磨処理を施し、10 μm 以上かつ 50 μm 以下の厚さになるまで薄くする。

【0074】

次に、図 5 (e) に示されるように、下地基板 11 の下面 (エピタキシャル層 12 に接している面の反対側の面) 上にカソード電極 13 を形成する。

【0075】

なお、最終製品としてのショットキーダイオード 10 の支持基板として支持基板 15 を残してもよい。この場合、アノード電極 14 への外部電源の供給は、支持基板 15 の電極 19 を介して行ってもよい。また、支持基板 15 が導電性を有する場合は、支持基板 15 及び電極 19 を介してアノード電極 14 へ外部電源を供給してもよい。また、ショットキーダイオード 10 を支持基板 15 から剥離して他の支持基板に貼り付けてもよい。

【0076】

(半導体素子の製造方法 4)

図 6 (a) ~ (c) は、第 1 の実施の形態に係るショットキーダイオード 10 の製造工程の一例を表す垂直断面図である。図 6 (a) ~ (c) に示される例では、下地基板 11 は研磨処理とその後のエッチングにより薄くされる。

【0077】

まず、図 6 (a) に示されるように、図 5 (a) ~ (d) に示される、下地基板 11 を研磨処理により薄くするまでの工程を実施する。

【0078】

次に、図 6 (b) に示されるように、支持基板 15 に支持される下地基板 11 にエッチングを施し、さらに薄くする。このエッチングにより、下地基板 11 の厚さを 10 μm よりも小さくすることができる。

【0079】

次に、図 6 (c) に示されるように、下地基板 11 の下面上にカソード電極 13 を形成

10

20

30

40

50

する。

【0080】

なお、下地基板 11 の研磨処理及びエッチングの後にアノード電極 14 を形成してもよい。

【0081】

〔第 2 の実施の形態〕

第 2 の実施の形態は、縦型の半導体素子としての M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) 構造を有する縦型トランジスタについての形態である。

【0082】

(半導体素子の構造)

図 7 は、第 2 の実施の形態に係る縦型トランジスタ 20 の垂直断面図である。縦型トランジスタ 20 は、下地基板 21 上に形成されたエピタキシャル層 22 と、ゲート絶縁膜 24 に覆われてエピタキシャル層 22 中に埋め込まれたゲート電極 23 と、エピタキシャル層 22 中のゲート電極 23 の両側にそれぞれ形成されたコンタクト領域 25 と、コンタクト領域 25 の両側に形成された P⁺ 領域 28 と、エピタキシャル層 22 上に形成され、コンタクト領域 25 に接続されたソース電極 26 と、下地基板 21 のエピタキシャル層 22 と反対側の面上に形成されたドレイン電極 27 と、を含む。

【0083】

縦型トランジスタ 20 は、ソース電極 26 とドレイン電極 27 がそれぞれ素子の上下に設けられ、縦方向に電流が流れる縦型半導体素子である。ゲート電極 23 に閾値以上の電圧を印加すると、エピタキシャル層 22 中のゲート電極 23 の両側の領域にチャネルが形成され、ソース電極 26 からドレイン電極 27 へ電流が流れるようになる。

【0084】

下地基板 21 は、Ga₂O₃ 系結晶からなり、n 型ドーパントを含む。この n 型ドーパントは、Si、Sn 等の IV 族元素であることが好ましい。下地基板 21 の n 型ドーパントの濃度は、エピタキシャル層 22 の n 型ドーパントの濃度よりも高い。

【0085】

下地基板 21 の厚さは、第 1 の実施の形態に係る下地基板 11 の厚さと同様である。下地基板 21 が薄いため、縦型トランジスタ 20 に生じた熱を下地基板 21 側から効率的に逃がすことができる。このため、縦型トランジスタ 20 は優れた放熱特性を有する。

【0086】

エピタキシャル層 22 は絶縁破壊電界強度が高い Ga₂O₃ 系結晶からなるため、縦型トランジスタ 20 の耐電圧性の低下を抑えつつ、他の半導体材料で製造された素子よりもその厚さも薄くすることができるため、縦型トランジスタ 20 全体を薄型化し、より放熱性を高めることもできる。このように、縦型トランジスタ 20 は、高い放熱性と高い耐電圧性を併せ持つ。

【0087】

また、下地基板 21 の主面の面方位も、第 1 の実施の形態に係る下地基板 11 と同様であり、特に、(010) であることが好ましい。

【0088】

エピタキシャル層 22 は、Ga₂O₃ 系結晶からなり、低濃度の n 型ドーパントを含む層 22a の上にアンドープ又は p 型ドーパントを含む層 22b を積層した積層構造を有する。n 型ドーパントは、Si、Sn 等の IV 族元素であることが好ましい。p 型ドーパントは、Be、Mg、Zn 等の II 族元素、又は Fe であることが好ましい。ゲート電極 23 は、主に層 22b 内に形成される。

【0089】

例えば、低濃度の n 型ドーパントを含む層 22a の厚さは 0.4 ~ 40 μm であり、アンドープ又は p 型ドーパントを含む層 22b の厚さは 0.1 ~ 10 μm である。

【0090】

ゲート電極 23、ソース電極 26、及びドレイン電極 27は、例えば、Au、Al、Ti、Sn、Ge、In、Ni、Co、Pt、W、Mo、Cr、Cu、Pb等の金属、これらの金属のうちの2つ以上を含む合金、ITO等の導電性化合物、又は導電性ポリマーからなる。導電性ポリマーとしては、ポリチオフェン誘導体（PEDOT：ポリ(3,4)-エチレンジオキシチオフェン）にポリスチレンスルホン酸（PSS）をドーピングしたものや、ポリピロール誘導体にTCNAをドーピングしたもの等が用いられる。また、ゲート電極 23は、異なる2つの金属からなる2層構造、例えばAl/Ti、Au/Ni、Au/Co、を有してもよい。

【0091】

ゲート絶縁膜 24は、 SiO_2 、AlN、SiN、 Al_2O_3 、 $\beta-(\text{Al}_x\text{Ga}_{1-x})_2\text{O}_3$ （ $0 \leq x \leq 1$ ）等の絶縁材料からなる。中でも、 $\beta-(\text{Al}_x\text{Ga}_{1-x})_2\text{O}_3$ は $\beta-\text{Ga}_2\text{O}_3$ 結晶上に単結晶膜として成長させることができるため、界面準位の少ない良好な半導体絶縁膜界面を形成することができ、他の絶縁膜を用いたときよりも良好なゲート特性が得られる。

【0092】

コンタクト領域 25は、エピタキシャル層 22の層 22b中に形成されたn型ドーパントの濃度が高い領域である。P⁺領域 28は、エピタキシャル層 22の層 22b中に形成されたp型ドーパントの濃度が高い領域である。コンタクト領域 25、P⁺領域 28は、ともにソース電極 26とオーミック接触する。

【0093】

以下に、本実施の形態に係る縦型トランジスタ 20の製造方法について、具体例を挙げて説明する。なお、縦型トランジスタ 20の製造方法は以下の例に限定されるものではない。

【0094】

（半導体素子の製造方法1）

図8（a）～（d）、図9（a）～（c）は、第2の実施の形態に係る縦型トランジスタ 20の製造工程の一例を表す垂直断面図である。図8（a）～（d）、図9（a）～（c）に示される例では、下地基板 21は研磨処理により薄くされる。

【0095】

まず、図8（a）に示されるように、下地基板 21上にエピタキシャル層 22を形成する。

【0096】

下地基板 21は、第1の実施の形態に係る下地基板 11と同様の基板であり、研磨処理を施す前の厚さは、例えば、600 μm である。エピタキシャル層 22の形成工程は、第1の実施の形態に係るエピタキシャル層 12の形成工程と同様であるが、エピタキシャル成長の途中でドーピングするドーパントを変更することにより、層 22aと層 22bを形成する。

【0097】

次に、図8（b）に示されるように、エピタキシャル層 22中にゲート電極 23、ゲート絶縁膜 24、コンタクト領域 25、及びP⁺領域 28を形成する。

【0098】

まず、エピタキシャル層 22の上面（下地基板 21に接する面の反対側の面）にn型ドーパントを高濃度でイオン注入し、コンタクト領域 25を形成する。また、p型ドーパントを高濃度でイオン注入し、P⁺領域 28を形成する。その後、窒素等の雰囲気下でアニール処理を施し、注入ダメージを回復させる。

【0099】

続いて、コンタクト領域 25を分断するように、ドライエッチングによりエピタキシャル層 22に溝を形成し、その溝中にゲート絶縁膜 24に覆われたゲート電極 23を埋め込む。具体的には、例えば、堆積法とエッチングにより溝の底面と側面上にゲート絶縁膜 24を形成し、その上に堆積法とエッチングによりゲート電極 23を形成し、最後に堆積法

10

20

30

40

50

とエッチング加工によりゲート電極 2 3 上のゲート絶縁膜 2 4 を形成する。

【0100】

次に、図 8 (c) に示されるように、接着層 1 6 を介してエピタキシャル層 2 2 を支持基板 1 5 に貼り付ける。この支持基板 1 5 の材料は、例えば、金属、樹脂、セラミック等であるが、これらに限定されるものではない。接着層 1 6 は、第 1 の実施の形態において用いられるものと同様のものである。

【0101】

次に、図 8 (d) に示されるように、支持基板 1 5 に支持される下地基板 2 1 に研磨処理を施し、 $10\text{ }\mu\text{m}$ 以上かつ $50\text{ }\mu\text{m}$ 以下の厚さになるまで薄くする。

【0102】

下地基板 2 1 の研磨工程は、第 1 の実施の形態に係る下地基板 1 1 の研磨工程と同様である。

【0103】

次に、図 9 (a) に示されるように、下地基板 2 1 の下面（エピタキシャル層 2 2 に接している面の反対側の面）上にドレイン電極 2 7 を形成する。

【0104】

例えば、フォトリソグラフィによりマスクパターンを下地基板 2 1 上に形成した後、金属膜を下地基板 2 1 上の全面に蒸着し、リフトオフによりマスクパターン及びその上の金属膜を除去することにより、ドレイン電極 2 7 が形成される。

【0105】

次に、図 9 (b) に示されるように、一方の面に電極 1 8 を有する支持基板 1 7 を用意し、ドレイン電極 2 7 と電極 1 8 を貼り合わせるようにして下地基板 2 1 を支持基板 1 7 に貼り付ける。この支持基板 1 7 の材料は、特定のものに限定されないが、後述するように、縦型トランジスタ 2 0 の支持基板として支持基板 1 7 を残す場合は、Al 等の金属、AlN、SiN、GaN 等の窒化物、 SiO_2 、 Al_2O_3 等の酸化物、SiC、Si、GaAs、ダイヤモンド等の、 $\beta\text{-Ga}_2\text{O}_3$ よりも熱伝導率の高い材料であることが好ましい。電極 1 8 は、第 1 の実施の形態において用いられるものと同様のものである。

【0106】

次に、図 9 (c) に示されるように、支持基板 1 7 に支持された状態のエピタキシャル層 2 2 を支持基板 1 5 及び接着層 1 6 から剥離した後、エピタキシャル層 2 2 の上面（下地基板 2 1 に接している面の反対側の面）上にソース電極 2 6 を形成する。

【0107】

例えば、フォトリソグラフィによりマスクパターンをエピタキシャル層 2 2 上に形成した後、Pt/Au 等の金属膜をエピタキシャル層 2 2 上の全面に蒸着し、リフトオフによりマスクパターン及びその上の金属膜を除去することにより、ソース電極 2 6 が形成される。

【0108】

本製造方法によれば、下地基板 2 1 の研磨処理の後にソース電極 2 6 を形成するため、下地基板 2 1 の研磨処理時のソース電極 2 6 の破損を抑制し、縦型トランジスタ 2 0 の歩留まり向上を図ることができる。

【0109】

なお、最終製品としての縦型トランジスタ 2 0 の支持基板として支持基板 1 7 を残してもよい。この場合、ドレイン電極 2 7 への外部電源の供給は、支持基板 1 7 の電極 1 8 を介して行ってもよい。また、支持基板 1 7 が導電性を有する場合は、支持基板 1 7 及び電極 1 8 を介してドレイン電極 2 7 へ外部電源を供給してもよい。また、縦型トランジスタ 2 0 を支持基板 1 7 から剥離して他の支持基板に貼り付けてもよい。

【0110】

（半導体素子の製造方法 2）

図 10 (a) ～ (c) は、第 2 の実施の形態に係る縦型トランジスタ 2 0 の製造工程の一例を表す垂直断面図である。図 10 (a) ～ (c) に示される例では、下地基板 2 1 は

10

20

30

40

50

研磨処理とその後のエッチングにより薄くされる。

【0111】

まず、図10(a)に示されるように、図8(a)～(d)に示される、下地基板21を研磨処理により薄くするまでの工程を実施する。

【0112】

次に、図10(b)に示されるように、支持基板15に支持される下地基板21にエッチングを施し、さらに薄くする。このエッチングにより、下地基板21の厚さを10 μ mよりも小さくすることができる。

【0113】

下地基板21のエッチング工程は、第1の実施の形態に係る下地基板11のエッチング工程と同様である。

【0114】

次に、図10(c)に示されるように、下地基板21の下面上にドレイン電極27を形成する。

【0115】

その後、図9(b)、(c)に示される工程と同様に、下地基板21を支持基板17に貼り付け、エピタキシャル層22を支持基板15及び接着層16から剥離し、ソース電極26を形成する。

【0116】

(半導体素子の製造方法3)

図11(a)～(d)、図12は、第2の実施の形態に係る縦型トランジスタ20の製造工程の一例を表す垂直断面図である。図11(a)～(d)、図12に示される例では、下地基板21は研磨処理により薄くされる。

【0117】

まず、図11(a)に示されるように、下地基板21上にエピタキシャル層22を形成する。

【0118】

次に、図11(b)に示されるように、エピタキシャル層22中にゲート電極23、ゲート絶縁膜24、コンタクト領域25、及びP⁺領域28を形成し、その後、エピタキシャル層22上にソース電極26を形成する。

【0119】

次に、図11(c)に示されるように、一方の面に電極19を有する支持基板15を用意し、ソース電極26と電極19を貼り合わせるようにしてエピタキシャル層22を支持基板15に貼り付ける。この支持基板15の材料は、特定のものに限定されないが、後述するように、縦型トランジスタ20の支持基板として支持基板15を残す場合は、Al等の金属、AlN、SiN、GaN等の窒化物、SiO₂、Al₂O₃等の酸化物、SiC、Si、GaAs、ダイヤモンド等の、 β -Ga₂O₃よりも熱伝導率の高い材料であることが好ましい。

【0120】

次に、図11(d)に示されるように、支持基板15に支持される下地基板21に研磨処理を施し、10 μ m以上かつ50 μ m以下の厚さになるまで薄くする。

【0121】

次に、図12に示されるように、下地基板21の下面(エピタキシャル層22に接している面の反対側の面)上にドレイン電極27を形成する。

【0122】

なお、最終製品としての縦型トランジスタ20の支持基板として支持基板15を残してもよい。この場合、ソース電極26への外部電源の供給は、支持基板15の電極19を介して行ってもよい。また、支持基板15が導電性を有する場合は、支持基板15及び電極19を介してソース電極26へ外部電源を供給してもよい。また、縦型トランジスタ20を支持基板15から剥離して他の支持基板に貼り付けてもよい。

10

20

30

40

50

【0123】

(半導体素子の製造方法4)

図13(a)～(c)は、第2の実施の形態に係る縦型トランジスタ20の製造工程の一例を表す垂直断面図である。図13(a)～(c)に示される例では、下地基板21は研磨処理とその後のエッチングにより薄くされる。

【0124】

まず、図13(a)に示されるように、図11(a)～(d)に示される、下地基板21を研磨処理により薄くするまでの工程を実施する。

【0125】

次に、図13(b)に示されるように、支持基板15に支持される下地基板21にエッチングを施し、さらに薄くする。このエッチングにより、下地基板21の厚さを10 μ mよりも小さくすることができる。

【0126】

次に、図13(c)に示されるように、下地基板21の下面上にドレイン電極27を形成する。

【0127】

[第3の実施の形態]

第3の実施の形態は、横型の半導体素子としてのMESFET(Metal Semiconductor Field Effect Transistor)構造を有する横型トランジスタについての形態である。

【0128】

(半導体素子の構造)

図14は、第3の実施の形態に係る横型トランジスタ30の垂直断面図である。横型トランジスタ30は、下地基板31上に形成されたエピタキシャル層32と、エピタキシャル層32上のゲート電極33、ソース電極34、及びドレイン電極35を含む。ゲート電極33は、ソース電極34とドレイン電極35との間に配置される。

【0129】

ゲート電極33はエピタキシャル層32の上面(下地基板31に接している面の反対側の面)に接触してショットキー接合を形成する。また、ソース電極34及びドレイン電極35は、エピタキシャル層32の上面に接触してオーミック接合を形成する。

【0130】

下地基板31は、Mg、Be、Zn、Fe等のp型ドーパントを含むGa₂O₃系結晶からなり、高い電気抵抗を有する。

【0131】

下地基板31の厚さは、第1の実施の形態に係る下地基板11の厚さと同様である。下地基板31が薄いため、横型トランジスタ30に生じた熱を下地基板31側から効率的に逃がすことができる。このため、横型トランジスタ30は優れた放熱特性を有する。

【0132】

また、下地基板31の主面の面方位も、第1の実施の形態に係る下地基板11と同様であり、特に、(010)であることが好ましい。なお、下地基板31とエピタキシャル層32の間に、1層又は2層のバッファ層を挿入してもよい。バッファ層は高抵抗であり、下地基板31の一部とみなすことができる。

【0133】

エピタキシャル層32はGa₂O₃系結晶からなり、n型ドーパントを含む。ソース電極34及びドレイン電極35との接触部付近におけるn型ドーパントの濃度は、他の部分におけるn型ドーパントの濃度よりも高い。エピタキシャル層32の厚さは、例えば、0.1～1 μ mである。

【0134】

エピタキシャル層32は、絶縁破壊電界強度が高いGa₂O₃系結晶からなるため、横型トランジスタ30は優れた耐電圧性を有する。このため、横型トランジスタ30は、高い放熱性と高い耐電圧性を併せ持つ。

10

20

30

40

50

【0135】

ゲート電極33、ソース電極34、及びドレイン電極35は、例えば、Au、Al、Ti、Sn、Ge、In、Ni、Co、Pt、W、Mo、Cr、Cu、Pb等の金属、これらの金属のうちの2つ以上を含む合金、ITO等の導電性化合物、又は導電性ポリマーからなる。導電性ポリマーとしては、ポリチオフェン誘導体（PEDOT：ポリ(3,4)-エチレンジオキシチオフェン）にポリスチレンスルホン酸（PSS）をドーピングしたものや、ポリピロール誘導体にTCNAをドーピングしたもの等が用いられる。また、ゲート電極33は、異なる2つの金属からなる2層構造、例えばAl/Ti、Au/Ni、Au/Co、を有してもよい。

【0136】

横型トランジスタ30においては、ゲート電極33に印加するバイアス電圧を制御することにより、エピタキシャル層32内のゲート電極33下の空乏層の厚さを変化させ、ドレイン電流を制御することができる。

【0137】

以下に、本実施の形態に係る横型トランジスタ30の製造方法について、具体例を挙げて説明する。なお、横型トランジスタ30の製造方法は以下の例に限定されるものではない。

【0138】

（半導体素子の製造方法1）

図15（a）～（e）は、第3の実施の形態に係る横型トランジスタ30の製造工程の一例を表す垂直断面図である。図15（a）～（e）に示される例では、下地基板31は研磨処理により薄くされる。

【0139】

まず、図15（a）に示されるように、下地基板31上にエピタキシャル層32を形成する。

【0140】

下地基板31は、第1の実施の形態に係る下地基板11と同様の基板であり、研磨処理を施す前の厚さは、例えば、600μmである。エピタキシャル層32の形成工程は、第1の実施の形態に係るエピタキシャル層12の形成工程と同様である。

【0141】

次に、図15（b）に示されるように、接着層16を介してエピタキシャル層32を支持基板15に貼り付ける。この支持基板15の材料は、例えば、金属、樹脂、セラミック等であるが、これらに限定されるものではない。接着層16は、第1の実施の形態において用いられるものと同様のものである。

【0142】

次に、図15（c）に示されるように、支持基板15に支持される下地基板31に研磨処理を施し、10μm以上かつ50μm以下の厚さになるまで薄くする。

【0143】

下地基板31の研磨工程は、第1の実施の形態に係る下地基板11の研磨工程と同様である。

【0144】

次に、図15（d）に示されるように、下地基板31の下面（エピタキシャル層32に接している面の反対側の面）を支持基板37に貼り付ける。ここで、支持基板37の材料は、特定のものに限定されないが、後述するように、横型トランジスタ30の支持基板として支持基板37を残す場合は、Al等の金属、AlN、SiN、GaN等の窒化物、SiO₂、Al₂O₃等の酸化物、SiC、Si、GaAs、ダイヤモンド等の、β-Ga₂O₃よりも熱伝導率の高い材料であることが好ましい。

【0145】

下地基板31の支持基板37への貼り付けには、はんだ（例えばAu-Sn、Sn-Ag-Cu、又はSi-Ge）やAgペースト、樹脂、無機材料等が用いられる。

10

20

30

40

50

【0146】

次に、図15(e)に示されるように、支持基板37に支持された状態のエピタキシャル層32を支持基板15及び接着層16から剥離した後、エピタキシャル層32の上面(下地基板31に接している面の反対側の面)上にゲート電極33、ソース電極34、及びドレイン電極35を形成する。

【0147】

例えば、フォトリソグラフィによりマスクパターンをエピタキシャル層32上に形成した後、金属膜をエピタキシャル層32上の全面に蒸着し、リフトオフによりマスクパターン及びその上の金属膜を除去することにより、ゲート電極33、ソース電極34、及びドレイン電極35が形成される。

10

【0148】

本製造方法によれば、下地基板31の研磨処理の後にゲート電極33、ソース電極34、及びドレイン電極35を形成するため、下地基板31の研磨処理時のゲート電極33、ソース電極34、及びドレイン電極35の破損を抑制し、横型トランジスタ30の歩留まり向上を図ることができる。

【0149】

なお、最終製品としての横型トランジスタ30の支持基板として支持基板37を残してもよい。また、横型トランジスタ30を支持基板37から剥離して他の支持基板に貼り付けてもよい。

【0150】

20

(半導体素子の製造方法2)

図16(a)～(c)は、第3の実施の形態に係る横型トランジスタ30の製造工程の一例を表す垂直断面図である。図16(a)～(c)に示される例では、下地基板31は研磨処理とその後のエッチングにより薄くされる。

【0151】

まず、図16(a)に示されるように、図15(a)～(c)に示される、下地基板31を研磨処理により薄くするまでの工程を実施する。

【0152】

次に、図16(b)に示されるように、支持基板15に支持される下地基板31にエッチングを施し、さらに薄くする。このエッチングにより、下地基板31の厚さを10 μ mよりも小さくすることができる。

30

【0153】

下地基板31のエッチング工程は、第1の実施の形態に係る下地基板11のエッチング工程と同様である。

【0154】

次に、図16(c)に示されるように、下地基板31の下面を支持基板37に貼り付ける。

【0155】

その後、図15(e)に示される工程と同様に、エピタキシャル層32を支持基板15及び接着層16から剥離し、ゲート電極33、ソース電極34、及びドレイン電極35を形成する。

40

【0156】

(半導体素子の製造方法3)

図17(a)～(e)は、第3の実施の形態に係る横型トランジスタ30の製造工程の一例を表す垂直断面図である。図17(a)～(e)に示される例では、下地基板31は研磨処理により薄くされる。

【0157】

まず、図17(a)に示されるように、下地基板31上にエピタキシャル層32を形成する。

【0158】

50

次に、図 17 (b) に示されるように、エピタキシャル層 32 の上面上にゲート電極 33、ソース電極 34、及びドレイン電極 35 を形成する。

【0159】

次に、図 17 (c) に示されるように、一方の面に樹脂等からなる接着層 36 を有する支持基板 15 を用意し、ゲート電極 33、ソース電極 34、及びドレイン電極 35 が設けられたエピタキシャル層 32 の上面と接着層 36 とを貼り合わせるようにしてエピタキシャル層 32 を支持基板 15 に貼り付ける。この支持基板 15 の材料は、例えば、金属、樹脂、セラミック等であるが、これらに限定されるものではない。

【0160】

次に、図 17 (d) に示されるように、支持基板 15 に支持される下地基板 31 に研磨処理を施し、 $10\text{ }\mu\text{m}$ 以上かつ $50\text{ }\mu\text{m}$ 以下の厚さになるまで薄くする。

10

【0161】

次に、図 17 (e) に示されるように、下地基板 31 の下面を支持基板 37 に貼り付け、支持基板 37 に支持された状態のエピタキシャル層 32 を支持基板 15 及び接着層 36 から剥離する。この支持基板 37 の材料は、特定のものに限定されないが、後述するように、横型トランジスタ 30 の支持基板として支持基板 37 を残す場合は、Al 等の金属、AlN、SiN、GaN 等の窒化物、 SiO_2 、 Al_2O_3 等の酸化物、SiC、Si、GaAs、ダイヤモンド等の、 $\beta\text{-Ga}_2\text{O}_3$ よりも熱伝導率の高い材料であることが好ましい。

【0162】

20

なお、最終製品としての横型トランジスタ 30 の支持基板として支持基板 37 を残してもよい。また、横型トランジスタ 30 を支持基板 37 から剥離して他の支持基板に貼り付けてもよい。

【0163】

(半導体素子の製造方法 4)

図 18 (a) ~ (c) は、第 3 の実施の形態に係る横型トランジスタ 30 の製造工程の一例を表す垂直断面図である。図 18 (a) ~ (c) に示される例では、下地基板 31 は研磨処理とその後のエッチングにより薄くされる。

【0164】

まず、図 18 (a) に示されるように、図 17 (a) ~ (d) に示される、下地基板 31 を研磨処理により薄くするまでの工程を実施する。

30

【0165】

次に、図 18 (b) に示されるように、支持基板 15 に支持される下地基板 31 にエッチングを施し、さらに薄くする。このエッチングにより、下地基板 31 の厚さを $10\text{ }\mu\text{m}$ よりも小さくすることができる。

【0166】

次に、図 18 (c) に示されるように、下地基板 31 の下面を支持基板 37 に貼り付け、支持基板 37 に支持された状態のエピタキシャル層 32 を支持基板 15 及び接着層 36 から剥離する。

【0167】

40

(半導体素子の製造方法 5)

図 19 (a) ~ (d) は、第 3 の実施の形態に係る横型トランジスタ 30 の製造工程の一例を表す垂直断面図である。図 19 (a) ~ (d) に示される例では、下地基板 31 は研磨処理により薄くされる。

【0168】

まず、図 19 (a) に示されるように、下地基板 31 上にエピタキシャル層 32 を形成する。

【0169】

次に、図 19 (b) に示されるように、エピタキシャル層 32 の上面上にゲート電極 33、ソース電極 34、及びドレイン電極 35 を形成する。

50

【0170】

次に、図19(c)に示されるように、一方の面に電極38a、38b、38cを有する支持基板15を用意し、ゲート電極33、ソース電極34、ドレイン電極35と電極38a、38b、38cとをそれぞれ貼り合わせるようにしてエピタキシャル層32を支持基板15に貼り付ける。この支持基板15の材料は、特定のものに限定されないが、後述するように、横型トランジスタ30の支持基板として支持基板15を残す場合は、Al等の金属、AlN、SiN、GaN等の窒化物、SiO₂、Al₂O₃等の酸化物、SiC、Si、GaAs、ダイヤモンド等の、 β -Ga₂O₃よりも熱伝導率の高い材料であることが好ましい。

【0171】

次に、図19(d)に示されるように、支持基板15に支持される下地基板31に研磨処理を施し、10 μ m以上かつ50 μ m以下の厚さになるまで薄くする。

【0172】

なお、最終製品としての横型トランジスタ30の支持基板として支持基板15を残してもよい。ただし、この場合、支持基板15は絶縁性でなければならない。また、この場合、ゲート電極33、ソース電極34、ドレイン電極35への外部電源の供給は、支持基板15の電極38a、38b、38cを介して行ってもよい。また、横型トランジスタ30を支持基板15から剥離して他の支持基板に貼り付けてもよい。

【0173】

(半導体素子の製造方法6)

図20(a)、(b)は、第3の実施の形態に係る横型トランジスタ30の製造工程の一例を表す垂直断面図である。図20(a)、(b)に示される例では、下地基板31は研磨処理とその後のエッチングにより薄くされる。

【0174】

まず、図20(a)に示されるように、図19(a)～(d)に示される、下地基板31を研磨処理により薄くするまでの工程を実施する。

【0175】

次に、図20(b)に示されるように、支持基板15に支持される下地基板31にエッチングを施し、さらに薄くする。このエッチングにより、下地基板31の厚さを10 μ mよりも小さくすることができる。

【0176】

(変形例)

横型トランジスタ30は、ゲート電極33がゲート絶縁膜を介してエピタキシャル層32上に形成されたMISFETであってもよい。

【0177】

このゲート絶縁膜は、SiO₂、AlN、SiN、Al₂O₃、 β -(Al_xGa_{1-x})₂O₃ (0 $\leq$ x $\leq$ 1)等の絶縁材料からなる。中でも、 β -(Al_xGa_{1-x})₂O₃は β -Ga₂O₃結晶上に単結晶膜として成長させることができるため、界面準位の少ない良好な半導体絶縁膜界面を形成することができ、他の絶縁膜を用いたときよりも良好なゲート特性が得られる。

【0178】

この場合、エピタキシャル層32は、ドーパントを含まないアンドープ層や、Be、Mg、Zn等のp型ドーパントを含むp型層であってもよい。

【0179】

横型トランジスタ30がMISFETである場合の製造工程は、上記のMESFETである場合のそれぞれの製造工程に、ゲート絶縁膜を形成する工程を加えたものである。ゲート絶縁膜は、例えば、堆積法とエッチングにより形成される。

【0180】

[第4の実施の形態]

第4の実施の形態は、縦型の半導体素子としてのショットキーダイオードについての形

10

20

30

40

50

態である。

【0181】

(半導体素子の構造)

図21は、第4の実施の形態に係るショットキーダイオード40の垂直断面図である。ショットキーダイオード40は、エピタキシャル層42と、エピタキシャル層42の一方の表面に形成されたイオン注入層41と、エピタキシャル層42の下面(イオン注入層41が設けられている側の面)上に形成され、イオン注入層41とオーミック接触するカソード電極43と、エピタキシャル層42の上面(イオン注入層41が設けられていない側の面)上に形成され、エピタキシャル層42とショットキー接触するアノード電極44を含む。

10

【0182】

ショットキーダイオード40においては、第1の実施の形態に係るショットキーダイオード10と同様に、アノード電極44とカソード電極43との間に順方向バイアスを印加することにより、アノード電極44とエピタキシャル層42との界面のショットキー障壁が低下し、アノード電極44からカソード電極43へ電流が流れる。一方、アノード電極44とカソード電極43との間に逆方向バイアスを印加したときは、アノード電極44とエピタキシャル層42との界面のショットキー障壁が高くなり、電流は流れない。

【0183】

エピタキシャル層42は、第1の実施の形態に係るエピタキシャル層12と同様に、 Ga_2O_3 系結晶からなり、n型ドーパントを含む。

20

【0184】

イオン注入層41は、エピタキシャル層42中に高濃度のn型ドーパントを注入することにより形成される層であり、イオン注入層41のn型ドーパントの濃度は、エピタキシャル層42のn型ドーパントの濃度よりも高い。また、イオン注入層41は、エピタキシャル層42中の表面近傍に形成されるため、当然、エピタキシャル層42よりも薄い。このn型ドーパントは、Si、Sn等のIV族元素であることが好ましい。特に、Siの方がSnよりも高濃度注入時に高い活性化率を得られるため、ショットキーダイオードの導通損失を低減するためにSiをn型ドーパントとして用いることが好ましい。

【0185】

ショットキーダイオード40においては、エピタキシャル層42のエピタキシャル成長の下地となる下地基板(後述する下地基板45)が除去され、カソード電極43とオーミック接触する層としてイオン注入層41が用いられる。このため、イオン注入層41側への放熱経路が下地基板を通らず、効率的に放熱することができる。このため、ショットキーダイオード40は優れた放熱特性を有する。さらに、イオン注入技術を用いることにより、基板育成時に不純物を添加する方法よりもドナー濃度を高めることができ、ショットキーダイオードの導通損失を低減できる。

30

【0186】

エピタキシャル層42の厚さは、例えば、 $0.4 \sim 30 \mu m$ である。また、イオン注入層41の厚さは、イオン注入層41とカソード電極43をオーミック接触させるために、 $0.05 \mu m$ 以上であることが好ましい。

40

【0187】

エピタキシャル層42は、絶縁破壊電界強度が高い Ga_2O_3 系結晶からなるため、下地基板45を除去してもショットキーダイオード40の耐電圧性の低下を抑えることができる。このため、ショットキーダイオード40は、高い放熱性と高い耐電圧性を併せ持つ。

【0188】

アノード電極44及びカソード電極43は、第1の実施の形態に係るアノード電極14及びカソード電極13とそれぞれ同じ材料からなる。

【0189】

(半導体素子の製造方法)

50

図 2 2 (a) ~ (e)、図 2 3 (a) ~ (d) は、第 4 の実施の形態に係るショットキダイオード 4 0 の製造工程の一例を表す垂直断面図である。図 2 2 (a) ~ (e)、図 2 3 (a) ~ (d) に示される例では、下地基板は研磨処理等により除去される。

【0190】

まず、図 2 2 (a) に示されるように、下地基板 4 5 上にエピタキシャル層 4 2 を形成する。

【0191】

下地基板 4 5 は、第 1 の実施の形態に係る下地基板 1 1 と同様の基板であり、研磨処理等を施す前の厚さは、例えば、 $600\text{ }\mu\text{m}$ である。なお、下地基板 4 5 は、n 型ドーパントを含んでいなくてもよい。エピタキシャル層 4 2 の形成工程は、第 1 の実施の形態に係るエピタキシャル層 1 2 の形成工程と同様である。

10

【0192】

次に、図 2 2 (b) に示されるように、接着層 1 6 を介してエピタキシャル層 4 2 を支持基板 1 5 に貼り付ける。この支持基板 1 5 の材料は、例えば、金属、樹脂、セラミック等であるが、これらに限定されるものではない。接着層 1 6 は、第 1 の実施の形態において用いられるものと同様のものである。

【0193】

次に、図 2 2 (c) に示されるように、支持基板 1 5 に支持される下地基板 4 5 を研磨処理により薄くし、さらに研磨処理を続けることにより、最終的に除去する。

【0194】

なお、下地基板 4 5 を除去する方法は研磨処理に限られず、また、研磨処理にエッチング等の他の処理を組み合わせてもよい。

20

【0195】

次に、図 2 2 (d) に示されるように、エピタキシャル層 4 2 の下面に n 型ドーパントをイオン注入する。

【0196】

次に、図 2 2 (e) に示されるように、エピタキシャル層 4 2 に注入した n 型ドーパントをアニール処理により活性化させることにより、イオン注入層 4 1 を形成する。このアニール処理は、例えば、不活性雰囲気下で $800\sim 1000^{\circ}\text{C}$ 、30 分の条件で実施される。

30

【0197】

次に、図 2 3 (a) に示されるように、エピタキシャル層 4 2 の下面上に、イオン注入層 4 1 に接触するようにカソード電極 4 3 を形成する。イオン注入層 4 1 に含まれる n 型ドーパントの濃度が高いため、イオン注入層 4 1 とカソード電極 4 3 はオーミック接触する。カソード電極 4 3 の形成工程は、第 1 の実施の形態に係るカソード電極 1 3 の形成工程と同様である。

【0198】

次に、図 2 3 (b) に示されるように、一方の面に電極 4 8 を有する支持基板 4 7 を用意し、カソード電極 4 3 と電極 4 8 を貼り合わせるようにしてエピタキシャル層 4 2 を支持基板 4 7 に貼り付ける。

40

【0199】

支持基板 4 7 の材料は、特定のものに限定されないが、後述するように、ショットキダイオード 4 0 の支持基板として支持基板 4 7 を残す場合は、Al 等の金属、AlN、SiN、GaN 等の窒化物、 SiO_2 、 Al_2O_3 等の酸化物、SiC、Si、GaAs、ダイヤモンド等の、 $\beta\text{-Ga}_2\text{O}_3$ よりも熱伝導率の高い材料であることが好ましい。電極 4 8 は、例えば、Au からなる。カソード電極 4 3 と電極 4 8 は、例えば、加圧や、加熱若しくは超音波振動を伴う加圧、又は加圧及び超音波振動を伴う加圧により貼り合わされる。

【0200】

次に、図 2 3 (c) に示されるように、支持基板 4 7 に支持された状態のエピタキシャ

50

ル層 4 2 を支持基板 1 5 及び接着層 1 6 から剥離する。

【0201】

次に、図 2 3 (d) に示されるように、エピタキシャル層 4 2 の上面上にアノード電極 4 4 を形成する。エピタキシャル層 4 2 のイオン注入層 4 1 以外の領域に含まれる n 型ドーパントの濃度が低いため、エピタキシャル層 4 2 とアノード電極 4 4 はショットキー接触する。アノード電極 4 4 の形成工程は、第 1 の実施の形態に係るアノード電極 1 4 の形成工程と同様である。

【0202】

なお、最終製品としてのショットキーダイオード 4 0 の支持基板として支持基板 4 7 を残してもよい。この場合、カソード電極 4 3 への外部電源の供給は、支持基板 4 7 の電極 4 8 を介して行ってもよい。また、支持基板 4 7 が導電性を有する場合は、支持基板 4 7 及び電極 4 8 を介してカソード電極 4 3 へ外部電源を供給してもよい。また、ショットキーダイオード 4 0 を支持基板 4 7 から剥離して他の支持基板に貼り付けてもよい。

10

【0203】

〔第 5 の実施の形態〕

第 5 の実施の形態は、放熱性向上のために半導体素子としてのショットキーダイオード、横型トランジスタ、及び縦型トランジスタの両面を支持基板に貼り付けた形態である。

【0204】

(半導体素子の構造)

図 2 4 (a) は、両面が支持基板に貼り付けられた第 1 の実施の形態に係るショットキーダイオード 1 0 の垂直断面図である。

20

【0205】

支持基板 5 1 は、一方の面に電極 5 3 を有し、アノード電極 1 4 と電極 5 3 を貼り合わせるようにしてエピタキシャル層 1 2 が支持基板 5 1 に貼り付けられる。支持基板 5 2 は、一方の面に電極 5 4 を有し、カソード電極 1 3 と電極 5 4 を貼り合わせるようにして下地基板 1 1 が支持基板 5 2 に貼り付けられる。

【0206】

支持基板 5 1、5 2 の材料は、Al 等の金属、AlN、SiN、GaN 等の窒化物、SiO₂、Al₂O₃ 等の酸化物、SiC、Si、GaAs、ダイヤモンド等の、β-Ga₂O₃ よりも熱伝導率の高い材料であることが好ましい。

30

【0207】

なお、ショットキーダイオード 1 0 の代わりに第 4 の実施の形態に係るショットキーダイオード 4 0 を用いる場合も、同様の構成をとることができる。この場合、ショットキーダイオード 4 0 のエピタキシャル層 4 2、イオン注入層 4 1 は、支持基板 5 1、5 2 にそれぞれ貼り付けられる。

【0208】

図 2 4 (b) は、両面が支持基板に貼り付けられた第 2 の実施の形態に係る縦型トランジスタ 2 0 の垂直断面図である。

【0209】

ソース電極 2 6 と電極 5 3 を貼り合わせるようにしてエピタキシャル層 2 2 が支持基板 5 1 に貼り付けられる。ドレイン電極 2 7 と電極 5 4 を貼り合わせるようにして下地基板 2 1 が支持基板 5 2 に貼り付けられる。

40

【0210】

本実施の形態に係るショットキーダイオード 1 0 及び縦型トランジスタ 2 0 には、電極 5 3、5 4 を介して外部電源を供給してもよい。また、支持基板 5 1、5 2 が導電性を有する場合は、支持基板 5 1、5 2 及び電極 5 3、5 4 を介して外部電源を供給してもよい。

【0211】

図 2 4 (c) は、両面が支持基板に貼り付けられた第 3 の実施の形態に係る横型トランジスタ 3 0 の垂直断面図である。

50

【0212】

支持基板51は、一方の面に電極53a、53b、53cを有し、ゲート電極53a、ソース電極53b、ドレイン電極53cと電極53a、53b、53cを貼り合わせるようにして、エピタキシャル層32が支持基板51に貼り付けられる。一方、下地基板31は支持基板52に貼り付けられる。

【0213】

上記のように、半導体素子の両面を支持基板に貼り付けることにより、両面から効率的に放熱することができるようになるため、半導体素子の放熱効率を向上させることができる。

【0214】

〔第6の実施の形態〕

第6の実施の形態は、縦型の半導体素子としてのショットキーダイオードについての形態である。

【0215】

（半導体素子の構造）

図25は、第6の実施の形態に係るショットキーダイオード60の垂直断面図である。ショットキーダイオード60は、エピタキシャル層62と、エピタキシャル層62の一方の面に貼り合わされた高熱伝導基板61と、高熱伝導基板61の下面（エピタキシャル層62と接している面の反対側の面）上に形成され、高熱伝導基板61とオーミック接触するカソード電極63と、エピタキシャル層62の上面（高熱伝導基板61と接している面の反対側の面）上に形成され、エピタキシャル層62とショットキー接触するアノード電極64とを含む。

【0216】

ショットキーダイオード60においては、第1の実施の形態に係るショットキーダイオード10と同様に、アノード電極64とカソード電極63との間に順方向バイアスを印加することにより、アノード電極64とエピタキシャル層62との界面のショットキー障壁が低下し、アノード電極64からカソード電極63へ電流が流れる。一方、アノード電極64とカソード電極63との間に逆方向バイアスを印加したときは、アノード電極64とエピタキシャル層62との界面のショットキー障壁が高くなり、電流は流れない。

【0217】

エピタキシャル層62は、第1の実施の形態に係るエピタキシャル層12と同様に、 Ga_2O_3 系結晶からなり、n型ドーパントを含む。

【0218】

高熱伝導基板61は、AlN、Si等の、 Ga_2O_3 系結晶よりも高い熱伝導性を有する材料からなり、n型ドーパントを含む。高熱伝導基板61のn型ドーパントの濃度は、エピタキシャル層62のn型ドーパントの濃度よりも高い。

【0219】

ショットキーダイオード60においては、エピタキシャル層62のエピタキシャル成長の下地となる下地基板（後述する下地基板65）が除去され、カソード電極63とオーミック接触する層として高熱伝導基板61が用いられる。高熱伝導基板61の熱伝導率は、 Ga_2O_3 系結晶からなる下地基板65の熱伝導率よりも高いため、カソード電極63とオーミック接触する層として高熱伝導基板61を用いることにより、放熱性を向上させることができる。このため、ショットキーダイオード60は優れた放熱特性を有する。

【0220】

また、高熱伝導基板61は熱伝導率が高いため、ショットキーダイオード60の放熱性を向上させるために薄くする必要がない。

【0221】

エピタキシャル層62の厚さは、例えば、 $0.4 \sim 30 \mu m$ である。また、高熱伝導基板61の厚さは、高熱伝導基板61とカソード電極63をオーミック接触させるために、 $0.05 \mu m$ 以上であることが好ましい。

【0222】

アノード電極64及びカソード電極63は、第1の実施の形態に係るアノード電極14及びカソード電極13とそれぞれ同じ材料からなる。

【0223】

以下に、本実施の形態に係るショットキーダイオード60の製造方法について、具体例を挙げて説明する。なお、ショットキーダイオード60の製造方法は以下の例に限定されるものではない。

【0224】

〔半導体素子の製造方法〕

図26(a)～(e)は、第6の実施の形態に係るショットキーダイオード60の製造工程の一例を表す垂直断面図である。図26(a)～(e)に示される例では、下地基板は研磨処理により除去される。

10

【0225】

まず、図26(a)に示されるように、下地基板65上にエピタキシャル層62を形成する。

【0226】

下地基板65は、第1の実施の形態に係る下地基板11と同様の基板であり、研磨処理等を施す前の厚さは、例えば、600 μ mである。なお、下地基板65は、n型ドーパントを含んでいなくてもよい。エピタキシャル層62の形成工程は、第1の実施の形態に係るエピタキシャル層12の形成工程と同様である。

20

【0227】

次に、図26(b)に示されるように、エピタキシャル層62の上面を高熱伝導基板61に貼り付ける。エピタキシャル層62の高熱伝導基板61への貼り付けには、例えば、表面活性化接合等の直接接合が用いられる。表面活性化接合を用いる場合には、エピタキシャル層62と高熱伝導基板61のそれぞれの接合面の表面を、Arプラズマを用いたエッチング等により除去して活性化させ、貼り合わせる。この方法によれば、常温で強度の高い接合を形成することができるが、加熱や加圧を施してもよい。表面活性化接合されたエピタキシャル層62と高熱伝導基板61は、その接合界面においてオーミック接触する。

【0228】

次に、図26(c)に示されるように、高熱伝導基板61に支持される下地基板65を研磨処理により薄くし、さらに研磨処理を続けることにより、最終的に除去する。

30

【0229】

なお、下地基板65を除去する方法は研磨処理に限られず、また、研磨処理にエッチング等の他の処理を組み合わせてもよい。

【0230】

次に、図26(d)に示されるように、エピタキシャル層62の高熱伝導基板61の反対側の面上にアノード電極64を形成する。エピタキシャル層62のn型ドーパントの濃度が低いため、エピタキシャル層62とアノード電極64はショットキー接触する。アノード電極64の形成工程は、第1の実施の形態に係るアノード電極14の形成工程と同様である。

40

【0231】

次に、図26(e)に示されるように、高熱伝導基板61のエピタキシャル層62の反対側の面上にカソード電極63を形成する。高熱伝導基板61のn型ドーパントの濃度が高いため、高熱伝導基板61とカソード電極63はオーミック接触する。カソード電極63の形成工程は、第1の実施の形態に係るカソード電極63の形成工程と同様である。

【0232】

〔第7の実施の形態〕

第7の実施の形態は、縦型の半導体素子としてのMISFET構造を有する縦型トランジスタについての形態である。

50

【0233】

(半導体素子の構造)

図27は、第7の実施の形態に係る縦型トランジスタ70の垂直断面図である。縦型トランジスタ70は、エピタキシャル層72と、エピタキシャル層72の一方の面に貼り合わされた高熱伝導基板71と、ゲート絶縁膜74に覆われてエピタキシャル層72中に埋め込まれたゲート電極73と、エピタキシャル層72中のゲート電極73の両側にそれぞれ形成されたコンタクト領域75と、コンタクト領域75の両側に形成された P^+ 領域79と、エピタキシャル層72上に形成され、コンタクト領域75に接続されたソース電極76と、高熱伝導基板71のエピタキシャル層72と反対側の面上に形成されたドレイン電極77と、を含む。

10

【0234】

縦型トランジスタ70は、ソース電極76とドレイン電極77がそれぞれ素子の上下に設けられ、縦方向に電流が流れる縦型半導体素子である。ゲート電極73に閾値以上の電圧を印加すると、エピタキシャル層72中のゲート電極73の両側の領域にチャネルが形成され、ソース電極76からドレイン電極77へ電流が流れるようになる。

【0235】

高熱伝導基板71は、AlN、Si等の、 Ga_2O_3 系結晶よりも高い熱伝導性を有する材料からなり、n型ドーパントを含む。高熱伝導基板71のn型ドーパントの濃度は、エピタキシャル層72のn型ドーパントの濃度よりも高い。

【0236】

縦型トランジスタ70においては、エピタキシャル層72のエピタキシャル成長の下地となる下地基板(後述する下地基板78)が除去され、ドレイン電極77とオーミック接触する層として高熱伝導基板71が用いられる。高熱伝導基板71の熱伝導率は、 Ga_2O_3 系結晶からなる下地基板78の熱伝導率よりも高いため、ドレイン電極77とオーミック接触する層として高熱伝導基板71を用いることにより、放熱性を向上させることができる。このため、縦型トランジスタ70は優れた放熱特性を有する。

20

【0237】

また、高熱伝導基板71は熱伝導率が高いため、縦型トランジスタ70の放熱性を向上させるために薄くする必要がない。

【0238】

ゲート電極73、ゲート絶縁膜74、コンタクト領域75、ソース電極76、及びドレイン電極77、 P^+ 領域79は、それぞれ第2の実施の形態に係るゲート電極23、ゲート絶縁膜24、コンタクト領域25、ソース電極26、ドレイン電極27、 P^+ 領域28と同様の部材である。また、エピタキシャル層72は、第2の実施の形態に係るエピタキシャル層22の層22a、22bと同様の層72a、72bからなる。

30

【0239】

以下に、本実施の形態に係る縦型トランジスタ70の製造方法について、下地基板78を除去する方法の具体例を挙げて説明する。なお、縦型トランジスタ70の製造方法は以下の例に限定されるものではない。

【0240】

(半導体素子の製造方法)

図28(a)~(d)は、第7の実施の形態に係る縦型トランジスタ70の製造工程の一例を表す垂直断面図である。

40

【0241】

まず、図28(a)に示されるように、下地基板78上にエピタキシャル層72を形成する。

【0242】

下地基板78は、第1の実施の形態に係る下地基板11と同様の基板であり、研磨処理を施す前の厚さは、例えば、 $600\mu m$ である。なお、下地基板78は、n型ドーパントを含んでいなくてもよい。エピタキシャル層72の形成工程は、第2の実施の形態に係る

50

エピタキシャル層 22 の形成工程と同様である。

【0243】

次に、図 28 (b) に示されるように、エピタキシャル層 72 の上面を高熱伝導基板 71 に貼り付ける。エピタキシャル層 72 の高熱伝導基板 71 への貼り付けには、例えば、表面活性化接合等の直接接合が用いられる。表面活性化接合されたエピタキシャル層 72 と高熱伝導基板 71 は、その接合界面においてオーミック接触する。

【0244】

次に、図 28 (c) に示されるように、高熱伝導基板 71 に支持される下地基板 78 を研磨処理により薄くし、さらに研磨処理を続けることにより、最終的に除去する。

【0245】

なお、この研磨処理にエッチング等の他の処理を組み合わせてもよく、また、研磨処理以外の方法を用いてもよい。

【0246】

次に、図 28 (d) に示されるように、エピタキシャル層 72 中にゲート電極 73、ゲート絶縁膜 74、コンタクト領域 75、及び P^+ 領域 79 を形成し、その後、エピタキシャル層 72 上にソース電極 76 を形成する。また、エピタキシャル層 72 上に電極終端構造やパッシベーション膜を設けてもよい。

【0247】

ゲート電極 73、ゲート絶縁膜 74、コンタクト領域 75、 P^+ 領域 79、ソース電極 76 の形成工程は、それぞれ第 2 の実施の形態に係るゲート電極 23、ゲート絶縁膜 24、コンタクト領域 25、 P^+ 領域 28、ソース電極 26 の形成工程と同様である。

【0248】

次に、図 29 に示されるように、高熱伝導基板 71 のエピタキシャル層 72 の反対側の面上にドレイン電極 77 を形成する。

【0249】

ドレイン電極 77 の形成工程は、第 2 の実施の形態に係るドレイン電極 27 の形成工程と同様である。

【0250】

〔第 8 の実施の形態〕

第 8 の実施の形態は、縦型の半導体素子としての MISFET 構造を有する縦型トランジスタについての形態である。

【0251】

(半導体素子の構造)

図 30 は、第 8 の実施の形態に係る縦型トランジスタ 80 の垂直断面図である。縦型トランジスタ 80 は、下地基板 81 上に形成されたエピタキシャル層 82 と、エピタキシャル層 82 上に形成された 2 つのソース電極 86 と、エピタキシャル層 82 上の 2 つのソース電極 86 の間の領域にゲート絶縁膜 84 を介して形成されたゲート電極 83 と、エピタキシャル層 82 中の 2 つのソース電極 86 の下にそれぞれ形成された n 型のコンタクト領域 85 と、2 つのコンタクト領域 85 をそれぞれ囲む p 型のボディ領域 88 と、2 つのコンタクト領域 85 の外側に形成された p^+ 領域 89 と、下地基板 81 のエピタキシャル層 82 と反対側の面上に形成されたドレイン電極 87 と、を含む。

【0252】

縦型トランジスタ 80 においては、ゲート電極 83 に閾値以上の電圧を印加すると、p 型のボディ領域 88 のゲート電極 83 下の領域にチャネルが形成され、ソース電極 86 からドレイン電極 87 へ電流が流れるようになる。

【0253】

下地基板 81 及びエピタキシャル層 82 は、 Ga_2O_3 系結晶からなり、n 型ドーパントを含む。この n 型ドーパントは、Si、Sn 等の IV 族元素であることが好ましい。

【0254】

下地基板 81 の厚さは、第 1 の実施の形態に係る下地基板 11 の厚さと同様である。下

10

20

30

40

50

地基板 81 が薄いため、縦型トランジスタ 80 に生じた熱を下地基板 81 側から効率的に逃がすことができる。このため、縦型トランジスタ 80 は優れた放熱特性を有する。

【0255】

また、第 4 の実施の形態に係るショットキーダイオード 40 と同様に、下地基板 81 をすべて除去した後に、エピタキシャル層 82 の下面に I V 族不純物をイオン注入してイオン注入層を形成し、ドレイン電極 27 をオーミック接触させてもよい。

【0256】

エピタキシャル層 82 は絶縁破壊電界強度が高い Ga_2O_3 系結晶からなるため、縦型トランジスタ 80 の耐電圧性の低下を抑えつつ、他の半導体材料で製造された素子よりもその厚さも薄くすることができるため、縦型トランジスタ 80 全体を薄型化し、より放熱性を高めることもできる。このように、縦型トランジスタ 80 は、高い放熱性と高い耐電圧性を併せ持つ。

【0257】

また、下地基板 81 の主面の面方位も、第 1 の実施の形態に係る下地基板 11 と同様であり、特に、(010) であることが好ましい。

【0258】

エピタキシャル層 82 の厚さは、例えば、0.4 ~ 30 μm である。

【0259】

ゲート電極 83、ゲート絶縁膜 84、ソース電極 86、及びドレイン電極 87 は、例えば、第 2 の実施の形態に係るゲート電極 23、ゲート絶縁膜 24、ソース電極 26、及びドレイン電極 27 と同様の材料からなる。

【0260】

コンタクト領域 85 は、エピタキシャル層 82 中に形成された n 型ドーパントの濃度が高い領域であり、ソース電極 86 が接続される。この n 型ドーパントは、Si、Sn 等の I V 族元素であることが好ましい。

【0261】

ボディ領域 88 及び p^+ 領域 89 は、p 型ドーパントを含む。 p^+ 領域 89 の p 型ドーパントの濃度は、ボディ領域 88 の p 型ドーパントの濃度よりも高い。この p 型ドーパントは、Be、Mg、Zn 等の II 族元素、又は Fe であることが好ましい。なお、ボディ領域 88 は、キャリア補償により形成される i 型の領域であってもよい。

【0262】

縦型トランジスタ 80 の製造には、第 2 の実施の形態に係る縦型トランジスタ 20 の製造方法を用いることができる。

【0263】

具体的には、縦型トランジスタ 20 のゲート電極 23、ゲート絶縁膜 24、及びコンタクト領域 25 を形成する工程において、それらの代わりにボディ領域 88 及びコンタクト領域 85 を形成し、ソース電極 26 を形成する工程において、その代わりにゲート絶縁膜 84、ゲート電極 83、及びソース電極 86 を形成すればよい。

【0264】

ボディ領域 88、 p^+ 領域 89 及びコンタクト領域 85 は、例えば、イオン注入法によりエピタキシャル層 82 にドーパントを注入することにより形成される。

【0265】

下地基板 81、エピタキシャル層 82、ドレイン電極 87 の形成方法は、それぞれ縦型トランジスタ 20 の下地基板 21、エピタキシャル層 22、ドレイン電極 27 の形成方法と同様である。

【0266】

〔第 9 の実施の形態〕

第 9 の実施の形態は、縦型の半導体素子としてのショットキーダイオードについての形態である。

【0267】

10

20

30

40

50

(半導体素子の構造)

図31は、第9の実施の形態に係るショットキーダイオード90の垂直断面図である。ショットキーダイオード90は、支持基板15と、支持基板に貼り付けられる下地基板11と、下地基板11の上面(支持基板15に接する面の反対側の面)上にエピタキシャル成長により形成されるエピタキシャル層12と、支持基板15の下面(下地基板11に接する面の反対側の面)上に形成され、支持基板15とオーミック接触するカソード電極13と、エピタキシャル層12の上面(下地基板11に接する面の反対側の面)上に形成され、エピタキシャル層12とショットキー接触するアノード電極14とを含む。

【0268】

ショットキーダイオード90においては、アノード電極14とカソード電極13との間に順方向バイアスを印加することにより、アノード電極14とエピタキシャル層12との界面のショットキー障壁が低下し、アノード電極14からカソード電極13へ電流が流れる。一方、アノード電極14とカソード電極13との間に逆方向バイアスを印加したときは、アノード電極14とエピタキシャル層12との界面のショットキー障壁が高くなり、電流は流れない。

【0269】

下地基板11は、第1の実施の形態において用いられるものと同様のものである。ただし、本実施の形態の下地基板11はカソード電極とオーミック接触しないため、下地基板11のn型ドーパントの濃度は、例えば、エピタキシャル層12と同程度であってもよい。

【0270】

支持基板15は、第1の実施の形態において用いられるものと同様のものである。ただし、本実施の形態においては、支持基板15はカソード電極とオーミック接触するため、導体や、高濃度のn型ドーパントを含む半導体からなる。

【0271】

下地基板11が薄いため、ショットキーダイオード90に生じた熱を下地基板11側から支持基板15を介して効率的に逃がすことができる。このため、ショットキーダイオード90は優れた放熱特性を有する。

【0272】

エピタキシャル層12、カソード電極13、アノード電極14は、第1の実施の形態において用いられるものと同様のものである。

【0273】

エピタキシャル層12は絶縁破壊電界強度が高い Ga_2O_3 系結晶からなるため、ショットキーダイオード90の耐電圧性の低下を抑えつつ、他の半導体材料で製造された素子よりもその厚さも薄くすることができるため、ショットキーダイオード90全体を薄型化し、より放熱性を高めることもできる。このように、ショットキーダイオード90は、高い放熱性と高い耐電圧性を併せ持つ。

【0274】

以下に、本実施の形態に係るショットキーダイオード10の製造方法について、具体例を挙げて説明する。

【0275】

(半導体素子の製造方法)

図32(a)～(e)は、第9の実施の形態に係るショットキーダイオード90の製造工程の一例を表す垂直断面図である。図38(a)～(d)に示される例では、下地基板11が研磨処理により薄くされた後に、下地基板11の薄化処理が施された面上にエピタキシャル層を成長させる。

【0276】

まず、図32(a)に示されるように、下地基板11を支持基板15に貼り付ける。下地基板11の支持基板15への貼り付けは、例えば、表面活性化接合等の直接接合や、導電性接着材による接着により行われる。

10

20

30

40

50

【0277】

次に、図32(b)に示されるように、支持基板15に支持される下地基板11に研磨処理を施し、 $10\mu\text{m}$ 以上かつ $50\mu\text{m}$ 以下の厚さになるまで薄くする。

【0278】

下地基板11の研磨工程は、第1の実施の形態に係る下地基板11の研磨工程と同様である。

【0279】

なお、下地基板11を除去する方法は研磨処理に限られない。また、研磨処理にエッチング等の他の処理を組み合わせてもよい。エッチングを施すことにより、下地基板11の厚さを $10\mu\text{m}$ よりも小さくすることができる。

10

【0280】

また、下地基板11を薄くした後に支持基板15から剥離してもよい。剥離した下地基板11は、 Ga_2O_3 系結晶からなり、 $0.05\mu\text{m}$ 以上かつ $50\mu\text{m}$ 以下の厚さを有する半導体基板であり、エピタキシャル結晶成長用下地基板として、他の半導体素子の製造に用いることができる。また、第1の実施の形態と同様に、下地基板11の厚さ方向の熱伝導率を高めるため、下地基板11の主面の面方位が(010)であることが好ましい。

【0281】

次に、図32(c)に示されるように、下地基板11上にエピタキシャル層12を形成する。

【0282】

エピタキシャル層12の形成工程は、第1の実施の形態に係るエピタキシャル層12の形成工程と同様である。

20

【0283】

次に、図32(d)に示されるように、エピタキシャル層12の下地基板11の反対側の面上にアノード電極14を形成する。アノード電極14の形成工程は、第1の実施の形態に係るアノード電極14の形成工程と同様である。

【0284】

次に、図32(e)に示されるように、支持基板15の下地基板11の反対側の面上にカソード電極13を形成する。カソード電極13の形成工程は、第1の実施の形態に係るカソード電極13の形成工程と同様である。

30

【0285】

なお、本実施の形態に係る半導体素子の製造方法は、縦型トランジスタ、横型トランジスタ等の、薄くされた Ga_2O_3 系結晶からなる下地基板を有する半導体素子の製造方法に適用することができる。

【0286】

〔第10の実施の形態〕

第10の実施の形態は、縦型の半導体素子としてのMISFET構造を有する縦型トランジスタについての形態である。

【0287】

(半導体素子の構造)

40

図33は、第10の実施の形態に係る縦型トランジスタ100の垂直断面図である。縦型トランジスタ100は、エピタキシャル層22の一方の表面に形成されたイオン注入層101と、ゲート絶縁膜24に覆われてエピタキシャル層22中に埋め込まれたゲート電極23と、エピタキシャル層22中のゲート電極23の両側にそれぞれ形成されたコンタクト領域25と、コンタクト領域25の両側に形成された P^+ 領域28と、エピタキシャル層22上に形成され、コンタクト領域25に接続されたソース電極26と、エピタキシャル層22の下面(イオン注入層101が設けられている側の面)上に形成され、イオン注入層101とオーミック接触するドレイン電極27と、を含む。

【0288】

縦型トランジスタ100は、ソース電極26とドレイン電極27がそれぞれ素子の上下

50

に設けられ、縦方向に電流が流れる縦型半導体素子である。ゲート電極 23 に閾値以上の電圧を印加すると、エピタキシャル層 22 中のゲート電極 23 の両側の領域にチャンネルが形成され、ソース電極 26 からドレイン電極 27 へ電流が流れるようになる。

【0289】

エピタキシャル層 22、ゲート電極 23、ゲート絶縁膜 24、コンタクト領域 25、ソース電極 26、ドレイン電極 27、及び P^+ 領域 28 は、それぞれ第 2 の実施の形態において用いられるものと同様のものである。

【0290】

イオン注入層 101 は、エピタキシャル層 22 の層 22a 中に高濃度の n 型ドーパントを注入することにより形成される層であり、イオン注入層 101 の n 型ドーパントの濃度は、層 22a の n 型ドーパントの濃度よりも高い。この n 型ドーパントは、Si、Sn 等の IV 族元素であることが好ましい。特に、Siの方がSnよりも高濃度注入時に高い活性化率を得られるため、ショットキーダイオードの導通損失を低減するために Si を n 型ドーパントとして用いることが好ましい。

【0291】

縦型トランジスタ 100 においては、エピタキシャル層 22 のエピタキシャル成長の下地となる下地基板（後述する下地基板 21）が除去され、ドレイン電極 27 とオーミック接触する層としてイオン注入層 101 が用いられる。このため、イオン注入層 101 側への放熱経路が下地基板を通らず、効率的に放熱することができる。このため、縦型トランジスタ 100 は優れた放熱特性を有する。さらに、イオン注入技術を用いることにより、基板育成時に不純物を添加する方法よりもドナー濃度を高めることができ、ショットキーダイオードの導通損失を低減できる。

【0292】

エピタキシャル層 22 は、絶縁破壊電界強度が高い Ga_2O_3 系結晶からなるため、下地基板 21 を除去しても縦型トランジスタ 100 の耐電圧性の低下を抑えることができる。このため、縦型トランジスタ 100 は、高い放熱性と高い耐電圧性を併せ持つ。

【0293】

以下に、本実施の形態に係る縦型トランジスタ 100 の製造方法について、具体例を挙げて説明する。なお、縦型トランジスタ 100 の製造方法は以下の例に限定されるものではない。

【0294】

（半導体素子の製造方法）

図 34 (a) ~ (d)、図 35 (a) ~ (d) は、第 10 の実施の形態に係る縦型トランジスタ 100 の製造工程の一例を表す垂直断面図である。

【0295】

まず、図 34 (a) に示されるように、下地基板 21 上にエピタキシャル層 22 を形成する。

【0296】

下地基板 21 は、第 1 の実施の形態に係る下地基板 11 と同様の基板であり、研磨処理を施す前の厚さは、例えば、 $600\mu m$ である。なお、下地基板 21 は、n 型ドーパントを含んでいなくてもよい。エピタキシャル層 22 の形成工程は、第 2 の実施の形態に係るエピタキシャル層 22 の形成工程と同様である。

【0297】

次に、図 34 (b) に示されるように、接着層 16 を介してエピタキシャル層 22 の層 22b を支持基板 15 に貼り付ける。この支持基板 15 の材料は、例えば、金属、樹脂、セラミック等であるが、これらに限定されるものではない。接着層 16 は、第 1 の実施の形態において用いられるものと同様のものである。

【0298】

次に、図 34 (c) に示されるように、支持基板 15 に支持される下地基板 21 を研磨処理により薄くし、さらに研磨処理を続けることにより、最終的に除去する。

【0299】

なお、この研磨処理にエッチング等の他の処理を組み合わせてもよく、また、研磨処理以外の方法を用いてもよい。

【0300】

次に、図34(d)に示されるように、エピタキシャル層22の層22aの下面にn型ドーパントをイオン注入する。

【0301】

次に、図35(a)に示されるように、層22aに注入したn型ドーパントをアニール処理により活性化させることにより、イオン注入層101を形成する。このアニール処理は、例えば、不活性雰囲気下で800～1000℃、30分の条件で実施される。

10

【0302】

次に、図35(b)に示されるように、層22aの下面（イオン注入層101が形成されている側の面）を支持基板102に貼り付ける。ここで、支持基板102の材料は、例えば、金属、樹脂、セラミック等であるが、これらに限定されるものではない。

【0303】

層22aの支持基板102への貼り付けには、はんだ（例えばAu-Sn、Sn-Ag-Cu、又はSi-Ge）やAgペースト、樹脂、無機材料等が用いられる。

【0304】

次に、図35(c)に示されるように、支持基板102に支持された状態のエピタキシャル層22を支持基板15及び接着層16から剥離した後、エピタキシャル層22中にゲート電極23、ゲート絶縁膜24、コンタクト領域25、P⁺領域28を形成し、その後、エピタキシャル層22上にソース電極26を形成する。また、エピタキシャル層22上に電極終端構造やパッシベーション膜を設けてもよい。

20

【0305】

ゲート電極23、ゲート絶縁膜24、コンタクト領域25、P⁺領域28、ソース電極26の形成工程は、それぞれ第2の実施の形態に係るゲート電極23、ゲート絶縁膜24、コンタクト領域25、P⁺領域28、ソース電極26の形成工程と同様である。

【0306】

次に、図35(d)に示されるように、一方の面に電極104を有する支持基板103を用意し、ソース電極26と電極104を貼り合わせるようにしてエピタキシャル層22を支持基板103に貼り付ける。そして、支持基板103に支持されるエピタキシャル層22を支持基板102から剥離し、層22aの下面上にドレイン電極27を形成する。この支持基板103の材料は、特定のものに限定されないが、後述するように、縦型トランジスタ100の支持基板として支持基板103を残す場合は、Al等の金属、AlN、SiN、GaN等の窒化物、SiO₂、Al₂O₃等の酸化物、SiC、Si、GaAs、ダイヤモンド等の、β-Ga₂O₃よりも熱伝導率の高い材料であることが好ましい。

30

【0307】

ドレイン電極27の形成工程は、第1の実施の形態に係るドレイン電極27の形成工程と同様である。

【0308】

なお、最終製品としての縦型トランジスタ100の支持基板として支持基板103を残してもよい。この場合、ソース電極26への外部電源の供給は、支持基板103の電極104を介して行ってもよい。また、支持基板103が導電性を有する場合は、支持基板103及び電極104を介してソース電極26へ外部電源を供給してもよい。また、縦型トランジスタ100を支持基板103から剥離して他の支持基板に貼り付けてもよい。

40

【0309】

（実施の形態の効果）

上記第1～10の実施の形態によれば、下地基板を薄くする、下地基板を除去してイオン注入層を形成する、又は下地基板を除去して高熱伝導基板に貼り付けることにより、効果的に放熱することができる。これにより、半導体素子の放熱特性を向上させることがで

50

きる。

【0310】

以上、本発明の実施の形態を説明したが、本発明は、上記実施の形態に限定されず、発明の主旨を逸脱しない範囲内において種々変形実施が可能である。

【0311】

例えば、半導体素子は上記の実施の形態において開示されたものに限られず、 Ga_2O_3 系結晶からなる下地基板とその上にエピタキシャル成長した Ga_2O_3 系結晶からなるエピタキシャル層を含む構造、又はその下地基板を除去した後にエピタキシャル層中に形成される高濃度のドーパントを含むイオン注入層を含む構造を有する半導体素子であれば、本発明を適用することができる。

10

【0312】

また、発明の主旨を逸脱しない範囲内において上記実施の形態の構成要素を任意に組み合わせることができる。

【0313】

また、上記に記載した実施の形態は特許請求の範囲に係る発明を限定するものではない。また、実施の形態の中で説明した特徴の組合せの全てが発明の課題を解決するための手段に必須であるとは限らない点に留意すべきである。

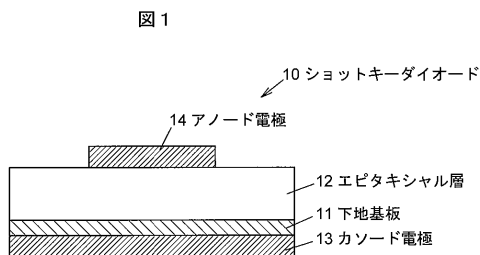
【符号の説明】

【0314】

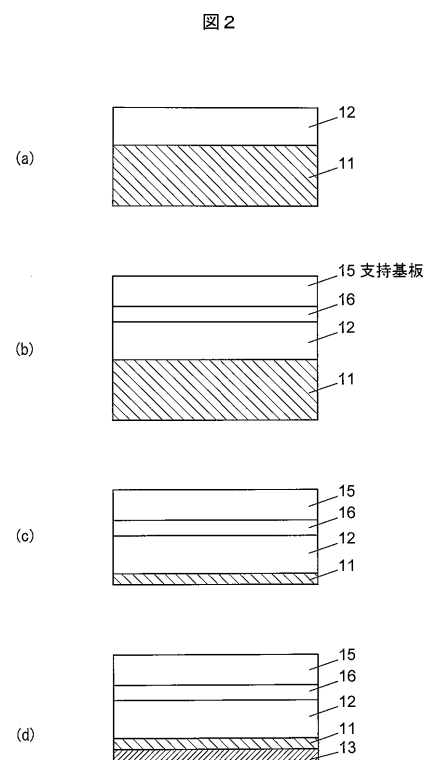
10、40、60、90…ショットキーダイオード、11、21、31、81…下地基板、12、22、32、42、62、72、82…エピタキシャル層、20、70、80、100…縦型トランジスタ、30…横型トランジスタ、41、101…イオン注入層、15、46、51、52…支持基板、61、71…高熱伝導基板

20

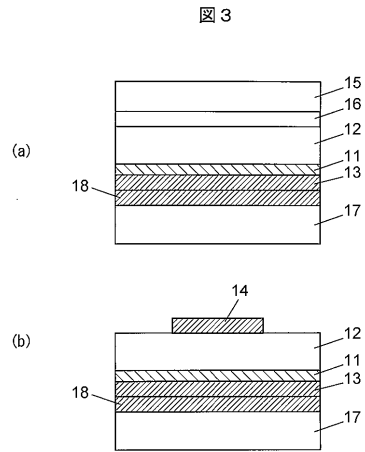
【図1】



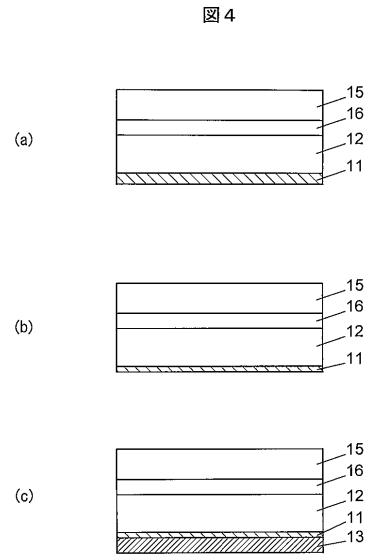
【図2】



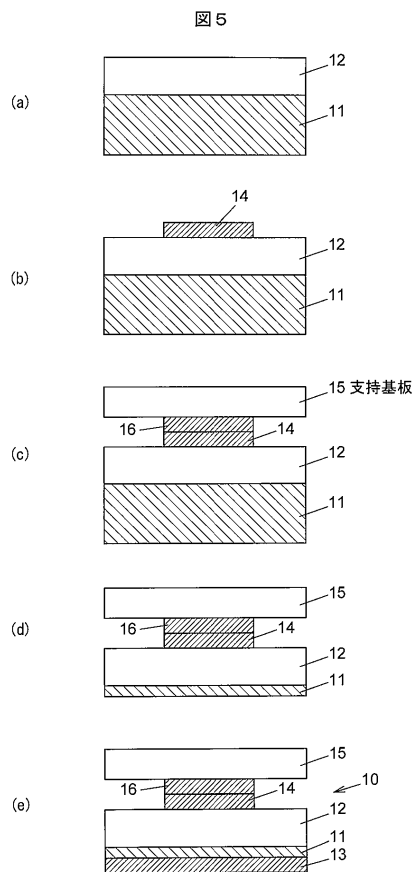
【図 3】



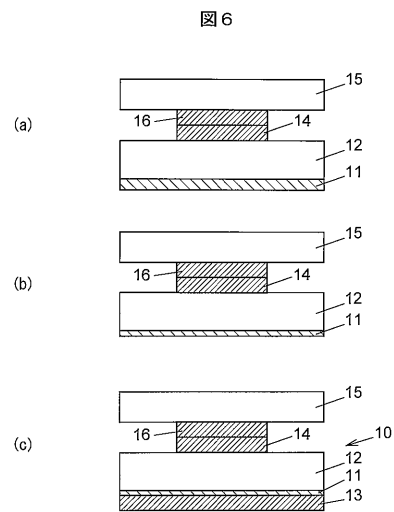
【図 4】



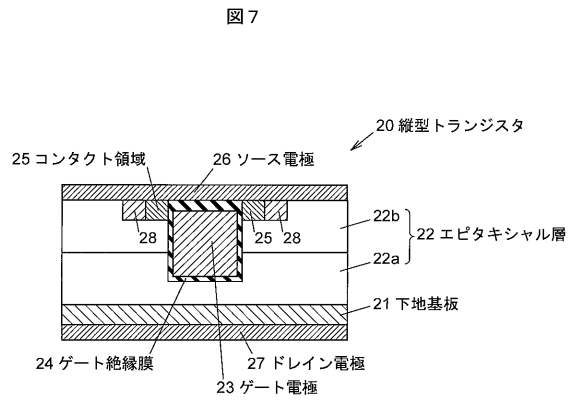
【図 5】



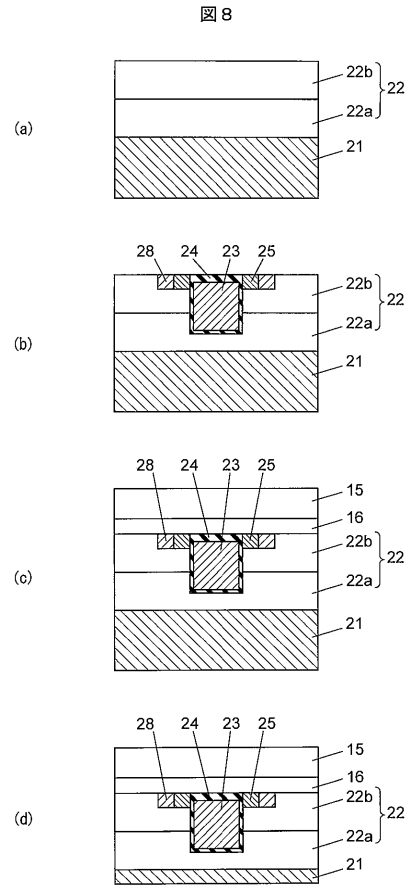
【図 6】



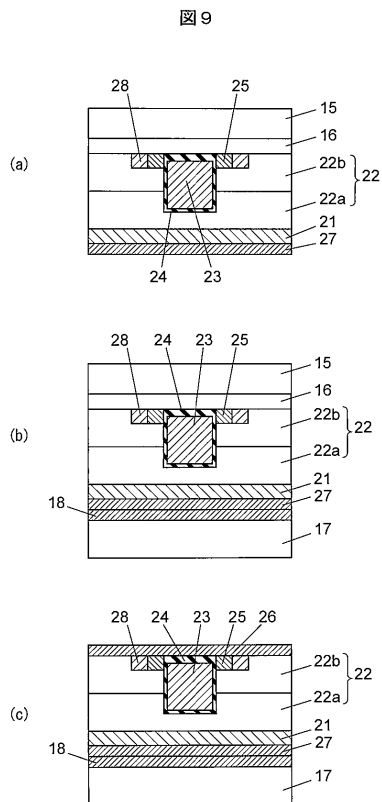
【図 7】



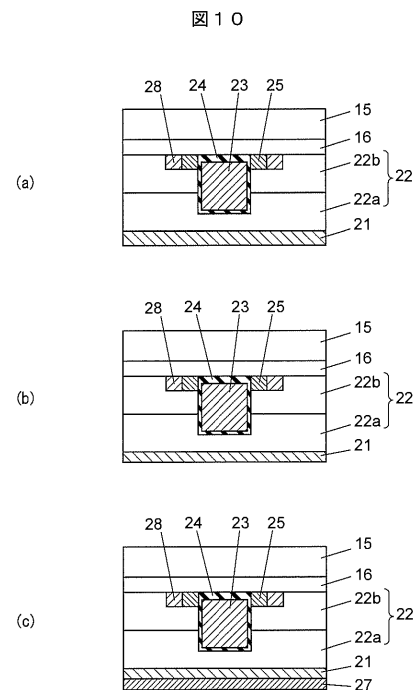
【図 8】



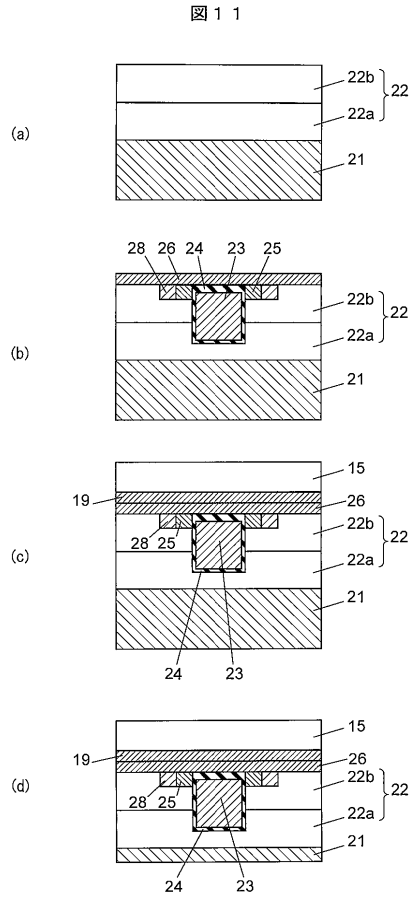
【図 9】



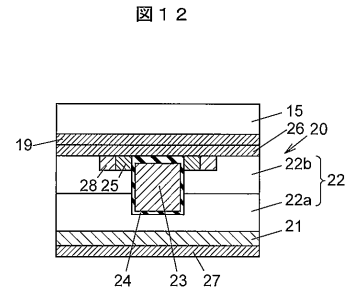
【図 10】



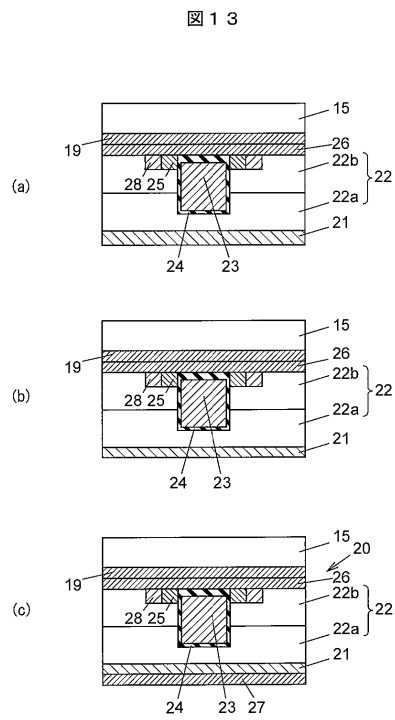
【図 1 1】



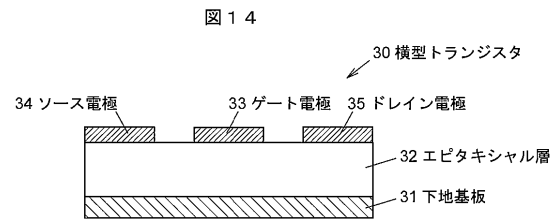
【図 1 2】



【図 1 3】

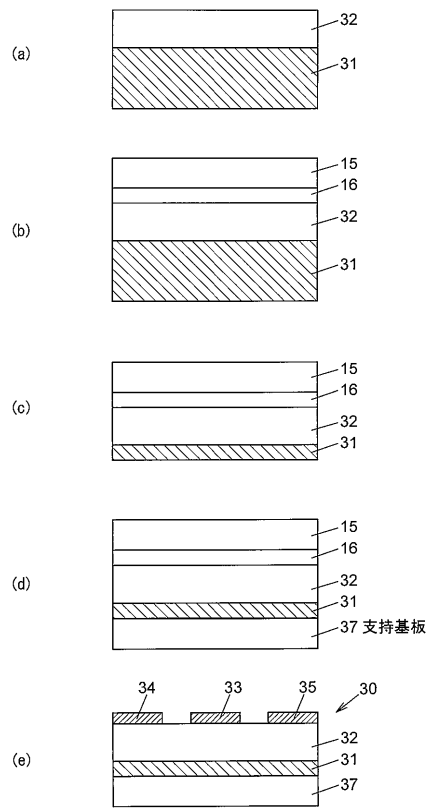


【図 1 4】



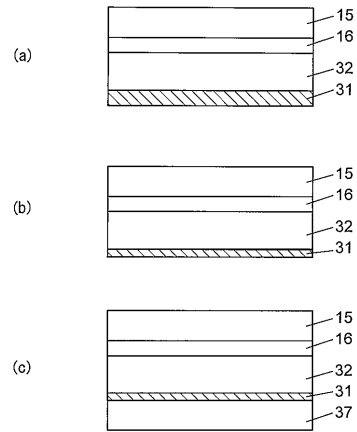
【図 15】

図 15



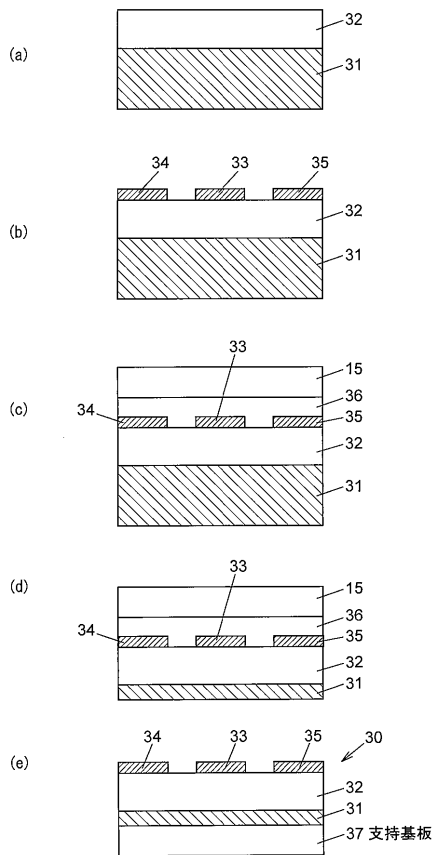
【図 16】

図 16



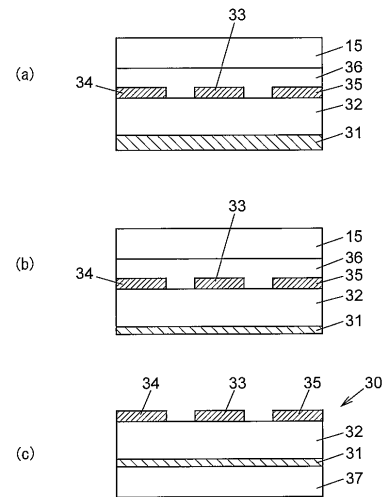
【図 17】

図 17



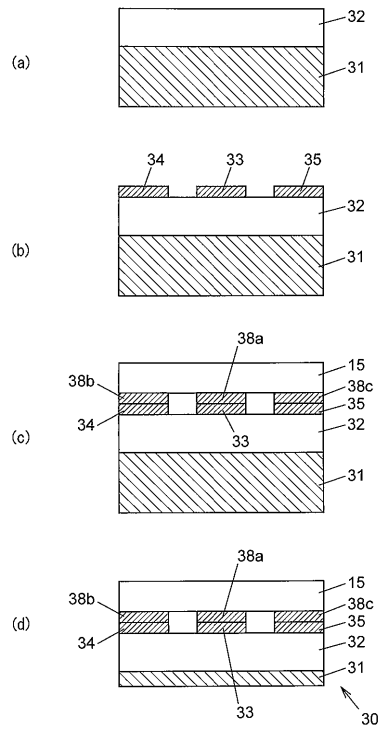
【図 18】

図 18



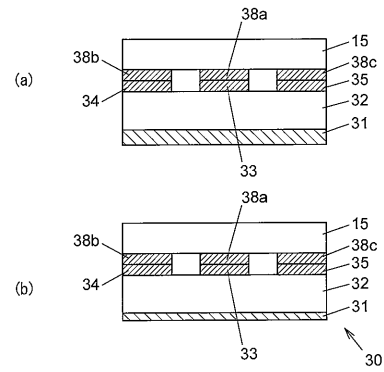
【図 19】

図 19



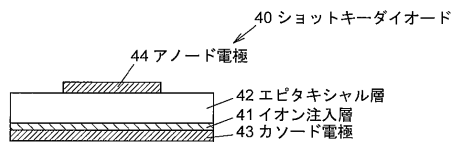
【図 20】

図 20



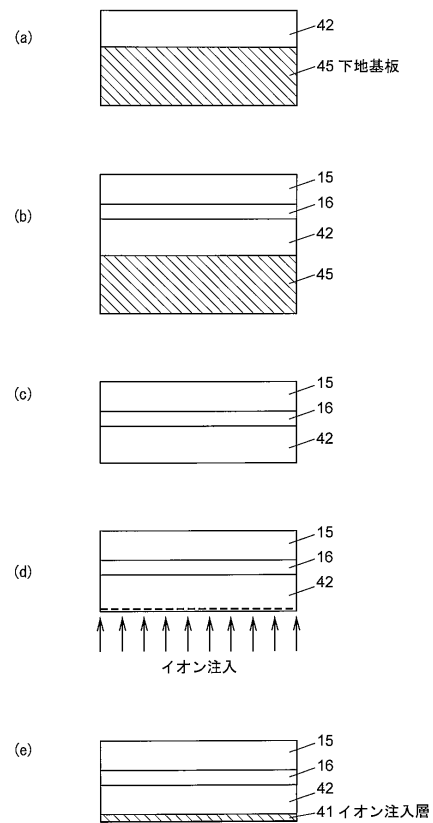
【図 21】

図 21



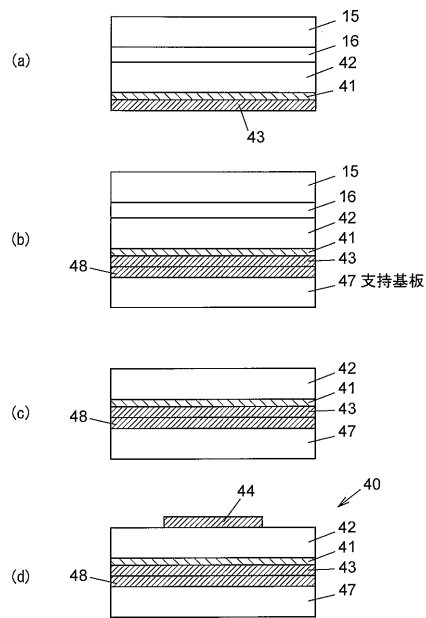
【図 22】

図 22



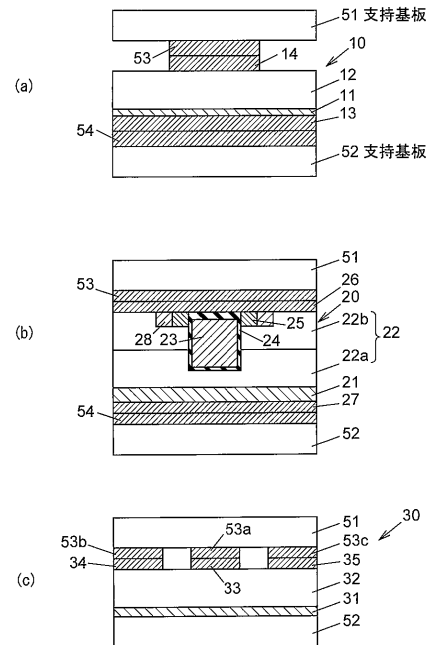
【図 2 3】

図 2 3



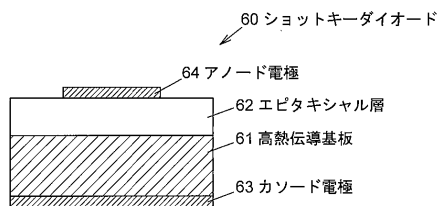
【図 2 4】

図 2 4



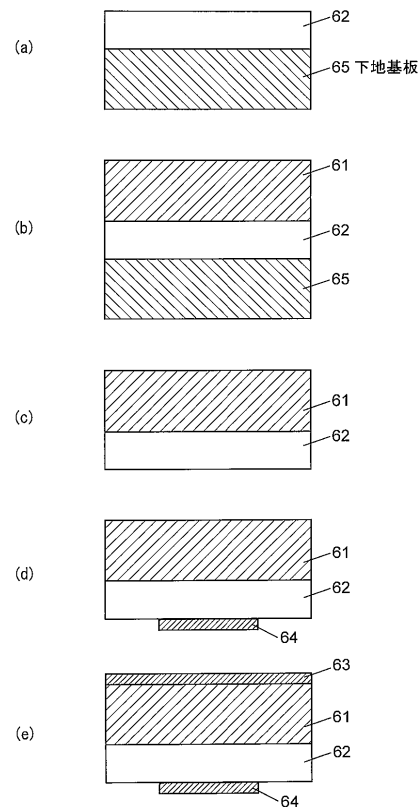
【図 2 5】

図 2 5

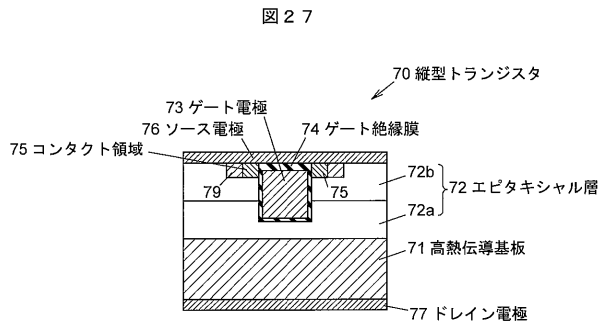


【図 2 6】

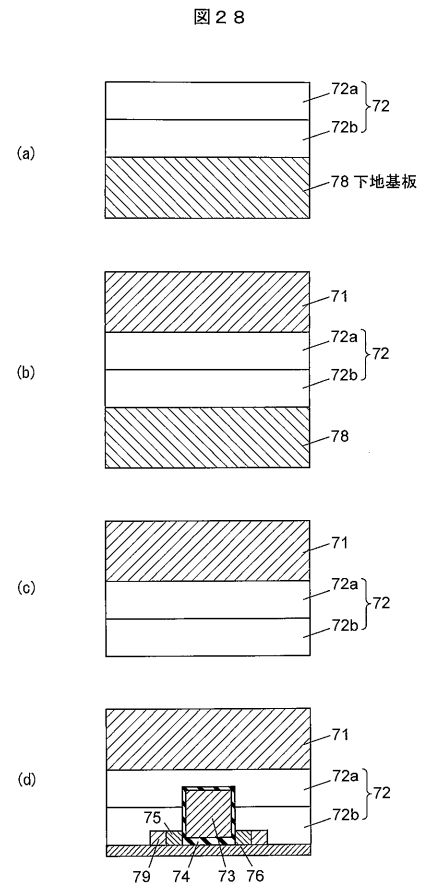
図 2 6



【図 27】

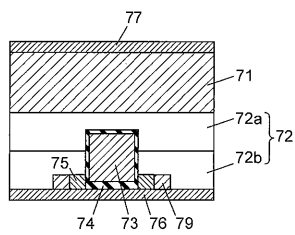


【図 28】



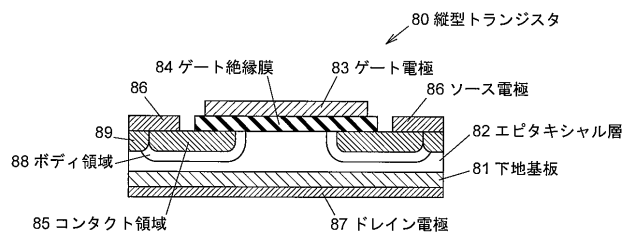
【図 29】

図 29

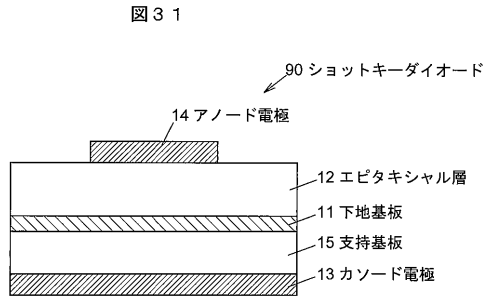


【図 30】

図 30

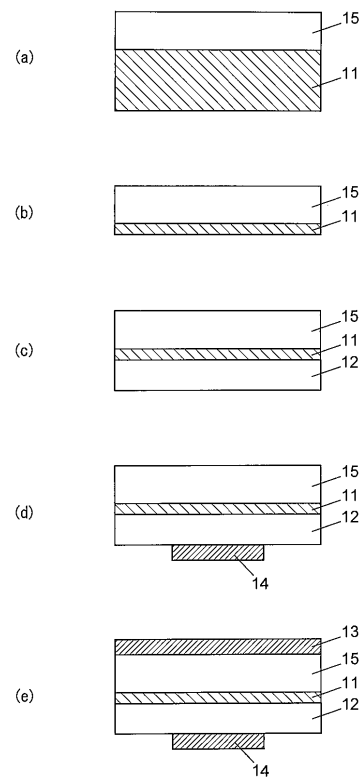


【図 3 1】



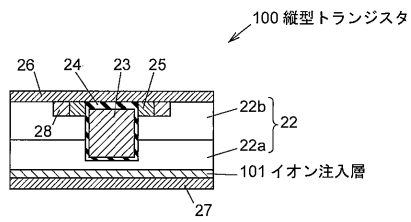
【図 3 2】

図 3 2



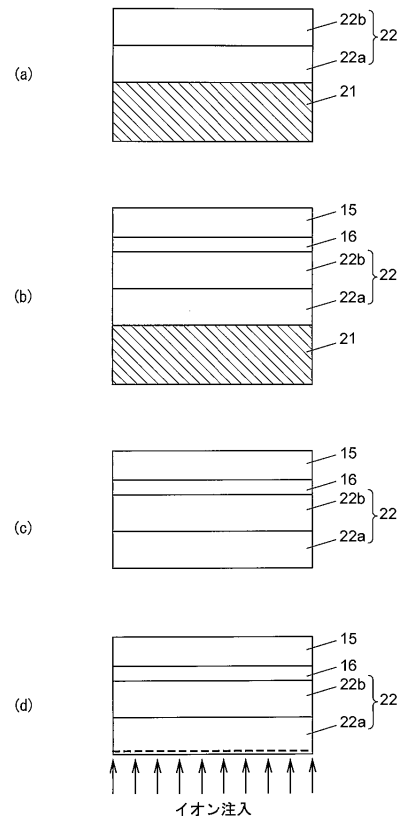
【図 3 3】

図 3 3



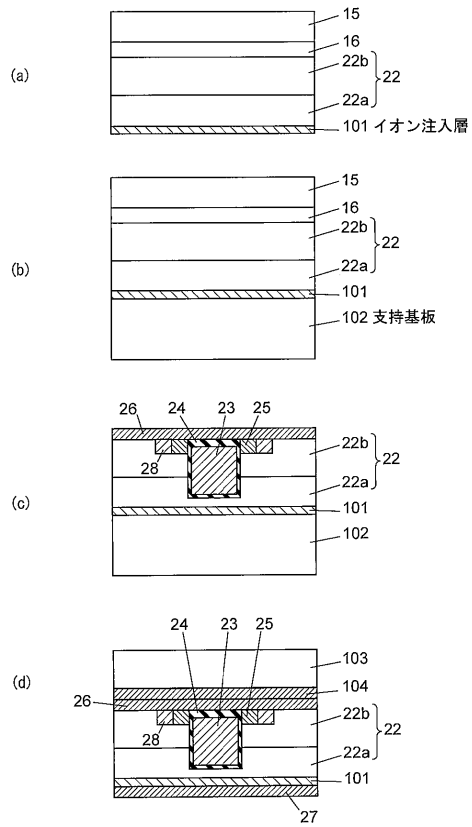
【図 3 4】

図 3 4



【図 3 5】

図 3 5



フロントページの続き

(51)Int.Cl.	F I			テーマコード (参考)		
<i>H O 1 L 29/78 (2006.01)</i>	H O 1 L	29/78	3 0 1 B	5 F 1 1 0		
<i>H O 1 L 29/12 (2006.01)</i>	H O 1 L	29/78	6 5 2 T	5 F 1 4 0		
<i>H O 1 L 29/786 (2006.01)</i>	H O 1 L	29/78	6 5 3 C	5 F 1 5 2		
<i>H O 1 L 21/338 (2006.01)</i>	H O 1 L	29/78	6 5 8 E			
<i>H O 1 L 29/812 (2006.01)</i>	H O 1 L	29/78	6 5 8 K			
<i>H O 1 L 21/20 (2006.01)</i>	H O 1 L	29/86	3 0 1 M			
<i>H O 1 L 21/363 (2006.01)</i>	H O 1 L	29/78	6 1 8 B			
<i>H O 1 L 21/365 (2006.01)</i>	H O 1 L	29/80	B			
	H O 1 L	21/20				
	H O 1 L	21/363				
	H O 1 L	21/365				

(72)発明者 佐々木 公平
東京都練馬区東大泉 1 丁目 1 9 番 4 3 号 株式会社タムラ製作所内

(72)発明者 倉又 朗人
東京都練馬区東大泉 1 丁目 1 9 番 4 3 号 株式会社タムラ製作所内

(72)発明者 東脇 正高
東京都小金井市貫井北町 4 - 2 - 1 国立研究開発法人情報通信研究機構内

F ターム (参考) 4G077 AA03 BB10 DB01 ED06 FD02 HA06 HA12
4M104 AA03 BB05 BB06 BB14 FF13 GG03 HH20
5F045 AA03 AB40 BB16 CA15
5F102 GB01 GC01 GD01 GJ01 GJ02 GJ03 GJ05 GJ09 GJ10 GK01
GL01 GS01 GT01 GT03 GT04
5F103 AA04 AA08 DD30 GG01 HH03 LL13 RR05
5F110 AA13 AA23 CC01 DD01 EE01 EE02 EE03 EE04 EE06 EE07
EE14 FF01 FF02 FF03 GG01 GG12 GG42 HK01 HK02 HK03
HK04 HK06 HK07 QQ14 QQ16
5F140 AA25 AA34 AC23 BA00 BC12 BD04 BD07 BD11 BD13 BF03
BF04 BF05 BF06 BF07 BF11 BF13 BF14 BF15 BF16 BF17
BJ01 BJ03 BJ04 BJ05 BJ07
5F152 LL03 LL07 LL09 LP01 LP07 MM02 MM04 MM05 NN01 NN27
NQ01