



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년10월12일

(11) 등록번호 10-1559240

(24) 등록일자 2015년10월02일

(51) 국제특허분류(Int. Cl.)

H01L 51/52 (2006.01) H01L 21/31 (2006.01)

(21) 출원번호 10-2014-0032284

(22) 출원일자 2014년03월19일

심사청구일자 2014년03월19일

(65) 공개번호 10-2014-0116007

(43) 공개일자 2014년10월01일

(30) 우선권주장

JP-P-2013-060352 2013년03월22일 일본(JP)

(56) 선행기술조사문현

KR1020080080608 A\*

KR1020050111922 A\*

KR1020100108215 A

\*는 심사관에 의하여 인용된 문현

(73) 특허권자

가부시키가이샤 재팬 디스플레이

일본국 도쿄도 미나토구 니시신바시 3쵸메 7반 1  
고

(72) 발명자

도꾸다 나오끼

일본 도쿄도 미나토구 니시 신바시 3-7-1 가부시  
키가이샤 재팬 디스플레이 내

미야모토 미쓰히데

일본 도쿄도 미나토구 니시 신바시 3-7-1 가부시  
키가이샤 재팬 디스플레이 내

(74) 대리인

장수길, 이종희

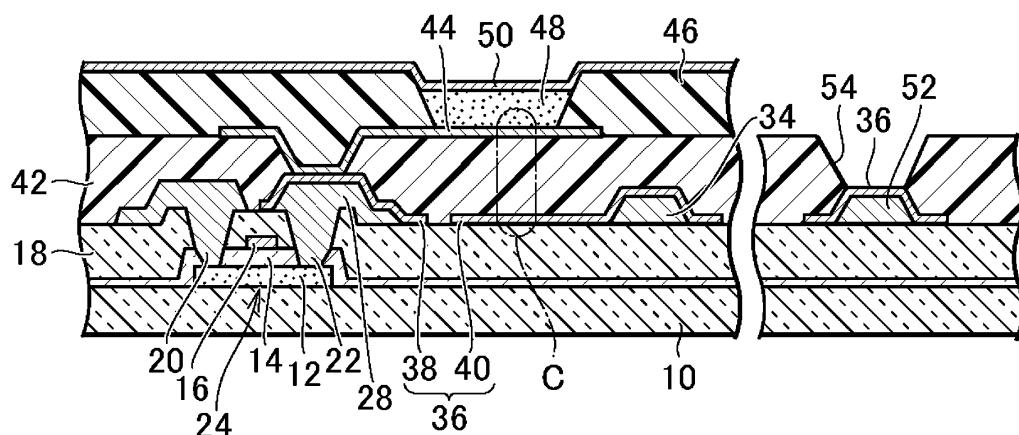
전체 청구항 수 : 총 10 항

심사관 : 권기원

(54) 발명의 명칭 유기 일렉트로 루미네센스 표시 장치

**(57) 요 약**

본 발명은, 신규의 층이나 형성 공정을 추가하지 않고 캐페시터 C를 형성하는 것을 목적으로 한다. 유기 EL 표시 장치는, 화소 전극(44) 및 공통 전극(50)과, 박막 트랜지스터(24)를 덮는 제1 절연층(18)과, 박막 트랜지스터(24)와 화소 전극(44)을 전기적으로 접속하도록, 제1 절연층(18) 상에 배치된 제1 배선(28)과, 박막 트랜지스터(24)의 게이트 전극(16)에 접속되도록, 제1 절연층(18) 상에 배치된 제2 배선(34)과, 제1 배선(28) 및 제2 배선(34)보다도 산화 피막이 형성되기 어려운 재료로, 제1 배선(28) 및 제2 배선(34) 상에 형성된 도전막(36)을 갖는다. 제1 배선(28)과 제2 배선(34) 사이에 제어 신호를 유지하는 캐페시터 C가 형성되도록, 화소 전극(44), 제1 배선(28) 및 제2 배선(34) 중 적어도 하나와 도전막(36)은, 제1 절연층(18)의 상방에서, 전기적으로 절연된 상태에서 중첩되도록 위치한다.

**대 표 도** - 도1

## 명세서

### 청구범위

#### 청구항 1

삭제

#### 청구항 2

삭제

#### 청구항 3

유기 일렉트로 루미네센스층과,

상기 유기 일렉트로 루미네센스층을 사이에 두도록 적층된 화소 전극 및 공통 전극과,

박막 트랜지스터와,

상기 박막 트랜지스터의 반도체층 및 게이트 전극을 덮는 제1 절연층과,

상기 박막 트랜지스터의 소스 전극 및 드레인 전극의 한쪽에 전기적으로 접속된 전류 공급선과,

상기 박막 트랜지스터의 상기 소스 전극 및 상기 드레인 전극의 다른 한쪽과 상기 화소 전극을 전기적으로 접속된 상기 제1 절연층 상에 배치된 제1 배선과,

상기 박막 트랜지스터의 상기 게이트 전극에 접속되도록, 상기 제1 절연층 상에 배치된 제2 배선과,

상기 제2 배선을 통하여 상기 박막 트랜지스터의 상기 게이트 전극에 제어 신호를 전달하기 위한 데이터선과,

상기 제1 배선 및 상기 제2 배선보다도 산화 피막이 형성되기 어려운 재료로, 상기 제1 배선 및 상기 제2 배선 상에 형성된 도전막과,

상기 도전막 상이며 상기 화소 전극 아래에 형성된 제2 절연층

을 갖고,

상기 제1 배선과 상기 제2 배선 사이에 상기 제어 신호를 유지하는 캐패시터가 형성되도록, 상기 화소 전극, 상기 제1 배선 및 상기 제2 배선 중 적어도 하나와 상기 도전막은, 상기 제1 절연층의 상방에서, 전기적으로 절연된 상태에서 중첩되도록 위치하고,

상기 도전막은, 상기 제1 배선에 전기적으로 접속되는 제1 도전막부와, 상기 제1 도전막부에서 분리되어 상기 제2 배선에 전기적으로 접속되는 제2 도전막부를 포함하고,

상기 화소 전극은, 상기 제1 도전막부를 통하여 상기 제1 배선에 전기적으로 접속되며,

상기 화소 전극은, 상기 제2 절연층을 통하여 상기 제2 도전막부와 중첩되고, 상기 화소 전극과 상기 제2 도전막부 사이에 상기 캐패시터를 형성하고,

상기 제2 도전막부는, 상기 제2 배선과 중첩되는 위치로부터 벗어나 상기 제1 절연층 상으로 연장되도록 형성되고,

상기 화소 전극은, 상기 제1 절연층의 표면에 수직인 방향으로 상기 제2 배선과의 중복을 피하도록 배치되어 있는 것을 특징으로 하는 유기 일렉트로 루미네센스 표시 장치.

#### 청구항 4

제3항에 있어서,

상기 제1 도전막부 및 상기 제2 도전막부는, 상기 제1 배선 및 상기 제2 배선의 어느 것의 중복도 피한 위치에서 분리되는 것을 특징으로 하는 유기 일렉트로 루미네센스 표시 장치.

**청구항 5**

유기 일렉트로 루미네센스층과,  
 상기 유기 일렉트로 루미네센스층을 사이에 두도록 적층된 화소 전극 및 공통 전극과,  
 박막 트랜지스터와,  
 상기 박막 트랜지스터의 반도체층 및 게이트 전극을 덮는 제1 절연층과,  
 상기 박막 트랜지스터의 소스 전극 및 드레인 전극의 한쪽에 전기적으로 접속된 전류 공급선과,  
 상기 박막 트랜지스터의 상기 소스 전극 및 상기 드레인 전극의 다른 한쪽과 상기 화소 전극을 전기적으로 접속하도록, 상기 제1 절연층 상에 배치된 제1 배선과,  
 상기 박막 트랜지스터의 상기 게이트 전극에 접속되도록, 상기 제1 절연층 상에 배치된 제2 배선과,  
 상기 제2 배선을 통하여 상기 박막 트랜지스터의 상기 게이트 전극에 제어 신호를 전달하기 위한 데이터선과,  
 상기 제1 배선 및 상기 제2 배선보다도 산화 피막이 형성되기 어려운 재료로, 상기 제1 배선 및 상기 제2 배선 상에 형성된 도전막과,  
 상기 도전막 상이며 상기 화소 전극 아래에 형성된 제2 절연층과,  
 상기 제1 배선과 상기 도전막 사이 및 상기 제2 배선과 상기 도전막 사이에 개재하는 제3 절연층  
 을 갖고,  
 상기 제1 배선과 상기 제2 배선 사이에 상기 제어 신호를 유지하는 캐페시터가 형성되도록, 상기 화소 전극, 상기 제1 배선 및 상기 제2 배선 중 적어도 하나와 상기 도전막은, 상기 제1 절연층의 상방에서, 전기적으로 절연된 상태에서 중첩되도록 위치하고,  
 상기 제3 절연층은, 상기 제1 배선 상에 스루홀을 가지며,  
 상기 도전막은, 상기 제1 배선에 중첩되는 제1 도전막부 및 상기 제2 배선에 중첩되는 제2 도전막부를 연속적으로 갖고, 상기 제1 도전막부는, 상기 제3 절연층의 상기 스루홀을 통하여, 상기 제1 배선에 전기적으로 접속되고,  
 상기 제2 배선은, 상기 제3 절연층을 통하여 상기 제2 도전막부와 중첩되고, 상기 제2 배선과 상기 제2 도전막부 사이에 상기 캐페시터를 형성하는 것을 특징으로 하는 유기 일렉트로 루미네센스 표시 장치.

**청구항 6**

제5항에 있어서,  
 상기 화소 전극은, 상기 제2 배선의 적어도 일부와 중첩되도록 형성되어 있는 것을 특징으로 하는 유기 일렉트로 루미네센스 표시 장치.

**청구항 7**

유기 일렉트로 루미네센스층과,  
 상기 유기 일렉트로 루미네센스층을 사이에 두도록 적층된 화소 전극 및 공통 전극과,  
 박막 트랜지스터와,  
 상기 박막 트랜지스터의 반도체층 및 게이트 전극을 덮는 제1 절연층과,  
 상기 박막 트랜지스터의 소스 전극 및 드레인 전극의 한쪽에 전기적으로 접속된 전류 공급선과,  
 상기 박막 트랜지스터의 상기 소스 전극 및 상기 드레인 전극의 다른 한쪽과 상기 화소 전극을 전기적으로 접속하도록, 상기 제1 절연층 상에 배치된 제1 배선과,  
 상기 박막 트랜지스터의 상기 게이트 전극에 접속되도록, 상기 제1 절연층 상에 배치된 제2 배선과,  
 상기 제2 배선을 통하여 상기 박막 트랜지스터의 상기 게이트 전극에 제어 신호를 전달하기 위한 데이터선과,

상기 제1 배선 및 상기 제2 배선보다도 산화 피막이 형성되기 어려운 재료로, 상기 제1 배선 및 상기 제2 배선 상에 형성된 도전막과,

상기 도전막 사이며 상기 화소 전극 아래에 형성된 제2 절연층과,

상기 제1 배선과 상기 도전막 사이 및 상기 제2 배선과 상기 도전막 사이에 개재하는 제3 절연층을 갖고,

상기 제1 배선과 상기 제2 배선 사이에 상기 제어 신호를 유지하는 캐패시터가 형성되도록, 상기 화소 전극, 상기 제1 배선 및 상기 제2 배선 중 적어도 하나와 상기 도전막은, 상기 제1 절연층의 상방에서, 전기적으로 절연된 상태에서 중첩되도록 위치하고,

상기 제3 절연층은, 상기 제1 배선 상에 제1 스루홀을 갖고, 상기 제2 배선 상에 제2 스루홀을 가지며,

상기 도전막은, 상기 제3 절연층의 상기 제1 스루홀을 통하여 상기 제1 배선에 전기적으로 접속되는 제1 도전막부와, 상기 제1 도전막부에서 분리되어 상기 제3 절연층의 상기 제2 스루홀을 통하여 상기 제2 배선에 전기적으로 접속되어 상기 제1 배선의 상방에 이르도록 연장되는 제2 도전막부를 포함하며,

상기 제1 배선은, 상기 제3 절연층을 통하여 상기 제2 도전막부와 중첩되고, 상기 제1 배선과 상기 제2 도전막부 사이에 상기 캐패시터를 형성하는 것을 특징으로 하는 유기 일렉트로 루미네센스 표시 장치.

### 청구항 8

제7항에 있어서,

상기 화소 전극은, 상기 제2 절연층을 통하여 상기 제2 도전막부와 중첩되고, 상기 화소 전극과 상기 제2 도전막부 사이에도 상기 캐패시터를 형성하는 것을 특징으로 하는 유기 일렉트로 루미네센스 표시 장치.

### 청구항 9

제8항에 있어서,

상기 화소 전극은, 상기 제1 배선의 적어도 일부와 중첩되도록 형성되어 있는 것을 특징으로 하는 유기 일렉트로 루미네센스 표시 장치.

### 청구항 10

삭제

### 청구항 11

제5항 내지 제9항 중 어느 한 항에 있어서,

상기 제1 절연층 상에 배치된 단자를 더 갖고,

상기 제3 절연층은, 상기 단자 위에 위치하도록 형성되고, 상기 단자의 일부를 노출시키는 스루홀을 가지며,

상기 도전막은, 상기 단자의 상기 제3 절연층으로부터의 노출부 위에 위치하도록 형성되어 있는 것을 특징으로 하는 유기 일렉트로 루미네센스 표시 장치.

### 청구항 12

제3항 내지 제9항 중 어느 한 항에 있어서,

상기 제1 절연층 상에 배치된 단자를 더 갖고,

상기 도전막은, 상기 단자 위에 위치하도록 형성되고,

상기 제2 절연층은, 상기 단자 위에 위치하도록 형성되고, 상기 단자의 상방에서 상기 도전막의 일부를 노출시키는 개구를 갖는 것을 특징으로 하는 유기 일렉트로 루미네센스 표시 장치.

### 청구항 13

제11항에 있어서,

상기 제2 절연층은, 상기 단자 위에 위치하도록 형성되고, 상기 단자의 상방에서 상기 도전막의 일부를 노출시키는 개구를 갖는 것을 특징으로 하는 유기 일렉트로 루미네센스 표시 장치.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 유기 일렉트로 루미네센스 표시 장치에 관한 것이다.

#### 배경기술

[0002] 유기 일렉트로 루미네센스 표시 장치는, 회로 기판에 유기층 및 밀봉층이 적층된 구조를 갖는다(특허문현 1). 회로 기판에는, 박막 트랜지스터 등의 능동 소자, 저항기 및 캐패시터 등의 수동 소자, 전극 및 배선 등을 포함하는 회로가 형성되어 있다. 회로는, 도전막, 절연체막 및 반도체막의 성막 및 에칭에 의하여 형성된다.

#### 선행기술문헌

#### 특허문현

[0003] (특허문현 0001) 일본 특허 공개 제2012-109030호 공보

### 발명의 내용

#### 해결하려는 과제

[0004] 표시되는 화상은 복수의 화소로 구성되고, 화소마다, 데이터선으로부터 입력된 신호를 유지하여 두기 위한 캐패시터가 형성된다. 캐패시터는, 박막 트랜지스터와 동일한 층에 형성되어 있었지만, 고정밀화에 대응하여 형성 영역이 좁게 되어 왔으므로, 그 형성이 어렵게 되어 왔다.

[0005] 본 발명은 신규의 층이나 형성 공정을 추가하지 않고 캐패시터를 형성하는 것을 목적으로 한다.

#### 과제의 해결 수단

[0006] (1) 본 발명에 따른 유기 일렉트로 루미네센스 표시 장치는, 유기 일렉트로 루미네센스층과, 상기 유기 일렉트로 루미네센스층을 사이에 두도록 적층된 화소 전극 및 공통 전극과, 박막 트랜지스터와, 상기 박막 트랜지스터의 반도체층 및 게이트 전극을 덮는 제1 절연층과, 상기 박막 트랜지스터의 소스 전극 및 드레인 전극의 한쪽과 전기적으로 접속된 전류 공급선과, 상기 박막 트랜지스터의 상기 소스 전극 및 상기 드레인 전극의 다른 한쪽과 상기 화소 전극을 전기적으로 접속하도록, 상기 제1 절연층 상에 배치된 제1 배선과, 상기 박막 트랜지스터의 상기 게이트 전극에 접속되도록, 상기 제1 절연층 상에 배치된 제2 배선과, 상기 제2 배선을 통하여 상기 박막 트랜지스터의 상기 게이트 전극에 제어 신호를 전달하기 위한 데이터선과, 상기 제1 배선 및 상기 제2 배선보다도 산화 괴막이 형성되기 어려운 재료로, 상기 제1 배선 및 상기 제2 배선 상에 형성된 도전막과, 상기 도전막 상이며 상기 화소 전극 아래에 형성된 제2 절연층을 갖고, 상기 제1 배선과 상기 제2 배선 사이에 상기 제어 신호를 유지하는 캐패시터가 형성되도록, 상기 화소 전극, 상기 제1 배선 및 상기 제2 배선 중 적어도 하나와 상기 도전막은, 상기 제1 절연층의 상방에서, 전기적으로 절연된 상태에서 중첩되도록 위치하는 것을 특징으로 한다. 본 발명에 의하면, 박막 트랜지스터보다도 위에 있는 제1 절연층의 상방에 캐패시터를 형성하므로, 박막 트랜지스터가 넓은 영역을 점유하고 있더라도 캐패시터의 형성이 가능하다. 또한, 캐패시터는, 화소 전극, 제1 배선 및 제2 배선 중 적어도 하나와 도전막을 전기적으로 절연된 상태에서 중첩함으로써 형성하므로, 신규의 층이나 형성 공정을 추가할 필요가 없다.

[0007] (2) (1)에 기재된 유기 일렉트로 루미네센스 표시 장치에 있어서, 상기 도전막은, 상기 제1 배선에 전기적으로 접속되는 제1 도전막부와, 상기 제1 도전막부에서 분리되어 상기 제2 배선에 전기적으로 접속되는 제2 도전막부를 포함하고, 상기 화소 전극은, 상기 제1 도전막부를 통하여 상기 제1 배선에 전기적으로 접속되며, 상기 화소 전극은, 상기 제2 절연층을 통하여 상기 제2 도전막부와 중첩되고, 상기 화소 전극과 상기 제2 도전막부 사이에

상기 캐패시터를 형성하는 것을 특징으로 해도 된다.

[0008] (3) (2)에 기재된 유기 일렉트로 루미네센스 표시 장치에 있어서, 상기 제2 도전막부는, 상기 제2 배선과 중첩되는 위치로부터 벗어나 상기 제1 절연층 상에 연장되도록 형성되고, 상기 화소 전극은, 상기 제1 절연층의 표면에 수직인 방향으로 상기 제2 배선과의 중복을 피하도록 배치되어 있는 것을 특징으로 해도 된다.

[0009] (4) (3)에 기재된 유기 일렉트로 루미네센스 표시 장치에 있어서, 상기 제1 도전막부 및 상기 제2 도전막부는, 상기 제1 배선 및 상기 제2 배선의 어느 것의 중복도 피한 위치에서 분리되는 것을 특징으로 해도 된다.

[0010] (5) (1)에 기재된 유기 일렉트로 루미네센스 표시 장치에 있어서, 상기 제1 배선과 상기 도전막 사이 및 상기 제2 배선과 상기 도전막 사이에 개재하는 제3 절연층을 더 갖고, 상기 제3 절연층은, 상기 제1 배선 상에 스루홀을 가지며, 상기 도전막은, 상기 제1 배선에 중첩되는 제1 도전막부 및 상기 제2 배선에 중첩되는 제2 도전막부를 연속적으로 갖고, 상기 제1 도전막부는, 상기 제3 절연층의 상기 스루홀을 통하여, 상기 제1 배선에 전기적으로 접속되고, 상기 제2 배선은, 상기 제3 절연층을 통하여 상기 제2 도전막부와 중첩되고, 상기 제2 배선과 상기 제2 도전막부 사이에 상기 캐패시터를 형성하는 것을 특징으로 해도 된다.

[0011] (6) (5)에 기재된 유기 일렉트로 루미네센스 표시 장치에 있어서, 상기 화소 전극은, 상기 제2 배선의 적어도 일부와 중첩되도록 형성되어 있는 것을 특징으로 해도 된다.

[0012] (7) (1)에 기재된 유기 일렉트로 루미네센스 표시 장치에 있어서, 상기 제1 배선과 상기 도전막 사이 및 상기 제2 배선과 상기 도전막 사이에 개재하는 제3 절연층을 더 갖고, 상기 제3 절연층은, 상기 제1 배선 상에 제1 스루홀을 갖고, 상기 제2 배선 상에 제2 스루홀을 가지며, 상기 도전막은, 상기 제3 절연층의 상기 제1 스루홀을 통하여 상기 제1 배선에 전기적으로 접속되는 제1 도전막부와, 상기 제1 도전막부에서 분리되어 상기 제3 절연층의 상기 제2 스루홀을 통하여 상기 제2 배선에 전기적으로 접속되어 상기 제1 배선의 상방에 이르도록 연장되는 제2 도전막부를 포함하며, 상기 제1 배선은, 상기 제3 절연층을 통하여 상기 제2 도전막부와 중첩되고, 상기 제1 배선과 상기 제2 도전막부 사이에 상기 캐패시터를 형성하는 것을 특징으로 해도 된다.

[0013] (8) (7)에 기재된 유기 일렉트로 루미네센스 표시 장치에 있어서, 상기 화소 전극은, 상기 제2 절연층을 통하여 상기 제2 도전막부와 중첩되고, 상기 화소 전극과 상기 제2 도전막부 사이에도 상기 캐패시터를 형성하는 것을 특징으로 해도 된다.

[0014] (9) (8)에 기재된 유기 일렉트로 루미네센스 표시 장치에 있어서, 상기 화소 전극은, 상기 제1 배선의 적어도 일부와 중첩되도록 형성되어 있는 것을 특징으로 해도 된다.

[0015] (10) (1)부터 (9) 중 어느 하나에 기재된 유기 일렉트로 루미네센스 표시 장치에 있어서, 상기 제1 절연층 상에 배치된 단자를 더 갖고, 상기 도전막은, 상기 단자 위에 위치하도록 형성되어 있는 것을 특징으로 해도 된다.

[0016] (11) (5)부터 (9) 중 어느 하나에 기재된 유기 일렉트로 루미네센스 표시 장치에 있어서, 상기 제1 절연층 상에 배치된 단자를 더 갖고, 상기 제3 절연층은, 상기 단자 위에 위치하도록 형성되고, 상기 단자의 일부를 노출시키는 스루홀을 가지며, 상기 도전막은, 상기 단자의 상기 제3 절연층으로부터의 노출부 위에 위치하도록 형성되어 있는 것을 특징으로 해도 된다.

[0017] (12) (10) 또는 (11)에 기재된 유기 일렉트로 루미네센스 표시 장치에 있어서, 상기 제2 절연층은, 상기 단자 위에 위치하도록 형성되고, 상기 단자의 상방에서 상기 도전막의 일부를 노출시키는 개구를 갖는 것을 특징으로 해도 된다.

### 도면의 간단한 설명

[0018] 도 1은, 본 발명의 제1 실시 형태에 따른 유기 일렉트로 루미네센스 표시 장치의 단면도이다.

도 2는, 도 1에 도시하는 유기 일렉트로 루미네센스 표시 장치의 회로도이다.

도 3은, 본 발명의 제1 실시 형태의 변형예에 따른 유기 일렉트로 루미네센스 표시 장치의 단면도이다.

도 4는, 본 발명의 제2 실시 형태에 따른 유기 일렉트로 루미네센스 표시 장치의 단면도이다.

도 5는, 본 발명의 제3 실시 형태에 따른 유기 일렉트로 루미네센스 표시 장치의 단면도이다.

### 발명을 실시하기 위한 구체적인 내용

[0019] 이하, 본 발명의 실시 형태에 대하여, 도면을 참조하여 설명한다.

[0020] [제1 실시 형태]

도 1은 본 발명의 제1 실시 형태에 따른 유기 일렉트로 루미네센스 표시 장치의 단면도이다. 유기 일렉트로 루미네센스 표시 장치는, 유리 등으로 이루어진 기판(10)을 갖는다. 기판(10) 상에 반도체층(12)이 형성되어 있다. 반도체층(12)을 덮고 게이트 절연막(14)이 형성되어 있다. 게이트 절연막(14) 상에는 게이트 전극(16)이 형성되고, 반도체층(12) 및 게이트 전극(16)을 덮고 제1 절연층(18)이 형성되어 있다. 제1 절연층(18)을 관통하여, 반도체층(12)에 이르도록 소스 전극(20) 및 드레인 전극(22)이 형성되어 있다. 반도체층(12), 소스 전극(20), 드레인 전극(22) 및 게이트 전극(16)은 박막 트랜지스터(24)의 구성 요소로 되어 있다.

도 2는 도 1에 도시하는 유기 일렉트로 루미네센스 표시 장치의 회로도이다. 박막 트랜지스터(24)의 소스 전극(20) 및 드레인 전극(22)의 한쪽에는, 전류 공급선(26)이 전기적으로 접속되어 있다. 또한, 소스 전극(20) 및 드레인 전극(22)의 다른 한쪽은, 제1 배선(28)에 전기적으로 접속되어 있다. 도 1에서는, 소스 전극(20) 및 드레인 전극(22)의 다른 한쪽과 제1 배선(28)은 일체적으로 형성되어 있다. 제1 배선(28)은 제1 절연층(18) 상에 배치되어 있다.

박막 트랜지스터(24)의 게이트 전극(16)은 도 2에 도시한 바와 같이, 데이터선(30)에 전기적으로 접속되도록 되어 있고, 스위칭 소자(32)가 온으로 되면, 데이터선(30)을 통하여 제어 신호가 입력된다. 데이터선(30)과 게이트 전극(16)은 제2 배선(34)에 의하여 전기적으로 접속된다. 제2 배선(34)은 도 1에 도시한 바와 같이, 제1 절연층(18) 상에 배치되어 있다.

도 1에 도시한 바와 같이, 제1 배선(28) 및 제2 배선(34) 상에는, 제1 배선(28) 및 제2 배선(34)보다도 산화 피막이 형성되기 어려운 재료로, 도전막(36)이 형성되어 있다. 예를 들어, 제1 배선(28) 및 제2 배선(34)이 알루미늄이나 구리 등의 금속으로 형성되어 있을 때는, 도전막(36)은 산화인듐주석 등의 산화물 반도체로 형성한다.

도전막(36)은 제1 배선(28)에 전기적으로 접속되는 제1 도전막부(38)를 포함한다. 제1 도전막부(38)의 적어도 일부 또는 일부만이 제1 배선(28)과 접촉하고 있다. 도전막(36)은 제1 도전막부(38)로부터 분리되어 제2 배선(34)에 전기적으로 접속되는 제2 도전막부(40)를 포함한다. 제2 도전막부(40)의 적어도 일부 또는 일부만이 제2 배선(34)과 접촉하고 있다. 제1 도전막부(38) 및 제2 도전막부(40)는 제1 배선(28) 및 제2 배선(34)의 어느 것의 중복도 피한 위치(예를 들어 제1 절연층(18) 상)에서, 각각의 단부 사이에 간격이 벌어져 있으며, 이것에 의하여 분리되어 있다. 제2 도전막부(40)는 제2 배선(34)과 중첩되는(또는 접촉하는) 위치로부터 벗어나도록 제1 절연층(18) 상으로 연장되어 있다. 제1 절연층(18) 상에 제2 절연층(42)이 형성되어 있다. 제2 절연층(42)은 소스 전극(20) 및 드레인 전극(22)을 덮는다. 제2 절연층(42)은 도전막(36) 상에 있다.

제2 절연층(42) 상에 화소 전극(44)(예를 들어 양극)이 형성되어 있다. 화소 전극(44)은 광 반사막을 포함하도록 구성되어 있다. 또는, 화소 전극(44)은 광 반사막과 투명 도전막의 적층 구조를 가져도 된다. 화소 전극(44)은 제2 절연층(42)을 관통하여 제1 도전막부(38)에 접속되고, 제1 도전막부(38)를 통하여 제1 배선(28)에 전기적으로 접속된다. 따라서, 도 2에 도시한 바와 같이, 제1 배선(28)을 통하여, 전류 공급선(26)으로부터 화소 전극(44)에 전류가 공급되도록 되어 있다. 또한, 화소 전극(44)은 제1 절연층(18)의 표면에 수직인 방향에 서, 제2 배선(34)과의 중복을 피하도록 되어 있다.

각각의 화소 전극(44)의 적어도 중앙부를 둘러싸도록, 수지 등의 절연체로 뱅크(46)가 형성되어 있다. 뱅크(46)에 둘러싸인 화소 전극(44) 상에 유기 일렉트로 루미네센스층(48)이 형성되어 있다. 유기 일렉트로 루미네센스층(48)은 적어도 발광층을 포함하고, 또한, 전자 수송층, 정공 수송층, 전자 주입층 및 정공 주입층 중 적어도 1층을 포함한다. 유기 일렉트로 루미네센스층(48)을 구성하는 적어도 1층은 유기 재료를 포함한다. 유기 일렉트로 루미네센스층(48)은 증착 또는 스팍터링에 의하여 형성한다.

유기 일렉트로 루미네센스층(48) 상으로부터 뱅크(46) 상에 이르도록 광 투과성의 공통 전극(50)(예를 들어 음극)이 형성되어 있다. 공통 전극(50)은 모든 화소 전극(44)의 전체를 덮도록 형성되어 있다. 화소 전극(44)과 공통 전극(50) 사이에 유기 일렉트로 루미네센스층(48)이 끼워져 있다. 화소 전극(44) 및 공통 전극(50)에 전압을 가함으로써 각각으로부터 정공과 전자를 유기 일렉트로 루미네센스층(48)에 주입한다. 주입된 정공과 전자가 빌광층에서 결합하여 광을 발한다.

제1 절연층(18) 상에는, 단자(52)가 형성되어 있다. 도전막(36)은 단자(52) 위에 위치하도록 형성되어 있다. 제2 절연층(42)은 단자(52) 위에 위치하도록 형성되고, 단자(52)의 상방에서 도전막(36)의 일부를 노출시키는

개구(54)를 갖는다. 개구(54)를 통하여, 단자(52)를 덮는 도전막(36)의 일부가 노출되어 있어, 외부와의 전기적 접속을 도모할 수 있다. 단자(52)는 도전막(36)에 덮임으로써, 산화 피막이 형성되기 어렵게 되어 있다.

[0030] 화소 전극(44), 제1 배선(28) 및 제2 배선(34) 중 적어도 하나와 도전막(36)은, 전기적으로 절연된 상태에서 중첩되도록 위치하고 있다. 도 1의 예에서는, 화소 전극(44)과 제2 도전막부(40)가 중첩되고, 양자 간에 제2 절연층(42)이 개재되어 있다. 따라서, 화소 전극(44)과 제2 도전막부(40) 사이에 캐패시터 C가 형성된다. 화소 전극(44)이 제1 배선(28)과 전기적으로 접속되고, 제2 도전막부(40)가 제2 배선(34)과 전기적으로 접속되므로, 제1 배선(28)과 제2 배선(34) 사이에, 캐패시터 C가 형성된다. 캐패시터 C는, 도 2에 도시한 바와 같이, 데이터선(30)으로부터 입력된 제어 신호가 유지되므로 유지 용량이다. 캐패시터 C에 유지된 제어 신호에 의하여, 박막 트랜지스터(24)가 온의 상태로 유지된다.

[0031] 본 실시 형태에 따르면, 화소 전극(44), 제1 배선(28), 제2 배선(34) 및 도전막(36)은 제1 절연층(18)의 상방에 위치한다. 따라서, 박막 트랜지스터(24)보다도 위에 있는 제1 절연층(18)의 상방에 캐패시터 C를 형성하므로, 박막 트랜지스터(24)가 넓은 영역을 점유하고 있더라도 캐패시터 C의 형성이 가능하다. 캐패시터 C는, 화소 전극(44), 제1 배선(28) 및 제2 배선(34) 중 적어도 하나와 도전막(36)을 전기적으로 절연된 상태에서 중첩하여 형성하므로, 신규의 층이나 형성 공정을 추가할 필요가 없다.

[0032] 도 3은 본 발명의 제1 실시 형태의 변형예에 따른 유기 일렉트로 루미네센스 표시 장치의 단면도이다. 이 예는, 제2 절연층(142)이 단자(152) 위에 위치하지 않도록 형성되는 점에서 도 1의 예와는 상이하며, 그 이외의 구성은, 제1 실시 형태에서 설명한 내용이 해당한다.

#### [제2 실시 형태]

[0034] 도 4는 본 발명의 제2 실시 형태에 따른 유기 일렉트로 루미네센스 표시 장치의 단면도이다.

[0035] 본 실시 형태에서는, 제1 배선(228) 및 제2 배선(234) 상에 제3 절연층(256)이 형성되어 있다. 제3 절연층(256) 상에 도전막(236)이 형성되어 있다. 도전막(236)은 제1 배선(228)에 중첩되는 제1 도전막부(238) 및 제2 배선(234)에 중첩되는 제2 도전막부(240)를 연속적으로 갖고 있다. 제3 절연층(256)은 제1 배선(228)과 제1 도전막부(238) 사이 및 제2 배선(234)과 제2 도전막부(240) 사이에 개재되어 있다.

[0036] 제3 절연층(256)은 제1 배선(228) 상에 스루홀(258)을 갖고 있다. 제1 도전막부(238)는 제3 절연층(256)의 스루홀(258)을 통하여, 제1 배선(228)에 전기적으로 접속되어 있다. 이에 비하여, 제3 절연층(256)은 제2 배선(234) 상에는 스루홀을 갖고 있지 않으므로, 제2 도전막부(240)와 제2 배선(234)은 전기적으로 절연되어 있다.

[0037] 제2 배선(234)은 제3 절연층(256)을 통하여 제2 도전막부(240)와 중첩되어 있다. 제2 도전막부(240)는 제1 도전막부(238)와 일체적이기 때문에, 제1 배선(228)과 전기적으로 접속되어 있지만, 제2 배선(234)과는 절연되어 있다. 따라서, 제2 배선(234)과 제2 도전막부(240) 사이에 캐패시터 C'이 형성된다. 캐패시터 C'은, 도 2에 도시하는 캐패시터 C와 마찬가지로, 제1 배선(228)과 제2 배선(234) 사이에서, 데이터선(30)으로부터 입력된 제어 신호를 유지하는 유지 용량이다.

[0038] 본 실시 형태의 그 외의 구성은, 제1 실시 형태에서 설명한 내용이 해당한다. 단, 도 4의 예에서는, 도 1의 예와는 달리, 화소 전극(244)은 제2 배선(234)의 적어도 일부와 중첩되도록 형성되어 있다. 또한, 단자(252)와 도전막(236) 사이에 제3 절연층(256)이 개재되므로, 제3 절연층(256)에는 단자(252)의 상방에 개구(254)가 형성되어, 단자(252)과 도전막(236)의 전기적 접속이 도모되고 있다.

#### [제3 실시 형태]

[0040] 도 5는 본 발명의 제3 실시 형태에 따른 유기 일렉트로 루미네센스 표시 장치의 단면도이다.

[0041] 본 실시 형태에서는, 제1 배선(328) 및 제2 배선(334) 상에 제3 절연층(356)이 형성되어 있다. 제3 절연층(356) 상에 도전막(336)이 형성되어 있다. 즉, 제1 배선(328)과 도전막(336) 사이 및 제2 배선(334)과 도전막(336) 사이에 제3 절연층(356)이 개재된다.

[0042] 도전막(336)은 제3 절연층(356)을 통하여 제1 배선(328)에 중첩되는 제1 도전막부(338)를 포함한다. 제1 도전막부(338)는 제1 배선(328)의 일부를 피하여 나머지 영역의 상방에 형성되어 있다. 제3 절연층(356)은 제1 배선(328) 상에 제1 스루홀(360)을 갖는다. 제3 절연층(356)의 제1 스루홀(360)을 통하여, 제1 도전막부(338)는 제1 배선(328)에 전기적으로 접속되어 있다.

[0043] 도전막(336)은 제2 배선(334)에 전기적으로 접속되는 제2 도전막부(340)를 포함한다. 제2 도전막부(340)는 제3

절연층(356)을 통하여 제2 배선(334)에 중첩된다. 제3 절연층(356)은 제2 배선(334) 상에 제2 스루홀(362)을 갖는다. 제2 도전막부(340)는 제3 절연층(356)의 제2 스루홀(362)을 통하여, 제2 배선(334)에 전기적으로 접속된다.

[0044] 제2 도전막부(340)는 제1 배선(328)의 상방에 이르도록 연장된다. 제1 배선(328)의 상방의 제1 도전막부(338)가 존재하지 않는 영역에, 제2 도전막부(340)의 일부가 위치한다. 단, 제2 도전막부(340)는 제1 도전막부(338)와는 분리되어 있다. 도 5의 예에서는, 제1 배선(328)의 상방에서, 제1 도전막부(338)와 제2 도전막부(340)사이에 간격이 벌어지도록 되어 있다.

[0045] 화소 전극(344)은 제1 도전막부(338)와 전기적으로 접속(도 5의 예에서는 접촉)되어 있으며, 제1 도전막부(338)를 통하여 제1 배선(328)과 전기적으로 접속되어 있다. 화소 전극(344)은 제1 배선(328)의 적어도 일부와 중첩되도록 되어 있으며, 도 5의 예에서는 또한 제2 배선(334)의 적어도 일부와 중첩되도록 되어 있다.

[0046] 화소 전극(344)은 제2 절연층(342)을 통하여 제2 도전막부(340)와 중첩되어 있다. 따라서, 화소 전극(344)과 제2 도전막부(340) 사이에 캐페시터  $C_1$ 이 형성된다. 바꾸어 말하면, 화소 전극(344)이 제1 배선(328)에 전기적으로 접속되고, 제2 도전막부(340)가 제2 배선(334)에 전기적으로 접속되므로, 제1 배선(328)과 제2 배선(334) 사이에 제어 신호를 유지하는 캐페시터  $C_1$ 이 형성된다.

[0047] 제1 배선(328)은 제3 절연층(356)을 통하여 제2 도전막부(340)와 중첩되어 있다. 따라서, 제1 배선(328)과 제2 도전막부(340) 사이에 캐페시터  $C_2$ 가 형성된다. 바꾸어 말하면, 제2 도전막부(340)가 제2 배선(334)에 전기적으로 접속되므로, 제1 배선(328)과 제2 배선(334) 사이에 제어 신호를 유지하는 캐페시터  $C_2$ 가 형성된다.

[0048] 본 실시 형태에서는, 제3 절연층(356)은 단자(352) 위에 위치하도록 형성되어 있으며, 단자(352)의 일부를 노출시키는 개구(354)를 갖는다. 도전막(336)은 단자(352)의 제3 절연층(356)으로부터의 노출부 위에 위치하도록 형성되어 있다. 본 실시 형태의 그 외의 구성은, 제1 실시 형태에서 설명한 내용이 해당한다.

[0049] 본 발명은 상술한 실시 형태로 한정되는 것은 아니며 다양한 변형이 가능하다. 예를 들어, 실시 형태에서 설명한 구성은, 실질적으로 동일한 구성, 동일한 작용 효과를 발휘하는 구성 또는 동일한 목적을 달성할 수 있는 구성으로 치환할 수 있다.

### 부호의 설명

10: 기판

12: 반도체층

14: 게이트 절연막

16: 게이트 전극

18: 제1 절연층

20: 소스 전극

22: 드레인 전극

24: 박막 트랜지스터

26: 전류 공급선

28: 제1 배선

30: 데이터선

32: 스위칭 소자

34: 제2 배선

36: 도전막

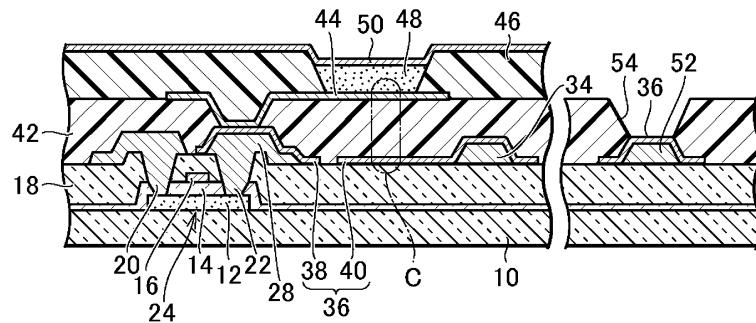
38: 제1 도전막부

- 40: 제2 도전막부  
42: 제2 절연층  
44: 화소 전극  
46: 뱅크  
48: 유기 일렉트로 루미네센스층  
50: 공통 전극  
52: 단자  
54: 개구  
142: 제2 절연층  
152: 단자  
228: 제1 배선  
234: 제2 배선  
236: 도전막  
238: 제1 도전막부  
240: 제2 도전막부  
244: 화소 전극  
252: 단자  
254: 개구  
256: 제3 절연층  
258: 스루홀  
328: 제1 배선  
334: 제2 배선  
336: 도전막  
338: 제1 도전막부  
340: 제2 도전막부  
342: 제2 절연층  
344: 화소 전극  
352: 단자  
354: 개구  
356: 제3 절연층  
360: 제1 스루홀  
362: 제2 스루홀  
C: 캐페시터  
C': 캐페시터  
C<sub>1</sub>: 캐페시터

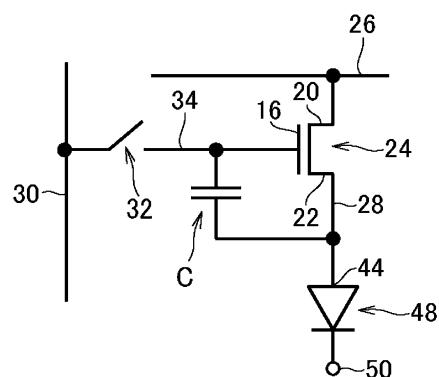
C<sub>2</sub>: 캐퍼시터

### 도면

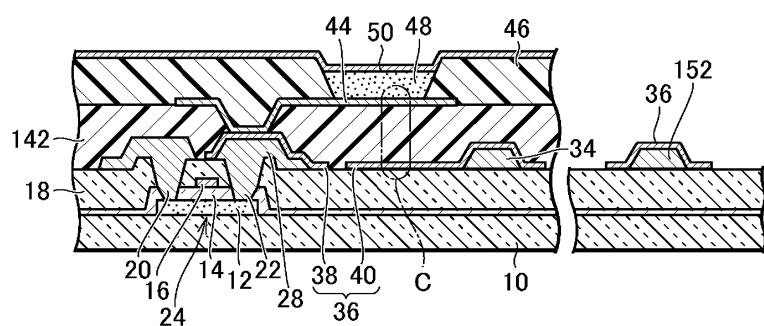
#### 도면1



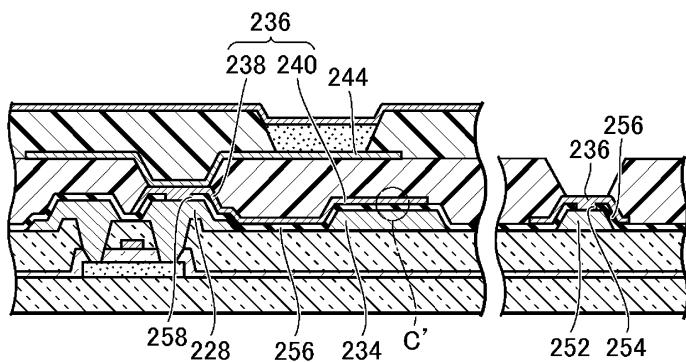
#### 도면2



#### 도면3



도면4



도면5

