

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 1 区分  
 【発行日】令和 2 年 5 月 21 日 (2020.5.21)

【公表番号】特表 2019-515282 (P2019-515282A)  
 【公表日】令和 1 年 6 月 6 日 (2019.6.6)  
 【年通号数】公開・登録公報 2019-021  
 【出願番号】特願 2018-556862 (P2018-556862)  
 【国際特許分類】

G 0 1 R 31/28 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

【F I】

G 0 1 R 31/28 V

H 0 1 L 27/04 T

【手続補正書】

【提出日】令和 2 年 4 月 12 日 (2020.4.12)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

集積回路であって、  
 機能的回路要素と、  
 テスト回路要素と、

テスト信号を前記テスト回路要素に通信するために第 1 の状態で動作し得え、入力／出力信号を前記機能的回路要素に通信するために第 2 の状態で動作し得る、第 1 のセットのパッドと、

前記第 1 のセットのパッドとは異なる第 2 のセットのパッドであって、前記第 2 の状態において前記第 1 のセットのパッドと関連する信号をテストするためにテスト信号を前記テスト回路要素に通信するために前記第 2 の状態で動作し得る、前記第 2 のセットのパッドと、

を含む、集積回路。

【請求項 2】

請求項 1 に記載の集積回路であって、

前記テスト回路要素が、複数のスキャンセルを含む構成可能なスキャンチェーンを含み、前記複数のスキャンセルにおける各セルが、前記第 1 のセットのパッドと前記第 2 のセットのパッドとの一方におけるそれぞれのパッドに関連付けられる、集積回路。

【請求項 3】

請求項 2 に記載の集積回路であって、

前記第 1 のセットのパッドが、前記構成可能なスキャンチェーンにおけるそれぞれのスキャンセルをバイパスするテスト信号を通信するように、前記第 1 の状態において前記構成可能なスキャンチェーンを構成するための回路要素と、

前記第 2 のセットのパッドが、前記構成可能なスキャンチェーンにおけるそれぞれのスキャンセルをバイパスして前記第 2 の状態において前記第 1 のセットのパッドにおけるそれぞれのパッドに接続されるバウンダリセルをテストするためであるテスト信号を通信するように、前記第 2 の状態において前記構成可能なスキャンチェーンを構成するための回

路要素と、  
を更に含む、集積回路。

【請求項 4】

請求項 2 に記載の集積回路であって、  
前記複数のスキャンセルにおける各スキャンセルが、  
直列チェーンデータを受信する直列レジスタと、  
前記セルが、前記第 2 の状態において前記第 1 のセットのパッドと関連する信号をテストするためにテスト信号を前記テスト回路要素に通信するために動作されるときに、前記直列レジスタにおける直列チェーンデータが前記直列レジスタに対応するパッドに達することを阻止する回路要素と、  
を含む、集積回路。

【請求項 5】

請求項 1 に記載の集積回路であって、  
前記第 1 の状態における前記テスト信号と前記第 2 の状態における前記テスト信号とが J T A G 信号を含む、集積回路。

【請求項 6】

請求項 1 に記載の集積回路であって、  
前記第 1 のセットのパッドがデュアルユースパッドを含む、集積回路。

【請求項 7】

請求項 1 に記載の集積回路であって、  
前記第 1 のセットのパッドが、1 つの時間に J T A G テスト信号を通信するパッドと別の時間に U A R T 信号を通信するパッドとを含む、集積回路。

【請求項 8】

請求項 1 に記載の集積回路であって、  
前記第 1 のセットのパッドが、1 つの時間に J T A G テスト信号を通信するパッドと別の時間に S P I 信号を通信するパッドとを含む、集積回路。

【請求項 9】

請求項 1 に記載の集積回路であって、  
前記第 1 のセットのパッドが、1 つの時間に J T A G テスト信号を通信するパッドと別の時間に機能的インタフェース信号を通信するパッドとを含む、集積回路。

【請求項 10】

請求項 1 に記載の集積回路であって、  
前記集積回路のためのパッドの総数が 16 パッドに等しいか又はそれより少ない、集積回路。

【請求項 11】

請求項 1 に記載の集積回路であって、  
前記集積回路のためのパッドの総数が 32 パッドに等しいか又はそれより少ない、集積回路。

【請求項 12】

請求項 1 に記載の集積回路であって、  
前記集積回路のためのパッドの総数が 64 パッドに等しいか又はそれより少ない、集積回路。

【請求項 13】

テスト回路操作性の方法であって、  
第 1 の状態において、機能的回路要素とテスト回路要素とを含む集積回路の第 1 のセットのパッドに第 1 のセットのテスト信号を印加し、前記第 1 のセットのテスト信号を前記テスト回路要素に通信することと、  
第 2 の状態において、前記第 1 のセットのパッドとは異なる、前記集積回路の第 2 のセットのパッドに第 2 のセットのテスト信号を印加し、前記第 1 のセットのパッドに関連付けられる信号をテストするために前記テスト回路要素に前記第 2 のセットのテスト信号を

通信することと、  
を含む、方法。

【請求項 1 4】

請求項 1 3 に記載の方法であって、

前記テスト回路要素が、複数のスキャンセルを含む構成可能なスキャンチェーンを含み、前記複数のスキャンセルにおける各セルが、前記第 1 のセットのパッドと前記第 2 のセットのパッドとの一方におけるそれぞれのパッドに関連付けられる、方法。

【請求項 1 5】

請求項 1 4 に記載の方法であって、

前記第 1 のセットのパッドが、前記構成可能なスキャンチェーンにおけるそれぞれのスキャンセルをバイパスするテスト信号を通信するように、前記第 1 の状態において前記構成可能なスキャンチェーンを構成することと、

前記第 2 のセットのパッドが、前記構成可能なスキャンチェーンにおけるそれぞれのスキャンセルをバイパスして前記第 1 のセットのパッドにおけるそれぞれのパッドに前記第 2 の状態において接続されるバウンダリセルをテストするためであるテスト信号を通信するように、前記第 2 の状態において前記構成可能なスキャンチェーンを構成することと、  
を更に含む、方法。

【請求項 1 6】

請求項 1 4 に記載の方法であって、

前記複数のスキャンセルにおける各スキャンセルが、  
直列チェーンデータを受信する直列レジスタと、

前記第 2 の状態において前記第 1 のセットのパッドと関連する信号をテストするためにテスト信号を前記テスト回路要素に通信するために前記セルが動作されるときに、前記直列レジスタにおける直列チェーンデータが前記直列レジスタに対応するパッドに達することを阻止する回路要素と、  
を含む、方法。

【請求項 1 7】

請求項 1 3 に記載の方法であって、

前記第 1 の状態における前記テスト信号と前記第 2 の状態における前記テスト信号とが J T A G 信号を含む、方法。

【請求項 1 8】

請求項 1 3 に記載の方法であって、

前記第 1 のセットのパッドがデュアルユースパッドを含む、方法。

【請求項 1 9】

請求項 1 3 に記載の方法であって、

前記第 1 のセットのパッドが、1 つの時間に J T A G テスト信号を通信するパッドと別の時間に U A R T 信号を通信するパッドとを含む、方法。

【請求項 2 0】

請求項 1 3 に記載の方法であって、

前記第 1 のセットのパッドが、1 つの時間に J T A G テスト信号を通信するパッドと別の時間に S P I 信号を通信するパッドとを含む、方法。