

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年10月22日(22.10.2015)



(10) 国際公開番号
WO 2015/159450 A1

- (51) 国際特許分類:
H01L 21/338 (2006.01) H01L 29/778 (2006.01)
H01L 21/329 (2006.01) H01L 29/808 (2006.01)
H01L 21/337 (2006.01) H01L 29/812 (2006.01)
H01L 27/098 (2006.01) H01L 29/861 (2006.01)
H01L 29/06 (2006.01) H01L 29/868 (2006.01)
- (21) 国際出願番号: PCT/JP2014/080436
- (22) 国際出願日: 2014年11月18日(18.11.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-085984 2014年4月18日(18.04.2014) JP
- (71) 出願人: 株式会社パウデック (POWDEC K.K.)
[JP/JP]; 〒3230028 栃木県小山市若木町一丁目2
3番15号 Tochigi (JP).
- (72) 発明者: 越後谷 祥子 (ECHIGOYA, Shoko); 〒
3230028 栃木県小山市若木町一丁目23番15
号 株式会社パウデック内 Tochigi (JP). 中村
文彦 (NAKAMURA, Fumihiko); 〒3230028 栃木県小
山市若木町一丁目23番15号 株式会社パウ
デック内 Tochigi (JP). 八木 修一 (YAGI, Shuichi);
〒3230028 栃木県小山市若木町一丁目23番1
5号 株式会社パウデック内 Tochigi (JP). 松本

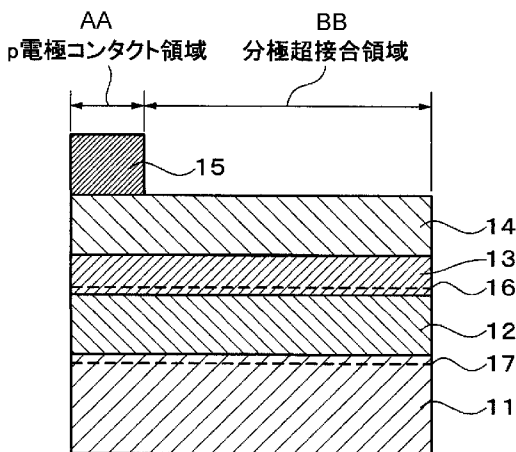
壮太 (MATSUMOTO, Souta); 〒3230028 栃木県小
山市若木町一丁目23番15号 株式会社パウ
デック内 Tochigi (JP). 河合 弘治 (KAWAI, Hiroji);
〒3230028 栃木県小山市若木町一丁目23番1
5号 株式会社パウデック内 Tochigi (JP).

- (74) 代理人: 森 幸一 (MORI, Koh-ichi); 〒1940012 東京
都町田市金森1丁目12番8号 グレースマン
ション106号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,

[続葉有]

(54) Title: SEMICONDUCTOR ELEMENT, ELECTRIC APPARATUS, BIDIRECTIONAL FIELD EFFECT TRANSISTOR, AND MOUNTING STRUCTURAL BODY

(54) 発明の名称: 半導体素子、電気機器、双方向電界効果トランジスタおよび実装構造体

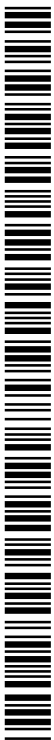


AA p electrode contact region
BB Polarization super-junction region

(57) Abstract: Provided is a small-loss semiconductor element using polarization super junction, said semiconductor element being capable of easily breaking a tradeoff relationship between withstand voltage increase and speed increase, eliminating current collapse, while increasing a withstand voltage, and being capable of performing high-speed operations. This semiconductor element has a polarization super-junction region, and a p electrode contact region. The polarization super-junction region has: an undoped GaN layer (11); an undoped $Al_xGa_{1-x}N$ layer (12) having a thickness of 25-47 nm, $0.17 \leq x \leq 0.35$; an undoped GaN layer (13); and a p-type GaN layer (14). When conversion thickness (tR) is defined as $tR = u + v(1 + w \times 10^{-18})$, where, a thickness of the undoped GaN layer (13) is represented by u [nm], a thickness of the p-type GaN layer (14) is represented by v [nm], and Mg concentration is represented by w [cm^{-3}], the following formula is satisfied: $tR \geq 0.864/(x-0.134) + 46.0$ [nm]. The p electrode contact region has: a p-type GaN contact layer that is provided in contact with the p-type GaN layer (14); and a p electrode in ohmic contact with the p-type GaN contact layer.

(57) 要約:

[続葉有]



WO 2015/159450 A1



MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, 添付公開書類:
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, — 国際調査報告 (条約第 21 条(3))
KM, ML, MR, NE, SN, TD, TG).

分極超接合を用いた半導体素子における高耐圧化と高速化との間のトレードオフ関係を容易に打ち破ることができ、高耐圧化と同時に、電流コラプスの発生をなくし、かつ高速動作が可能な低損失の半導体素子を提供する。半導体素子は分極超接合領域とp電極コンタクト領域とを有する。分極超接合領域は、アンドープGa_{1-x}N層11、厚さ25nm以上47nm以下、 $0.17 \leq x \leq 0.35$ のアンドープAl_xGa_{1-x}N層12、アンドープGa_{1-x}N層13およびp型Ga_{1-x}N層14を有する。アンドープGa_{1-x}N層13の厚さu [nm]、p型Ga_{1-x}N層14の厚さv [nm]、Mg濃度w [cm⁻³] に対し、換算厚さt_Rを $t_R = u + v(1 + w \times 10^{-18})$ と定義したとき、 $t_R \geq 0.864 / (x - 0.134) + 46.0$ [nm] が成立する。p電極コンタクト領域は、p型Ga_{1-x}N層14と接触して設けられたp型Ga_{1-x}Nコンタクト層とこれにオーミック接触したp電極とを有する。

明 細 書

発明の名称：

半導体素子、電気機器、双方向電界効果トランジスタおよび実装構造体
技術分野

[0001] この発明は、半導体素子、電気機器、双方向電界効果トランジスタおよび実装構造体に関し、特に、窒化ガリウム（GaN）系半導体を用いた半導体素子、この半導体素子を用いた電気機器、双方向電界効果トランジスタ、この双方向電界効果トランジスタを用いた電気機器およびこの半導体素子または双方向電界効果トランジスタを含む実装構造体に関する。

背景技術

[0002] 省エネ社会実現のために電気エネルギーの重要性が増しており、21世紀は益々電力に依存しようとしている。電気・電子機器のキーデバイスはトランジスタやダイオードなどの半導体素子である。従って、これらの半導体素子の省エネ性が非常に重要である。現在、電力変換素子はシリコン（Si）半導体素子が担っているが、そのSi半導体素子はほぼその物性限界まで性能向上が図られており、これ以上の省エネ化は難しい状況である。

[0003] そこで、Siに代えて、シリコンカーバイド（SiC）や窒化ガリウム（GaN）などのワイドギャップ半導体による電力変換素子の研究開発が精力的になされてきている。その中でも、GaNは電力効率性・耐電圧性においてSiCよりも格段に優れた物性値を持っているので、GaN系半導体素子の研究開発が盛んに行われている。

[0004] GaN系半導体素子は、電界効果トランジスタ（FET）型の横型、すなわち、基板に平行に走行チャネルが形成されている構成の素子が開発されている。例えば、サファイアやSiCなどからなるベース基板上にアンドープGaN層が厚さ数 μm 、その上にAl組成が約25%程度のAlGaIn層が厚さ25～30nm程度積層され、AlGaIn/GaNヘテロ界面に生ずる2次元電子ガス（2DEG）を利用する素子である。この素子は通常はHF

E T (hetero-junction FET) と呼ばれている。

[0005] さて、上記の AlGaIn/GaN HFET は電流コラプスの抑制という技術課題を抱えている。電流コラプスという現象は、数 V までの低ドレイン電圧におけるドレイン電流値に対して、高電圧が印加された後におけるドレイン電流値が減少する現象であり、この現象は実回路ではスイッチングの動作電圧が高くなるとオン時のドレイン電流値が減少する現象を意味する。電流コラプスは GaN 系 FET に特有の現象ではなく、GaN 系 FET によりソース・ドレイン間に高電圧を印加することができるようになったことにより顕著に現れるもので、本来は横型素子に一般的に発生する現象である。

[0006] 電流コラプスの発生する原因は以下のように説明されている。FET ではゲートドレイン間に、ダイオードではカソードーアノード間に高電圧を印加した場合、ゲート直下またはアノード直下に高電界領域が発生するが、その高電界部分の表面または表面近傍に電子が移動し、トラップされる。電子の源としては、ゲート電極から半導体表面をドリフトするもの、チャネル電子が高電界で表面に移動するものなどがある。その電子の負電荷によって負にバイアスされるため、電子チャネルの電子濃度が減少し、チャネル抵抗が上昇する。

[0007] ゲートリーク由来の電子については、表面に誘電体皮膜によるパッシベーションを施すことにより電子移動が制限され、電流コラプスが抑制される。しかし、誘電体皮膜のみでは電流コラプスを十分に抑制することができない。

[0008] そこで、電流コラプスはゲート近傍の高電界が原因であることに着目し、電界強度、特にピーク電界を抑制する技術が開発されている。これはフィールドプレート (Field Plate, FP) 技術と呼ばれ、Si 系や GaAs 系の FET で既に実用化されている公知の技術である (例えば、非特許文献 1 参照)。

[0009] 図 1 A は、フィールドプレート技術を用いた従来の AlGaIn/GaN HFET を示す。図 1 A に示すように、この AlGaIn/GaN HFET

においては、ベース基板101上にGa_{0.5}In_{0.5}N層102およびAlGa_{0.3}N層103が順次積層され、AlGa_{0.3}N層103上にゲート電極104、ソース電極105およびドレイン電極106が形成されている。この場合、ゲート電極104の上部およびソース電極105の上部がドレイン電極106側に帽子の鍔のように延びており、フィールドプレートを形成している。これらのゲート電極104およびソース電極105に形成されたフィールドプレートにより、電磁気学の原理に基づいてチャンネルの空乏層端のピーク電界強度を低くすることができる。図1Bに、フィールドプレートのある場合とない場合とでの電界分布を図1Aに対応して示す。電界分布の面積がドレイン電圧に等しいので、ピーク電界を分散させることにより、AlGa_{0.3}N/Ga_{0.5}In_{0.5}N HFEETの耐圧の向上および電流コラプスの抑制を図ることができる。

[0010] しかしながら、上述のフィールドプレート技術では、電界をチャンネル全域に亘って平準化することはできない。また、パワー素子としての実用的な半導体素子では600V以上の電圧が印加されるので、このフィールドプレート技術を適用しても根本的な解決に至っていない。

[0011] 一方、電界分布を平準化し、ピーク電界を生じにくくして耐圧を向上させる公知技術の一つに超接合（Super Junction、スーパージャンクション）構造がある（例えば、非特許文献2参照。）。この超接合について説明する。

[0012] 図2Aは、小さい逆バイアス電圧が印加された状態の従来のpn接合を示す。図3Aは、小さい逆バイアス電圧が印加された状態の超接合の単位ユニットを示す。

[0013] 図2Aに示すように、従来のpn接合においては、p型層151とn型層152とが接合され、p型層151にp電極153が、n型層152にn電極154が形成されており、pn接合の接合面はp電極153およびn電極154に対して平行になっている。p型層151の接合面の近傍の部分には空欠層151aが形成され、その他の部分はp型中性領域である。n型層152の接合面の近傍の部分には空欠層152aが形成され、その他の部分はn型中性領域である。

[0014] これに対して、図3Aに示すように、超接合においては、p型層201とn型層202とによりpn接合が形成されるのは従来のpn接合同様であるが、p型層201に形成されるp電極203およびn型層202に形成されるn電極204は、p型層201とn型層202との、平面状に広がった主たる接合面に対して直交して形成される。pn接合の両端部では、接合面は主たる接合面に対して互いに逆の方向に折れ曲がっている。p型層201の接合面の近傍の部分には空乏層201aが形成され、その他の部分はp型中性領域である。n型層202の接合面の近傍の部分には空乏層202aが形成され、その他の部分はn型中性領域である。

[0015] 図2Bは、p電極153およびn電極154間に小さい逆バイアス電圧が印加された状態の従来のpn接合の電界分布を図2Aに対応して示したものである。また、図3Bは、p電極203およびn電極204間に小さい逆バイアス電圧が印加された状態の超接合の電界分布を図3Aに対応して示したものである。

[0016] 図4Aは、従来のpn接合において大きな逆バイアス電圧が印加された状態を示す。図5Aは、超接合において大きな逆バイアス電圧が印加された状態を示す。

[0017] 図4Bは、p電極153およびn電極154間に大きな逆バイアス電圧が印加された状態の従来のpn接合の電界分布を図4Aに対応して示したものである。また、図5Bは、p電極203およびn電極204間に大きな逆バイアス電圧が印加された状態の超接合の電界分布を図5Aに対応して示したものである。

[0018] 空乏層151a、152a、201a、202aの広がりにはpn接合面を起点に起こることは従来のpn接合および超接合とも同じである。従来のpn接合では、空乏層151a、152a内のアクセプタイオンやドナーイオンなどの固定電荷による電界分布は、図2Bおよび図4Bに示すように三角形状となり、ピーク状の電界分布が生じる。これに対して、超接合では、図3Bおよび図5Bに示すように、空乏層201a、202aが広がっても電

界（電荷の積分値）は p 電極 203 および n 電極 204 間を結ぶ方向に一定の値で分布し、電界の集中は起こらないことが分かる。

[0019] 印加電圧は電界の積分値（図 2 B、図 3 B、図 4 B、図 5 B では電界の面積に当たる）であるから、従来の p n 接合は、接合面に生じる最大電界強度で耐圧が制限される。一方、超接合は、印加電圧を半導体全体に亘って均一電界により受け持ち耐えることができる。超接合は縦型および横型構造を有する Si-MOS パワートランジスタおよび Si パワーダイオードのドリフト層に適用されている。

[0020] また、p n 接合に依らないで超接合同様な正電荷および負電荷の分布を生じさせる方法として分極接合という原理がある（例えば、特許文献 1 参照。）。また、分極を利用して高耐圧化を目指した技術も提案されている（例えば、特許文献 2 参照。）。

[0021] しかしながら、特許文献 1、2 に記載の分極接合では、2 次元正孔濃度は高性能動作には不十分であることが分かってきた。その理由は、2 次元正孔をヘテロ界面にもたらす原因となるヘテロ界面の負の分極電荷が表面欠陥や表面準位によって補償される結果、バンドが下方に押し下げられ、AlGaIn/GaN ヘテロ界面に存在すべき 2 次元正孔の濃度が減少してしまうからである。

[0022] そこで、特許文献 1、2 に記載された分極接合の問題を改善することができる半導体素子が提案された（特許文献 3 および非特許文献 3 参照。）。この半導体素子は、 $In_z Ga_{1-z} N$ 層 ($0 \leq z < 1$)、 $Al_x Ga_{1-x} N$ 層 ($0 < x < 1$)、 $In_y Ga_{1-y} N$ 層 ($0 \leq y < 1$) および p 型 $In_w Ga_{1-w} N$ 層 ($0 \leq w < 1$) が順次積層された構造を有し、非動作時に、 $Al_x Ga_{1-x} N$ 層と $In_y Ga_{1-y} N$ 層との間のヘテロ界面の近傍の部分における $In_y Ga_{1-y} N$ 層に 2 次元正孔ガスが形成され、かつ、 $In_z Ga_{1-z} N$ 層と $Al_x Ga_{1-x} N$ 層との間のヘテロ界面の近傍の部分における $In_z Ga_{1-z} N$ 層に 2 次元電子ガスが形成される。この半導体素子は、より具体的には、例えば表面 GaN 層に Mg をドーピングし、Mg アクセプタの負の固定電荷により表面近傍のバンドを持ち

上げ、表面側の AlGaIn/GaNヘテロ界面に十分な量の2次元正孔ガスを発生させるように改良したものである。そして、分極効果を実質的に利用した初めてのトランジスタが発表された（非特許文献4参照。）。

先行技術文献

特許文献

- [0023] 特許文献1：特開2007-134607号公報
特許文献2：特開2009-117485号公報
特許文献3：国際公開第2011/162243号

非特許文献

- [0024] 非特許文献1：東芝レビューVol.59 No.7(2004)p.35
非特許文献2：IEEE ELECTRON DEVICE LETTERS, VOL.29, NO.10, OCTOBER 2008, p.1087
非特許文献3：Applied Physics Express vol.3, (2012) 121004
非特許文献4：Proceedings of the 23rd International Symposium on Power Semiconductor Devices & ICs May 23-26, 2011 San Diego, CA

発明の概要

発明が解決しようとする課題

- [0025] 特許文献3および非特許文献3で提案された分極超接合（Polarization Super Junction; PSJ）を利用した半導体素子は、Si超接合方式と同じ原理を用いているため、従来より提案されているフィールドプレート方式よりも原理的に超耐圧素子が容易に得られる。しかしながら、本発明者らが独自に行った検討によれば、その動作（ダイナミクス、動特性）は正孔の移動の速度によって制限されることが明らかになってきた。
- [0026] すなわち、特許文献3および非特許文献3の半導体素子における表面p型GaN層は、表面準位と相殺するために導入するものであり、そのアクセプタ総量としては適量値がある。アクセプタ総量が余りに多いと、チャネルの2次元電子ガスのほかにアクセプタに由来する正孔が多量に生成し、チャネ

ルの電子とのチャージバランスが崩れ、耐圧が低下する。しかしながら、p型Ga_{1-x}Al_xN層の表面の一部には素子の動作に伴い正孔を引き抜き、あるいは導入するp側のオーミック電極（p電極）が形成されているが、表面正孔濃度が低いと良好なオーミック接触が得られない。p電極のオーミック接触抵抗が高いと素子のCR時定数が増大し、動特性が劣化するという現象が現れる。従って、p型Ga_{1-x}Al_xN層の正孔濃度に関しては、高耐圧化と動特性との間にトレードオフの関係があることが分かった。従来より提案されている分極超接合素子は、超接合領域の最適化と、p電極のコンタクト部との最適化が共に満足するものとはなっていなかった。

[0027] そこで、この発明が解決しようとする課題は、特許文献3および非特許文献3で提案された、分極超接合を用いた半導体素子における高耐圧化と高速化との間のトレードオフ関係を容易に打ち破ることができ、高耐圧化と同時に、電流コラプスの発生をなくし、かつ高速動作が可能な低損失の半導体素子および双方向電界効果トランジスタを提供することである。

[0028] この発明が解決しようとする他の課題は、上記の半導体素子または双方向電界効果トランジスタを用いた高性能の電気機器を提供することである。

[0029] この発明が解決しようとするさらに他の課題は、上記の半導体素子または双方向電界効果トランジスタを含む実装構造体を提供することである。

課題を解決するための手段

[0030] 上記課題を解決するために、この発明は、
互いに分離して設けられた分極超接合領域とp電極コンタクト領域とを有し、
前記分極超接合領域は、
第1のアンドープGa_{1-x}Al_xN層と、
前記第1のアンドープGa_{1-x}Al_xN層上の、厚さが25nm以上47nm以下のアンドープAl_xGa_{1-x}N層（0.17 ≤ x ≤ 0.35）と、
前記アンドープAl_xGa_{1-x}N層上の第2のアンドープGa_{1-x}Al_xN層と、
前記第2のアンドープGa_{1-x}Al_xN層上の、Mgがドーピングされたp型Ga_{1-x}Al_xN層と

を有し、

前記第2のアンドープGa_aN層の厚さをu [nm]、前記p型Ga_aN層の厚さをv [nm]、前記p型Ga_aN層のMg濃度をw [cm⁻³]で表し、換算厚さt_Rを

$$t_R = u + v (1 + w \times 10^{-18})$$

と定義したとき、

$$t_R \geq 0.864 / (x - 0.134) + 46.0 \text{ [nm]}$$

が成立し、

前記p電極コンタクト領域は、

前記p電極コンタクト領域においてのみ前記p型Ga_aN層と接触して設けられた、前記p型Ga_aN層よりも高濃度にMgがドーパされたp型Ga_aNコンタクト層と、

前記p型Ga_aNコンタクト層とオーミック接触したp電極とを有し、

非動作時において、前記アンドープAl_xGa_{1-x}N層と前記第2のアンドープGa_aN層との間のヘテロ界面の近傍の部分における前記第2のアンドープGa_aN層に2次元正孔ガスが形成され、かつ、前記第1のアンドープGa_aN層と前記アンドープAl_xGa_{1-x}N層との間のヘテロ界面の近傍の部分における前記第1のアンドープGa_aN層に2次元電子ガスが形成される半導体素子である。

[0031] p型Ga_aNコンタクト層は、p型Ga_aN層と接触していれば、その設け方は特に限定されない。例えば、p型Ga_aNコンタクト層は、p型Ga_aN層上にメサ型で形成されていてもよいし、p型Ga_aN層などに埋め込まれていてもよい。後者に関しては、例えば、アンドープAl_xGa_{1-x}N層、第2のアンドープGa_aN層およびp型Ga_aN層に少なくともアンドープAl_xGa_{1-x}N層に達する深さに溝が設けられ、この溝の内部にp型Ga_aNコンタクト層が埋め込まれ、このp型Ga_aNコンタクト層と2次元正孔ガスとが接合している。

[0032] この半導体素子においては、典型的には、Ga_aN系半導体のC面成長が可

能なベース基板の上に、第1のアンドープGa_aN層、アンドープAl_xGa_{1-x}N層、第2のアンドープGa_aN層およびp型Ga_aN層が順次成長される。

[0033] この半導体素子においては、必要に応じて、第1のアンドープGa_aN層とアンドープAl_xGa_{1-x}N層との間、および/または、第2のアンドープGa_aN層とアンドープAl_xGa_{1-x}N層との間に、典型的にはアンドープのAl_uGa_{1-u}N層（ $0 < u < 1$ 、 $u > x$ ）、例えばAlN層が設けられる。第2のアンドープGa_aN層とアンドープAl_xGa_{1-x}N層との間にAl_uGa_{1-u}N層を設けることで、第2のアンドープGa_aN層とアンドープAl_xGa_{1-x}N層との間のヘテロ界面の近傍の部分における第2のアンドープGa_aN層に形成される2次元正孔ガスのアンドープAl_xGa_{1-x}N層側への染み込みを少なくすることができ、正孔の移動度を格段に増加させることができる。また、第1のアンドープGa_aN層とアンドープAl_xGa_{1-x}N層との間にAl_uGa_{1-u}N層を設けることで、第1のアンドープGa_aN層とアンドープAl_xGa_{1-x}N層との間のヘテロ界面の近傍の部分における第1のアンドープGa_aN層に形成される2次元電子ガスのアンドープAl_xGa_{1-x}N層側への染み込みを少なくすることができ、電子の移動度を格段に増加させることができる。このAl_uGa_{1-u}N層またはAlN層は一般的には十分に薄くてよく、例えば1~2nm程度で足りる。

[0034] この半導体素子は種々の素子として用いることができるが、典型的には、電界効果トランジスタ（FET）やダイオードなどとして用いることができる。

[0035] 半導体素子が電界効果トランジスタである場合、電界効果トランジスタは例えば次のように構成することができる。第1の例では、アンドープAl_xGa_{1-x}N層上の第2のアンドープGa_aN層およびp型Ga_aN層はメサ型にパターンニングされ、p型Ga_aN層上にp型Ga_aNコンタクト層がメサ型で設けられ、第2のアンドープGa_aN層およびp型Ga_aN層を挟んでアンドープAl_xGa_{1-x}N層上にソース電極およびドレイン電極が設けられ、ソース電極と第2のアンドープGa_aN層およびp型Ga_aN層との間の部分のアンドープAl_x

$Ga_{1-x}N$ 層上にゲート電極が設けられ、 p 型 GaN コンタクト層上に p 電極が設けられる。第2の例では、アンドープ $Al_xGa_{1-x}N$ 層上の第2のアンドープ GaN 層および p 型 GaN 層はメサ型にパターニングされ、 p 型 GaN 層上に p 型 GaN コンタクト層がメサ型で設けられ、第2のアンドープ GaN 層および p 型 GaN 層を挟んでアンドープ $Al_xGa_{1-x}N$ 層上にソース電極およびドレイン電極が設けられ、ソース電極と第2のアンドープ GaN 層および p 型 GaN 層との間の部分のアンドープ $Al_xGa_{1-x}N$ 層上に p 電極を兼用するゲート電極が、第2のアンドープ GaN 層および p 型 GaN 層の端面から p 型 GaN コンタクト層上に延在して設けられる。第3の例では、アンドープ $Al_xGa_{1-x}N$ 層上の第2のアンドープ GaN 層および p 型 GaN 層はメサ型にパターニングされ、 p 型 GaN 層上に p 型 GaN コンタクト層がメサ型で設けられ、第2のアンドープ GaN 層および p 型 GaN 層を挟んでアンドープ $Al_xGa_{1-x}N$ 層上にソース電極およびドレイン電極が設けられ、ソース電極と第2のアンドープ GaN 層および p 型 GaN 層との間の部分のアンドープ $Al_xGa_{1-x}N$ 層に溝が第2のアンドープ GaN 層および p 型 GaN 層の端面に連なって設けられ、 p 電極を兼用するゲート電極が、溝の内部に埋め込まれ、さらに第2のアンドープ GaN 層および p 型 GaN 層の端面から p 型 GaN コンタクト層上に延在している。第4の例では、アンドープ $Al_xGa_{1-x}N$ 層上の第2のアンドープ GaN 層および p 型 GaN 層はメサ型にパターニングされ、 p 型 GaN 層上に p 型 GaN コンタクト層がメサ型で設けられ、第2のアンドープ GaN 層および p 型 GaN 層を挟んでアンドープ $Al_xGa_{1-x}N$ 層上にソース電極およびドレイン電極が設けられ、 p 型 GaN コンタクト層上にゲート電極を兼用する p 電極が設けられる。第5の例では、アンドープ $Al_xGa_{1-x}N$ 層、第2のアンドープ GaN 層および p 型 GaN 層に少なくともアンドープ $Al_xGa_{1-x}N$ 層に達する深さに溝が設けられ、この溝の内部に p 型 GaN コンタクト層が埋め込まれ、この p 型 GaN コンタクト層と2次元正孔ガスとが接合する場合において、アンドープ $Al_xGa_{1-x}N$ 層上の第2のアンドープ GaN 層および p 型 GaN 層はメサ型にパターニ

ングされ、第2のアンドープGa_{1-x}N層およびp型Ga_{1-x}N層を挟んでアンドープAl_xGa_{1-x}N層上にソース電極およびドレイン電極が設けられ、p型Ga_{1-x}Nコンタクト層上にゲート電極を兼用するp電極が設けられる。

[0036] 半導体素子がダイオードである場合、ダイオードは例えば次のように構成することができる。第1の例では、アンドープAl_xGa_{1-x}N層上の第2のアンドープGa_{1-x}N層およびp型Ga_{1-x}N層はメサ型にパターニングされ、p型Ga_{1-x}N層上にp型Ga_{1-x}Nコンタクト層がメサ型で設けられ、第2のアンドープGa_{1-x}N層およびp型Ga_{1-x}N層を挟んでアノード電極およびカソード電極が設けられ、アノード電極は少なくともアンドープAl_xGa_{1-x}N層に設けられた溝に埋め込まれ、カソード電極はアンドープAl_xGa_{1-x}N層上に設けられ、p型Ga_{1-x}Nコンタクト層上にp電極が設けられ、アノード電極とp電極とは互いに電氣的に接続される。第2の例では、アンドープAl_xGa_{1-x}N層上の第2のアンドープGa_{1-x}N層およびp型Ga_{1-x}N層はメサ型にパターニングされ、p型Ga_{1-x}N層上にp型Ga_{1-x}Nコンタクト層がメサ型で設けられ、第2のアンドープGa_{1-x}N層およびp型Ga_{1-x}N層を挟んでアンドープAl_xGa_{1-x}N層上にアノード電極およびカソード電極が設けられ、アノード電極と第2のアンドープGa_{1-x}N層およびp型Ga_{1-x}N層との間の部分のアンドープAl_xGa_{1-x}N層に溝が第2のアンドープGa_{1-x}N層およびp型Ga_{1-x}N層の端面に連なって設けられ、この溝の内部にp電極が埋め込まれ、さらに第2のアンドープGa_{1-x}N層およびp型Ga_{1-x}N層の端面からp型Ga_{1-x}Nコンタクト層上に延在し、アノード電極と電氣的に接続されている。第3の例では、アンドープAl_xGa_{1-x}N層、第2のアンドープGa_{1-x}N層およびp型Ga_{1-x}N層に少なくともアンドープAl_xGa_{1-x}N層に達する深さに溝が設けられ、この溝の内部にp型Ga_{1-x}Nコンタクト層が埋め込まれ、このp型Ga_{1-x}Nコンタクト層と2次元正孔ガスとが接合する場合において、アンドープAl_xGa_{1-x}N層上の第2のアンドープGa_{1-x}N層およびp型Ga_{1-x}N層はメサ型にパターニングされ、第2のアンドープGa_{1-x}N層およびp型Ga_{1-x}N層を挟んでアノード電極およびカソード電極が設けられ、p型Ga_{1-x}Nコンタクト層に連なって少なくとも第1のアンドー

プGa N層に達する深さの別の溝が設けられ、ゲート電極は、この別の溝の内部に埋め込まれ、さらにp型Ga Nコンタクト層上に延在し、カソード電極はアンドープAl_xGa_{1-x}N層上に設けられる。

[0037] また、この発明は、

互いに分離して設けられた分極超接合領域とp電極コンタクト領域とを有し、

前記分極超接合領域は、

第1のアンドープGa N層と、

前記第1のアンドープGa N層上のアンドープまたはドーパされたAl_xGa_{1-x}N層（0 < x < 1）と、

前記アンドープまたはドーパされたAl_xGa_{1-x}N層上の第2のアンドープGa N層と、

前記第2のアンドープGa N層上の、Mgがドーパされたp型Ga N層とを有し、

前記アンドープまたはドーパされたAl_xGa_{1-x}N層は、前記第1のアンドープGa N層と、前記第1のアンドープGa N層上の前記アンドープまたはドーパされたAl_xGa_{1-x}N層とからなる構造を有する基準HEMTの2次元電子ガス濃度が $0.89 \times 10^{13} \text{ cm}^{-2}$ 以上 $1.70 \times 10^{13} \text{ cm}^{-2}$ 以下となるAl組成xおよび厚さを有し、かつ、前記第2のアンドープGa N層の厚さをu [nm]、前記p型Ga N層の厚さをv [nm]、前記p型Ga N層のMg濃度をw [cm⁻³]で表し、前記基準HEMTの2次元電子ガス濃度を 10^{12} cm^{-2} を単位としてn_sで表し、換算厚さt_Rを

$$t_R = u + v (1 + w \times 10^{-18})$$

と定義したとき、

$$t_R \geq 24.2 / (n_s - 7.83) + 47.4 \text{ [nm]}$$

が成立し、

前記p電極コンタクト領域は、

前記p電極コンタクト領域においてのみ前記p型Ga N層と接触して設け

られた、前記 p 型 GaN 層よりも高濃度に Mg がドーパされた p 型 GaN コンタクト層と、

前記 p 型 GaN コンタクト層とオーミック接触した p 電極とを有し、

非動作時において、前記アンドープまたはドーパされた $Al_x Ga_{1-x} N$ 層と前記第 2 のアンドープ GaN 層との間のヘテロ界面の近傍の部分における前記第 2 のアンドープ GaN 層に 2 次元正孔ガスが形成され、かつ、前記第 1 のアンドープ GaN 層と前記アンドープまたはドーパされた $Al_x Ga_{1-x} N$ 層との間のヘテロ界面の近傍の部分における前記第 1 のアンドープ GaN 層に 2 次元電子ガスが形成される半導体素子である。

[0038] この半導体素子の発明においては、その性質に反しない限り、上記の半導体素子の発明に関連して説明したことが成立する。

[0039] さらに、上記の二つの半導体素子の発明においては、その性質に反しない限り、特許文献 3 で説明したことが成立する。

[0040] また、この発明は、

少なくとも一つの半導体素子を有し、

前記半導体素子が、

互いに分離して設けられた分極超接合領域と p 電極コンタクト領域とを有し、

前記分極超接合領域は、

第 1 のアンドープ GaN 層と、

前記第 1 のアンドープ GaN 層上の、厚さが 25 nm 以上 47 nm 以下のアンドープ $Al_x Ga_{1-x} N$ 層 ($0.17 \leq x \leq 0.35$) と、

前記アンドープ $Al_x Ga_{1-x} N$ 層上の第 2 のアンドープ GaN 層と、

前記第 2 のアンドープ GaN 層上の、Mg がドーパされた p 型 GaN 層とを有し、

前記第 2 のアンドープ GaN 層の厚さを u [nm]、前記 p 型 GaN 層の厚さを v [nm]、前記 p 型 GaN 層の Mg 濃度を w [cm^{-3}] で表し、換算厚さ t_R を

$$t_R = u + v (1 + w \times 10^{-18})$$

と定義したとき、

$$t_R \geq 0.864 / (x - 0.134) + 46.0 \text{ [nm]}$$

が成立し、

前記 p 電極コンタクト領域は、

前記 p 電極コンタクト領域においてのみ前記 p 型 GaN 層と接触して設けられた、前記 p 型 GaN 層よりも高濃度に Mg がドーパされた p 型 GaN コンタクト層と、

前記 p 型 GaN コンタクト層とオーミック接触した p 電極とを有し、

非動作時において、前記アンドープ $Al_x Ga_{1-x} N$ 層と前記第 2 のアンドープ GaN 層との間のヘテロ界面の近傍の部分における前記第 2 のアンドープ GaN 層に 2 次元正孔ガスが形成され、かつ、前記第 1 のアンドープ GaN 層と前記アンドープ $Al_x Ga_{1-x} N$ 層との間のヘテロ界面の近傍の部分における前記第 1 のアンドープ GaN 層に 2 次元電子ガスが形成される半導体素子である電気機器である。

[0041] また、この発明は、

少なくとも一つの半導体素子を有し、

前記半導体素子が、

互いに分離して設けられた分極超接合領域と p 電極コンタクト領域とを有し、

前記分極超接合領域は、

第 1 のアンドープ GaN 層と、

前記第 1 のアンドープ GaN 層上のアンドープまたはドーパされた $Al_x Ga_{1-x} N$ 層 ($0 < x < 1$) と、

前記アンドープまたはドーパされた $Al_x Ga_{1-x} N$ 層上の第 2 のアンドープ GaN 層と、

前記第 2 のアンドープ GaN 層上の、Mg がドーパされた p 型 GaN 層とを有し、

前記アンドープまたはドーパされた $A_{1-x}Ga_{1-x}N$ 層は、前記第 1 のアンドープ GaN 層と、前記第 1 のアンドープ GaN 層上の前記アンドープまたはドーパされた $A_{1-x}Ga_{1-x}N$ 層とからなる構造を有する基準 HEMT の 2 次元電子ガス濃度が $0.89 \times 10^{13} \text{ cm}^{-2}$ 以上 $1.70 \times 10^{13} \text{ cm}^{-2}$ 以下となる $A_{1-x}Ga_{1-x}N$ 組成 x および厚さを有し、かつ、前記第 2 のアンドープ GaN 層の厚さを u [nm]、前記 p 型 GaN 層の厚さを v [nm]、前記 p 型 GaN 層の Mg 濃度を w [cm^{-3}] で表し、前記基準 HEMT の 2 次元電子ガス濃度を 10^{12} cm^{-2} を単位として n_s で表し、換算厚さ t_R を

$$t_R = u + v (1 + w \times 10^{-18})$$

と定義したとき、

$$t_R \geq 24.2 / (n_s - 7.83) + 47.4 \text{ [nm]}$$

が成立し、

前記 p 電極コンタクト領域は、

前記 p 電極コンタクト領域においてのみ前記 p 型 GaN 層と接触して設けられた、前記 p 型 GaN 層よりも高濃度に Mg がドーパされた p 型 GaN コンタクト層と、

前記 p 型 GaN コンタクト層とオーミック接触した p 電極とを有し、

非動作時において、前記アンドープまたはドーパされた $A_{1-x}Ga_{1-x}N$ 層と前記第 2 のアンドープ GaN 層との間のヘテロ界面の近傍の部分における前記第 2 のアンドープ GaN 層に 2 次元正孔ガスが形成され、かつ、前記第 1 のアンドープ GaN 層と前記アンドープまたはドーパされた $A_{1-x}Ga_{1-x}N$ 層との間のヘテロ界面の近傍の部分における前記第 1 のアンドープ GaN 層に 2 次元電子ガスが形成される半導体素子である電気機器である。

[0042] ここで、電気機器は、およそ電気を用いるもの全てを含み、用途、機能、大きさなどを問わないが、例えば、電子機器、移動体、動力装置、建設機械、工作機械などである。電子機器は、ロボット、コンピュータ、ゲーム機器、車載機器、家庭電気製品（エアコンディショナーなど）、工業製品、携帯電話、モバイル機器、IT 機器（サーバーなど）、太陽光発電システムで使

用するパワーコンディショナー、送電システムなどである。移動体は、鉄道車両、自動車（電動車両など）、二輪車、航空機、ロケット、宇宙船などである。

[0043] また、この発明は、

互いに分離して設けられた分極超接合領域と p 電極コンタクト領域とを有し、

前記分極超接合領域は、

第 1 のアンドープ GaN 層と、

前記第 1 のアンドープ GaN 層上の、厚さが 25 nm 以上 47 nm 以下のアンドープ $Al_x Ga_{1-x} N$ 層 ($0.17 \leq x \leq 0.35$) と、

前記アンドープ $Al_x Ga_{1-x} N$ 層上の第 2 のアンドープ GaN 層と、

前記第 2 のアンドープ GaN 層上の、Mg がドーパされた p 型 GaN 層とを有し、

前記第 2 のアンドープ GaN 層の厚さを u [nm]、前記 p 型 GaN 層の厚さを v [nm]、前記 p 型 GaN 層の Mg 濃度を w [cm^{-3}] で表し、換算厚さ t_R を

$$t_R = u + v (1 + w \times 10^{-18})$$

と定義したとき、

$$t_R \geq 0.864 / (x - 0.134) + 46.0 \text{ [nm]}$$

が成立し、

前記第 2 のアンドープ GaN 層および前記 p 型 GaN 層はメサ型の形状を有し、

前記第 2 のアンドープ GaN 層および前記 p 型 GaN 層を挟んで前記アンドープ $Al_x Ga_{1-x} N$ 層上に第 1 のソース電極および第 2 のソース電極が設けられており、

前記 p 電極コンタクト領域は、

前記 p 電極コンタクト領域においてのみ前記 p 型 GaN 層と接触して設けられた、前記 p 型 GaN 層よりも高濃度に Mg がドーパされた第 1 の p 型 G

a Nコンタクト層と、

前記 p 電極コンタクト領域においてのみ前記 p 型 GaN 層と接触し、かつ前記第 1 の p 型 GaN コンタクト層と分離して設けられた、前記 p 型 GaN 層よりも高濃度に Mg がドーピングされた第 2 の p 型 GaN コンタクト層と、

前記第 1 の p 型 GaN コンタクト層とオーミック接触した、第 1 のゲート電極を構成する第 1 の p 電極と、

前記第 2 の p 型 GaN コンタクト層とオーミック接触した、第 2 のゲート電極を構成する第 2 の p 電極とを有し、

非動作時において、前記アンドープ $Al_x Ga_{1-x} N$ 層と前記第 2 のアンドープ GaN 層との間のヘテロ界面の近傍の部分における前記第 2 のアンドープ GaN 層に 2 次元正孔ガスが形成され、かつ、前記第 1 のアンドープ GaN 層と前記アンドープ $Al_x Ga_{1-x} N$ 層との間のヘテロ界面の近傍の部分における前記第 1 のアンドープ GaN 層に 2 次元電子ガスが形成される双方向電界効果トランジスタである。

[0044] また、この発明は、

互いに分離して設けられた分極超接合領域と p 電極コンタクト領域とを有し、

前記分極超接合領域は、

第 1 のアンドープ GaN 層と、

前記第 1 のアンドープ GaN 層上のアンドープまたはドーピングされた $Al_x Ga_{1-x} N$ 層 ($0 < x < 1$) と、

前記アンドープまたはドーピングされた $Al_x Ga_{1-x} N$ 層上の第 2 のアンドープ GaN 層と、

前記第 2 のアンドープ GaN 層上の、Mg がドーピングされた p 型 GaN 層とを有し、

前記アンドープまたはドーピングされた $Al_x Ga_{1-x} N$ 層は、前記第 1 のアンドープ GaN 層と、前記第 1 のアンドープ GaN 層上の前記アンドープまたはドーピングされた $Al_x Ga_{1-x} N$ 層とからなる構造を有する基準 HEMT の 2 次元

電子ガス濃度が $0.89 \times 10^{13} \text{ cm}^{-2}$ 以上 $1.70 \times 10^{13} \text{ cm}^{-2}$ 以下となる Al 組成 x および厚さを有し、かつ、前記第 2 のアンドープ GaN 層の厚さを u [nm]、前記 p 型 GaN 層の厚さを v [nm]、前記 p 型 GaN 層の Mg 濃度を w [cm^{-3}] で表し、前記基準 HEMT の 2 次元電子ガス濃度を 10^{12} cm^{-2} を単位として n_s で表し、換算厚さ t_R を

$$t_R = u + v (1 + w \times 10^{-18})$$

と定義したとき、

$$t_R \geq 24.2 / (n_s - 7.83) + 47.4 \text{ [nm]}$$

が成立し、

前記第 2 のアンドープ GaN 層および前記 p 型 GaN 層はメサ型の形状を有し、

前記第 2 のアンドープ GaN 層および前記 p 型 GaN 層を挟んで前記アンドープまたはドーパされた $\text{Al}_x \text{Ga}_{1-x} \text{N}$ 層上に第 1 のソース電極および第 2 のソース電極が設けられており、

前記 p 電極コンタクト領域は、

前記 p 電極コンタクト領域においてのみ前記 p 型 GaN 層と接触して設けられた、前記 p 型 GaN 層よりも高濃度に Mg がドーパされた第 1 の p 型 GaN コンタクト層と、

前記 p 電極コンタクト領域においてのみ前記 p 型 GaN 層と接触し、かつ前記第 1 の p 型 GaN コンタクト層と分離して設けられた、前記 p 型 GaN 層よりも高濃度に Mg がドーパされた第 2 の p 型 GaN コンタクト層と、

前記第 1 の p 型 GaN コンタクト層とオーミック接触した、第 1 のゲート電極を構成する第 1 の p 電極と、

前記第 2 の p 型 GaN コンタクト層とオーミック接触した、第 2 のゲート電極を構成する第 2 の p 電極とを有し、

非動作時において、前記アンドープまたはドーパされた $\text{Al}_x \text{Ga}_{1-x} \text{N}$ 層と前記第 2 のアンドープ GaN 層との間のヘテロ界面の近傍の部分における前記第 2 のアンドープ GaN 層に 2 次元正孔ガスが形成され、かつ、前記第 1

のアンドープGaN層と前記アンドープまたはドーパされた $Al_xGa_{1-x}N$ 層との間のヘテロ界面の近傍の部分における前記第1のアンドープGaN層に2次元電子ガスが形成される双方向電界効果トランジスタである。

[0045] また、この発明は、

一つまたは複数の双方向スイッチを有し、

少なくとも一つの前記双方向スイッチが、

互いに分離して設けられた分極超接合領域とp電極コンタクト領域とを有し、

前記分極超接合領域は、

第1のアンドープGaN層と、

前記第1のアンドープGaN層上の、厚さが25nm以上47nm以下のアンドープ $Al_xGa_{1-x}N$ 層 ($0.17 \leq x \leq 0.35$) と、

前記アンドープ $Al_xGa_{1-x}N$ 層上の第2のアンドープGaN層と、

前記第2のアンドープGaN層上の、Mgがドーパされたp型GaN層とを有し、

前記第2のアンドープGaN層の厚さを u [nm]、前記p型GaN層の厚さを v [nm]、前記p型GaN層のMg濃度を w [cm^{-3}] で表し、換算厚さ t_R を

$$t_R = u + v (1 + w \times 10^{-18})$$

と定義したとき、

$$t_R \geq 0.864 / (x - 0.134) + 46.0 \text{ [nm]}$$

が成立し、

前記第2のアンドープGaN層および前記p型GaN層はメサ型の形状を有し、

前記第2のアンドープGaN層および前記p型GaN層を挟んで前記アンドープ $Al_xGa_{1-x}N$ 層上に第1のソース電極および第2のソース電極が設けられており、

前記p電極コンタクト領域は、

前記 p 電極コンタクト領域においてのみ前記 p 型 GaN 層と接触して設けられた、前記 p 型 GaN 層よりも高濃度に Mg がドーピングされた第 1 の p 型 GaN コンタクト層と、

前記 p 電極コンタクト領域においてのみ前記 p 型 GaN 層と接触し、かつ前記第 1 の p 型 GaN コンタクト層と分離して設けられた、前記 p 型 GaN 層よりも高濃度に Mg がドーピングされた第 2 の p 型 GaN コンタクト層と、

前記第 1 の p 型 GaN コンタクト層とオーミック接触した、第 1 のゲート電極を構成する第 1 の p 電極と、

前記第 2 の p 型 GaN コンタクト層とオーミック接触した、第 2 のゲート電極を構成する第 2 の p 電極とを有し、

非動作時において、前記アンドープ $Al_x Ga_{1-x} N$ 層と前記第 2 のアンドープ GaN 層との間のヘテロ界面の近傍の部分における前記第 2 のアンドープ GaN 層に 2 次元正孔ガスが形成され、かつ、前記第 1 のアンドープ GaN 層と前記アンドープ $Al_x Ga_{1-x} N$ 層との間のヘテロ界面の近傍の部分における前記第 1 のアンドープ GaN 層に 2 次元電子ガスが形成される双方向電界効果トランジスタである電気機器である。

[0046] また、この発明は、

一つまたは複数の双方向スイッチを有し、

少なくとも一つの前記双方向スイッチが、

互いに分離して設けられた分極超接合領域と p 電極コンタクト領域とを有し、

前記分極超接合領域は、

第 1 のアンドープ GaN 層と、

前記第 1 のアンドープ GaN 層上のアンドープまたはドーピングされた $Al_x Ga_{1-x} N$ 層 ($0 < x < 1$) と、

前記アンドープまたはドーピングされた $Al_x Ga_{1-x} N$ 層上の第 2 のアンドープ GaN 層と、

前記第 2 のアンドープ GaN 層上の、Mg がドーピングされた p 型 GaN 層と

を有し、

前記アンドープまたはドーパされた $Al_x Ga_{1-x} N$ 層は、前記第1のアンドープ GaN 層と、前記第1のアンドープ GaN 層上の前記アンドープまたはドーパされた $Al_x Ga_{1-x} N$ 層とからなる構造を有する基準 HEMT の2次元電子ガス濃度が $0.89 \times 10^{13} cm^{-2}$ 以上 $1.70 \times 10^{13} cm^{-2}$ 以下となる Al 組成 x および厚さを有し、かつ、前記第2のアンドープ GaN 層の厚さを u [nm]、前記 p 型 GaN 層の厚さを v [nm]、前記 p 型 GaN 層の Mg 濃度を w [cm^{-3}] で表し、前記基準 HEMT の2次元電子ガス濃度を $10^{12} cm^{-2}$ を単位として n_s で表し、換算厚さ tR を

$$tR = u + v (1 + w \times 10^{-18})$$

と定義したとき、

$$tR \geq 24.2 / (n_s - 7.83) + 47.4 \text{ [nm]}$$

が成立し、

前記第2のアンドープ GaN 層および前記 p 型 GaN 層はメサ型の形状を有し、

前記第2のアンドープ GaN 層および前記 p 型 GaN 層を挟んで前記アンドープまたはドーパされた $Al_x Ga_{1-x} N$ 層上に第1のソース電極および第2のソース電極が設けられており、

前記 p 電極コンタクト領域は、

前記 p 電極コンタクト領域においてのみ前記 p 型 GaN 層と接触して設けられた、前記 p 型 GaN 層よりも高濃度に Mg がドーパされた第1の p 型 GaN コンタクト層と、

前記 p 電極コンタクト領域においてのみ前記 p 型 GaN 層と接触し、かつ前記第1の p 型 GaN コンタクト層と分離して設けられた、前記 p 型 GaN 層よりも高濃度に Mg がドーパされた第2の p 型 GaN コンタクト層と、

前記第1の p 型 GaN コンタクト層とオーミック接触した、第1のゲート電極を構成する第1の p 電極と、

前記第2の p 型 GaN コンタクト層とオーミック接触した、第2のゲート

電極を構成する第2のp電極とを有し、

非動作時において、前記アンドープまたはドーパされた $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層と前記第2のアンドープ GaN 層との間のヘテロ界面の近傍の部分における前記第2のアンドープ GaN 層に2次元正孔ガスが形成され、かつ、前記第1のアンドープ GaN 層と前記アンドープまたはドーパされた $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層との間のヘテロ界面の近傍の部分における前記第1のアンドープ GaN 層に2次元電子ガスが形成される双方向電界効果トランジスタである電気機器である。

[0047] この双方向電界効果トランジスタを用いた電気機器には、既に挙げたもののほか、マトリックスコンバータやマルチレベルインバータなども含まれる。

[0048] また、この発明は、
半導体素子を構成するチップと、
前記チップがフリップチップ実装された実装基板とを有し、
前記半導体素子が、
互いに分離して設けられた分極超接合領域とp電極コンタクト領域とを有し、

前記分極超接合領域は、
第1のアンドープ GaN 層と、
前記第1のアンドープ GaN 層上の、厚さが25nm以上47nm以下のアンドープ $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層 ($0.17 \leq x \leq 0.35$) と、
前記アンドープ $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層上の第2のアンドープ GaN 層と、
前記第2のアンドープ GaN 層上の、Mgがドーパされたp型 GaN 層とを有し、

前記第2のアンドープ GaN 層の厚さを u [nm]、前記p型 GaN 層の厚さを v [nm]、前記p型 GaN 層のMg濃度を w [cm^{-3}] で表し、換算厚さ t_R を

$$t_R = u + v (1 + w \times 10^{-18})$$

と定義したとき、

$$t R \geq 0.864 / (x - 0.134) + 46.0 \text{ [nm]}$$

が成立し、

前記 p 電極コンタクト領域は、

前記 p 電極コンタクト領域においてのみ前記 p 型 GaN 層と接触して設けられた、前記 p 型 GaN 層よりも高濃度に Mg がドーピングされた p 型 GaN コンタクト層と、

前記 p 型 GaN コンタクト層とオーミック接触した p 電極とを有し、

非動作時において、前記アンドープ $Al_x Ga_{1-x} N$ 層と前記第 2 のアンドープ GaN 層との間のヘテロ界面の近傍の部分における前記第 2 のアンドープ GaN 層に 2 次元正孔ガスが形成され、かつ、前記第 1 のアンドープ GaN 層と前記アンドープ $Al_x Ga_{1-x} N$ 層との間のヘテロ界面の近傍の部分における前記第 1 のアンドープ GaN 層に 2 次元電子ガスが形成される半導体素子である実装構造体である。

[0049] また、この発明は、

半導体素子を構成するチップと、

前記チップがフリップチップ実装された実装基板とを有し、

前記半導体素子が、

互いに分離して設けられた分極超接合領域と p 電極コンタクト領域とを有し、

前記分極超接合領域は、

第 1 のアンドープ GaN 層と、

前記第 1 のアンドープ GaN 層上のアンドープまたはドーピングされた $Al_x Ga_{1-x} N$ 層 ($0 < x < 1$) と、

前記アンドープまたはドーピングされた $Al_x Ga_{1-x} N$ 層上の第 2 のアンドープ GaN 層と、

前記第 2 のアンドープ GaN 層上の、Mg がドーピングされた p 型 GaN 層とを有し、

前記アンドープまたはドーピングされた $A_{1-x}Ga_{1-x}N$ 層は、前記第 1 のアンドープ GaN 層と、前記第 1 のアンドープ GaN 層上の前記アンドープまたはドーピングされた $A_{1-x}Ga_{1-x}N$ 層とからなる構造を有する基準 HEMT の 2 次元電子ガス濃度が $0.89 \times 10^{13} \text{ cm}^{-2}$ 以上 $1.70 \times 10^{13} \text{ cm}^{-2}$ 以下となる A 組成 x および厚さを有し、かつ、前記第 2 のアンドープ GaN 層の厚さを u [nm]、前記 p 型 GaN 層の厚さを v [nm]、前記 p 型 GaN 層の Mg 濃度を w [cm^{-3}] で表し、前記基準 HEMT の 2 次元電子ガス濃度を 10^{12} cm^{-2} を単位として n_s で表し、換算厚さ t_R を

$$t_R = u + v (1 + w \times 10^{-18})$$

と定義したとき、

$$t_R \geq 24.2 / (n_s - 7.83) + 47.4 \text{ [nm]}$$

が成立し、

前記 p 電極コンタクト領域は、

前記 p 電極コンタクト領域においてのみ前記 p 型 GaN 層と接触して設けられた、前記 p 型 GaN 層よりも高濃度に Mg がドーピングされた p 型 GaN コンタクト層と、

前記 p 型 GaN コンタクト層とオーミック接触した p 電極とを有し、

非動作時において、前記アンドープまたはドーピングされた $A_{1-x}Ga_{1-x}N$ 層と前記第 2 のアンドープ GaN 層との間のヘテロ界面の近傍の部分における前記第 2 のアンドープ GaN 層に 2 次元正孔ガスが形成され、かつ、前記第 1 のアンドープ GaN 層と前記アンドープまたはドーピングされた $A_{1-x}Ga_{1-x}N$ 層との間のヘテロ界面の近傍の部分における前記第 1 のアンドープ GaN 層に 2 次元電子ガスが形成される半導体素子である実装構造体である。

[0050] また、この発明は、

半導体素子を構成するチップと、

前記チップがフリップチップ実装された実装基板とを有し、

前記半導体素子が、

互いに分離して設けられた分極超接合領域と p 電極コンタクト領域とを有

し、

前記分極超接合領域は、

第1のアンドープGa_{1-x}N層と、

前記第1のアンドープGa_{1-x}N層上の、厚さが25nm以上47nm以下の
アンドープAl_xGa_{1-x}N層 ($0.17 \leq x \leq 0.35$) と、

前記アンドープAl_xGa_{1-x}N層上の第2のアンドープGa_{1-x}N層と、

前記第2のアンドープGa_{1-x}N層上の、Mgがドーピングされたp型Ga_{1-x}N層と
を有し、

前記第2のアンドープGa_{1-x}N層の厚さをu [nm]、前記p型Ga_{1-x}N層の
厚さをv [nm]、前記p型Ga_{1-x}N層のMg濃度をw [cm⁻³] で表し、換算
厚さt_Rを

$$t_R = u + v (1 + w \times 10^{-18})$$

と定義したとき、

$$t_R \geq 0.864 / (x - 0.134) + 46.0 \text{ [nm]}$$

が成立し、

前記第2のアンドープGa_{1-x}N層および前記p型Ga_{1-x}N層はメサ型の形状を
有し、

前記第2のアンドープGa_{1-x}N層および前記p型Ga_{1-x}N層を挟んで前記アン
ドープAl_xGa_{1-x}N層上に第1のソース電極および第2のソース電極が設け
られており、

前記p電極コンタクト領域は、

前記p電極コンタクト領域においてのみ前記p型Ga_{1-x}N層と接触して設け
られた、前記p型Ga_{1-x}N層よりも高濃度にMgがドーピングされた第1のp型G
a_{1-x}Nコンタクト層と、

前記p電極コンタクト領域においてのみ前記p型Ga_{1-x}N層と接触し、かつ
前記第1のp型Ga_{1-x}Nコンタクト層と分離して設けられた、前記p型Ga_{1-x}N
層よりも高濃度にMgがドーピングされた第2のp型Ga_{1-x}Nコンタクト層と、

前記第1のp型Ga_{1-x}Nコンタクト層とオーミック接触した、第1のゲート

電極を構成する第1のp電極と、

前記第2のp型Ga_aN_{1-x}コンタクト層とオーミック接触した、第2のゲート電極を構成する第2のp電極とを有し、

非動作時において、前記アンドープAl_xGa_{1-x}N層と前記第2のアンドープGa_aN層との間のヘテロ界面の近傍の部分における前記第2のアンドープGa_aN層に2次元正孔ガスが形成され、かつ、前記第1のアンドープGa_aN層と前記アンドープAl_xGa_{1-x}N層との間のヘテロ界面の近傍の部分における前記第1のアンドープGa_aN層に2次元電子ガスが形成される双方向電界効果トランジスタである実装構造体である。

[0051] また、この発明は、

半導体素子を構成するチップと、

前記チップがフリップチップ実装された実装基板とを有し、

前記半導体素子が、

互いに分離して設けられた分極超接合領域とp電極コンタクト領域とを有し、

前記分極超接合領域は、

第1のアンドープGa_aN層と、

前記第1のアンドープGa_aN層上のアンドープまたはドーパされたAl_xGa_{1-x}N層（ $0 < x < 1$ ）と、

前記アンドープまたはドーパされたAl_xGa_{1-x}N層上の第2のアンドープGa_aN層と、

前記第2のアンドープGa_aN層上の、Mgがドーパされたp型Ga_aN層とを有し、

前記アンドープまたはドーパされたAl_xGa_{1-x}N層は、前記第1のアンドープGa_aN層と、前記第1のアンドープGa_aN層上の前記アンドープまたはドーパされたAl_xGa_{1-x}N層とからなる構造を有する基準HEMTの2次元電子ガス濃度が $0.89 \times 10^{13} \text{ cm}^{-2}$ 以上 $1.70 \times 10^{13} \text{ cm}^{-2}$ 以下となるAl組成xおよび厚さを有し、かつ、前記第2のアンドープGa_aN層の厚さ

を u [nm]、前記 p 型 GaN 層の厚さを v [nm]、前記 p 型 GaN 層の Mg 濃度を w [cm^{-3}] で表し、前記基準 HEMT の 2 次元電子ガス濃度を 10^{12}cm^{-2} を単位として n_s で表し、換算厚さ t_R を

$$t_R = u + v (1 + w \times 10^{-18})$$

と定義したとき、

$$t_R \geq 24.2 / (n_s - 7.83) + 47.4 \text{ [nm]}$$

が成立し、

前記第 2 のアンドープ GaN 層および前記 p 型 GaN 層はメサ型の形状を有し、

前記第 2 のアンドープ GaN 層および前記 p 型 GaN 層を挟んで前記アンドープ $\text{Al}_x \text{Ga}_{1-x} \text{N}$ 層上に第 1 のソース電極および第 2 のソース電極が設けられており、

前記 p 電極コンタクト領域は、

前記 p 電極コンタクト領域においてのみ前記 p 型 GaN 層と接触して設けられた、前記 p 型 GaN 層よりも高濃度に Mg がドーピングされた第 1 の p 型 GaN コンタクト層と、

前記 p 電極コンタクト領域においてのみ前記 p 型 GaN 層と接触し、かつ前記第 1 の p 型 GaN コンタクト層と分離して設けられた、前記 p 型 GaN 層よりも高濃度に Mg がドーピングされた第 2 の p 型 GaN コンタクト層と、

前記第 1 の p 型 GaN コンタクト層とオーミック接触した、第 1 のゲート電極を構成する第 1 の p 電極と、

前記第 2 の p 型 GaN コンタクト層とオーミック接触した、第 2 のゲート電極を構成する第 2 の p 電極とを有し、

非動作時において、前記アンドープまたはドーピングされた $\text{Al}_x \text{Ga}_{1-x} \text{N}$ 層と前記第 2 のアンドープ GaN 層との間のヘテロ界面の近傍の部分における前記第 2 のアンドープ GaN 層に 2 次元正孔ガスが形成され、かつ、前記第 1 のアンドープ GaN 層と前記アンドープまたはドーピングされた $\text{Al}_x \text{Ga}_{1-x} \text{N}$ 層との間のヘテロ界面の近傍の部分における前記第 1 のアンドープ GaN 層に

2次元電子ガスが形成される双方向電界効果トランジスタである実装構造体である。

[0052] 上記の電気機器、双方向電界効果トランジスタおよび実装構造体の発明においては、その性質に反しない限り、上記の二つの半導体素子の発明に関連して説明したことが成立する。実装構造体における実装基板としては、熱伝導が良好な基板が用いられ、従来公知の基板の中から適宜選ばれる。

発明の効果

[0053] この発明によれば、非動作時において、アンドープ $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層と第2のアンドープ GaN 層との間のヘテロ界面の近傍の部分における第2のアンドープ GaN 層に生成される2次元正孔ガスの濃度を $1 \times 10^{12} \text{ cm}^{-2}$ 以上にするができる。これによって、特許文献3および非特許文献3で提案された分極超接合を用いた半導体素子における高耐圧化と高速化との間のトレードオフ関係を容易に打ち破ることができる。これによって、伝導チャンネルの局部に発生するピーク電界を根本的に緩和し、高耐圧化と同時に、電流コラプスの発生をなくすことができ、かつ高速動作が可能な低損失の半導体素子および双方向電界効果トランジスタを容易に実現することができる。そして、この半導体素子または双方向電界効果トランジスタを用いて高性能の電気機器を実現することができる。また、実装基板に半導体素子または双方向電界効果トランジスタを構成するチップをフリップチップ実装した実装構造体により、半導体素子または双方向電界効果トランジスタを絶縁基板上に形成した場合においても優れた放熱性を得ることができる。

図面の簡単な説明

[0054] [図1A]従来のフィールドプレート技術を用いた AlGaIn/GaN HFE Tを示す断面図である。

[図1B]図1Aに示す AlGaIn/GaN HFE Tにおける電界分布を示す略線図である。

[図2A]小さい逆バイアス電圧が印加された状態の従来のpn接合を示す断面図である。

[図2B]図2Aに示すpn接合における電界分布を示す略線図である。

[図3A]小さい逆バイアス電圧が印加された状態の超接合を示す断面図である。

。

[図3B]図3Aに示す超接合における電界分布を示す略線図である。

[図4A]大きい逆バイアス電圧が印加された状態の従来のpn接合を示す断面図である。

[図4B]図4Aに示すpn接合における電界分布を示す略線図である。

[図5A]大きい逆バイアス電圧が印加された状態の超接合を示す断面図である。

。

[図5B]図5Aに示す超接合における電界分布を示す略線図である。

[図6]この発明の第1の実施の形態によるGaN系半導体素子の基本構造を示す断面図である。

[図7]この発明の第1の実施の形態によるGaN系半導体素子のエネルギーバンド構造を示す略線図である。

[図8A]この発明の第1の実施の形態によるGaN系半導体素子の動作を説明するための略線図である。

[図8B]この発明の第1の実施の形態によるGaN系半導体素子の動作を説明するための略線図である。

[図9]この発明の第1の実施の形態によるGaN系半導体素子の考察のために行った実験1において用いた試料1、2を示す断面図である。

[図10]この発明の第1の実施の形態によるGaN系半導体素子の考察のために行った実験1において用いた試料3を示す断面図である。

[図11]この発明の第1の実施の形態によるGaN系半導体素子の考察のために行った実験1において用いた試料4を示す断面図である。

[図12A]この発明の第1の実施の形態によるGaN系半導体素子の考察のために行った実験1において用いたTLM測定試料を示す斜視図である。

[図12B]この発明の第1の実施の形態によるGaN系半導体素子の考察のために行った実験1において用いたTLM測定試料を示す断面図である。

[図12C]この発明の第1の実施の形態によるGaN系半導体素子の考察のために行った実験1において用いたTLM測定試料を示す断面図である。

[図13]試料1～4を用いて作製したTLM測定試料を用いて測定された電極間距離と抵抗との関係を示す略線図である。

[図14A]この発明の第1の実施の形態によるGaN系半導体素子の考察のために行った実験3において試料1を用いて作製したホール測定試料を示す平面図である。

[図14B]図14Aに示すホール測定試料の断面図である。

[図15]この発明の第1の実施の形態によるGaN系半導体素子の考察のために行った実験4において作製した試料8～12を示す断面図である。

[図16]試料8～13を用いて作製されたホール測定試料を示す断面図である。

[図17]この発明の第1の実施の形態によるGaN系半導体素子の考察のために行った実験5において用いた試料20を示す断面図である。

[図18]この発明の第1の実施の形態によるGaN系半導体素子の考察のために行った実験5において用いた試料21を示す断面図である。

[図19]この発明の第1の実施の形態によるGaN系半導体素子の考察のために行った実験5において用いた試料22を示す断面図である。

[図20]この発明の第1の実施の形態によるGaN系半導体素子の考察のために行った実験5において用いた試料23を示す断面図である。

[図21]試料8～23の換算厚さ t_R と測定された2DHG濃度との関係を示す略線図である。

[図22]図21の一部を拡大して示す略線図である。

[図23]参考文献のp. 272のFig. 1に比較試料A-3、A-4およびA-6のデータを書き込んだ略線図である。

[図24]試料24～31の換算厚さ t_R と測定された2DHG濃度との関係を示す略線図である。

[図25]図24の一部を拡大して示す略線図である。

[図26]アンドープ $Al_xGa_{1-x}N$ 層の Al 組成 x と限界 2DHG 濃度を与える換算厚さ t_R との関係を示す略線図である。

[図27]この発明の第1の実施の形態による GaN 系半導体素子において分極超接合領域と p 電極コンタクト領域とを作製するための方法を説明するための断面図である。

[図28A]この発明の第1の実施の形態による GaN 系半導体素子において分極超接合領域と p 電極コンタクト領域とを作製するための他の方法を説明するための断面図である。

[図28B]この発明の第1の実施の形態による GaN 系半導体素子において分極超接合領域と p 電極コンタクト領域とを作製するための他の方法を説明するための断面図である。

[図29]この発明の第1の実施の形態による GaN 系半導体素子の第1の構造例を示す断面図である。

[図30]この発明の第1の実施の形態による GaN 系半導体素子の第2の構造例を示す断面図である。

[図31]この発明の第1の実施の形態による GaN 系半導体素子の第3の構造例を示す断面図である。

[図32]この発明の第1の実施の形態による GaN 系半導体素子の第4の構造例を示す断面図である。

[図33]この発明の第1の実施の形態による GaN 系半導体素子の第5の構造例を示す断面図である。

[図34]この発明の第1の実施の形態による GaN 系半導体素子の第6の構造例を示す断面図である。

[図35]この発明の第1の実施の形態による GaN 系半導体素子の第7の構造例を示す断面図である。

[図36]この発明の第1の実施の形態による GaN 系半導体素子の第8の構造例を示す断面図である。

[図37]この発明の第1の実施の形態による GaN 系半導体素子の動作を説明

するための略線図である。

[図38]この発明の第1の実施の形態によるGaN系半導体素子の動作を説明するための略線図である。

[図39]この発明の第1の実施の形態によるGaN系半導体素子の動作を確認するために行った実験で用いた試料を示す断面図である。

[図40]この発明の第1の実施の形態によるGaN系半導体素子の動作を確認するために行った実験で用いた試料を示す断面図である。

[図41]この発明の第1の実施の形態によるGaN系半導体素子の動作を確認するために行った実験で用いた測定回路を示す略線図である。

[図42]図39に示す試料を用いて行った動作実験の結果を示す略線図である。

[図43]図40に示す試料を用いて行った動作実験の結果を示す略線図である。

[図44]この発明の第2の実施の形態によるGaN系半導体素子の基礎となる、基準HEMTの2DEG濃度と限界2DHG濃度を与える換算厚さ t_R との関係を示す略線図である。

[図45]この発明の第3の実施の形態によるGaN系双方向電界効果トランジスタを示す断面図である。

[図46]この発明の第3の実施の形態によるGaN系双方向電界効果トランジスタをマトリックスコンバータの双方向スイッチとして用いた三相交流誘導電動機の電源回路を示す回路図である。

[図47]この発明の第5の実施の形態による実装構造体を説明するためのサファイア基板上のGaN系電界効果トランジスタを示す断面図である。

[図48]図47に示すGaN系電界効果トランジスタのドレイン電流ードレイン電圧特性の測定結果を示す略線図である。

[図49]この発明の第5の実施の形態による実装構造体を説明するためのサファイア基板上のGaN系電界効果トランジスタを示す断面図である。

[図50]図49に示すGaN系電界効果トランジスタのドレイン電流ードレイン

ン電圧特性の測定結果を示す略線図である。

[図51]図49に示すGaN系電界効果トランジスタのドレイン電流ードレイン電圧特性の測定結果を示す略線図である。

[図52]この発明の第5の実施の形態による実装構造体を説明するためのSi基板上のGaN系電界効果トランジスタのドレイン電流ードレイン電圧特性の測定結果を示す略線図である。

[図53]この発明の第5の実施の形態による実装構造体を説明するためのサファイア基板上のGaN系電界効果トランジスタの電流コラプスの測定結果および従来のサファイア基板上のGaN系HFETの電流コラプスの測定結果を示す略線図である。

[図54]この発明の第5の実施の形態による実装構造体を示す断面図である。

[図55]この発明の第5の実施の形態による実装構造体の全体像の一例を示す斜視図である。

[図56]参考例としての従来のワイヤボンディング法によるパッケージングを行ったチップの外観を示す図面代用写真である。

[図57A]この発明を適用したノーマリーオン型電界効果トランジスタを用いたカスコード回路を示す略線図である。

[図57B]この発明を適用したノーマリーオン型電界効果トランジスタを用いた変形カスコード回路を示す略線図である。

[図57C]この発明を適用したノーマリーオン型電界効果トランジスタを用いた変形カスコード回路を示す略線図である。

[図57D]この発明を適用したノーマリーオン型電界効果トランジスタを用いた変形カスコード回路を示す略線図である。

発明を実施するための形態

[0055] 以下、発明を実施するための形態（以下、実施の形態と言う。）について説明する。

〈1. 第1の実施の形態〉

第1の実施の形態によるGaN系半導体素子について説明する。このGaN

N系半導体素子は分極超接合素子である。このGaN系半導体素子の基本構造を図6に示す。

[0056] 図6に示すように、このGaN系半導体素子は、互いに分離して設けられた分極超接合領域とp電極コンタクト領域とを有する。分極超接合領域においては、GaN系半導体がC面成長する、例えばC面サファイア基板などのベース基板（図示せず）上に、アンドープGaN層11、厚さが25nm以上47nm以下のアンドープ Al_xGa_{1-x} N層12（ $0.17 \leq x \leq 0.35$ ）、アンドープGaN層13およびMgがドーパされたp型GaN層14が順次積層されている。p電極コンタクト領域においてはさらに、このp電極コンタクト領域においてのみp型GaN層14と接触してこのp型GaN層14よりもMgが高濃度にドーパされたp型GaNコンタクト層（以下、「p⁺型GaNコンタクト層」と言う。）が設けられている。このp型GaNコンタクト層にp電極が電氣的に接続される。図6においては、一例として、p型GaN層14上にメサ型のp⁺型GaNコンタクト層15が積層されている場合が示されている。

[0057] このGaN系半導体素子においては、非動作時において、ピエゾ分極および自発分極により、ベース基板寄りのアンドープGaN層11とアンドープ Al_xGa_{1-x} N層12との間のヘテロ界面の近傍の部分におけるアンドープ Al_xGa_{1-x} N層12に正の固定電荷が誘起され、また、ベース基板と反対側のアンドープ Al_xGa_{1-x} N層12とアンドープGaN層13との間のヘテロ界面の近傍の部分におけるアンドープ Al_xGa_{1-x} N層12に負の固定電荷が誘起されている。このため、このGaN系半導体素子においては、非動作時に、アンドープ Al_xGa_{1-x} N層12とアンドープGaN層13との間のヘテロ界面の近傍の部分におけるアンドープGaN層13に2次元正孔ガス（2DHG）16が形成され、かつ、アンドープGaN層11とアンドープ Al_xGa_{1-x} N層12との間のヘテロ界面の近傍の部分におけるアンドープGaN層11に2次元電子ガス（2DEG）17が形成されている。

[0058] 図7はこのGaN系半導体素子のエネルギーバンド構造を示す。図7にお

いて、 E_v は価電子帯の上端のエネルギー、 E_c は伝導帯の下端のエネルギー、 E_F はフェルミ準位を示す。アンドープ $Al_xGa_{1-x}N$ 層 12 の厚さおよび Al 組成 x のうちの少なくとも一方を従来の HFEET より大きく設定することにより、分極により発生する、アンドープ $Al_xGa_{1-x}N$ 層 12 とアンドープ GaN 層 13 との間のヘテロ界面およびアンドープ GaN 層 11 とアンドープ $Al_xGa_{1-x}N$ 層 12 との間のヘテロ界面の電位差を大きくし、それによってアンドープ $Al_xGa_{1-x}N$ 層 12 の価電子帯の上端のエネルギー E_v をフェルミ準位 E_F まで引き上げる。この場合、アンドープ $Al_xGa_{1-x}N$ 層 12 上にアンドープ GaN 層 13 しか設けないと、このアンドープ GaN 層 13 のみでは、表面準位により分極による負の固定電荷が補償されてしまうため、アンドープ $Al_xGa_{1-x}N$ 層 12 とアンドープ GaN 層 13 との間のヘテロ界面の近傍の部分におけるアンドープ GaN 層 13 に 2DHG16 が形成されない。そこで、アンドープ GaN 層 13 上に p 型 GaN 層 14 を設けることにより、p 型 GaN 層 14 の価電子帯の上端のエネルギー E_v をフェルミ準位 E_F まで引き上げている。これによって、アンドープ $Al_xGa_{1-x}N$ 層 12 とアンドープ GaN 層 13 との間のヘテロ界面の近傍の部分におけるアンドープ GaN 層 13 に 2DHG16 が形成される。また、アンドープ GaN 層 11 とアンドープ $Al_xGa_{1-x}N$ 層 12 との間のヘテロ界面の近傍の部分におけるアンドープ GaN 層 11 に 2DEG17 が形成される。

[0059] 今仮に、例えば、図 8A に示すように、p 型 GaN 層 14 の一端面に 2DHG16 の位置まで延在するようにアノード電極 18 を形成するとともに、アンドープ $Al_xGa_{1-x}N$ 層 12 の一端面に 2DEG17 の位置まで延在するようにカソード電極 19 を形成した場合を考える。アノード電極 18 は例えば Ni からなり、カソード電極 19 は例えば $Ti/Al/Au$ 多層膜からなる。これらのアノード電極 18 およびカソード電極 19 間に逆バイアス電圧を印加する。図 8B に、このときのアンドープ $Al_xGa_{1-x}N$ 層 12 に沿った電界分布を示す。図 8B に示すように、逆バイアス電圧の印加により、2DHG16 および 2DEG17 の濃度がともに等量減少し、2DHG16 およ

び2DEG17の両端部が空欠化する。2DHG16および2DEG17の濃度が等量変化しても実質的に電荷の変化量は0となるから、電界分布は超接合の電界分布となり、電界にピークが発生しない。従って、高耐圧性および低電流コラプス性能の向上を図ることができる。

[0060] 次に、2DHG16および2DEG17が同時に存在するこのGaN系半導体素子における構造パラメータについて説明する。

[0061] すなわち、このGaN系半導体素子においては、アンドープGaN層13の厚さを u [nm]、p型GaN層14の厚さを v [nm]、p型GaN層14のMg濃度を w [cm^{-3}] で表し、換算厚さ t_R を

$$t_R = u + v (1 + w \times 10^{-18})$$

と定義したとき、厚さが25nm以上47nm以下のアンドープ $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層12 ($0.17 \leq x \leq 0.35$) に対し、

$$t_R \geq 0.864 / (x - 0.134) + 46.0 \text{ [nm]}$$

が成立するとき、 $1 \times 10^{12} \text{ cm}^{-2}$ 以上の濃度の2DHG16を生成することができる。

[0062] 分極超接合領域とp電極コンタクト領域とを互いに分離して設け、p電極コンタクト領域においてのみp型GaN層14に接して p^+ 型GaNコンタクト層15を設けること、および、 $t_R \geq 0.864 / (x - 0.134) + 46.0$ [nm] と設定する根拠について以下に説明する。

[0063] p^+ 型GaNコンタクト層の必要条件（アクセプタ濃度および厚さ）を調べるために試料1～4を作製した。

[0064] [実験1]

試料1は次のようにして作製した。図9に示すように、(0001)面、すなわちC面サファイア基板21上に、従来公知のMOCVD（有機金属気相成長）法により、Ga原料としてTMG（トリメチルガリウム）、Al原料としてTMA（トリメチルアルミニウム）、窒素原料として NH_3 （アンモニア）、キャリアガスとして N_2 ガスおよび H_2 ガスを用いて、低温成長（530℃）GaNバッファ層（図示せず）を厚さ30nm積層した後、成長温

度を1100℃に上昇させ、厚さ800nmのアンドープGaN層22、厚さ47nmで $x=0.23$ のアンドープ $Al_xGa_{1-x}N$ 層23、厚さ25nmのアンドープGaN層24、Mg濃度が $1.5 \times 10^{19} \text{cm}^{-3}$ で厚さ40nmのMgドープのp型GaN層25およびMg濃度が $5.0 \times 10^{19} \text{cm}^{-3}$ で厚さ50nmのMgドープのp⁺型GaNコンタクト層26を成長させた。

[0065] 試料2は、p⁺型GaNコンタクト層26の厚さが120nmであることを除いて、試料1と同様にして作製した。

[0066] 試料3は試料1、2に対する比較試料であり、次のようにして作製した。図10に示すように、C面サファイア基板21上に、MOCVD法により、低温成長(530℃)GaNバッファ層(図示せず)を厚さ30nm積層した後、成長温度を1100℃に上昇させ、厚さ800nmのアンドープGaN層22、厚さ47nmで $x=0.23$ のアンドープ $Al_xGa_{1-x}N$ 層23、厚さ25nmのアンドープGaN層24およびMg濃度が $5.0 \times 10^{19} \text{cm}^{-3}$ で厚さ20nmのMgドープのp型GaN層25を成長させた。

[0067] 試料4は標準試料であり、次のようにして作製した。図11に示すように、C面サファイア基板21上に、MOCVD法により、低温成長(530℃)GaNバッファ層(図示せず)を厚さ30nm積層した後、成長温度を1100℃に上昇させ、厚さ800nmのアンドープGaN層22、Mg濃度が $5.0 \times 10^{19} \text{cm}^{-3}$ で厚さ600nmのMgドープのp型GaN層25を成長させた。

[0068] これらの試料1~4を用いて、TLM(Transmission Line Method)測定試料を作製した。TLMとは、接触抵抗と導体層の抵抗とを分離・抽出する標準的な方法である。図12A~図12Cに示すように、C面サファイア基板21上のGaN系半導体層27を、エッチングおよび標準的なリソグラフィ技術により、所定の形状にパターニングした後、パターニングされたGaN系半導体層27上に電極 $E_1 \sim E_6$ を形成した。ここで、図12Aは斜視図、図12Bは図12AのB-B'線に沿っての断面図、図12Cは図12AのC-C'線に沿っての断面図である。GaN系半導体層27は、C面サフ

アイア基板 2 1 上に成長された全ての Ga N 系半導体層を意味する。Ga N 系半導体層 2 7 のエッチング深さは 6 0 0 n m である。電極 E₁ ~ E₆ は Ni / Au 電極であり、大きさは 2 0 0 μ m × 2 0 0 μ m である。電極間距離は、電極 E₁ と電極 E₂ との間の距離 L₁ は 7 μ m、電極 E₂ と電極 E₃ との間の距離 L₂ は 1 0 μ m、電極 E₃ と電極 E₄ との間の距離 L₃ は 1 5 μ m、電極 E₄ と電極 E₅ との間の距離 L₄ は 3 0 μ m、電極 E₅ と電極 E₆ との間の距離 L₅ は 5 0 μ m である。

[0069] 図 1 3 に電極間距離に対する電気抵抗の測定結果を示す。図 1 3 において、得られた直線の傾きが導体層の抵抗の情報を含み、縦軸を貫き横軸との交点の座標値がコンタクト抵抗（接触抵抗）に関する情報を含んでいる。図 1 3 から分かるように、試料 1、試料 2 および試料 4 は、抵抗は小さくなっている。しかしながら、最上層の p 層である p 型 Ga N 層 2 5 の厚さが 2 0 n m と非常に薄い試料 3 では、抵抗値は試料 1 に対して 3 桁大きかった。

[0070] 本データから、コンタクト抵抗およびシート抵抗を標準的な方法にて抽出した。その結果を表 1 にまとめて示す。

[表1]

試料 番号	シート抵抗 [kΩ/□]	コンタクト抵抗 [Ω・cm ²]
1	36.6	1.84 × 10 ⁻¹
2	38.0	8.85 × 10 ⁰
3	56,600	1.3 × 10 ⁴
4	23.1	2.2 × 10 ¹

表 1 から分かるように、試料 3 はコンタクト抵抗が非常に大きい。これは、同じ表面濃度でも最上層の p 型 Ga N 層の厚さとして 2 0 n m では不足しており、また 5 0 n m であれば十分であることを示している。これは、低いコンタクト抵抗を得るためには、最上層の p 型 Ga N 層の厚さがある程度必要

であることを示している。一方、 p^+ 型Ga_{0.5}N_{0.5}コンタクト層26の厚さが120nmの試料2では、却ってコンタクト抵抗値が大きくなった。試料4では、構造が異なるもののp型Ga_{0.5}N_{0.5}層25の厚さが600nmとなってもコンタクト抵抗は低下していなかった。これは、単層のp型Ga_{0.5}N_{0.5}層25であり、試料1、2の構造と異なっているためであると考えられる。

[0071] 以上の結果より、 p^+ 型Ga_{0.5}N_{0.5}コンタクト層26のMg濃度、すなわちアクセプタ濃度が $5.0 \times 10^{19} \text{ cm}^{-3}$ 程度のときは、 p^+ 型Ga_{0.5}N_{0.5}コンタクト層26の厚さとして20nm以上必要であることが分かった。

[0072] [実験2]

実験1の結果を踏まえて、追加の実験2を行った。実験2では、表面のMg濃度のみを増加させた試料5を作製し、コンタクト抵抗を測定した。具体的には、試料5の構造としては、実験1においてコンタクト抵抗が最も小さかった試料1の構造において、厚さ50nmの p^+ 型Ga_{0.5}N_{0.5}コンタクト層26を上下2層に分け、上層/下層=3nm ($2 \times 10^{20} \text{ cm}^{-3}$) / 47nm ($5 \times 10^{19} \text{ cm}^{-3}$)としたものである。その結果を表2に示す。

[表2]

試料番号	シート抵抗 [kΩ/□]	コンタクト抵抗 [Ω・cm ²]
5	35.0	6.5×10^{-2}

表2より、試料5によれば、最表面の p^+ 型Ga_{0.5}N_{0.5}コンタクト層26をさらに高濃度にすることがコンタクト抵抗の低減に有効であることが分かった。

[0073] [実験3]

分極超接合領域の必要条件を求めるために実験3を行った。実験3では、ホール(Hall)測定により分極超接合領域の正孔濃度の測定を行った。

[0074] 分極超接合素子は2次元電子ガス(2DEG)と2次元正孔ガス(2DHG)とが分極効果によりほぼ等量生じているときに最大の耐圧を示す。現実には、上部のGa_{0.5}N_{0.5}層がアンドープ層のみである場合、表面準位やアンドー

層がn型化すること等によってバンドエネルギーが影響を受け、2DHGは殆ど生じない。しかし、Mgアクセプタの添加により、表面準位を補償し、かつ表面近傍のバンドを持ち上げることによって2DHGがAlGa_xN/GaNの上部ヘテロ界面に生じるようになる。

[0075] 理想的には、Mgアクセプタ由来の過剰な正孔は生じずに、2DEG濃度と2DHG濃度とは等しく、かつそれ以外の正孔は存在しない方がよい。従って、そのようなp型GaN層25の設計が必要となる。

[0076] 実験1、2の、特に試料1、2はMgの添加総量が多く、Mgアクセプタ由来の正孔が過剰に存在している。そこで、図9に示す試料1を用いて、図14Aおよび図14B（図14Bは図14AのA-A'線に沿っての断面図）に示すホール素子を作製し、p型GaN層25の厚さと正孔濃度および移動度との関係を調べた。

[0077] 図14Aおよび図14Bに示すように、図9に示す試料1のアンドープAl_xGa_{1-x}N層24、p型GaN層25およびp⁺型GaNコンタクト層26の四隅をエッチングにより円形にパターニングした後、四隅に露出したアンドープAl_xGa_{1-x}N層23の表面にTi/Al/Au電極28を形成し、その内側の四隅のp⁺型GaNコンタクト層26上にNi/Au電極29を形成し、2次元正孔に対するホール測定と2次元電子に対するホール測定とを可能とした。

[0078] 次に、四隅以外の部分をp⁺型GaNコンタクト層26の表面からそれぞれ0nm、70nmの深さまでエッチングし、正孔および電子に対してホール測定を行った。ここで、p⁺型GaNコンタクト層26の表面から70nmの深さまでエッチングした場合は、p⁺型GaNコンタクト層26に加えてその下のp型GaN層25の上層部も除去したことに対応する。エッチング量が0nmの試料を試料6、エッチング量が70nmの試料を試料7とする。

[0079] 表3に試料6、7の室温における正孔（2DHG）および電子（2DEG）のシート抵抗値、シート濃度および移動度を示す。

[表3]

試料番号	アンダー GaN層24 の厚さ [nm]	p ⁺ 型GaN層26/ p型GaN層25の Mg濃度[cm ⁻³]	p ⁺ 型GaN層26/ p型GaN層25の 厚さ[nm]	正孔			電子		
				シート抵抗 [Ω/□]	シート濃度 [cm ⁻²]	移動度 [cm ² /Vs]	シート抵抗 [Ω/□]	シート濃度 [cm ⁻²]	移動度 [cm ² /Vs]
6	25	5.0 × 10 ¹⁹ / 1.5 × 10 ¹⁹	50 / 40	38,200	1.12 × 10 ¹³	14.6	1160	5.21 × 10 ¹²	1030
7	25	0 / 1.5 × 10 ¹⁹	0 / 20	42,300	9.85 × 10 ¹²	15.0	1120	5.27 × 10 ¹²	1060

表3から分かるように、エッチング量が0 nmの試料6の正孔濃度は1. 1

$2 \times 10^{13} \text{ cm}^{-2}$ であるのに対して、電子濃度は $5.21 \times 10^{12} \text{ cm}^{-2}$ であった。エッチングを行い、 p^+ 型Ga Nコンタクト層26の厚さを小さくしてゆくと、正孔濃度は p^+ 型Ga Nコンタクト層26を除去したときに若干減少し、その下の p 型Ga N層25を20 nm除去したところ正孔濃度は減少しなかった。電子濃度の方は、エッチング量にかかわらず約 $5.2 \times 10^{12} \text{ cm}^{-2}$ と一定値を示した。エッチング量が70 nmの試料7において、正孔濃度は $9.85 \times 10^{12} \text{ cm}^{-2}$ であった。

[0080] ここで、得られた正孔のシート濃度について検討を行う。

エッチング量が0 nmの試料6について、 p^+ 型Ga Nコンタクト層26および p 型Ga N層25の全体の合計のMgドーパ量は、 $[\text{Mg}] = 5.0 \times 10^{19} \text{ cm}^{-3} \times 50 \times 10^{-7} \text{ cm} + 1.5 \times 10^{19} \text{ cm}^{-3} \times 40 \times 10^{-7} \text{ cm} = 2.5 \times 10^{14} \text{ cm}^{-2} + 6 \times 10^{13} \text{ cm}^{-2} = 3.1 \times 10^{14} \text{ cm}^{-2}$ である。Mgアクセプタの室温の活性化率を1.0%とすると、 $3.1 \times 10^{14} \times 1.0 \times 10^{-2} = 3.1 \times 10^{12} \text{ cm}^{-2}$ の正孔濃度となる。一方、実験値は表3に示すように $1.12 \times 10^{13} \text{ cm}^{-2}$ であった。従って、正孔濃度は実験値の方が非常に大きく、この差 $\{(11.2 - 3.1) \times 10^{12} \text{ cm}^{-2}\} = 8.1 \times 10^{12} \text{ cm}^{-2}$ は分極によって生じた正孔である。

[0081] 次に、エッチング量が70 nmの試料7については、全体のMg量は、 $[\text{Mg}] = 1.5 \times 10^{19} \text{ cm}^{-3} \times 20 \times 10^{-7} \text{ cm} = 3.0 \times 10^{13} \text{ cm}^{-2}$ であり、これによる正孔濃度は、Mgアクセプタの室温の活性化率を1.0%とすると、 $3.0 \times 10^{11} \text{ cm}^{-2}$ である。しかし、実験値は $9.85 \times 10^{12} \text{ cm}^{-2}$ であった。実験値との差は $(9.85 - 0.30) \times 10^{12} = 9.55 \times 10^{11} \text{ cm}^{-2}$ である。この結果より、この試料7の正孔は $(9.55 / 9.85) \times 100 = 97.0\%$ がMg由来でないもの、即ち分極によって生じたものであることが分かる。

[0082] 一方、2次元電子濃度の変化は、 p^+ 型Ga Nコンタクト層26および p 型Ga N層25のエッチングによっては殆ど変化せず、 $5.3 \times 10^{12} \text{ cm}^{-2}$ 程度であった。

[0083] 次に、正孔が分極によって発生した2次元正孔ガス（2DHG）であることを実証するため、低温でのホール測定を行った。Mgアクセプタの準位は価電子帯から160meV程度と深いので、200K以下の温度では正孔はMgアクセプタに落ち込み自由正孔は存在しなくなる。一方、分極由来の2DHGは低温にてもトラップされる準位がなくヘテロ界面に存在し続ける。従って、低温での正孔濃度は分極によって生成した2DHGのみによるものを示している。液体窒素温度（77K）での測定結果を表4に示す。

[表4]

試料番号	正孔			電子		
	シート抵抗 [Ω/\square]	シート濃度 [cm^{-2}]	移動度 [cm^2/Vs]	シート抵抗 [Ω/\square]	シート濃度 [cm^{-2}]	移動度 [cm^2/Vs]
6	11,900	9.2×10^{12}	57	315	5.2×10^{12}	2,200
7	13,400	9.0×10^{12}	52	284	5.2×10^{13}	2,200

低温において、正孔濃度は、Mg由来の分だけ減少したと考える。低温における2DHG濃度はエッチング量が0nmの試料6で $6.5 \times 10^{12} \text{cm}^{-2}$ 、エッチング量が70nmの試料7では $6.0 \times 10^{12} \text{cm}^{-2}$ であった。室温測定データから推測した2DHG濃度が、77K測定により実証された。正孔の移動度は、音響散乱の抑制により向上し、 $52 \sim 57 \text{cm}^2/\text{Vs}$ が得られた。

[0084] [実験4]

次に、Mg量の絞り込み、言い換えると分極超接合素子として必要最小限のMg量の検討を行った。すなわち、Mg量はもっと減らすべきであると考えられるが、どこまで減らすことができるかについて検討を行った。そのために実験4を行った。

[0085] 以上の実験1～3では、正孔がどの程度のMgドーパ量から消失するのかがまだ見えていなかった。そこで、実験4により、p型GaN層の限界実験を行った。限界実験とは、2DHG濃度が測定にかからなくなり、実質的に分極超接合素子としての効能がなくなる状態を検討・探索するものである。

[0086] 分極超接合素子として有効であるのは、 2DHG と 2DEG とがアンドープ $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層23を挟んで共存し、逆バイアス条件で両者が同時に空乏化することである。しかしながら、これは 2DHG 濃度と 2DEG 濃度とが等しいことを要求するものではない。 2DHG 濃度と 2DEG 濃度とがアンバランスであると、それに伴い分極超接合効果が減少し、例えば、その極限として、 2DHG 濃度が全く 0cm^{-2} の場合、通常の $\text{AlGaIn}/\text{GaIn}$ HEMT構造と同一となり、その状態ではよく知られているように、逆バイアス時にアノード端にピーク電界が発生する。結局、 2DHG 濃度と 2DEG 濃度との量的バランスによってピーク電界の強度が依存することになる。実質的に、分極超接合効果が有効であるのは、すなわち、分極超接合であると言えるのは、 2DHG 濃度が 2DEG 濃度の $1/10\sim 1/5$ の場合であろう。 $1/10$ より小さいともはや、通常のHEMTと差異はなくなると推定される。ここでは、 2DEG 濃度の $1/5$ を 2DHG 濃度のクライテリア（有効限界値）とおく。

[0087] そこで、実験的には、まず、通常の $\text{AlGaIn}/\text{GaIn}$ HEMT構造を参照試料（レファレンス試料）として作製し、その 2DEG 濃度を確認し、次に、その AlGaIn 層の構造条件においてアンドープ GaIn 層およびp型 GaIn 層を積層して分極超接合構造を作製し、その場合の 2DEG 濃度を確認すると同時に 2DHG 濃度を測定する。

[0088] 具体的には、参照試料として、アンドープ GaIn 層24およびp型 GaIn 層25のない構造、すなわち、通常の $\text{AlGaIn}/\text{GaIn}$ HEMT構造を基準用として作製した。サファイア基板上に、厚さ 47nm で $x=0.23$ のアンドープ $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層23/アンドープ GaIn 層22のHEMT構造で、アンドープ GaIn 層22の厚さをそれぞれ、 500nm 、 600nm 、 800nm と変化させた3種のHEMT試料（試料A-1、A-2、A-3）を作製し、それらの 2DEG 濃度を測定した。表5にその結果を示す。

[表5]

試料 番号	アンドープ Al _x Ga _{1-x} N層 23のAl組成x	アンドープ Al _x Ga _{1-x} N層 23の厚さ[nm]	アンドープ GaN層22の 厚さ[nm]	2DEG濃度 [cm ⁻²]	移動度 [cm ² /Vs]
A-1	0.23	47	500	9.44 × 10 ¹²	1022
A-2	0.23	47	600	1.12 × 10 ¹³	1041
A-3	0.23	47	800	1.10 × 10 ¹³	925

表5より、2DEG濃度は下地のアンドープGaN層22の厚さによって多少変化したが、アンドープGaN層22の厚さが600nm以上あれば、2DEG濃度は $1.1 \times 10^{13} \text{ cm}^{-2}$ で一定となることが分かった。

[0089] さて、新たな試料として、図15に示す試料を作製した。図15に示すように、この試料は試料1と同様な構造を有するが、p型GaN層25の厚さは40nmとし、このp型GaN層25のMg濃度を $5 \times 10^{18} \text{ cm}^{-3}$ 、 $2 \times 10^{18} \text{ cm}^{-3}$ 、 $5 \times 10^{17} \text{ cm}^{-3}$ 、 $1 \times 10^{17} \text{ cm}^{-3}$ 、 0 cm^{-3} と変え、p⁺型GaNコンタクト層26を、厚さ47nmでMg濃度が $5 \times 10^{19} \text{ cm}^{-3}$ の下部p⁺型GaNコンタクト層26aおよび厚さ3nmでMg濃度が $2 \times 10^{20} \text{ cm}^{-3}$ の上部p⁺型GaNコンタクト層26bで構成した5種の試料8~12を作製した。また、試料10のp型GaN層25をエッチングにより、厚さ20nmまで薄化した試料13を作製した。試料8~13を用いて図16に示すようにホール測定試料を作製し、実験4と同じ方法により、ホール測定を行った。その結果を表6に示す。

[表6]

試料番号	7nmドープGaN層24の厚さ [nm]	p型GaN層25のMg濃度 [cm ⁻³]	p型GaN層25の厚さ [nm]	正孔			電子		
				シート抵抗 [Ω/□]	シート濃度 [cm ⁻²]	移動度 [cm ² /Vs]	シート抵抗 [Ω/□]	シート濃度 [cm ⁻²]	移動度 [cm ² /Vs]
8	25	5 × 10 ¹⁸	40	42,000	1.0 × 10 ¹³	14.8	1,125	5.0 × 10 ¹²	1,110
9	25	2 × 10 ¹⁸	40	43,400	8 × 10 ¹²	18	1,070	5.1 × 10 ¹²	1,150
10	25	5 × 10 ¹⁷	40	97,600	4 × 10 ¹²	16	1,140	5.2 × 10 ¹²	1,050
11	25	1 × 10 ¹⁷	40	172,200	2.2 × 10 ¹²	16.5	1,160	5.1 × 10 ¹²	1,060
12	25	0	40	~325,500	~1.2 × 10 ¹²	~16	1,110	5.1 × 10 ¹²	1,100
13	25	5 × 10 ¹⁷	20	測定できず	測定できず	測定できず	1,120	5.3 × 10 ¹²	1,060

表6に示すように、シート電子濃度は概略 $5.0 \times 10^{12} \text{ cm}^{-2} \sim 5.3 \times 10^{12} \text{ cm}^{-2}$ である。

0^{12} cm^{-2} となり、標準HEMT構造（試料A-1、A-2、A-3）の約1/2に低下していた。アンドープGaN層24、p型GaN層25等が積層されることによって、バンドが上昇し、正孔が発生するとともに電子濃度が低下したものである。

[0090] 次に、アンドープGaN層24の厚さを25 nm、p型GaN層25の厚さを20 nmとし、Mg濃度をそれぞれ、 $2 \times 10^{18} \text{ cm}^{-3}$ 、 $5 \times 10^{17} \text{ cm}^{-3}$ および 0 cm^{-3} とした3種の試料14～16を作製した。これらの試料14～16のホール測定の結果を表7に示す。

[表7]

試料 番号	アンダー GaN層 24の厚さ [nm]	p型GaN層 25のMg濃度 [cm ⁻³]	p型GaN層 25の厚さ [nm]	正孔			電子		
				シート抵抗 [Ω/□]	シート濃度 [cm ⁻²]	移動度 [cm ² /Vs]	シート抵抗 [Ω/□]	シート濃度 [cm ⁻²]	移動度 [cm ² /Vs]
14	25	2×10^{18}	20	102,800	3.8×10^{12}	16	955	5.5×10^{12}	1,190
15	25	5×10^{17}	20	測定できず	測定できず	測定できず	937	5.8×10^{12}	1,150
16	25	0	20	測定できず	測定できず	測定できず	883	6.0×10^{12}	1,180

表7より、Mg濃度の少ない試料15および試料16では、非常に高抵抗で

正孔濃度の測定は困難であった。電子濃度は $(5.5 \sim 6.0) \times 10^{12} \text{ cm}^{-2}$ とやや高かった。

[0091] 次に、アンドープ GaN 層 24 の厚さを 15 nm、p 型 GaN 層 25 の厚さを 15 nm とし、Mg 濃度をそれぞれ、 $2 \times 10^{18} \text{ cm}^{-3}$ 、 $5 \times 10^{17} \text{ cm}^{-3}$ および 0 cm^{-3} とした 3 種の試料 17～19 を作製した。これらの試料 17～19 のホール測定の結果を表 8 に示す。

[表8]

試料 番号	アンダー GaN層 24の厚さ [nm]	p型GaN層 25のMg濃度 [cm ⁻³]	p型GaN層 25の厚さ [nm]	正孔			電子		
				シート抵抗 [Ω/□]	シート濃度 [cm ⁻²]	移動度 [cm ² /Vs]	シート抵抗 [Ω/□]	シート濃度 [cm ⁻²]	移動度 [cm ² /Vs]
17	15	2×10^{18}	15	165,000	2.1×10^{12}	18	921	5.9×10^{12}	1,150
18	15	5×10^{17}	15	測定できず	測定できず	測定できず	960	6.2×10^{12}	1,050
19	15	0	15	測定できず	測定できず	測定できず	836	6.8×10^{12}	1,100

表8より、Mg濃度の少ない試料18および試料19では、非常に高抵抗で

正孔濃度の測定は困難であった。電子濃度は $(5.9 \sim 6.8) \times 10^{12} \text{ cm}^{-2}$ であった。

[0092] [実験5]

次に、アンドープGaN層24の厚さが2DHG濃度に与える影響を確認するために、追加の実験5を行った。具体的には、アンドープGaN層24の厚さの下限を検討するために、アンドープGaN層24の厚さを80nmと厚くした試料20を作製した。図17に試料20の層の構造を示す。具体的には、C面サファイア基板21上に低温成長(530°C)でGaNバッファ層(図示せず)を厚さ30nm積層した後、成長温度を1100°Cに上昇させ、厚さ800nmのアンドープGaN層22、厚さ47nmで $x=0.23$ のアンドープ $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層23、厚さ80nmのアンドープGaN層24、Mg濃度が $5.0 \times 10^{18} \text{ cm}^{-3}$ で厚さ20nmのMgドープのp型GaN層25、Mg濃度が $7.0 \times 10^{19} \text{ cm}^{-3}$ で厚さが37nmのp⁺型GaNコンタクト層26aおよびMg濃度が $2.0 \times 10^{20} \text{ cm}^{-3}$ で厚さが3nmのMgドープp⁺型GaNコンタクト層26bを成長させることにより、試料20を作製した。図18に示すように、試料20のp⁺型GaNコンタクト層26aおよびp⁺型GaNコンタクト層26bの中央部を完全にエッチングし、さらにp型GaN層25の中央部をエッチングして厚さ10nmとすることにより試料21を作製した。図19に示すように、試料20のp型GaN層25、p⁺型GaNコンタクト層26aおよびp⁺型GaNコンタクト層26bの中央部を完全にエッチングし、さらにアンドープGaN層24の中央部をエッチングして厚さ75nmとすることにより試料22を作製した。図20に示すように、試料20のp型GaN層25、p⁺型GaNコンタクト層26aおよびp⁺型GaNコンタクト層26bの中央部を完全にエッチングし、さらにアンドープGaN層24をエッチングして厚さ30nmとすることにより試料23を作製した。

[0093] 試料20~23を用いてホール測定を行った結果を表9に示す。

[表9]

試料番号	p型GaN層25のMg濃度 [cm ⁻³]	p型GaN層25の厚さ[nm] (エッチングにより薄化)	正孔				電子			
			シート抵抗 [Ω/□]	シート濃度 [cm ⁻²]	移動度 [cm ² /Vs]	シート抵抗 [Ω/□]	シート濃度 [cm ⁻²]	移動度 [cm ² /Vs]		
20	5 × 10 ¹⁸	20	445,000	9.01 × 10 ¹²	15.6	1,070	5.1 × 10 ¹²	1,150		
21	5 × 10 ¹⁸	10	852,000	5.82 × 10 ¹²	12.6	1,140	5.2 × 10 ¹²	1,050		
22	5 × 10 ¹⁸	-5nm 結果として アンダーブGaN層24 のみ(厚さ75nm)	1,013,000	5.10 × 10 ¹²	12.1	1,110	5.1 × 10 ¹²	1,100		
23	5 × 10 ¹⁸	-50nm 結果として アンダーブGaN層24 のみ(厚さ30nm)	測定できず	測定できず	測定できず	970	5.6 × 10 ¹²	1,150		

表9に示すように、エッチングなしの試料20の正孔濃度は9.01 × 10¹²

cm^{-2} であったのに対して、試料 2 1 および試料 2 2 の正孔濃度はそれぞれ $5.82 \times 10^{12} \text{cm}^{-2}$ および $5.1 \times 10^{12} \text{cm}^{-2}$ であった。試料 2 3 では、高抵抗で電流が流れず正孔の存在を確認できなかった。

[0094] 以上の試料 7 ~ 2 3 の構造や 2 D H G 濃度などを表 1 0 にまとめて示す。表 1 0 では、第 1 列目に試料番号を、第 2 ~ 第 4 列目に、アンドープ G a N 層 2 4 の厚さ、p 型 G a N 層 2 5 の厚さおよび p 型 G a N 層 2 5 の M g 濃度 ($1 \times 10^{18} \text{cm}^{-3}$ を単位とする) を示した。また、第 6 列目に、測定された 2 D H G 濃度を示した。第 5 列目は、実験値を整理するために導入した新しい指標である「換算厚さ (Reduced thickness)」という新しい概念に基づく値である。

[0095]

[表10]

試料 番号	アンドープ GaN層 24の厚さ [nm]	p型GaN層 25の厚さ [nm]	p型GaN層 25のMg濃度 [$1 \times 10^{18} \text{cm}^{-3}$]	換算厚さtR [nm]	2DHG濃度 [$1 \times 10^{12} \text{cm}^{-2}$]
7	25	20	15	345	9.85
8	25	40	5	265	10
9	25	40	2	145	8.0
10	25	40	0.5	85	4.0
11	25	40	0.1	69	2.2
12	25	40	0	60	1.2
13	25	20	0.5	35	-
14	25	20	2	85	3.8
15	25	20	0.5	55	-
16	25	20	0	40	-
17	15	15	2	60	2.1
18	15	15	0.5	38	-
19	15	15	0	30	-
20	80	20	5	200	9
21	80	10	5	140	5.8
22	75	0	(0)	75	5.1
23	30	0	(0)	30	-

[0096] 換算厚さについて説明する。換算厚さを t R と表す。換算厚さ t R は次の式で表される量である。アンドープ GaN 層 24 の厚さを u [nm] で表し、p 型 GaN 層 25 の厚さを v [nm]、Mg 濃度を w [cm^{-3}] で表したとき、換算厚さ t R は、

$$t R = u + v (1 + w \times 10^{-18}) \quad (1)$$

と定義される。この式の右辺の項の意味を説明する。p型Ga_{0.5}N層25はフェルミ準位を基準にして、アンドープGa_{0.5}N層24よりもバンドが持ち上がっている。すなわち、表面側AlGa_{0.5}N/Ga_{0.5}Nヘテロ接合界面のバンドが持ち上がり2DHGを生成する効果は、p型Ga_{0.5}N層25の方がアンドープGa_{0.5}N層24よりも大きい。そこで、p型Ga_{0.5}N層25中のMgドーパントの効果を検討する。通常Mgドーパントの室温での活性化率は1%程度である。また、Ga_{0.5}N層中には深い準位やn型不純物が 10^{16} cm^{-3} から 10^{17} cm^{-3} 存在し、Mgのアクセプタとしての役割を妨げる。従って、 10^{17} cm^{-3} 台のMg濃度はp型としての役割はそれほど大きくない。従って、Mg濃度が 10^{17} cm^{-3} よりも低い場合はむしろアンドープ層に近い。従って、p型Ga_{0.5}N層25が本構造の2DHG濃度に与える寄与度を評価する場合、その効果を取り入れる必要があり、それは 10^{18} cm^{-3} を規格化の値とすることにより与えられることが上記の考察から、第1次近似として導き出される。従って、2DHG濃度は、式(1)で表される換算厚さtRに対して、1次の関係およびその後の飽和曲線になることが期待される。表10の第5列目は、式(1)で計算される換算厚さtRを示したものである。

[0097] 次に、表10の第5列目の換算厚さtRをx軸に、第6列目の2DHG濃度をy軸に図示したものを図21に示す。また、図21のうち換算厚さtRが20~90nmの領域の拡大図を図22に示す。図21および図22中の数値は試料番号を示す。図21において、2DHG濃度は、換算厚さtRに対して概略比例し、換算厚さtRが大きくなると、2DHG濃度が $1 \times 10^{13} \text{ cm}^{-2}$ 付近で飽和する傾向にあることが分かった。2DHG濃度の小さい領域(図22)では、ホール測定の測定誤差が大きくなるので若干ばらついてはいるが、2DHG濃度は、換算厚さtRに対して概略比例関係にあることが確認できた。換算厚さtRが50nm以下では正孔濃度は測定できなかった。ホール測定の誤差が大きくなる理由は、正孔の移動度が電子のそのの~1/100と非常に小さいので、測定されるホール(Hall)電圧が小さいこと、

および、p型Ga_{0.5}N層25へのオーミック電極のコンタクト抵抗値が本来的に高い（実験的には、n型Ga_{0.5}N層へのオーミック電極のコンタクト抵抗値の10⁵倍）こと等による。

[0098] さて、通常HEMT構造の比較試料A-3では、2DEG濃度は概ね1.1 × 10¹³ cm⁻²であった（表5参照。）。また、本分極超接合構造にした場合の2DEG濃度は、試料8から試料23までを通じて、概ね、(5.1 ~ 6.8) × 10¹² cm⁻²であった。これは、アンドープAl_xGa_{1-x}N層23の上の比較的厚いアンドープGa_{0.5}N層24およびp型Ga_{0.5}N層25によるバンド持ち上がり効果により、アンドープAl_xGa_{1-x}N層23とアンドープGa_{0.5}N層22とにより形成される下側のAlGa_{0.5}N/Ga_{0.5}Nヘテロ接合の2DEG濃度を減少させるからである。また、換算厚さt_Rが小さいほど、すなわち、バンドの持ち上がりが少ないほど2DEG濃度は小幅ながら増加していることも理解できることである。そうではあるが、興味深いことに、上部のアンドープGa_{0.5}N層24およびp型Ga_{0.5}N層25の組合せ変化に対して、ほぼ一定の2DEG濃度(5.1 ~ 6.8) × 10¹² cm⁻²になっていることの方に注目する。

[0099] すなわち、本分極超接合構造にした場合の2DEG濃度は、基準HEMTの2DEG濃度の約1/2となっている。このことは、基準HEMTの2DEG濃度が、対応するアンドープAl_xGa_{1-x}N層23を持つ分極超接合構造の有効な2DHG濃度の下限（限界2DHG濃度）を規定することができることを意味する。すなわち、この基準HEMT構造の2DEG濃度を基準に用いることができる。

[0100] さて、分極超接合効果が顕著に得られるためには、有効2DHG濃度は2DEG濃度に対して1/10 ~ 1/5程度以上必要であることを既に説明したが、ここでは、1/5以上を条件とする。基準HEMTの2DEG濃度(1.1 × 10¹³ cm⁻²)を基準にとると、分極超接合の有効下限2DHG濃度は、2DEG濃度の1/10 = 1.1 × 10¹² cm⁻²である。それを、図22の横線で示した。さて、図22を参照すると、2DHG濃度が1.1 × 10¹²

cm^{-2} に対する換算厚さの値は $t_R = 55 \text{ nm}$ である。即ち、アンドープ Ga N 層 24 の厚さを $u \text{ [nm]}$ 、 p 型 Ga N 層 25 の厚さを $v \text{ [nm]}$ 、その Mg 濃度を $w \text{ [cm}^{-3}\text{]}$ とすると、分極超接合として有効な構造は式 (1) の t_R において、

$$t_R \geq 55 \text{ [nm]} \tag{2}$$

である。

[0101] 以上の換算厚さ t_R の有効範囲は、アンドープ $\text{Al}_x \text{Ga}_{1-x} \text{N}$ 層 23 の Al 組成 x が 0.23 および厚さが 47 nm のときに得られたものである。それでは、それと異なる Al 組成および厚さのときにはどうなるであろうか。

[0102] まず、基準となる 2DEG 濃度を得るために、アンドープ $\text{Al}_x \text{Ga}_{1-x} \text{N}$ 層 23 の Al 組成 x および厚さを変化させた基準 HEMT を作製した。表 11 にそれを示す。

[表11]

試料番号	アンドープ $\text{Al}_x \text{Ga}_{1-x} \text{N}$ 層の Al 組成 x	アンドープ $\text{Al}_x \text{Ga}_{1-x} \text{N}$ 層の厚さ $[\text{nm}]$	2DEG濃度 $[\text{cm}^{-2}]$	移動度 $[\text{cm}^2/\text{Vs}]$
A-3	0.23	47	1.10×10^{13}	925
A-4	0.17	47	0.89×10^{13}	1230
A-5	0.37	47	クラック発生のため測定不可	
A-6	0.37	25	1.70×10^{13}	1085

試料 A-3 は既出の試料である。試料 A-4 は、 Al 組成 x が 0.17 で厚さが 47 nm 、試料 A-5 は、 Al 組成 x が 0.37 で厚さは 47 nm 、試料 A-6 は、 Al 組成 x が 0.37 で厚さが 25 nm である。実は、試料 A-5 は、結晶にクラックが発生し、膜が断裂していて測定が不可能であった。もともと、試料 A-5 は、アンドープ $\text{Al}_x \text{Ga}_{1-x} \text{N}$ 層 23 の厚さが理論的な臨界膜厚を大きく超えているが、厚さを 47 nm に固定しようと敢えて作製したものである。従って、代替として、試料 A-6 は、アンドープ $\text{Al}_x \text{G}$

a_{1-x} N層23の厚さを25 nmと小さくした。2DEG濃度は、それぞれ、試料A-4では $0.89 \times 10^{13} \text{ cm}^{-2}$ 、試料A-6では $1.7 \times 10^{13} \text{ cm}^{-2}$ であった。図23は、 $\text{Al}_x \text{Ga}_{1-x}$ N層のAl組成 x とシートキャリア濃度（2DEG濃度）との関係を掲載している公知の文献（F.Calle et al, Journal of Materials Science:Materials in Electronics 14(2003)271-277）のp. 272のFig. 1を示すが、これに試料A-3、A-4、A-6のデータ（△、○、☆）を示す。この参考文献では、 $\text{Al}_x \text{Ga}_{1-x}$ N層のAl組成 x を0.16から0.36まで、厚さを17 nmから42 nmまで変化させている。2DEG濃度はAl組成に対して比例的に増加し、厚さに対しては、厚さを増加すれば歪も増加するので増加傾向にあるが、顕著には増加していないことが見られる。試料A-3、A-4、A-6の2DEG濃度は文献値よりも相対的に大きくなっている。これは、本試料A-3、A-4、A-6の結晶品質が高く、格子緩和の程度が文献の試料より少なく、ヘテロ接合の格子歪が大きくて、分極効果が大きく出ているためであると考えられる。

[0103] 次に、試料A-4のアンドープ $\text{Al}_x \text{Ga}_{1-x}$ N層23上に、厚さ80 nmのアンドープGa N層24、厚さが40 nmでMg濃度が $1 \times 10^{18} \text{ cm}^{-3}$ のp型Ga N層25、厚さが44 nmでMg濃度が $5 \times 10^{19} \text{ cm}^{-3}$ のp⁺型Ga N層26aおよび厚さが3 nmでMg濃度が $2 \times 10^{20} \text{ cm}^{-3}$ のp⁺型Ga N層26bを積層して試料24を作製した。この試料24のp型Ga N層25をエッチングにより厚さ20 nmにして試料25を作製した。この試料24のp型Ga N層25をエッチングにより完全に除去した後、アンドープGa N層24を深さ5 nmまでエッチングし、厚さを75 nmにして試料26を作製した。また、この試料24のp型Ga N層25をエッチングにより完全に除去した後、アンドープGa N層24を深さ30 nmまでエッチングし、厚さを50 nmとして試料27を作製した。これらの試料24~27のホール測定の結果を表12に示す。

[表12]

試料番号	p型GaN層 25のMg濃度 [cm ⁻³]	p型GaN層25の 厚さ[nm] (エッチングにより薄化)	正孔			電子		
			シート抵抗 [Ω/□]	シート濃度 [cm ⁻²]	移動度 [cm ² /Vs]	シート抵抗 [Ω/□]	シート濃度 [cm ⁻²]	移動度 [cm ² /Vs]
24	1 × 10 ¹⁸	40	720,000	6.2 × 10 ¹²	14.0	1,316	3.8 × 10 ¹²	1,250
25	1 × 10 ¹⁸	20	1,322,000	4.0 × 10 ¹²	13.5	1,280	3.9 × 10 ¹²	1,250
26	1 × 10 ¹⁸	-5nm 結果として アンダー層GaN層24 のみ(厚さ75nm)	4,460,000	1.0 × 10 ¹²	14.0	1,360	4.0 × 10 ¹²	1,150
27	1 × 10 ¹⁸	-50nm 結果として アンダー層GaN層24 のみ(厚さ30nm)	測定できず	測定できず	測定できず	1,326	4.1 × 10 ¹²	1,150

試料 27 の正孔濃度は測定できなかった。2DEG濃度はアンドープGaN層24の厚さが小さくなるにつれて増加し、 $(3.8 \sim 4.1) \times 10^{12} \text{ cm}^{-2}$ であった。この2DEG濃度は、試料A-4の2DEG濃度、 $8.9 \times 10^{12} \text{ cm}^{-2}$ の42%から46%であった。

[0104] 次に、試料A-6の上に、試料24と同様なアンドープGaN層24、p型GaN層25、p⁺型GaN層26aおよびp⁺型GaN層26bを積層して分極超接合構造の試料28を作製した。同様に、エッチングにより、p型GaN層25の厚さを20nmとした試料29、アンドープGaN層24の厚さを75nmとした試料30、アンドープGaN層24の厚さを46nmとした試料31を作製した。これらの試料28~31のホール測定の結果を表13に示す。

[表13]

試料 番号	p型GaN層 25のMg濃度 [cm ⁻³]	p型GaN層25の 厚さ[nm] (エッチングにより薄化)	正孔				電子			
			シート抵抗 [Ω/□]	シート濃度 [cm ⁻²]	移動度 [cm ² /Vs]	シート抵抗 [Ω/□]	シート濃度 [cm ⁻²]	移動度 [cm ² /Vs]		
28	1 × 10 ¹⁸	40	387,000	11.0 × 10 ¹²	17.0	697	7.6 × 10 ¹²	1,180		
29	1 × 10 ¹⁸	20	408,000	9.0 × 10 ¹²	18.0	655	7.4 × 10 ¹²	1,290		
30	1 × 10 ¹⁸	-5nm 結果として アンダー7GaN層24 のみ(厚さ75nm)	1,008,000	4.0 × 10 ¹²	15.5	697	7.8 × 10 ¹²	1,150		
31	1 × 10 ¹⁸	-50nm 結果として アンダー7GaN層24 のみ(厚さ46nm)	2,600,000	1.4 × 10 ¹²	15.0	646	8.2 × 10 ¹²	1,180		

これらの試料28～31はアンドープ $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層23のAl組成 x が0.35と高いので、すべての試料において2DHG濃度が測定できた。また、2DEG濃度は、 $(7.4 \sim 8.2) \times 10^{12} \text{cm}^{-2}$ であった。この2DEG濃度は基準HEMT構造の試料A-6の2DEG濃度 $(1.7 \times 10^{13} \text{cm}^{-2})$ の44%～48%であった。

[0105] 次に、試料24～31に対して換算厚さ t_R を計算した。その結果を表14に示す。

[表14]

試料番号	アトープ $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層 23のAl組成x	アトープ $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層 23の厚さ[nm]	アトープ GaN層24の 厚さ[nm]	p型GaN層25 の厚さ[nm]	p型GaN層 25のMg濃度 [$1 \times 10^{18} \text{cm}^{-3}$]	換算厚さtR [nm]	2DHG濃度 [$1 \times 10^{12} \text{cm}^{-2}$]
24	0.17	47	80	40	1	160	6.2
25	0.17	47	80	20	1	120	4.0
26	0.17	47	75	0	1	75	-
27	0.17	47	50	0	1	50	-
28	0.35	25	80	40	1	160	11.0
29	0.35	25	80	20	1	120	9.0
30	0.35	25	75	0	1	75	4.0
31	0.35	25	46	0	1	45	1.4

図24に、換算厚さtRを横軸に、縦軸に2DHG濃度をグラフとして図示した。図24内の数値は試料番号である。図24には、試料8～23のデー

タも併せて示した。ただし、それらの試料番号の表示は省略した。図24において、換算厚さ t_R と2DHG濃度との関係は、2DHG濃度が $1 \times 10^{13} \text{ cm}^{-2}$ より少ない場合は概略直線関係となっていることが判明した。素子が動作する限界の換算厚さ t_R を推定するために、図24の換算厚さ t_R が0～150nmの部分拡大して図25に示す。図25に、基準試料である試料A-3、A-4、A-6の2DEG濃度の $1/10$ の値、すなわち、限界2DHG濃度を横線で示した。すなわち、限界2DHG濃度は、試料A-3では $1.1 \times 10^{12} \text{ cm}^{-2}$ 、試料A-4では $0.89 \times 10^{12} \text{ cm}^{-2}$ 、試料A-6では $1.7 \times 10^{12} \text{ cm}^{-2}$ である。この限界2DHG濃度は、素子が分極超接合素子として動作するために必要な最低限の2DHG濃度である。それは、前に説明した通り、分極超接合素子として有効な2DHG濃度は2DEG濃度とのバランスが重要であり、その値は共存する2DEGの濃度の $1/5$ から $1/10$ であることを述べたが、ここで濃度の高い方向の（厳しい方の） $1/5$ を採用している。

[0106] 図25において、限界2DHG濃度に達する換算厚さ t_R は、アンドープ $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層23のAl組成が0.17、厚さが47nmの試料24～27では70nm、Al組成が0.23、厚さが47nmの試料8～23では55nm、Al組成が0.35、厚さが25nmの試料28～31では50nmとなった。アンドープ $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層23のAl組成 x が0.23の素子のデータについては、図22より、限界厚さは55nmであった。Al組成 x が0.35の試料のアンドープ $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層の厚さは25nmであるが、図23に見られるように、この厚さの領域（17nmから42nm）では2DEG濃度の厚さ依存性は高々30%程度で、特に本件の実験の厚さ（25nm～47nm）の範囲では、上記3つの試料グループの限界厚さは、Al組成の違いとして理解することができる。

[0107] さて、アンドープ $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層23のAl組成 x に対して、限界2DHG濃度に対する換算厚さ t_R をプロットしたものが図26である。図26の3つのデータは各々のAl組成 x に対する限界換算厚さである。図26に、

これらの3点を通る曲線を示した。この曲線は、Al組成を x 、限界厚さを y [nm]としたとき、下記の式(3)で与えられるものである。

$$y = a / (x - b) + c \quad (3)$$

$$\text{ただし、} a = 0.864$$

$$b = 0.134$$

$$c = 46.0$$

この式(3)は、アンドープ $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層23のAl組成 x が異なる構造に対して限界厚さを与えるために採用した経験式である。

[0108] 分極超接合構造のアンドープ $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層23のAl組成 x が0.17から0.35で、厚さが概ね25nmから47nmにある場合、換算厚さ t_R が式(3)で示す限界厚さよりも大きいことが必要である。すなわち、Al組成が0.17から0.35、厚さが25nmから47nmの範囲において、適用換算厚さ t_R は、

$$t_R \geq 0.864 / (x - 0.134) + 46.0 \text{ [nm]} \quad (4)$$

である。

[0109] 高性能の分極超接合素子を実現させるための設計においては、以上のような低いまたはゼロ(0)のMg量の分極超接合領域においてもp電極の低接触抵抗を実現させることが必要であり、それには、分極超接合領域とp電極コンタクト領域とを構造的に分離し、p電極コンタクト領域に、p型Ga_{0.95}N層25よりも高濃度のアクセプタ濃度(Mg濃度)を有するp⁺型Ga_{0.95}Nコンタクト層を設け、このp⁺型Ga_{0.95}Nコンタクト層にp電極をコンタクトさせる。

[0110] 図14Aおよび図14Bや図16に示すホール測定試料においては、最上層のp⁺型Ga_{0.95}Nコンタクト層26の中央部をエッチングすることによって、分極超接合領域とp電極コンタクト領域とを作製しているが、例えば、図27または図28Aおよび図28Bに示すような方法を用いて分極超接合領域とp電極コンタクト領域とを作製してもよい。すなわち、図27に示すように、p型Ga_{0.95}N層25まで成長させた後、その上にSiO₂膜などの誘電体膜

からなる成長マスク30を形成し、この成長マスク30の一部をエッチングにより除去して開口を形成し、この開口に露出したp型Ga_{1-x}N層25上にp⁺型Ga_{1-x}Nコンタクト層26を選択成長させる。あるいは、図28Aに示すように、p型Ga_{1-x}N層25まで成長させた後、その上にSiO₂膜などの誘電体膜からなる成長マスク30を形成し、この成長マスク30の一部をエッチングにより除去して開口を形成し、この成長マスク30を用いてアンドープAl_xGa_{1-x}N層23の途中の深さまでエッチングして溝31を形成する。そして、図28Bに示すように、成長マスク30を用いてこの溝31の内部にp⁺型Ga_{1-x}Nコンタクト層26を選択成長させて埋め込む。

[0111] 次に、この半導体素子を電界効果トランジスタおよびダイオードに適用した具体的な構造例について説明する。

[0112] [第1の構造例]

図29は4端子構造の電界効果トランジスタを示す。図29に示すように、アンドープGa_{1-x}N層41、厚さが25nm以上47nm以下のアンドープAl_xGa_{1-x}N層42(0.17 ≤ x ≤ 0.35)、アンドープGa_{1-x}N層43およびp型Ga_{1-x}N層44が順次積層されている。アンドープAl_xGa_{1-x}N層42上のアンドープGa_{1-x}N層43およびp型Ga_{1-x}N層44はメサ型にパターニングされ、p型Ga_{1-x}N層44上にp⁺型Ga_{1-x}Nコンタクト層45がメサ型で設けられている。アンドープGa_{1-x}N層43およびp型Ga_{1-x}N層44を挟んでアンドープAl_xGa_{1-x}N層42上にソース電極46およびドレイン電極47が設けられている。ソース電極46およびドレイン電極47は、例えばTi/Au二層膜により構成され、アンドープAl_xGa_{1-x}N層42に対してオーミック接触している。ソース電極46とアンドープGa_{1-x}N層43およびp型Ga_{1-x}N層44との間の部分のアンドープAl_xGa_{1-x}N層42上にゲート電極48が設けられ、p⁺型Ga_{1-x}Nコンタクト層45上にp電極49が設けられている。ゲート電極48は、例えばNi/Au二層膜により構成され、アンドープAl_xGa_{1-x}N層42に対してショットキー接触している。p電極49は、例えばNi/Au二層膜により構成され、p⁺型Ga_{1-x}Nコンタクト層45に

対してオーミック接触している。この電界効果トランジスタは、p電極49とソース電極46とを接続する方式（これは金属フィールドプレート（FP）方式のソースフィールドプレートに相当する）およびp電極49とゲート電極48とを接続する方式（p電極49をベース電極と考えるとこれはベースフィールドプレートに相当する）の両方式に対応できる構造である。なお、図29においては、ソース電極46とゲート電極48との間、ゲート電極48とアンドープGa_{1-x}N層43との間およびアンドープGa_{1-x}N層43とドレイン電極47との間の部分のアンドープAl_xGa_{1-x}N層42が露出しているが、必要に応じてアンドープAl_xGa_{1-x}N層42の表面をアンドープGa_{1-x}N層で覆うことにより露出しないようにすることができる。

[0113] [第2の構造例]

図30は3端子構造の電界効果トランジスタを示す。図30に示すように、アンドープGa_{1-x}N層41、アンドープAl_xGa_{1-x}N層42、アンドープGa_{1-x}N層43およびp型Ga_{1-x}N層44が順次積層されている。アンドープAl_xGa_{1-x}N層42上のアンドープGa_{1-x}N層43およびp型Ga_{1-x}N層44はメサ型にパターニングされ、p型Ga_{1-x}N層44上にp⁺型Ga_{1-x}Nコンタクト層45がメサ型で設けられている。アンドープGa_{1-x}N層43およびp型Ga_{1-x}N層44を挟んでアンドープAl_xGa_{1-x}N層42上にソース電極46およびドレイン電極47が設けられている。ソース電極46とアンドープGa_{1-x}N層43およびp型Ga_{1-x}N層44との間の部分のアンドープAl_xGa_{1-x}N層42上にp電極49を兼用するゲート電極48が、アンドープGa_{1-x}N層43およびp型Ga_{1-x}N層44の端面からp⁺型Ga_{1-x}Nコンタクト層45上に延在して設けられている。ゲート電極48は、例えばNi/Au二層膜からなり、p⁺型Ga_{1-x}Nコンタクト層45に対してオーミック接触している。この電界効果トランジスタは、ゲート電極48とp電極49とを一体化した3端子構造を有し、図25に示す電界効果トランジスタにおいてゲート電極48とp電極49とを一体化したものと等価である。

[0114] [第3の構造例]

図31はノーマリーオフ型の3端子構造の電界効果トランジスタを示す。図31に示すように、アンドープGa_{1-x}N層41、アンドープAl_xGa_{1-x}N層42、アンドープGa_{1-x}N層43およびp型Ga_{1-x}N層44が順次積層されている。アンドープAl_xGa_{1-x}N層42上のアンドープGa_{1-x}N層43およびp型Ga_{1-x}N層44はメサ型にパターニングされ、p型Ga_{1-x}N層44上にp⁺型Ga_{1-x}Nコンタクト層45がメサ型で設けられている。アンドープGa_{1-x}N層43およびp型Ga_{1-x}N層44を挟んでアンドープAl_xGa_{1-x}N層42上にソース電極46およびドレイン電極47が設けられている。ソース電極46とアンドープGa_{1-x}N層43およびp型Ga_{1-x}N層44との間の部分のアンドープAl_xGa_{1-x}N層42に溝がアンドープGa_{1-x}N層43およびp型Ga_{1-x}N層44の端面に連なって設けられ、p電極49を兼用するゲート電極48が、この溝の内部に埋め込まれ、さらにアンドープGa_{1-x}N層43およびp型Ga_{1-x}N層44の端面からp⁺型Ga_{1-x}Nコンタクト層45上に延在している。この電界効果トランジスタの閾値電圧の制御は、アンドープAl_xGa_{1-x}N層42に設けられた溝の部分のアンドープAl_xGa_{1-x}N層42の厚さ、あるいは溝形成時のエッチング残し量によって行う。

[0115] [第4の構造例]

図32は3端子構造の電界効果トランジスタを示す。図32に示すように、アンドープGa_{1-x}N層41、アンドープAl_xGa_{1-x}N層42、アンドープGa_{1-x}N層43およびp型Ga_{1-x}N層44が順次積層されている。アンドープAl_xGa_{1-x}N層42上のアンドープGa_{1-x}N層43およびp型Ga_{1-x}N層44はメサ型にパターニングされ、p型Ga_{1-x}N層44上にp⁺型Ga_{1-x}Nコンタクト層45がメサ型で設けられている。アンドープGa_{1-x}N層43およびp型Ga_{1-x}N層44を挟んでアンドープAl_xGa_{1-x}N層42上にソース電極46およびドレイン電極47が設けられている。p⁺型Ga_{1-x}Nコンタクト層45上にゲート電極48を兼用するp電極49が設けられている。この電界効果トランジスタの動作は、閾値電圧が深く（負側にシフト）なるほかは図31に示す電界効果トランジスタと同様である。

[0116] [第5の構造例]

図33はノーマリーオフ型の3端子構造の電界効果トランジスタを示す。図33に示すように、アンドープGa_{1-x}Al_xN層41、アンドープAl_xGa_{1-x}N層42、アンドープGa_{1-x}Al_xN層43およびp型Ga_{1-x}Al_xN層44が順次積層されている。アンドープAl_xGa_{1-x}N層42上のアンドープGa_{1-x}Al_xN層43およびp型Ga_{1-x}Al_xN層44はメサ型にパターニングされている。アンドープAl_xGa_{1-x}N層42に、アンドープGa_{1-x}Al_xN層43およびp型Ga_{1-x}Al_xN層44の端面に連なって溝が設けられ、この溝の内部にp⁺型Ga_{1-x}Al_xNコンタクト層45が埋め込まれ、このp⁺型Ga_{1-x}Al_xNコンタクト層45と2次元正孔ガス（図示せず）とが接合している。p⁺型Ga_{1-x}Al_xNコンタクト層45は選択再成長により成長させることができる。アンドープGa_{1-x}Al_xN層43およびp型Ga_{1-x}Al_xN層44を挟んでアンドープAl_xGa_{1-x}N層42上にソース電極46およびドレイン電極47が設けられている。p⁺型Ga_{1-x}Al_xNコンタクト層45上にゲート電極48を兼用するp電極49が設けられている。図31に示す電界効果トランジスタにおいては、ゲート電極48はショットキー接合型であるが、この電界効果トランジスタにおいては、ゲート電極48はp/n接合型である。このようにこの電界効果トランジスタのゲート電極48はp/n接合型であるが、p/n接合の拡散電位が3.4Vであり、ショットキー接合の拡散電位~1.4Vよりも+2V高く、ゲート閾値電圧を大きく取ることができる。p⁺型Ga_{1-x}Al_xNコンタクト層45の下方の部分のアンドープAl_xGa_{1-x}N層42を完全に除去し、アンドープGa_{1-x}Al_xN層41にp⁺型Ga_{1-x}Al_xNコンタクト層45を接触させることも、閾値電圧の向上の観点から良い構造である。

[0117] [第6の構造例]

図34は3端子構造のダイオードを示す。図34に示すように、アンドープGa_{1-x}Al_xN層51、アンドープAl_xGa_{1-x}N層52、アンドープGa_{1-x}Al_xN層53およびp型Ga_{1-x}Al_xN層54が順次積層されている。アンドープAl_xGa_{1-x}N層52上のアンドープGa_{1-x}Al_xN層53およびp型Ga_{1-x}Al_xN層54はメサ型にパターニングされ、p型Ga_{1-x}Al_xN層54上にp⁺型Ga_{1-x}Al_xNコンタクト層55がメサ型で

設けられている。アンドープGaN層53およびp型GaN層54を挟んでアノード電極56およびカソード電極57が設けられている。アノード電極56は、アンドープGaN層51に達する深さに設けられた溝58の内部に埋め込まれ、アンドープGaN層51とアンドープAl_xGa_{1-x}N層52との間のヘテロ界面の近傍の部分におけるアンドープGaN層51に形成された2DEG（図示せず）と直接接触している。アノード電極56は、例えば、n型GaN系半導体に対しショットキー接触するNi/Au二層膜等で形成される。ソース電極57はアンドープAl_xGa_{1-x}N層52上に設けられている。p⁺型GaNコンタクト層55上にp電極59が設けられている。アノード電極56とp電極59とは互いに電氣的に接続されている。このダイオードは、図25に示す電界効果トランジスタのゲート電極48をその下のアンドープAl_xGa_{1-x}N層52をエッチングしてアンドープGaN層51に接触させることによりショットキー接合を形成したものに相当する。必要に応じて、アノード電極56とp電極59とを一体に形成してもよい。

[0118] [第7の構造例]

図35は2端子構造のダイオードを示す。図35に示すように、アンドープGaN層51、アンドープAl_xGa_{1-x}N層52、アンドープGaN層53およびp型GaN層54が順次積層されている。アンドープAl_xGa_{1-x}N層52上のアンドープGaN層53およびp型GaN層54はメサ型にパターニングされている。アンドープAl_xGa_{1-x}N層52に、アンドープGaN層53およびp型GaN層54の端面に連なって溝が設けられ、この溝の内部にp⁺型GaNコンタクト層55が埋め込まれ、このp⁺型GaNコンタクト層55と2次元正孔ガス（図示せず）とが接合している。アンドープGaN層53およびp型GaN層54を挟んでアノード電極56およびカソード電極57が設けられている。p⁺型GaNコンタクト層55に連なってアンドープGaN層51に達する深さの別の溝58が設けられている。アノード電極56は、この別の溝58の内部に埋め込まれ、さらにp⁺型GaNコンタクト層55上に延在している。アノード電極56は例えばNi/Au二層膜によ

り形成される。ソース電極 57 はアンドープ $A_{1-x}Ga_{1-x}$ N 層 52 上に設けられている。

[0119] [第 8 の構造例]

図 36 は 2 端子構造のダイオードを示す。図 36 に示すように、アンドープ GaN 層 51、アンドープ $A_{1-x}Ga_{1-x}$ N 層 52、アンドープ GaN 層 53 および p 型 GaN 層 54 が順次積層されている。アンドープ $A_{1-x}Ga_{1-x}$ N 層 52 上のアンドープ GaN 層 53 および p 型 GaN 層 54 はメサ型にパターニングされ、p 型 GaN 層 54 上に p⁺ 型 GaN コンタクト層 55 がメサ型で設けられている。アノード電極 56 とアンドープ GaN 層 53 および p 型 GaN 層 54 との間の部分のアンドープ $A_{1-x}Ga_{1-x}$ N 層 52 に溝 60 がアンドープ GaN 層 53 および p 型 GaN 層 54 の端面に連なって設けられている。この溝 60 の内部に p 電極 59 が埋め込まれ、さらにアンドープ GaN 層 53 および p 型 GaN 層 54 の端面から p⁺ 型 GaN コンタクト層 55 上に延在し、アノード電極 56 と一体になって互いに電氣的に接続されている。このダイオードは、図 32 に示す、ゲート閾値電圧が 0 V 以上のノーマリーオフ型（エンハンスメントモード）電界効果トランジスタのソース電極 46 とゲート電極 48 とを一体化させた構造を有する。カソード電極 57 に対してアノード電極 56 に正の電圧を印加するとショットキー接合がオンとなり、オーミック電極であるアノード電極 56 とカソード電極 57 との間に順電流が流れる。アノード電極 56 に負電圧を印加するとショットキー接合がオフとなり、隣に接しているアノード電極 56 とカソード電極 57 との間に電流は流れない。

[0120] 次に、図 37 に示すような分極超接合構造を適用した電界効果トランジスタを作製し、動作実験を行った結果について説明する。この動作実験により、p 電極のコンタクト抵抗がトランジスタのスイッチング特性に与える影響を評価することができる。

[0121] 図 37 に示すように、この電界効果トランジスタにおいては、アンドープ GaN 層 61、アンドープ $A_{1-x}Ga_{1-x}$ N 層 62、アンドープ GaN 層 63 お

よび p 型 GaN 層 64 が順次積層されている。アンドープ $Al_x Ga_{1-x} N$ 層 62 上のアンドープ GaN 層 63 および p 型 GaN 層 64 はメサ型にパターンニングされている。アンドープ GaN 層 63 および p 型 GaN 層 64 を挟んでアンドープ $Al_x Ga_{1-x} N$ 層 62 上にソース電極 65 およびドレイン電極 66 が設けられている。p 型 GaN 層 64 上には、p 電極を兼用するゲート電極 67 が設けられている。図 37 には、トランジスタがオンの状態の電子および正孔の状態を示す。符号 68 は 2DHG、69 は 2DEG を示す。図 38 には、トランジスタがオフの状態の電子および正孔の状態を示す。図 38 では、ゲート電極 67 に負電圧が印加され、ゲート電極 67 を通じて正孔 (2DHG 68) が引き抜かれ、その直下の電子チャネル (2DEG 69) が空乏化されている。このように、トランジスタのオン・オフ動作において、正孔 (2DHG 68) の注入／引抜きが行われる。もし、正孔 (2DHG 68) の移動に障害があれば、動特性に影響を及ぼす。

[0122] 正孔 (2DHG 68) の移動に影響を及ぼす要因としては、正孔の移動度がある。正孔の移動度は表 3 に示したように実験的には $15 \sim 30 [cm^2 / Vs]$ 程度である。この値は電子の移動度の $1 / 500 \sim 1 / 1000$ であり、正孔の移動速度が本トランジスタの速度を支配すると考えられる。とすると、スイッチング速度は通常の HFET の $1 / 1000$ 以下と推定される。従って、分極超接合領域の長さにも依るが、遮断周波数は数 MHz \sim 数 10 MHz 程度と推定される。しかし、Si-IGBT (Insulated Gate Bipolar Transistor) のスイッチング周波数は高々数 10 kHz であり、また、Si-パワー MOSFET のそれは数 MHz である。超接合を用いたこの電界効果トランジスタは高耐圧パワー素子への適用であり、速度は Si-IGBT および Si-パワー MOSFET 以上の速度が可能となる。

[0123] ところで、上記速度を達成するためには、p 電極のコンタクト抵抗が上記の正孔の移動速度に影響しないように小さくしなければならない。そこで、p 電極のコンタクト抵抗の影響を調べるために、コンタクト抵抗が互いに大きく異なる二つのトランジスタ 1、2 を作製し、動特性を調べた。トランジス

タ1は図39に示すような3端子構造である。図39に示すように、トランジスタ1の層構造は、アンドープ $Al_xGa_{1-x}N$ 層62は厚さ47nmで $x=0.23$ 、アンドープGa N 層63の厚さは25nm、p型Ga N 層64はMg濃度が $1.5 \times 10^{19} cm^{-3}$ で厚さ40nmである。トランジスタ2は図40に示すような3端子構造である。図40に示すように、トランジスタ2の層構造は、アンドープ $Al_xGa_{1-x}N$ 層62は厚さ47nmで $x=0.23$ 、アンドープGa N 層63の厚さは25nm、p型Ga N 層64はMg濃度が $1.5 \times 10^{19} cm^{-3}$ で厚さ20nmであり、p型Ga N 層64上に、Mg濃度が $1.5 \times 10^{19} cm^{-3}$ で厚さ20nmのp型Ga N 層およびMg濃度が $5 \times 10^{19} cm^{-3}$ で厚さ40nmのp⁺型Ga N コンタクト層71が順次積層され、メサ型に形成されている。ただし、図40においては、p型Ga N 層64上のp型Ga N 層はp⁺型Ga N コンタクト層71に含ませて図示している。トランジスタ2については、高濃度のp⁺型Ga N コンタクト層71が最表面に付加されているので、p電極を兼用するゲート電極67のコンタクト領域以外のp⁺型Ga N コンタクト層71はエッチングで除去した。エッチング量は60nmである。トランジスタ1のコンタクト抵抗は $1.3 \times 10^4 \Omega cm^2$ 、トランジスタ2のコンタクト抵抗は $0.84 \Omega cm^2$ である。

[0124] 測定回路を図41に示す。図41に示すように、直流電圧源、負荷抵抗および試験用のトランジスタ（トランジスタ1または2）を直列に接続した。電源電圧を200Vに、負荷抵抗を392 Ω に設定した。トランジスタ1または2をピンチオフ状態で10秒間保持し、次にゲート電極67に正電圧パルス印加し、トランジスタ1または2をオンした。ゲート電極67に印加する正電圧のパルス幅は1 μs である。なお、図41においては、PSJ-FETであるトランジスタ1または2を記号で示した。この記号において、○は2DHGを示す。

[0125] 図42および図43に、ゲート電圧 V_g 、ドレイン電圧 V_d 、ドレイン電流 I_d の波形を示す。オフ状態からオン状態への遷移時には、負荷抵抗に電圧がかかるのでドレイン電圧 V_d が低下してゆく。まず、トランジスタ1について

は、ドレイン電圧 V_d の急速な降下の後、それ以上 V_d の低下がなく一定値となった。一定に達した V_d 値は69Vであった。これは素子のチャネル抵抗が非常に大きいことを示しており、いわゆる電流コラプス状態となっている。なお、この現象をスイッチングコラプスと言い、通常のHFEETでもこれが大きな問題となっている。この原因は、正孔の注入速度が小さく、p型GaN層64の領域が負イオン化状態のままであり、クーロンの影響によりチャネル狭窄が生じており、小さなドレイン電流 I_d と大きなドレイン電圧 V_d の状態を生じている。なお、このトランジスタ1でもDC（パルス幅数100ms以上）では電流コラプスは解消されている。一方、オン状態からオフ状態への遷移は、ゲート電極67ードレイン電極66間は200Vの極めて高い逆バイアス状態となるので、p電極を兼用するゲート電極67のp型GaN層64に対するコンタクト抵抗が高くても正孔は引抜かれ、100ns以下の速さで綺麗なオフ状態となっていることが分かる。

[0126] 次に、トランジスタ2の動特性を見てみる。図43に示すように、ドレイン電圧 V_d は200ns以下でほぼ下がり切っている。これは分極超接合領域が、200ns程度で正孔が注入され、中性化されていることを示している。

[0127] 以上により、p電極のコンタクト抵抗が小さいことが非常に重要であることが分かる。

[0128] この第1の実施の形態によれば、特許文献3および非特許文献3で提案された、分極超接合を用いた半導体素子における高耐圧化と高速化との間のトレードオフ関係を容易に打ち破ることができ、高耐圧化と同時に、スイッチング時の電流コラプスの発生をなくし、かつ高速動作が可能な低損失のGaN系半導体素子を実現することができる。

[0129] 〈2. 第2の実施の形態〉

第2の実施の形態によるGaN系半導体素子について説明する。

[0130] 第1の実施の形態においては、限界換算厚さをアンドープ $Al_xGa_{1-x}N$ 層23（あるいはアンドープ $Al_xGa_{1-x}N$ 層12）の構造（組成・厚さ）に対

して求めた。ところで、 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層のAl組成や厚さを出来上がりの素子で簡便に計測することは容易ではない。ところが、電子濃度の測定は容易であり、従って素子の2DEG濃度と換算厚さ t_R との関係を検討することの効用は大きい。そこでそれを検討する。前述してきたように、 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層の構造と2DEG濃度とは、上記の参考文献にもある通り、一次の関係にあり、換算厚さ t_R を基準HEMTの2DEG濃度との関係においても求めることができる。基準HEMTは、アンドープGa_{0.17}N層11と、その上に形成された厚さが25nm以上47nm以下のアンドープ $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層12 ($0.17 \leq x \leq 0.35$) とからなる構造を有する構造を有するHEMTであり、 $0.89 \times 10^{13} \text{cm}^{-2}$ 以上 $1.70 \times 10^{13} \text{cm}^{-2}$ 以下の2DEG濃度を有する。この基準HEMTの2DEG濃度に対して、対応する分極超接合構造の限界2DHG濃度を与える換算厚さ t_R を図示すると図44に示すようになる。図44に、測定値に一致した $1/x$ 曲線を示した。基準HEMTの2DEG濃度を 10^{12}cm^{-2} を単位として n_s と表し、限界換算厚さを y と表す。このとき、

$$y = a / (n_s - b) + c \quad (5)$$

において、実験値に一致する曲線の a 、 b 、 c は、 $a = 24.22$ (丸めて24.2)、 $b = 7.83$ 、 $c = 47.36$ (丸めて47.4)であった。

[0131] 上記の検討においては、アンドープ $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層12のAl組成 x は $0.17 \leq x \leq 0.35$ 、厚さは25nm以上47nm以下としているが、結晶成長の様々な条件によって、 $0.89 \times 10^{13} \text{cm}^{-2}$ 以上 $1.7 \times 10^{13} \text{cm}^{-2}$ 以下の2DEG濃度を有する基準HEMTのアンドープ $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層23 (あるいはアンドープ $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層12)の構造(組成・厚さ)は変化し得る。そして、 $0.17 \leq x \leq 0.35$ のAl組成 x および25nm以上47nm以下の厚さと異なるAl組成および厚さを有するアンドープ $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層23によっても上記の2DEG濃度が得られることは、上記の参考文献と基準HEMTとの2DEG濃度の違いのように明らかである。なぜなら、2DEGは分極によって生じるからであり、アンドープ $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層

23はその分極を生じさせるために導入され、その分極度を得るためのアンドープ $A_{1-x}Ga_{1-x}N$ 層23の構造（組成・厚さ）は成長装置や温度などの様々な条件によって変化し得るからである。もっとも、そうは言っても、上記の $0.17 \leq x \leq 0.35$ の $A_{1-x}Ga_{1-x}N$ 組成および25nm以上47nm以下の厚さの範囲を大きく逸脱するものではない。従って、 $A_{1-x}Ga_{1-x}N$ 層の上記の $A_{1-x}Ga_{1-x}N$ 組成および厚さに代えて、基準HEMTの2DEG濃度が $0.89 \times 10^{13} \text{ cm}^{-2}$ 以上 $1.7 \times 10^{13} \text{ cm}^{-2}$ 以下となるアンドープ $A_{1-x}Ga_{1-x}N$ 層23（ $0 < x < 1$ ）に対して適用できる換算厚さ t_R は

$$t_R \geq 24.2 / (n_s - 7.83) + 47.4 \text{ [nm]} \quad (6)$$

である。ただし、基準HEMTの2DEG濃度が $0.89 \times 10^{13} \text{ cm}^{-2}$ 以上 $1.70 \times 10^{13} \text{ cm}^{-2}$ 以下である限り、アンドープ $A_{1-x}Ga_{1-x}N$ 層23の代わりにドナー（n型不純物）またはアクセプタ（p型不純物）がドーパされたn型またはp型の $A_{1-x}Ga_{1-x}N$ 層、例えばSiがドーパされたn型 $A_{1-x}Ga_{1-x}N$ 層を用いてもよい。

[0132] そこで、このGaN系半導体素子においては、換算厚さ t_R が式（6）を満たすようにアンドープGaN層13の厚さ u [nm]、p型GaN層14の厚さ v [nm]、p型GaN層14のMg濃度 w [cm^{-3}]ならびにアンドープ $A_{1-x}Ga_{1-x}N$ 層12（あるいはドーパされた $A_{1-x}Ga_{1-x}N$ 層12）の $A_{1-x}Ga_{1-x}N$ 組成および厚さが選ばれる。こうすることで、 $1 \times 10^{12} \text{ cm}^{-2}$ 以上の濃度の2DHG16を生成することができる。

[0133] このGaN系半導体素子の上記以外のことは、第1の実施の形態によるGaN系半導体素子と同様である。

[0134] このGaN系半導体素子の具体的な構造例も、基本的には第1の実施の形態と同様である。

[0135] この第2の実施の形態によれば、第1の実施の形態と同様な利点を得ることができる。

[0136] 〈3. 第3の実施の形態〉

第3の実施の形態によるGaN系双方向電界効果トランジスタ（分極超接

合双方向電界効果トランジスタ) について説明する。

[0137] 図45はこのGaN系双方向電界効果トランジスタを示す。図45に示すように、アンドープGaN層41、アンドープ Al_xGa_{1-x} N層42、アンドープGaN層43およびp型GaN層44が順次積層されている。アンドープ Al_xGa_{1-x} N層42上のアンドープGaN層43およびp型GaN層44はメサ型にパターニングされている。p型GaN層44上に二つの p^+ 型GaNコンタクト層45a、45bがメサ型で、かつ互いに分離して設けられている。アンドープGaN層43およびp型GaN層44を挟んでアンドープ Al_xGa_{1-x} N層42上に二つのソース電極46a、46bが互いに分離して設けられている。 p^+ 型GaNコンタクト層45a上にゲート電極として用いられるp電極49aが設けられ、 p^+ 型GaNコンタクト層45b上にゲート電極として用いられるp電極49bが設けられている。ソース電極46a、46b、 p^+ 型GaNコンタクト層45a、45bおよびp電極49a、49bは、アンドープGaN層43およびp型GaN層44に関して左右対称に形成されている。

[0138] このGaN系双方向電界効果トランジスタは、ゲート電極として用いられるp電極49a、49bに印加される信号電圧(スイッチ信号)により、入力される交流電圧に対し、順逆両方向の電圧をオン/オフすることができる。この場合、入力される交流電圧の極性に依じて、ソース電極46aまたはソース電極46bがドレイン電極として働く。

[0139] このGaN系双方向電界効果トランジスタは、マトリクスコンバータの双方向スイッチとして用いて好適なものである。一例を図46に示す。図46はマトリクスコンバータCを用いた三相交流誘導電動機Mの電源回路を示す。図46に示すように、マトリクスコンバータCは、横方向の配線 W_1 、 W_2 、 W_3 と縦方向の配線 W_4 、 W_5 、 W_6 との各交差部に、各交差部で交差する横方向の配線と縦方向の配線とを接続する双方向スイッチSがマトリクス状に設けられている。配線 W_1 、 W_2 、 W_3 には、三相交流電源Pの各相の電圧が入力フィルタFを介して入力される。配線 W_4 、 W_5 、 W_6 は三相交流誘導

電動機Mに接続されている。双方向スイッチSとしては、図45に示すGaN系双方向電界効果トランジスタが用いられる。

[0140] 図46に示す電源回路においては、マトリクスコンバータCの双方向スイッチSを高速でオン／オフすることにより、配線 W_1 、 W_2 、 W_3 に入力される三相交流の各相の電圧を直接、パルス幅変調（PWM）により短冊状に切り出し、それによって得られる任意の電圧および周波数の交流電圧を配線 W_4 、 W_5 、 W_6 に出力し、三相交流誘導電動機Mを駆動する。

[0141] このGaN系双方向電界効果トランジスタは、マルチレベルインバータの双方向スイッチとして用いても好適なものである。マルチレベルインバータは、例えば、電力変換システムの電力変換効率の向上に有効である（例えば、富士時報 Vol.83 No.6 2010, pp.362-365 参照。）。

[0142] この第3の実施の形態によるGaN系双方向電界効果トランジスタによれば、双方向に構成されていないGaN系電界効果トランジスタ、例えば図32に示すGaN系電界効果トランジスタに比べて、ゲート電極にスイッチ信号が入力された時の立ち上がり時間を短縮することができ、高速動作化を図ることができる。このため、このGaN系双方向電界効果トランジスタを図46に示すマトリクスコンバータCの双方向スイッチSに用いることにより、双方向スイッチSをより高速でスイッチングすることができ、マトリクスコンバータCの高速動作化を図ることができる。これによって、高性能のマトリクスコンバータCを実現することができ、このマトリクスコンバータCを用いることにより高性能の交流電源回路を実現することができる。同様に、高性能のマルチレベルインバータを実現することができ、このマルチレベルインバータを用いることにより高効率の電力変換システムを実現することができる。

[0143] 〈4. 第4の実施の形態〉

第4の実施の形態によるGaN系双方向電界効果トランジスタについて説明する。

このGaN系双方向電界効果トランジスタは、式（5）が成立することを

除いて、第3の実施の形態によるGaN系双方向電界効果トランジスタと同様な構成を有する。第3の実施の形態によるGaN系双方向電界効果トランジスタと同様に、このGaN系双方向電界効果トランジスタは、図46に示すマトリックスコンバータCの双方向スイッチSあるいはマルチレベルインバータの双方向スイッチとして用いることができる。

[0144] この第4の実施の形態によれば、第3の実施の形態と同様な利点を得ることができる。

[0145] 〈5. 第5の実施の形態〉

第5の実施の形態においては、第1～第4の実施の形態のいずれかによるGaN系電界効果トランジスタまたはGaN系双方向電界効果トランジスタを構成するチップを実装基板上にフリップチップ実装した実装構造体について説明する。

[0146] まず、この実装構造体の意義およびその説明を分かりやすくするために、本発明者が行った考察について説明する。

[0147] この発明による電界効果トランジスタにおいては、分極接合の利点と超接合の利点とを兼ね備えた分極超接合と呼ばれるものの原理を用いているので、走行チャネル全域に亘って低い均一電界を実現することができる。一例として、サファイア基板上に作製した図47に示す電界効果トランジスタ（PSJ-FET）のオフ耐圧の、分極超接合領域の長さ（PSJ長（ L_{psj} ））に対する依存性を図48に示す。この電界効果トランジスタは、図32に示す電界効果トランジスタとほぼ同様な構成を有する。p型GaN層44上にp⁺型GaNコンタクト層45がメサ型で設けられているが、図47においては図示されていない。また、ゲート電極を兼用するp電極49は、アンドープGaN層43、p型GaN層44およびp⁺型GaNコンタクト層45の端面からp⁺型GaNコンタクト層45上に延在して設けられている。図47に示すように、PSJ長 L_{psj} は、ゲート電極を兼用するp電極49のドレイン電極47側の端面とアンドープGaN層43およびp型GaN層44のドレイン電極47側の端面との間の距離である。符号40はサファイア基板を示

す。 L_{psj} を $10\ \mu\text{m}$ 、 $20\ \mu\text{m}$ 、 $30\ \mu\text{m}$ 、 $40\ \mu\text{m}$ と変化させた四種類の電界効果トランジスタを作製した。図48から分かるように、オフ耐圧は、 $L_{psj} = 10\ \mu\text{m}$ の場合には $1800\ \text{V}$ が得られ、 $L_{psj} = 40\ \mu\text{m}$ の場合には $6000\ \text{V}$ も得られた。オフ耐圧は L_{psj} に比例しており、超接合の効果が実現している。耐圧が L_{psj} に比例しているから、もし耐圧を2倍にしたければ、 L_{psj} を2倍にすればよい。

[0148] 以上はサファイア基板40上に作製した電界効果トランジスタに関する結果であるが、下地の基板をSi基板にすると、こうはならない。すなわち、図47に示す構造を有する電界効果トランジスタをSi基板上に作製した場合について考察する。図49にこの電界効果トランジスタを示す。この電界効果トランジスタは図32に示す電界効果トランジスタとほぼ同様な構造を有する。図49に示すように、この電界効果トランジスタにおいては、Si基板80上に厚さが $100\ \text{nm}$ のAlN層81、厚さが $1.5\ \mu\text{m}$ のAlGaInバッファ層82、厚さが $2.5\ \mu\text{m}$ のアンドープGaN層83、厚さが $40\ \text{nm}$ のアンドープ $\text{Al}_{0.23}\text{Ga}_{0.77}\text{N}$ 層84、厚さが $30\ \text{nm}$ のアンドープGaN層85およびアクセプタ濃度が $1 \times 10^{19}\ \text{cm}^{-3}$ で厚さが $20\ \text{nm}$ のp型GaN層86が順次積層されている。アンドープ $\text{Al}_{0.23}\text{Ga}_{0.77}\text{N}$ 層84上のアンドープGaN層85およびp型GaN層86はメサ型にパターニングされ、p型GaN層86上にアクセプタ濃度が $1 \times 10^{20}\ \text{cm}^{-3}$ で厚さが $5\ \text{nm}$ のp⁺型GaNコンタクト層87がメサ型で設けられている。アンドープGaN層85およびp型GaN層86を挟んでアンドープ $\text{Al}_{0.23}\text{Ga}_{0.77}\text{N}$ 層84上にソース電極88およびドレイン電極89が設けられている。アンドープGaN層85はその両端面がそれぞれソース電極88およびドレイン電極89と接触するように延在している。p⁺型GaNコンタクト層87上にゲート電極を兼用するp電極90が設けられている。アンドープ $\text{Al}_{0.23}\text{Ga}_{0.77}\text{N}$ 層84とアンドープGaN層85との間のヘテロ界面の近傍の部分におけるアンドープGaN層85に2DHG15が形成され、かつ、アンドープGaN層83とアンドープ $\text{Al}_{0.23}\text{Ga}_{0.77}\text{N}$ 層84との間のヘテロ界面の近傍の部

分におけるアンドープGaN層83に2DEG16が形成されている。この場合、ゲート幅 $W_g = 0.1\text{ mm}$ 、 $L_{psj} = 18\text{ }\mu\text{ m}$ である。

[0149] 図50は、この電界効果トランジスタ（PSJ-FET）のドレイン電流－ドレイン電圧特性の測定結果を示す。ただし、ゲート電圧 $V_g = -10\text{ V}$ である。図50の縦軸は対数目盛である。図50に示すように、この電界効果トランジスタは、ドレイン電圧が800V近辺からドレイン電流が増加している。図50の縦軸をリニア目盛としたものを図51に示す。図51より、ドレイン電圧が950V付近からドレイン電流が急激に増加していることが分かる。すなわち、Si基板80上の電界効果トランジスタ（PSJ-FET）のオフ耐圧は約950Vで、図47に示すサファイア基板40上の電界効果トランジスタのオフ耐圧に比べて小さい。これは、Si基板80上の電界効果トランジスタでは、動作時に、電子がソース電極88から下地のSi基板80に抜けてからドレイン電極89に達するリーク電流パス、あるいは、電子がソース電極88からSi基板80とAlN層81との界面を經由してドレイン電極89に達するリーク電流パスが存在することによることが判明している。Si基板80の耐圧は 0.3 MV/cm とGaNの耐圧より一桁小さいことが原因である。

[0150] Si基板上の電界効果トランジスタのリーク電流の低減を図るためには、Si基板を除去してそこに絶縁性物質をコーティングして絶縁基板上の素子とすればよい。図52は、Si基板を除去する前の電界効果トランジスタ（試料A）およびSi基板を除去してそこに例としてエポキシ樹脂をコーティングして絶縁基板上の素子とした後の電界効果トランジスタ（試料B）のドレイン電流－ドレイン電圧特性の測定結果を示す。ただし、試料A、Bとも、 $W_g = 1\text{ mm}$ 、 $L_{psj} = 25\text{ }\mu\text{ m}$ である。図52から分かるように、Si基板を除去してそこにエポキシ樹脂をコーティングして絶縁基板上の素子とした試料Bでは、リーク電流は、Si基板を除去する前の試料Aのリーク電流値の4000分の1に減少した。ただし、試料Aのドレイン電流値 $= 10\text{ }\mu\text{ A}$ （ $1 \times 10^{-5}\text{ A}$ ）をコンプライアンス電流値とした。電界効果トランジスタが

破壊に至る電圧（破壊電圧）については、このときに使用した測定器で印加することができる最大電圧が1100Vであったことにより破壊に至らなかったため不明であるが、以上のことから、Si基板を除去することでGaN本来の超高耐圧性能が得られることが証明された。

[0151] ところで、従来のフィールドプレート（FP）技術とサファイア基板との組み合わせによって、電界効果トランジスタの高耐圧化と電流コラプス制御とが可能であるか、考察してみる。まず、フィールドプレートによって、フィールドプレートなしの場合よりも耐圧を高めることはできる。その理由は、フィールドプレートによって電界のピークを分割し最高電界を小さくすることができるためである。また、フィールドプレートにより電流コラプスも緩和することが同じ理由で可能である。しかしながら、サファイア基板上のフィールドプレート付きGaN系HFETは電流コラプスの抑制が非常に不十分であることが知られ、現在では、サファイア基板上へのGaN系HFETの実用化開発は高電流応用では断念されている。実際、図53に示すように、従来のサファイア基板上のGaN系HFETは電流コラプスが非常に大きく、実用的ではない。すなわち、ストレス電圧が50V以上で電流コラプスが生じている。ただし、GaN系HFETは、図53中の挿入図に示すように、サファイア基板上にアンドープGaN層および $Al_xGa_{1-x}N$ 層が順次積層され、 $Al_xGa_{1-x}N$ 層上にゲート電極G、ソース電極Sおよびドレイン電極Dが形成されたものである。これに対して、図52に示すように、例えば図32に示す電界効果トランジスタ（PSJ-FET）ではサファイア基板上に形成されたものであっても全く電流コラプスが生じない。すなわち、PSJ-FETでは、ストレス電圧が350Vでも電流コラプスが生じていない。ここで、図53は電流コラプスを測定した結果であり、横軸はストレス電圧、縦軸はストレス電圧印加前後のチャネル抵抗（オン抵抗）の比、すなわちストレス電圧印加前のチャネル抵抗 R_{on} （印加前）に対するストレス電圧印加後のチャネル抵抗 R_{on} （印加後）の比 R_{on} （印加後）/ R_{on} （印加前）である。ここで、ストレス電圧とは、ゲート電極を負にバイアスしてトランジ

スタをオフ状態にし、大きなドレイン電圧を印加するときのそのドレイン電圧のことである。ストレス電圧の印加により、ゲート・ドレイン間に大きな電圧（電界）が印加される。電流コラプスの測定方法は次の通りである。ゲート電極にゲート電圧（ V_g ）として+1 Vのオン電圧を印加した状態で、ドレイン電圧（ V_d ）を0から10 V程度まで印加し、ドレイン電流（ I_d ）を測定する。次に、上記のストレス電圧を1秒間程度印加し、 V_d を0 V、 V_g を+1 Vにセットする。次に、 V_d を0から10 Vまで印加し、 I_d を測定する。 I_d の勾配（コンダクタンス）の逆数（チャンネル抵抗）の比、すなわち R_{on} （印加後）/ R_{on} （印加前）を求める。こうして求めた R_{on} （印加後）/ R_{on} （印加前）をストレス電圧に対してプロットしたものが図53である。

[0152] 図53が示す意味を改めて説明すると、従来のGa N系HFETはチャンネル層であるアンドープGa N層の下側（表面電極と反対側）はサファイア基板であり絶縁的であるため電流コラプスが生じてしまい、実用性がないということである。一方、伝導性のSi基板上にGa N系HFETを形成した後、Si基板を除去して高耐圧化を図ろうとすると電流コラプスが生じる。従って、現在では、電流コラプスの抑制の観点から除去することのできないSi基板の耐圧によって、Ga N系HFETの実用的な耐圧が数100 Vに制限されてしまっている。これに対して、この発明による電界効果トランジスタ（PSJ-FET）では、チャンネル層であるアンドープGa N層（より一般的にはアンドープInGa N層）の下側が絶縁基板であっても電流コラプスが生じないので、サファイア基板は勿論、Si基板を結晶成長のベース基板に用いても、それを除去することによって、電流コラプスフリーの高耐圧素子を製造することができる。

[0153] さて、高耐圧化のために、チャンネル層であるアンドープGa N層の下部を絶縁基板とした場合の課題は、放熱性である。サファイアは熱伝導率が概ね30 [W/mK]である。Si基板を結晶成長のベース基板とした場合、それを除去し、絶縁基板で支持する構造をとるとき、その熱伝導性が問題となる。実際、ポリイミドやエポキシ樹脂の熱伝導率は0.5から5 [W/mK

]である。このようにサファイアもポリイミドやエポキシ樹脂も熱伝導性が悪いため、このままでは素子の温度上昇が生じてしまうため、実用化することができない。

[0154] 放熱の問題は、公知の技術であるフリップチップ技術を改良適用することによって解決することができる。フリップチップ技術は、配線技術のカテゴリに含まれ、デジタル系高密度実装技術として発展している。通常、パッケージ内の（セラミック）基板とダイ（チップ）との間の配線はワイヤボンディング法によって行われているが、ダイのボンディング領域の縮小化のため、ハンダボールバンプを介して基板とダイパッドとの間をフェース・ツー・フェース（face to face）で直接結合させる。また、発光ダイオード（LED）やレーザーダイオード（LD）などの発光素子では、放熱の目的のため、サブマウント基板上にチップのほぼ全面をハンダ接合させるが、これもフリップチップの範疇である。一方、GaN系素子に対するフリップチップ技術は、本発明者の知る限り、電子素子（電子走行素子）に対しては殆ど報告がない。

[0155] さて、フリップチップ技術においては、チップの放熱を目的とした場合、チップの発熱部に近接した領域でサブマウント基板と接合する必要がある。横型高電流電界効果トランジスタでは通常、ゲート電極、ソース電極およびドレイン電極とも櫛型構造（interdigital structure）をとるが、その櫛の歯のオーミック電極、すなわちソース電極およびドレイン電極にサブマウント基板を直接、熱接触させることが望ましい。図54にその例を示す。すなわち、図54に示すように、例えばSi基板上に電界効果トランジスタ（PSJ-FET）（一例として、図48に示すGaN系電界効果トランジスタの構造を有する場合を示す。）を形成した後、まず公知の方法でSi基板を除去し、露出した面に絶縁層91を形成する。絶縁層91は、例えば、ポリイミドなどの有機系材料やSOG（スピノングラス）などの無機硝子系材料であればスピコート法などで塗布することにより形成することができる。サファイア基板上に形成した電界効果トランジスタ（PSJ-FET）で

あれば、サファイア基板を厚さ100 μm 程度まで薄化处理することが望ましい。ソース電極88およびドレイン電極89は、メッキ法により数 μm から10 μm 程度の高さの金属ピラー状に形成されている。一方、サブマウント基板92上にソース電極88およびドレイン電極89と概略同じサイズにパターニングされた金属層93、94を形成し、かつその上にハンダ層95（またはハンダボール）を形成したものを用意し、このサブマウント基板92のハンダ層95をソース電極88およびドレイン電極89に位置合わせした状態で接触させる。サブマウント基板92としては、例えば、Si基板、SiC基板、ダイヤモンド基板、BeO基板、CuW基板、CuMo基板、Cu基板、AlN基板などを用いることができる。次に、この状態で加熱することによりハンダ層95を溶融させてソース電極88およびドレイン電極89と金属層93、94とを溶着させる。この溶着のとき、溶融したハンダの表面張力によりソース電極88およびドレイン電極89と金属層93、94とが互いに自己整合するので、合わせ精度を要しない。市販のダイマウンター装置で可能である。なお、オーミック電極幅、すなわちソース電極88およびドレイン電極89の幅は、サブマウント基板92上の金属層93、94のパターンに対して通常のダイマウンターで位置合わせすることが可能な程度の幅を必要とするが、一般的には20 μm 以上あれば十分である。この実装構造体においては、動作時に電界効果トランジスタから発生する熱は、ソース電極88およびドレイン電極89と金属層93、94とを経由してサブマウント基板92に迅速に伝わり、最終的にサブマウント基板92から外部に放熱が行われる。なお、ソース電極88およびドレイン電極89のうち的一方だけ（例えば、ドレイン電極89だけ）を金属層93または金属層94を介してサブマウント基板92に接続するようにしてもよく、この場合も同様に最終的にサブマウント基板92から放熱を有効に行うことができる。

[0156] 図55に電界効果トランジスタを構成するチップ96とサブマウント基板92との全体像の一例を示す。サブマウント基板92上の金属層93、94はそれぞれ櫛の歯状に形成されており、これらの金属層93、94が、チッ

チップ96上に互いに分離したパターンとして形成されているソース電極88およびドレイン電極89とそれぞれ接続されている。チップ96の外側の部分の金属層93、94には、ワイヤボンディング用の幅広の引出し電極パッド部が形成されている。この場合、チップ96に引出し電極パッドを設ける必要がないので、ワイヤボンディング領域の面積を節約することができ、その分だけチップ96を小型化することが可能であり、ひいては電界効果トランジスタの製造コストの低減を図ることができる。参考のために、ワイヤボンディング法によりパッケージングを行った従来の横型パワートランジスタのチップの一例の写真を図56に示す。このチップでは、チップにおいて真性領域（素子領域）とは別にワイヤボンディング領域が必要であるため、チップの面積が増大する。

[0157] 以上のように、この第5の実施の形態によれば、第1～第4の実施の形態によるGaN系電界効果トランジスタ（PSJ-FET）とフリップチップ技術との組み合わせによって新規な実装構造体を実現することができる。この実装構造体によれば、次のような利点を得ることができる。すなわち、サブマウント基板92上にGaN系電界効果トランジスタを構成するチップ96をフリップチップ実装しているため、動作時にチップ96で発熱する熱をサブマウント基板92に迅速に逃がすことができ、このサブマウント基板92から外部に効率的に放熱を行うことができる。このため、チップ96の温度上昇を抑えることができる。また、GaN系電界効果トランジスタ（PSJ-FET）の印加電圧の制限がなくなり、600V以上の超高耐圧GaN系電界効果トランジスタを実現することができる。また、結晶成長に用いるベース基板として、サファイア基板やSi基板などのいずれも用いることができる。また、素子側の引出しパッド電極領域を設ける必要がなくなり、チップサイズを真性領域のサイズに減少させることができる。このように、この第5の実施の形態によれば、横型高電流素子としてのGaN系電界効果トランジスタにこれまでにない新しい価値を生じさせることができる。これは、従来のフィールドプレート技術を用いたGaN系HFETでは決して実現

することができないものである。

[0158] 以上、この発明の実施の形態および実施例について具体的に説明したが、この発明は、上述の実施の形態および実施例に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

[0159] 例えば、上述の実施の形態および実施例において挙げた数値、構造、形状、材料などはあくまでも例に過ぎず、必要に応じてこれらと異なる数値、構造、形状、材料などを用いてもよい。

[0160] 例えば、図29～図33に示すGa_xN系電界効果トランジスタにおいて、図29～図33中一点鎖線で示すように、アンドープGa_xN層43をその端面がドレイン電極47と接触するまで延在させるようにしてもよい。こうすることで、アンドープGa_xN層43がアンドープAl_xGa_{1-x}N層42の表面保護膜（キャップ層）として機能することによりアンドープAl_xGa_{1-x}N層42の表面安定性の向上を図ることができ、ひいてはGa_xN系電界効果トランジスタの特性の向上を図ることができる。図29に示すGa_xN系電界効果トランジスタにおいてはさらに、図29中一点鎖線で示すように、アンドープGa_xN層43をその端面がゲート電極48と接触するまで延在させるようにしてもよい。また、図32に示すGa_xN系電界効果トランジスタにおいてはさらに、図32中一点鎖線で示すように、アンドープGa_xN層43をその端面がソース電極46と接触するまで延在させるようにしてもよい。また、図34～図36に示すGa_xN系ダイオードにおいて、図34～図36中一点鎖線で示すように、アンドープGa_xN層53をその端面がカソード電極57と接触するまで延在させるようにしてもよい。こうすることで、アンドープGa_xN層53がアンドープAl_xGa_{1-x}N層52の表面保護膜として機能することによりアンドープAl_xGa_{1-x}N層52の表面安定性の向上を図ることができ、ひいてはGa_xN系ダイオードの特性の向上を図ることができる。図30に示すGa_xN系ダイオードにおいてはさらに、図34中一点鎖線で示すように、アンドープGa_xN層53をその端面がアノード電極56と接触するまで延在させるようにしてもよい。また、図44に示すGa_xN系双方向電界効

果トランジスタにおいて、図44中一点鎖線で示すように、アンドープGaN層43をその端面がソース電極46a、46bと接触するまで延在させるようにしてもよい。こうすることで、アンドープGaN層43がアンドープAl_xGa_{1-x}N層42の表面保護膜として機能することによりアンドープAl_xGa_{1-x}N層42の表面安定性の向上を図ることができ、ひいてはGaN系双方向電界効果トランジスタの特性の向上を図ることができる。必要に応じて、図29～図33に示すGaN系電界効果トランジスタ、図34～図36に示すGaN系ダイオードおよび図44に示すGaN系双方向電界効果トランジスタにおいて、アンドープAl_xGa_{1-x}N層42あるいはアンドープAl_xGa_{1-x}N層52の露出した表面の全体がアンドープGaN層43あるいはアンドープGaN層53で覆われるようにしてもよい。

[0161] また、第1または第2の実施の形態によるGaN系半導体素子のうちのノーマリーオン型の電界効果トランジスタは、安価な低耐圧Siトランジスタとの公知のカスコード回路実装によりノーマリーオフ型化が可能である。図57Aはこのノーマリーオン型電界効果トランジスタT₁と低耐圧ノーマリーオフ型SiMOSトランジスタT₂とを用いたカスコード回路を示す。図57Bはこのノーマリーオン型電界効果トランジスタT₁と低耐圧ノーマリーオフ型SiMOSトランジスタT₂とを用いた変形カスコード回路を示す。図57Cはこのノーマリーオン型電界効果トランジスタT₁と低耐圧ノーマリーオフ型SiMOSトランジスタT₂とショットキーダイオードDと抵抗Rとを用いた変形カスコード回路を示す。図57Dはこのノーマリーオン型電界効果トランジスタT₁と低耐圧ノーマリーオフ型SiMOSトランジスタT₃とキャパシタCと抵抗Rとを用いた変形カスコード回路を示す。図57Aに示すカスコード回路においては、高耐圧側のノーマリーオン型電界効果トランジスタT₁のオン時のゲート電圧(V_{gs})は0Vになるが、このノーマリーオン型電界効果トランジスタT₁においては、正のゲート電圧を印加することが有効である。そのために、図57B、図57Cまたは図57Dに示すような変形カスコード回路を用いることが有効である。また、このようにカスコード回

路あるいは変形カスコード回路を用いるとともにゲートドライバーを一つのパッケージ内に配置することも、従来公知の技術により可能である。

符号の説明

- [0162]
- 1 1 アンドープGaN層
 - 1 2 アンドープ $Al_xGa_{1-x}N$ 層
 - 1 3 アンドープGaN層
 - 1 4 p型GaN層
 - 1 5 2次元正孔ガス
 - 1 6 2次元電子ガス
 - 1 7 アノード電極
 - 1 8 カソード電極
 - 2 1 C面サファイア基板
 - 2 2 アンドープGaN層
 - 2 3 アンドープ $Al_xGa_{1-x}N$ 層
 - 2 4 アンドープGaN層
 - 2 5 p型GaN層
 - 2 6 p^+ 型GaNコンタクト層
 - 9 6 チップ

請求の範囲

[請求項1] 互いに分離して設けられた分極超接合領域と p 電極コンタクト領域とを有し、

前記分極超接合領域は、

第 1 のアンドープ GaN 層と、

前記第 1 のアンドープ GaN 層上の、厚さが 25 nm 以上 47 nm 以下のアンドープ $Al_x Ga_{1-x} N$ 層 ($0.17 \leq x \leq 0.35$) と、

前記アンドープ $Al_x Ga_{1-x} N$ 層上の第 2 のアンドープ GaN 層と

、

前記第 2 のアンドープ GaN 層上の、Mg がドーピングされた p 型 GaN 層とを有し、

前記第 2 のアンドープ GaN 層の厚さを u [nm]、前記 p 型 GaN 層の厚さを v [nm]、前記 p 型 GaN 層の Mg 濃度を w [cm^{-3}] で表し、換算厚さ t_R を

$$t_R = u + v (1 + w \times 10^{-18})$$

と定義したとき、

$$t_R \geq 0.864 / (x - 0.134) + 46.0 \text{ [nm]}$$

が成立し、

前記 p 電極コンタクト領域は、

前記 p 電極コンタクト領域においてのみ前記 p 型 GaN 層と接触して設けられた、前記 p 型 GaN 層よりも高濃度に Mg がドーピングされた p 型 GaN コンタクト層と、

前記 p 型 GaN コンタクト層とオーミック接触した p 電極とを有し

、

非動作時において、前記アンドープ $Al_x Ga_{1-x} N$ 層と前記第 2 のアンドープ GaN 層との間のヘテロ界面の近傍の部分における前記第 2 のアンドープ GaN 層に 2 次元正孔ガスが形成され、かつ、前記第 1 のアンドープ GaN 層と前記アンドープ $Al_x Ga_{1-x} N$ 層との間の

ヘテロ界面の近傍の部分における前記第1のアンダーープGa_{1-x}N層に2次元電子ガスが形成される半導体素子。

[請求項2] 前記p型Ga_{1-x}Nコンタクト層が前記p型Ga_{1-x}N層上にメサ型で設けられている請求項1記載の半導体素子。

[請求項3] 前記半導体素子は電界効果トランジスタであり、前記アンダーープAl_xGa_{1-x}N層上の前記第2のアンダーープGa_{1-x}N層および前記p型Ga_{1-x}N層はメサ型にパターンニングされ、前記p型Ga_{1-x}N層上に前記p型Ga_{1-x}Nコンタクト層がメサ型で設けられ、前記第2のアンダーープGa_{1-x}N層および前記p型Ga_{1-x}N層を挟んで前記アンダーープAl_xGa_{1-x}N層上にソース電極およびドレイン電極が設けられ、前記p型Ga_{1-x}Nコンタクト層上にゲート電極を兼用する前記p電極が設けられている請求項2記載の半導体素子。

[請求項4] 少なくとも一つの半導体素子を有し、
前記半導体素子が、
互いに分離して設けられた分極超接合領域とp電極コンタクト領域とを有し、
前記分極超接合領域は、
第1のアンダーープGa_{1-x}N層と、
前記第1のアンダーープGa_{1-x}N層上の、厚さが25nm以上47nm以下のアンダーープAl_xGa_{1-x}N層(0.17 ≤ x ≤ 0.35)と、
前記アンダーープAl_xGa_{1-x}N層上の第2のアンダーープGa_{1-x}N層と、
、
前記第2のアンダーープGa_{1-x}N層上の、Mgがドーピングされたp型Ga_{1-x}N層とを有し、
前記第2のアンダーープGa_{1-x}N層の厚さをu[nm]、前記p型Ga_{1-x}N層の厚さをv[nm]、前記p型Ga_{1-x}N層のMg濃度をw[cm⁻³]で表し、換算厚さt_Rを

$$t_R = u + v (1 + w \times 10^{-18})$$

と定義したとき、

$$t R \geq 0.864 / (x - 0.134) + 46.0 \text{ [nm]}$$

が成立し、

前記 p 電極コンタクト領域は、

前記 p 電極コンタクト領域においてのみ前記 p 型 GaN 層と接触して設けられた、前記 p 型 GaN 層よりも高濃度に Mg がドーピングされた p 型 GaN コンタクト層と、

前記 p 型 GaN コンタクト層とオーミック接触した p 電極とを有し、

非動作時において、前記アンドープ $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層と前記第 2 のアンドープ GaN 層との間のヘテロ界面の近傍の部分における前記第 2 のアンドープ GaN 層に 2 次元正孔ガスが形成され、かつ、前記第 1 のアンドープ GaN 層と前記アンドープ $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層との間のヘテロ界面の近傍の部分における前記第 1 のアンドープ GaN 層に 2 次元電子ガスが形成される半導体素子である電気機器。

[請求項5]

互いに分離して設けられた分極超接合領域と p 電極コンタクト領域とを有し、

前記分極超接合領域は、

第 1 のアンドープ GaN 層と、

前記第 1 のアンドープ GaN 層上の、厚さが 25 nm 以上 47 nm 以下のアンドープ $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層 ($0.17 \leq x \leq 0.35$) と、

前記アンドープ $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層上の第 2 のアンドープ GaN 層と、

前記第 2 のアンドープ GaN 層上の、Mg がドーピングされた p 型 GaN 層とを有し、

前記第 2 のアンドープ GaN 層の厚さを u [nm]、前記 p 型 GaN 層の厚さを v [nm]、前記 p 型 GaN 層の Mg 濃度を w [cm^{-3}] で表し、換算厚さ $t R$ を

$$t R = u + v (1 + w \times 10^{-18})$$

と定義したとき、

$$t R \geq 0.864 / (x - 0.134) + 46.0 \text{ [nm]}$$

が成立し、

前記第2のアンドープGaN層および前記p型GaN層はメサ型の形状を有し、

前記第2のアンドープGaN層および前記p型GaN層を挟んで前記アンドープAl_xGa_{1-x}N層上に第1のソース電極および第2のソース電極が設けられており、

前記p電極コンタクト領域は、

前記p電極コンタクト領域においてのみ前記p型GaN層と接触して設けられた、前記p型GaN層よりも高濃度にMgがドーピングされた第1のp型GaNコンタクト層と、

前記p電極コンタクト領域においてのみ前記p型GaN層と接触し、かつ前記第1のp型GaNコンタクト層と分離して設けられた、前記p型GaN層よりも高濃度にMgがドーピングされた第2のp型GaNコンタクト層と、

前記第1のp型GaNコンタクト層とオーミック接触した、第1のゲート電極を構成する第1のp電極と、

前記第2のp型GaNコンタクト層とオーミック接触した、第2のゲート電極を構成する第2のp電極とを有し、

非動作時において、前記アンドープAl_xGa_{1-x}N層と前記第2のアンドープGaN層との間のヘテロ界面の近傍の部分における前記第2のアンドープGaN層に2次元正孔ガスが形成され、かつ、前記第1のアンドープGaN層と前記アンドープAl_xGa_{1-x}N層との間のヘテロ界面の近傍の部分における前記第1のアンドープGaN層に2次元電子ガスが形成される双方向電界効果トランジスタ。

[請求項6]

一つまたは複数の双方向スイッチを有し、

少なくとも一つの前記双方向スイッチが、
互いに分離して設けられた分極超接合領域と p 電極コンタクト領域とを有し、

前記分極超接合領域は、

第 1 のアンドープ GaN 層と、

前記第 1 のアンドープ GaN 層上の、厚さが 25 nm 以上 47 nm 以下のアンドープ $Al_x Ga_{1-x}$ N 層 ($0.17 \leq x \leq 0.35$) と、

前記アンドープ $Al_x Ga_{1-x}$ N 層上の第 2 のアンドープ GaN 層と

、

前記第 2 のアンドープ GaN 層上の、Mg がドーピングされた p 型 GaN 層とを有し、

前記第 2 のアンドープ GaN 層の厚さを u [nm]、前記 p 型 GaN 層の厚さを v [nm]、前記 p 型 GaN 層の Mg 濃度を w [cm^{-3}] で表し、換算厚さ t_R を

$$t_R = u + v (1 + w \times 10^{-18})$$

と定義したとき、

$$t_R \geq 0.864 / (x - 0.134) + 46.0 \text{ [nm]}$$

が成立し、

前記第 2 のアンドープ GaN 層および前記 p 型 GaN 層はメサ型の形状を有し、

前記第 2 のアンドープ GaN 層および前記 p 型 GaN 層を挟んで前記アンドープ $Al_x Ga_{1-x}$ N 層上に第 1 のソース電極および第 2 のソース電極が設けられており、

前記 p 電極コンタクト領域は、

前記 p 電極コンタクト領域においてのみ前記 p 型 GaN 層と接触して設けられた、前記 p 型 GaN 層よりも高濃度に Mg がドーピングされた第 1 の p 型 GaN コンタクト層と、

前記 p 電極コンタクト領域においてのみ前記 p 型 GaN 層と接触し

、かつ前記第1のp型Ga_{1-x}Nコンタクト層と分離して設けられた、前記p型Ga_{1-x}N層よりも高濃度にMgがドーピングされた第2のp型Ga_{1-x}Nコンタクト層と、

前記第1のp型Ga_{1-x}Nコンタクト層とオーミック接触した、第1のゲート電極を構成する第1のp電極と、

前記第2のp型Ga_{1-x}Nコンタクト層とオーミック接触した、第2のゲート電極を構成する第2のp電極とを有し、

非動作時において、前記アンドープAl_xGa_{1-x}N層と前記第2のアンドープGa_{1-x}N層との間のヘテロ界面の近傍の部分における前記第2のアンドープGa_{1-x}N層に2次元正孔ガスが形成され、かつ、前記第1のアンドープGa_{1-x}N層と前記アンドープAl_xGa_{1-x}N層との間のヘテロ界面の近傍の部分における前記第1のアンドープGa_{1-x}N層に2次元電子ガスが形成される双方向電界効果トランジスタである電気機器。

[請求項7]

半導体素子を構成するチップと、

前記チップがフリップチップ実装された実装基板とを有し、

前記半導体素子が、

互いに分離して設けられた分極超接合領域とp電極コンタクト領域とを有し、

前記分極超接合領域は、

第1のアンドープGa_{1-x}N層と、

前記第1のアンドープGa_{1-x}N層上の、厚さが25nm以上47nm以下のアンドープAl_xGa_{1-x}N層(0.17 ≤ x ≤ 0.35)と、

前記アンドープAl_xGa_{1-x}N層上の第2のアンドープGa_{1-x}N層と

、

前記第2のアンドープGa_{1-x}N層上の、Mgがドーピングされたp型Ga_{1-x}N層とを有し、

前記第2のアンドープGa_{1-x}N層の厚さをu[nm]、前記p型Ga_{1-x}N層の厚さをv[nm]と有し、

N層の厚さを v [nm]、前記p型Ga_{1-x}N層のMg濃度を w [cm⁻³]で表し、換算厚さ t_R を

$$t_R = u + v (1 + w \times 10^{-18})$$

と定義したとき、

$$t_R \geq 0.864 / (x - 0.134) + 46.0 \text{ [nm]}$$

が成立し、

前記p電極コンタクト領域は、

前記p電極コンタクト領域においてのみ前記p型Ga_{1-x}N層と接触して設けられた、前記p型Ga_{1-x}N層よりも高濃度にMgがドーピングされたp型Ga_{1-x}Nコンタクト層と、

前記p型Ga_{1-x}Nコンタクト層とオーミック接触したp電極とを有し、

非動作時において、前記アンドープAl_xGa_{1-x}N層と前記第2のアンドープGa_{1-x}N層との間のヘテロ界面の近傍の部分における前記第2のアンドープGa_{1-x}N層に2次元正孔ガスが形成され、かつ、前記第1のアンドープGa_{1-x}N層と前記アンドープAl_xGa_{1-x}N層との間のヘテロ界面の近傍の部分における前記第1のアンドープGa_{1-x}N層に2次元電子ガスが形成される半導体素子である実装構造体。

[請求項8]

半導体素子を構成するチップと、

前記チップがフリップチップ実装された実装基板とを有し、

前記半導体素子が、

互いに分離して設けられた分極超接合領域とp電極コンタクト領域とを有し、

前記分極超接合領域は、

第1のアンドープGa_{1-x}N層と、

前記第1のアンドープGa_{1-x}N層上の、厚さが25nm以上47nm以下のアンドープAl_xGa_{1-x}N層 ($0.17 \leq x \leq 0.35$) と、

前記アンドープAl_xGa_{1-x}N層上の第2のアンドープGa_{1-x}N層と

、

前記第2のアンドープGa_{1-x}N層上の、Mgがドーピングされたp型Ga_{1-x}N層とを有し、

前記第2のアンドープGa_{1-x}N層の厚さをu [nm]、前記p型Ga_{1-x}N層の厚さをv [nm]、前記p型Ga_{1-x}N層のMg濃度をw [cm⁻³] で表し、換算厚さt_Rを

$$t_R = u + v (1 + w \times 10^{-18})$$

と定義したとき、

$$t_R \geq 0.864 / (x - 0.134) + 46.0 \text{ [nm]}$$

が成立し、

前記第2のアンドープGa_{1-x}N層および前記p型Ga_{1-x}N層はメサ型の形状を有し、

前記第2のアンドープGa_{1-x}N層および前記p型Ga_{1-x}N層を挟んで前記アンドープAl_xGa_{1-x}N層上に第1のソース電極および第2のソース電極が設けられており、

前記p電極コンタクト領域は、

前記p電極コンタクト領域においてのみ前記p型Ga_{1-x}N層と接触して設けられた、前記p型Ga_{1-x}N層よりも高濃度にMgがドーピングされた第1のp型Ga_{1-x}Nコンタクト層と、

前記p電極コンタクト領域においてのみ前記p型Ga_{1-x}N層と接触し、かつ前記第1のp型Ga_{1-x}Nコンタクト層と分離して設けられた、前記p型Ga_{1-x}N層よりも高濃度にMgがドーピングされた第2のp型Ga_{1-x}Nコンタクト層と、

前記第1のp型Ga_{1-x}Nコンタクト層とオーミック接触した、第1のゲート電極を構成する第1のp電極と、

前記第2のp型Ga_{1-x}Nコンタクト層とオーミック接触した、第2のゲート電極を構成する第2のp電極とを有し、

非動作時において、前記アンドープAl_xGa_{1-x}N層と前記第2の

アンドープGa_aN層との間のヘテロ界面の近傍の部分における前記第2のアンドープGa_aN層に2次元正孔ガスが形成され、かつ、前記第1のアンドープGa_aN層と前記アンドープAl_xGa_{1-x}N層との間のヘテロ界面の近傍の部分における前記第1のアンドープGa_aN層に2次元電子ガスが形成される双方向電界効果トランジスタである実装構造体。

[請求項9] 互いに分離して設けられた分極超接合領域とp電極コンタクト領域とを有し、

前記分極超接合領域は、

第1のアンドープGa_aN層と、

前記第1のアンドープGa_aN層上のアンドープまたはドーパされたAl_xGa_{1-x}N層(0<x<1)と、

前記アンドープまたはドーパされたAl_xGa_{1-x}N層上の第2のアンドープGa_aN層と、

前記第2のアンドープGa_aN層上の、Mgがドーパされたp型Ga_aN層とを有し、

前記アンドープまたはドーパされたAl_xGa_{1-x}N層は、前記第1のアンドープGa_aN層と、前記第1のアンドープGa_aN層上の前記アンドープまたはドーパされたAl_xGa_{1-x}N層とからなる構造を有する基準HEMTの2次元電子ガス濃度が $0.89 \times 10^{13} \text{ cm}^{-2}$ 以上 $1.70 \times 10^{13} \text{ cm}^{-2}$ 以下となるAl組成xおよび厚さを有し、かつ、前記第2のアンドープGa_aN層の厚さをu[nm]、前記p型Ga_aN層の厚さをv[nm]、前記p型Ga_aN層のMg濃度をw[cm⁻³]で表し、前記基準HEMTの2次元電子ガス濃度を 10^{12} cm^{-2} を単位としてn_sで表し、換算厚さtRを

$$tR = u + v(1 + w \times 10^{-18})$$

と定義したとき、

$$tR \geq 24.2 / (n_s - 7.83) + 47.4 \text{ [nm]}$$

が成立し、

前記 p 電極コンタクト領域は、

前記 p 電極コンタクト領域においてのみ前記 p 型 GaN 層と接触して設けられた、前記 p 型 GaN 層よりも高濃度に Mg がドーパされた p 型 GaN コンタクト層と、

前記 p 型 GaN コンタクト層とオーミック接触した p 電極とを有し、

非動作時において、前記アンドープまたはドーパされた $Al_x Ga_{1-x} N$ 層と前記第 2 のアンドープ GaN 層との間のヘテロ界面の近傍の部分における前記第 2 のアンドープ GaN 層に 2 次元正孔ガスが形成され、かつ、前記第 1 のアンドープ GaN 層と前記アンドープまたはドーパされた $Al_x Ga_{1-x} N$ 層との間のヘテロ界面の近傍の部分における前記第 1 のアンドープ GaN 層に 2 次元電子ガスが形成される半導体素子。

[請求項 10]

少なくとも一つの半導体素子を有し、

前記半導体素子が、

互いに分離して設けられた分極超接合領域と p 電極コンタクト領域とを有し、

前記分極超接合領域は、

第 1 のアンドープ GaN 層と、

前記第 1 のアンドープ GaN 層上のアンドープまたはドーパされた $Al_x Ga_{1-x} N$ 層 ($0 < x < 1$) と、

前記アンドープまたはドーパされた $Al_x Ga_{1-x} N$ 層上の第 2 のアンドープ GaN 層と、

前記第 2 のアンドープ GaN 層上の、Mg がドーパされた p 型 GaN 層とを有し、

前記アンドープまたはドーパされた $Al_x Ga_{1-x} N$ 層は、前記第 1 のアンドープ GaN 層と、前記第 1 のアンドープ GaN 層上の前記ア

ンドープまたはドープされた $Al_xGa_{1-x}N$ 層とからなる構造を有する基準 HEMT の 2 次元電子ガス濃度が $0.89 \times 10^{13} \text{ cm}^{-2}$ 以上 $1.70 \times 10^{13} \text{ cm}^{-2}$ 以下となる Al 組成 x および厚さを有し、かつ、前記第 2 のアンドープ GaN 層の厚さを u [nm]、前記 p 型 GaN 層の厚さを v [nm]、前記 p 型 GaN 層の Mg 濃度を w [cm^{-3}] で表し、前記基準 HEMT の 2 次元電子ガス濃度を 10^{12} cm^{-2} を単位として n_s で表し、換算厚さ tR を

$$tR = u + v (1 + w \times 10^{-18})$$

と定義したとき、

$$tR \geq 24.2 / (n_s - 7.83) + 47.4 \text{ [nm]}$$

が成立し、

前記 p 電極コンタクト領域は、

前記 p 電極コンタクト領域においてのみ前記 p 型 GaN 層と接触して設けられた、前記 p 型 GaN 層よりも高濃度に Mg がドープされた p 型 GaN コンタクト層と、

前記 p 型 GaN コンタクト層とオーミック接触した p 電極とを有し、

非動作時において、前記アンドープまたはドープされた $Al_xGa_{1-x}N$ 層と前記第 2 のアンドープ GaN 層との間のヘテロ界面の近傍の部分における前記第 2 のアンドープ GaN 層に 2 次元正孔ガスが形成され、かつ、前記第 1 のアンドープ GaN 層と前記アンドープまたはドープされた $Al_xGa_{1-x}N$ 層との間のヘテロ界面の近傍の部分における前記第 1 のアンドープ GaN 層に 2 次元電子ガスが形成される半導体素子である電気機器。

[請求項 11]

互いに分離して設けられた分極超接合領域と p 電極コンタクト領域とを有し、

前記分極超接合領域は、

第 1 のアンドープ GaN 層と、

前記第1のアンダーープGaN層上のアンダーープまたはドーブされた $Al_x Ga_{1-x} N$ 層 ($0 < x < 1$) と、

前記アンダーープまたはドーブされた $Al_x Ga_{1-x} N$ 層上の第2のアンダーープGaN層と、

前記第2のアンダーープGaN層上の、Mgがドーブされたp型GaN層とを有し、

前記アンダーープまたはドーブされた $Al_x Ga_{1-x} N$ 層は、前記第1のアンダーープGaN層と、前記第1のアンダーープGaN層上の前記アンダーープまたはドーブされた $Al_x Ga_{1-x} N$ 層とからなる構造を有する基準HEMTの2次元電子ガス濃度が $0.89 \times 10^{13} \text{ cm}^{-2}$ 以上 $1.70 \times 10^{13} \text{ cm}^{-2}$ 以下となるAl組成xおよび厚さを有し、かつ、前記第2のアンダーープGaN層の厚さを u [nm]、前記p型GaN層の厚さを v [nm]、前記p型GaN層のMg濃度を w [cm^{-3}] で表し、前記基準HEMTの2次元電子ガス濃度を 10^{12} cm^{-2} を単位として n_s で表し、換算厚さ t_R を

$$t_R = u + v (1 + w \times 10^{-18})$$

と定義したとき、

$$t_R \geq 24.2 / (n_s - 7.83) + 47.4 \text{ [nm]}$$

が成立し、

前記第2のアンダーープGaN層および前記p型GaN層はメサ型の形状を有し、

前記第2のアンダーープGaN層および前記p型GaN層を挟んで前記アンダーープまたはドーブされた $Al_x Ga_{1-x} N$ 層上に第1のソース電極および第2のソース電極が設けられており、

前記p電極コンタクト領域は、

前記p電極コンタクト領域においてのみ前記p型GaN層と接触して設けられた、前記p型GaN層よりも高濃度にMgがドーブされた第1のp型GaNコンタクト層と、

前記 p 電極コンタクト領域においてのみ前記 p 型 GaN 層と接触し、かつ前記第 1 の p 型 GaN コンタクト層と分離して設けられた、前記 p 型 GaN 層よりも高濃度に Mg がドーピングされた第 2 の p 型 GaN コンタクト層と、

前記第 1 の p 型 GaN コンタクト層とオーミック接触した、第 1 のゲート電極を構成する第 1 の p 電極と、

前記第 2 の p 型 GaN コンタクト層とオーミック接触した、第 2 のゲート電極を構成する第 2 の p 電極とを有し、

非動作時において、前記アンドープまたはドーピングされた $Al_x Ga_{1-x}N$ 層と前記第 2 のアンドープ GaN 層との間のヘテロ界面の近傍の部分における前記第 2 のアンドープ GaN 層に 2 次元正孔ガスが形成され、かつ、前記第 1 のアンドープ GaN 層と前記アンドープまたはドーピングされた $Al_x Ga_{1-x}N$ 層との間のヘテロ界面の近傍の部分における前記第 1 のアンドープ GaN 層に 2 次元電子ガスが形成される双方向電界効果トランジスタ。

[請求項 12]

一つまたは複数の双方向スイッチを有し、

少なくとも一つの前記双方向スイッチが、

互いに分離して設けられた分極超接合領域と p 電極コンタクト領域とを有し、

前記分極超接合領域は、

第 1 のアンドープ GaN 層と、

前記第 1 のアンドープ GaN 層上のアンドープまたはドーピングされた $Al_x Ga_{1-x}N$ 層 ($0 < x < 1$) と、

前記アンドープまたはドーピングされた $Al_x Ga_{1-x}N$ 層上の第 2 のアンドープ GaN 層と、

前記第 2 のアンドープ GaN 層上の、Mg がドーピングされた p 型 GaN 層とを有し、

前記アンドープまたはドーピングされた $Al_x Ga_{1-x}N$ 層は、前記第 1

のアンドープGa_{1-x}N層と、前記第1のアンドープGa_{1-x}N層上の前記アンドープまたはドーパされたAl_xGa_{1-x}N層とからなる構造を有する基準HEMTの2次元電子ガス濃度が $0.89 \times 10^{13} \text{ cm}^{-2}$ 以上 $1.70 \times 10^{13} \text{ cm}^{-2}$ 以下となるAl組成xおよび厚さを有し、かつ、前記第2のアンドープGa_{1-x}N層の厚さをu [nm]、前記p型Ga_{1-x}N層の厚さをv [nm]、前記p型Ga_{1-x}N層のMg濃度をw [cm⁻³]で表し、前記基準HEMTの2次元電子ガス濃度を 10^{12} cm^{-2} を単位としてn_sで表し、換算厚さt_Rを

$$t_R = u + v (1 + w \times 10^{-18})$$

と定義したとき、

$$t_R \geq 24.2 / (n_s - 7.83) + 47.4 \text{ [nm]}$$

が成立し、

前記第2のアンドープGa_{1-x}N層および前記p型Ga_{1-x}N層はメサ型の形状を有し、

前記第2のアンドープGa_{1-x}N層および前記p型Ga_{1-x}N層を挟んで前記アンドープまたはドーパされたAl_xGa_{1-x}N層上に第1のソース電極および第2のソース電極が設けられており、

前記p電極コンタクト領域は、

前記p電極コンタクト領域においてのみ前記p型Ga_{1-x}N層と接触して設けられた、前記p型Ga_{1-x}N層よりも高濃度にMgがドーパされた第1のp型Ga_{1-x}Nコンタクト層と、

前記p電極コンタクト領域においてのみ前記p型Ga_{1-x}N層と接触し、かつ前記第1のp型Ga_{1-x}Nコンタクト層と分離して設けられた、前記p型Ga_{1-x}N層よりも高濃度にMgがドーパされた第2のp型Ga_{1-x}Nコンタクト層と、

前記第1のp型Ga_{1-x}Nコンタクト層とオーミック接触した、第1のゲート電極を構成する第1のp電極と、

前記第2のp型Ga_{1-x}Nコンタクト層とオーミック接触した、第2の

ゲート電極を構成する第2のp電極とを有し、

非動作時において、前記アンドープまたはドーピングされた $Al_xGa_{1-x}N$ 層と前記第2のアンドープ GaN 層との間のヘテロ界面の近傍の部分における前記第2のアンドープ GaN 層に2次元正孔ガスが形成され、かつ、前記第1のアンドープ GaN 層と前記アンドープまたはドーピングされた $Al_xGa_{1-x}N$ 層との間のヘテロ界面の近傍の部分における前記第1のアンドープ GaN 層に2次元電子ガスが形成される双方向電界効果トランジスタである電気機器。

[請求項13]

半導体素子を構成するチップと、

前記チップがフリップチップ実装された実装基板とを有し、

前記半導体素子が、

互いに分離して設けられた分極超接合領域とp電極コンタクト領域とを有し、

前記分極超接合領域は、

第1のアンドープ GaN 層と、

前記第1のアンドープ GaN 層上のアンドープまたはドーピングされた $Al_xGa_{1-x}N$ 層 ($0 < x < 1$) と、

前記アンドープまたはドーピングされた $Al_xGa_{1-x}N$ 層上の第2のアンドープ GaN 層と、

前記第2のアンドープ GaN 層上の、Mgがドーピングされたp型 GaN 層とを有し、

前記アンドープまたはドーピングされた $Al_xGa_{1-x}N$ 層は、前記第1のアンドープ GaN 層と、前記第1のアンドープ GaN 層上の前記アンドープまたはドーピングされた $Al_xGa_{1-x}N$ 層とからなる構造を有する基準HEMTの2次元電子ガス濃度が $0.89 \times 10^{13} \text{ cm}^{-2}$ 以上 $1.70 \times 10^{13} \text{ cm}^{-2}$ 以下となるAl組成xおよび厚さを有し、かつ、前記第2のアンドープ GaN 層の厚さをu [nm]、前記p型 GaN 層の厚さをv [nm]、前記p型 GaN 層のMg濃度をw [cm

^{-3]} で表し、前記基準 H E M T の 2 次元電子ガス濃度を 10^{12} cm^{-2} を単位として n_s で表し、換算厚さ t_R を

$$t_R = u + v (1 + w \times 10^{-18})$$

と定義したとき、

$$t_R \geq 24.2 / (n_s - 7.83) + 47.4 \text{ [nm]}$$

が成立し、

前記 p 電極コンタクト領域は、

前記 p 電極コンタクト領域においてのみ前記 p 型 Ga N 層と接触して設けられた、前記 p 型 Ga N 層よりも高濃度に Mg がドーピングされた p 型 Ga N コンタクト層と、

前記 p 型 Ga N コンタクト層とオーミック接触した p 電極とを有し、

非動作時において、前記アンドープまたはドーピングされた $\text{Al}_x \text{Ga}_{1-x}$ N 層と前記第 2 のアンドープ Ga N 層との間のヘテロ界面の近傍の部分における前記第 2 のアンドープ Ga N 層に 2 次元正孔ガスが形成され、かつ、前記第 1 のアンドープ Ga N 層と前記アンドープまたはドーピングされた $\text{Al}_x \text{Ga}_{1-x}$ N 層との間のヘテロ界面の近傍の部分における前記第 1 のアンドープ Ga N 層に 2 次元電子ガスが形成される半導体素子である実装構造体。

[請求項 14]

半導体素子を構成するチップと、

前記チップがフリップチップ実装された実装基板とを有し、

前記半導体素子が、

互いに分離して設けられた分極超接合領域と p 電極コンタクト領域とを有し、

前記分極超接合領域は、

第 1 のアンドープ Ga N 層と、

前記第 1 のアンドープ Ga N 層上のアンドープまたはドーピングされた $\text{Al}_x \text{Ga}_{1-x}$ N 層 ($0 < x < 1$) と、

前記アンドープまたはドーピングされた $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層上の第2のアンドープ GaN 層と、

前記第2のアンドープ GaN 層上の、 Mg がドーピングされた p 型 GaN 層とを有し、

前記アンドープまたはドーピングされた $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層は、前記第1のアンドープ GaN 層と、前記第1のアンドープ GaN 層上の前記アンドープまたはドーピングされた $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層とからなる構造を有する基準 HEMT の2次元電子ガス濃度が $0.89 \times 10^{13} \text{cm}^{-2}$ 以上 $1.70 \times 10^{13} \text{cm}^{-2}$ 以下となる Al 組成 x および厚さを有し、かつ、前記第2のアンドープ GaN 層の厚さを u [nm]、前記 p 型 GaN 層の厚さを v [nm]、前記 p 型 GaN 層の Mg 濃度を w [cm^{-3}] で表し、前記基準 HEMT の2次元電子ガス濃度を 10^{12}cm^{-2} を単位として n_s で表し、換算厚さ t_R を

$$t_R = u + v (1 + w \times 10^{-18})$$

と定義したとき、

$$t_R \geq 24.2 / (n_s - 7.83) + 47.4 \text{ [nm]}$$

が成立し、

前記第2のアンドープ GaN 層および前記 p 型 GaN 層はメサ型の形状を有し、

前記第2のアンドープ GaN 層および前記 p 型 GaN 層を挟んで前記アンドープまたはドーピングされた $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層上に第1のソース電極および第2のソース電極が設けられており、

前記 p 電極コンタクト領域は、

前記 p 電極コンタクト領域においてのみ前記 p 型 GaN 層と接触して設けられた、前記 p 型 GaN 層よりも高濃度に Mg がドーピングされた第1の p 型 GaN コンタクト層と、

前記 p 電極コンタクト領域においてのみ前記 p 型 GaN 層と接触し、かつ前記第1の p 型 GaN コンタクト層と分離して設けられた、前

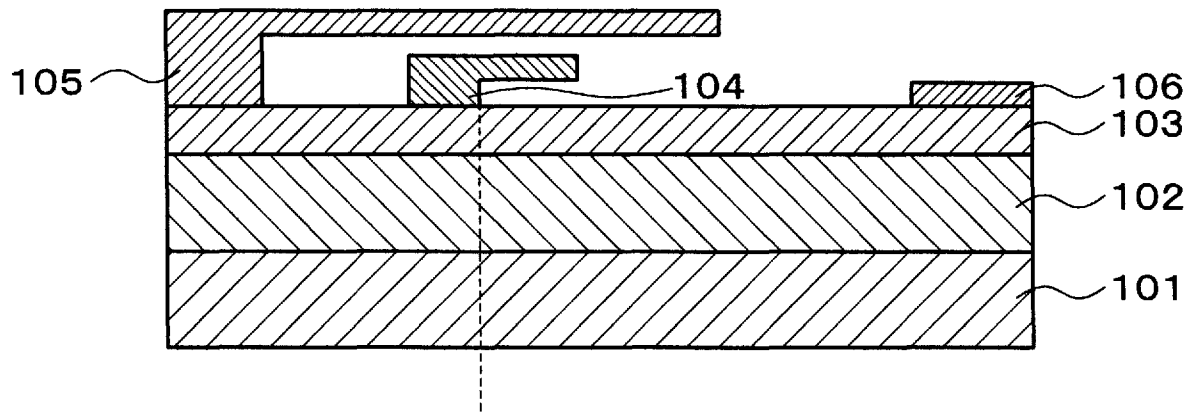
記 p 型 GaN 層よりも高濃度に Mg がドーピングされた第 2 の p 型 GaN コンタクト層と、

前記第 1 の p 型 GaN コンタクト層とオーミック接触した、第 1 のゲート電極を構成する第 1 の p 電極と、

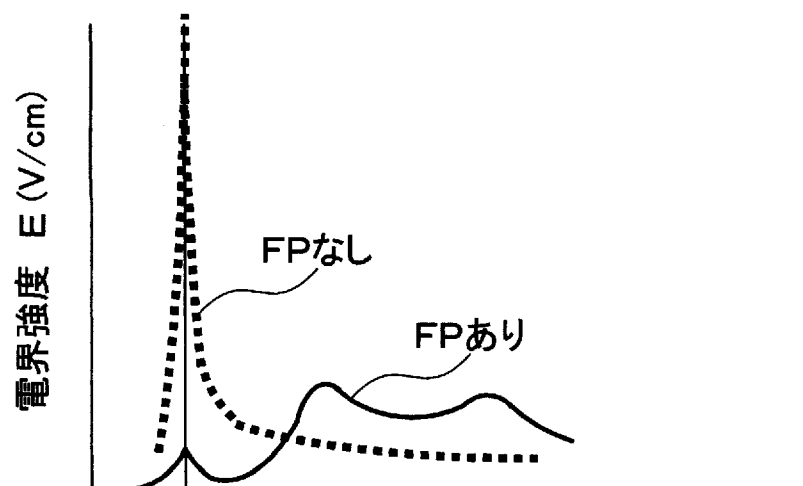
前記第 2 の p 型 GaN コンタクト層とオーミック接触した、第 2 のゲート電極を構成する第 2 の p 電極とを有し、

非動作時において、前記アンドープまたはドーピングされた $Al_x Ga_{1-x} N$ 層と前記第 2 のアンドープ GaN 層との間のヘテロ界面の近傍の部分における前記第 2 のアンドープ GaN 層に 2 次元正孔ガスが形成され、かつ、前記第 1 のアンドープ GaN 層と前記アンドープまたはドーピングされた $Al_x Ga_{1-x} N$ 層との間のヘテロ界面の近傍の部分における前記第 1 のアンドープ GaN 層に 2 次元電子ガスが形成される双方向電界効果トランジスタである実装構造体。

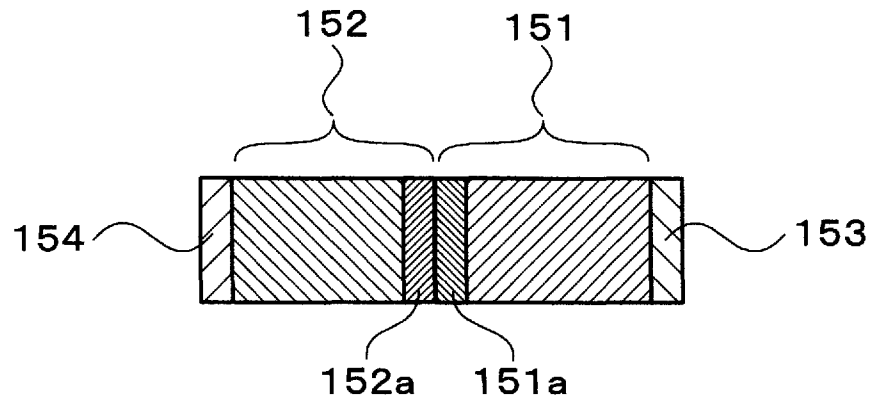
[図1A]



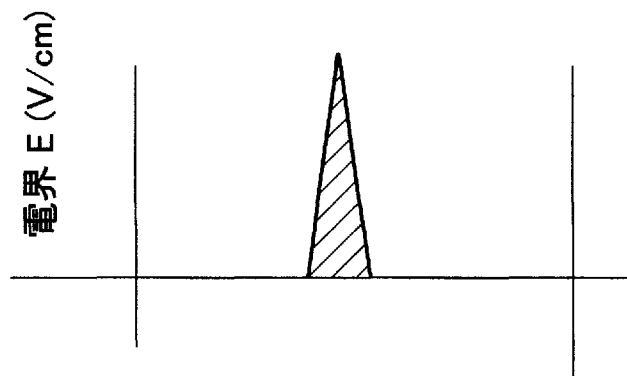
[図1B]



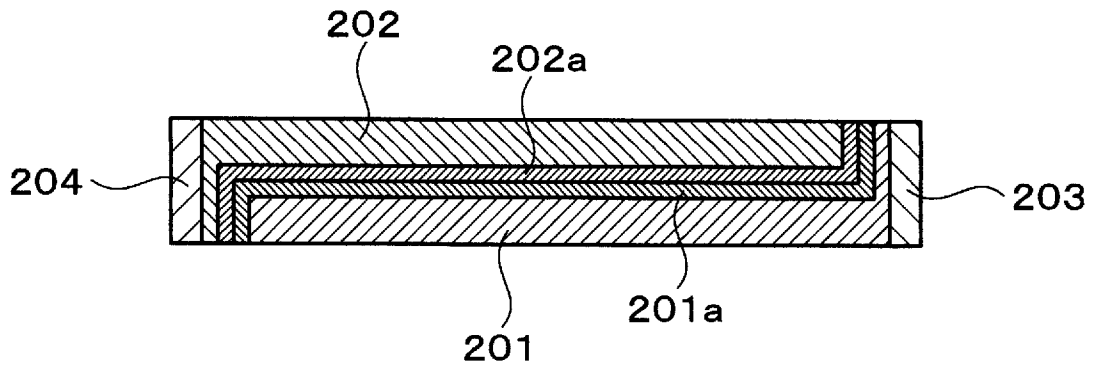
[図2A]



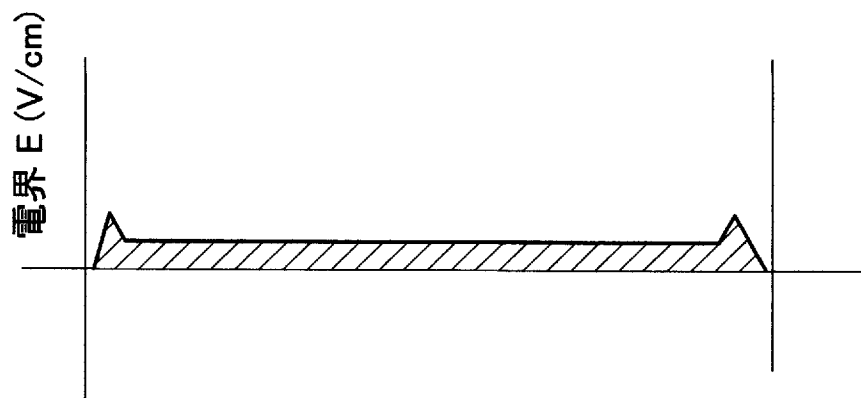
[図2B]



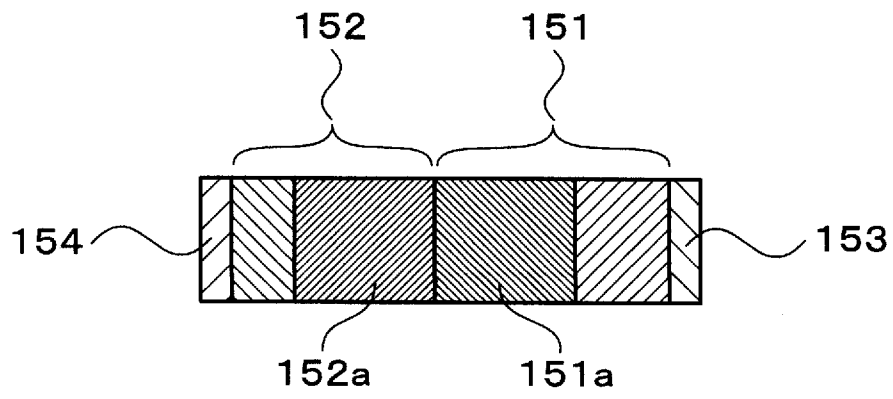
[図3A]



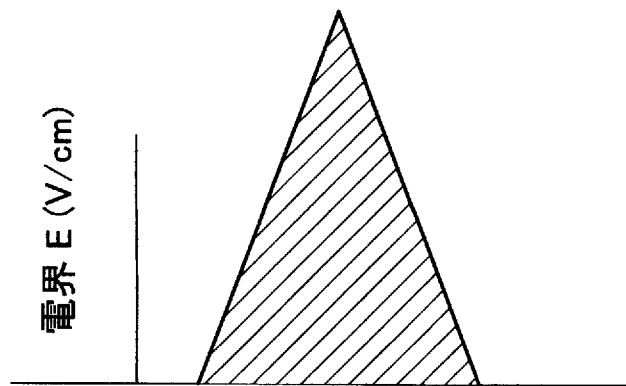
[図3B]



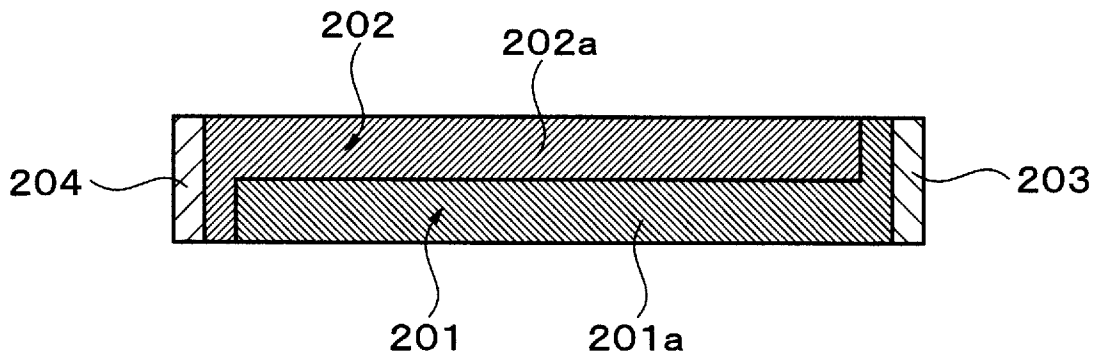
[図4A]



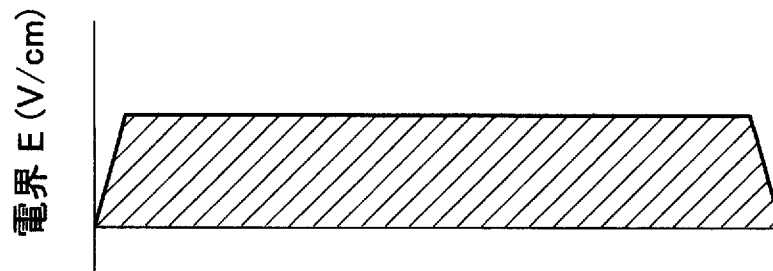
[図4B]



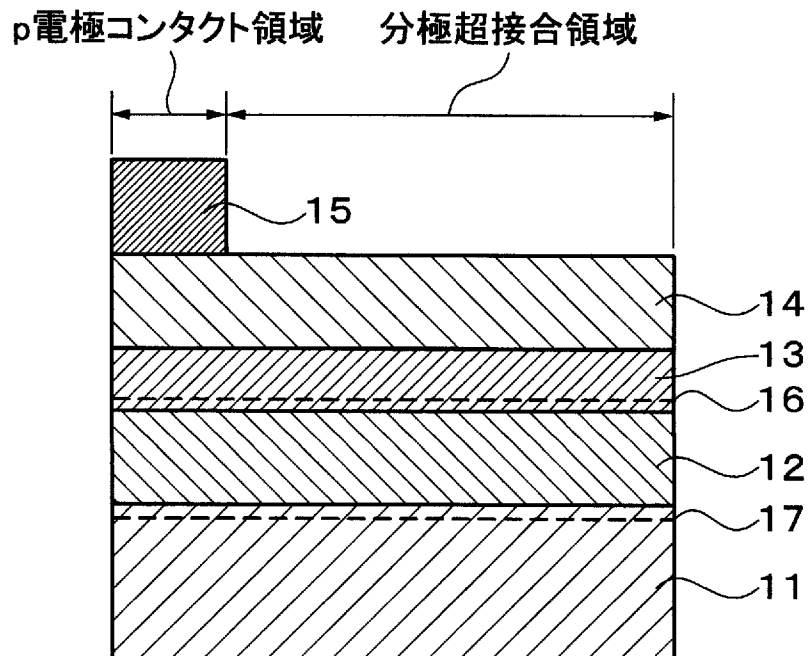
[図5A]



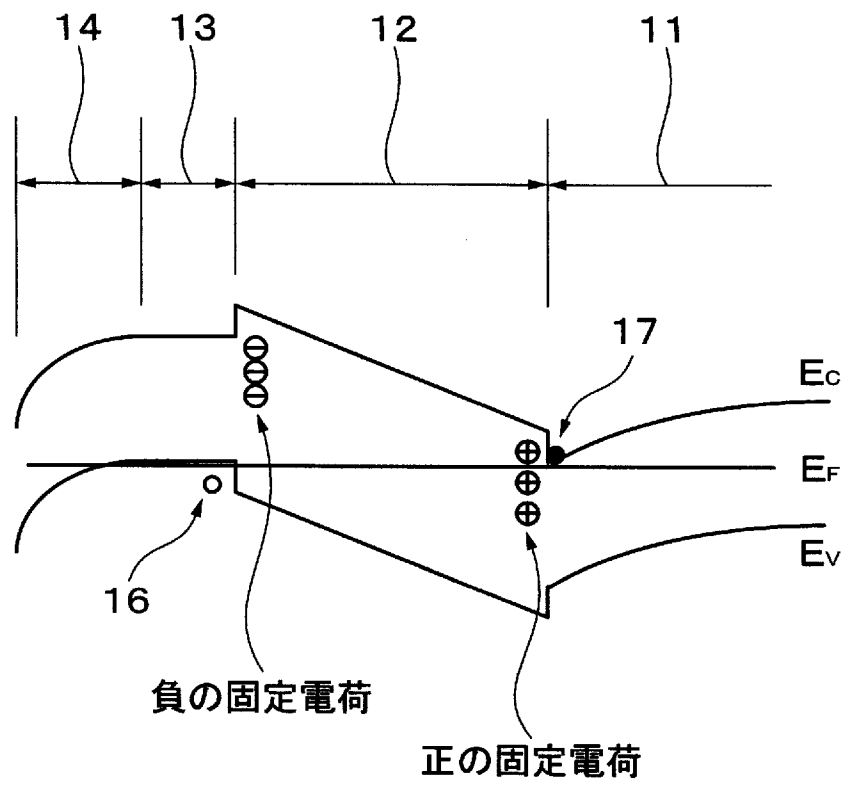
[図5B]



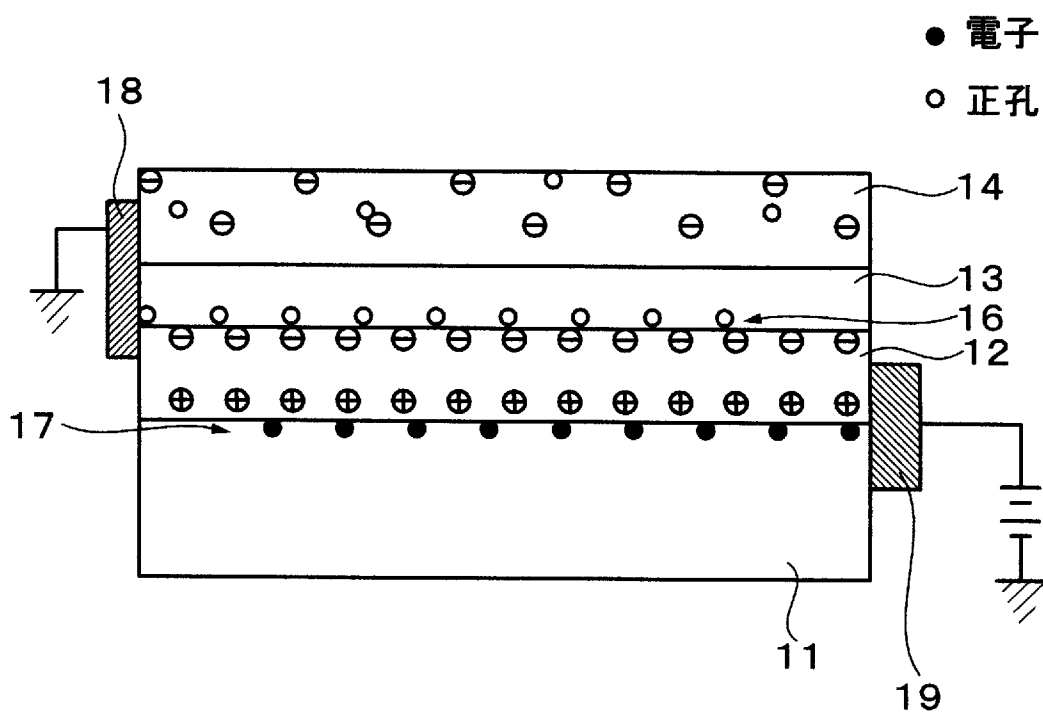
[図6]



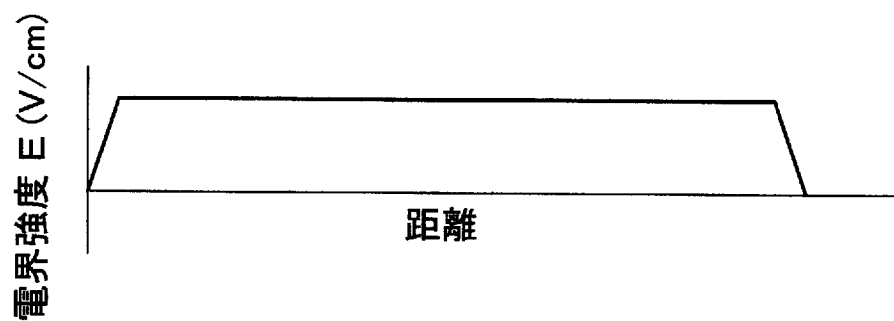
[図7]



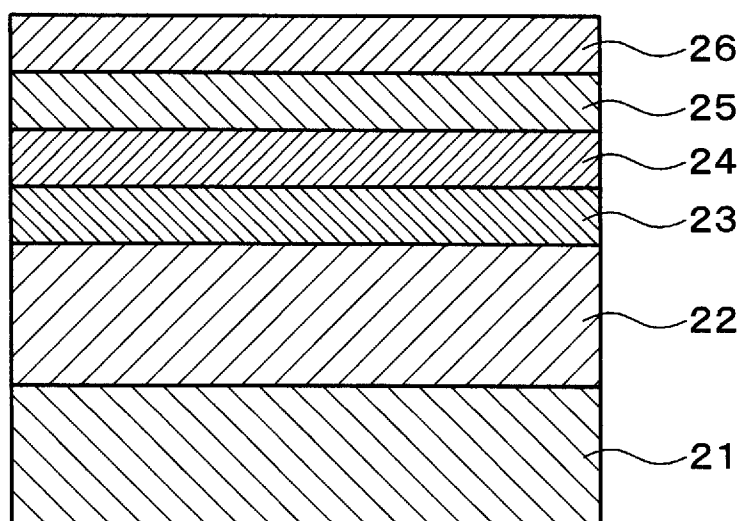
[図8A]



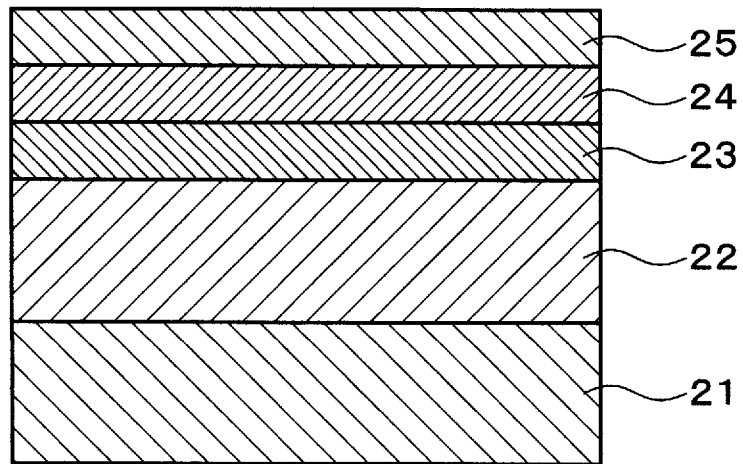
[図8B]



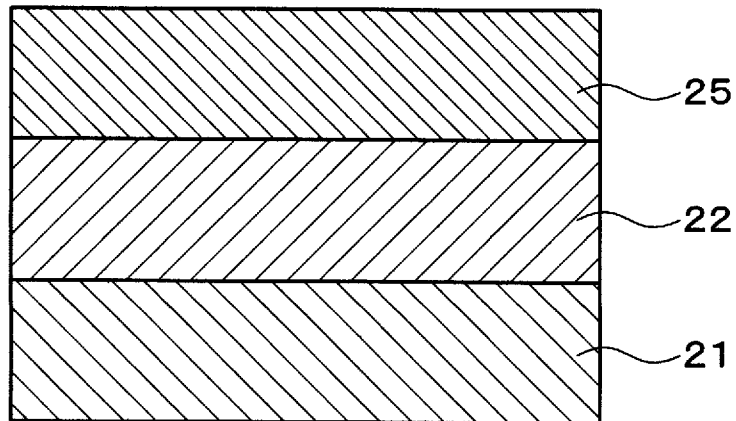
[図9]



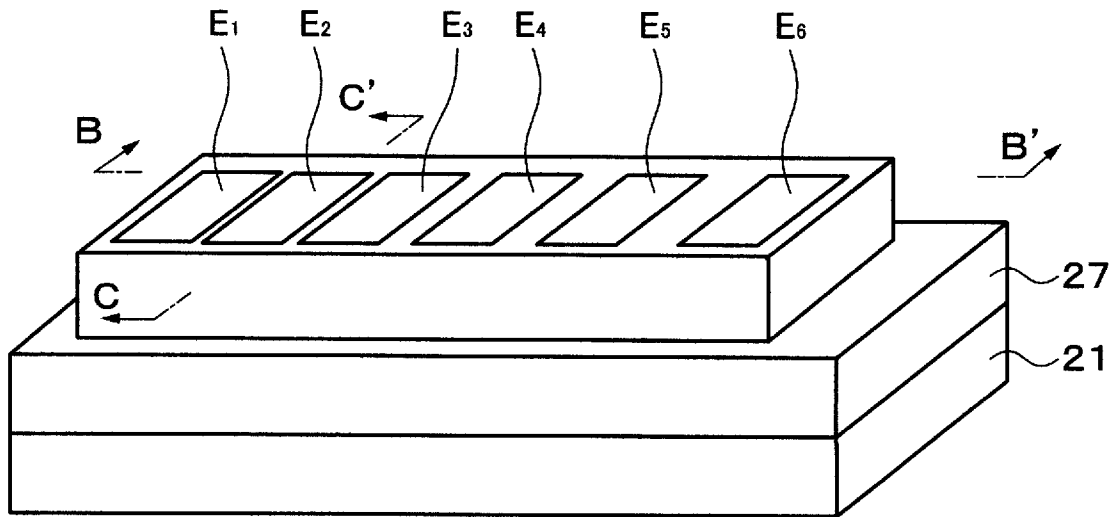
[図10]



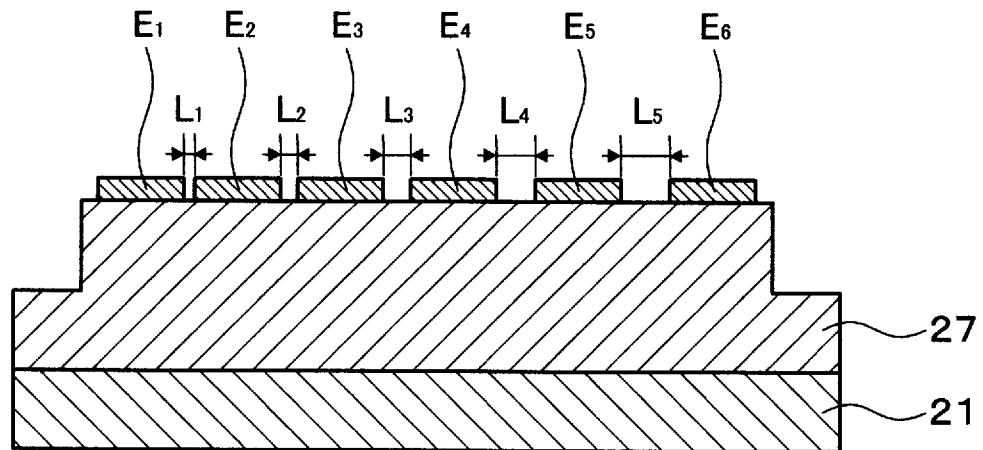
[図11]



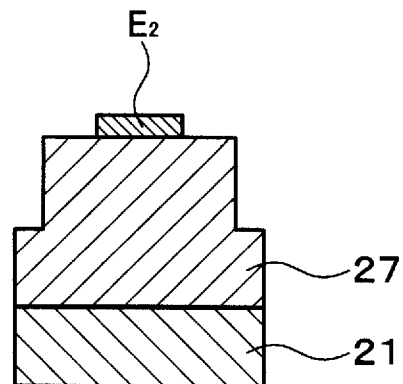
[図12A]



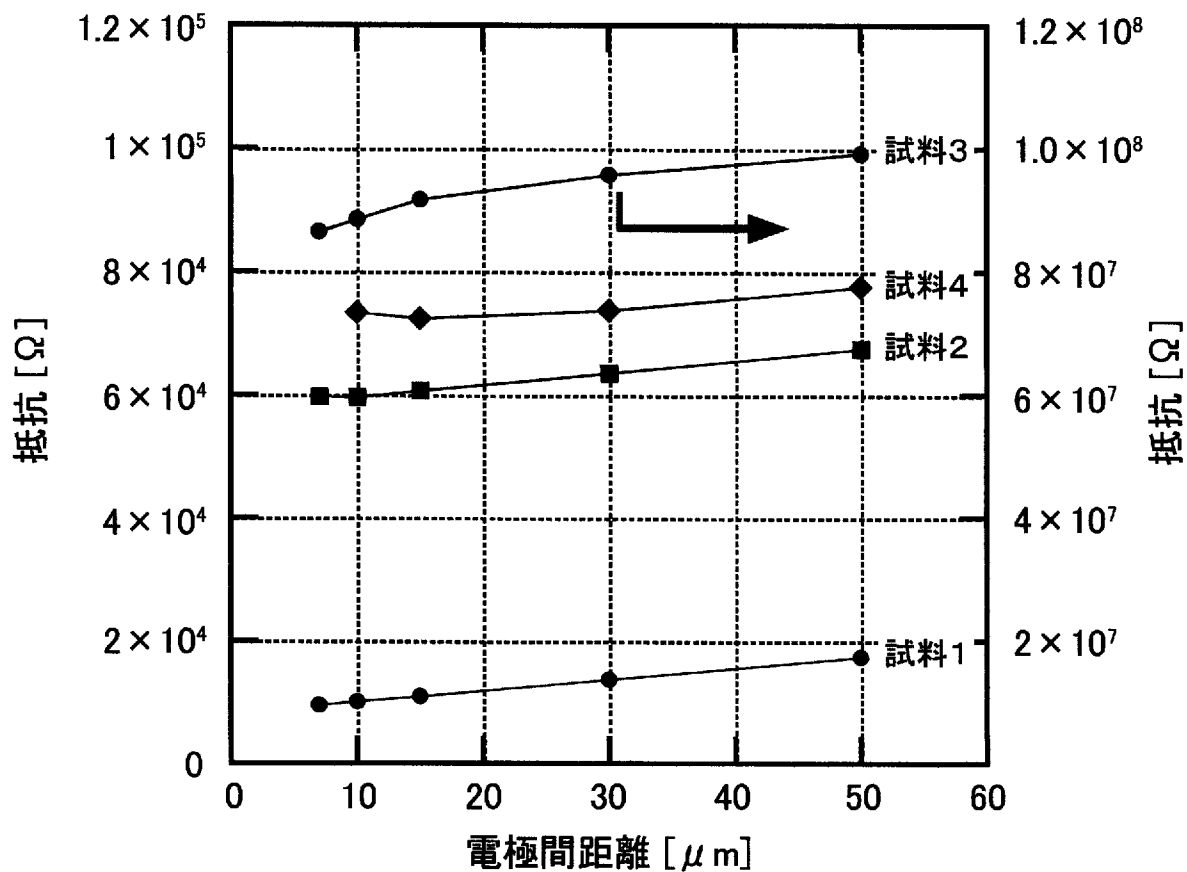
[図12B]



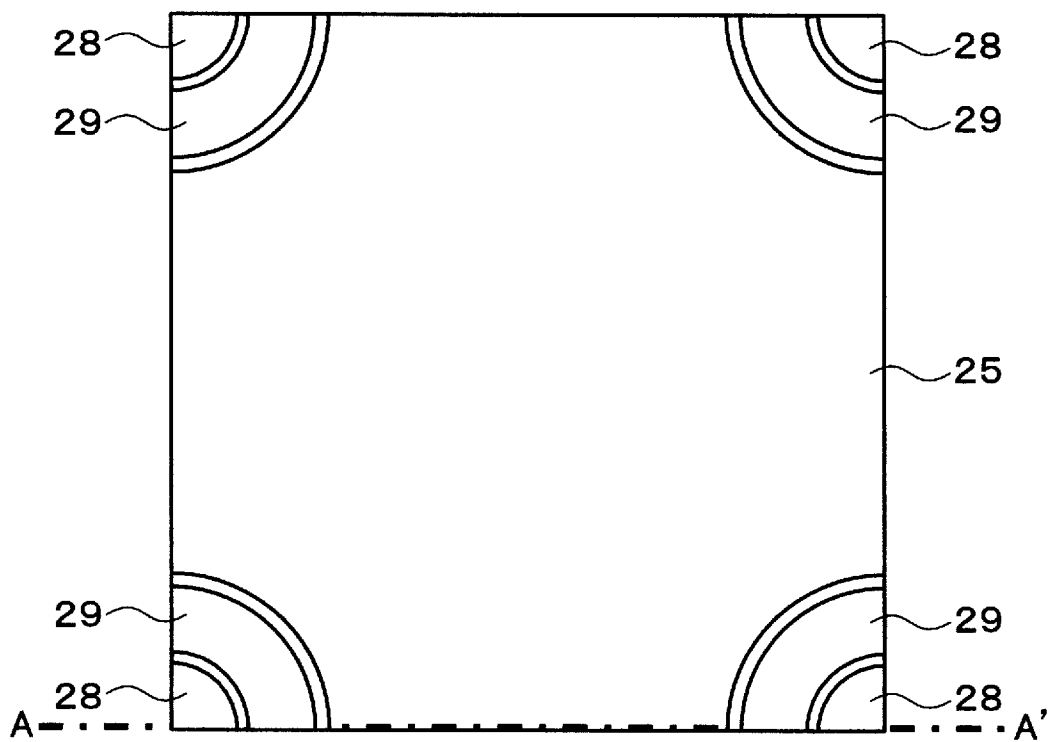
[図12C]



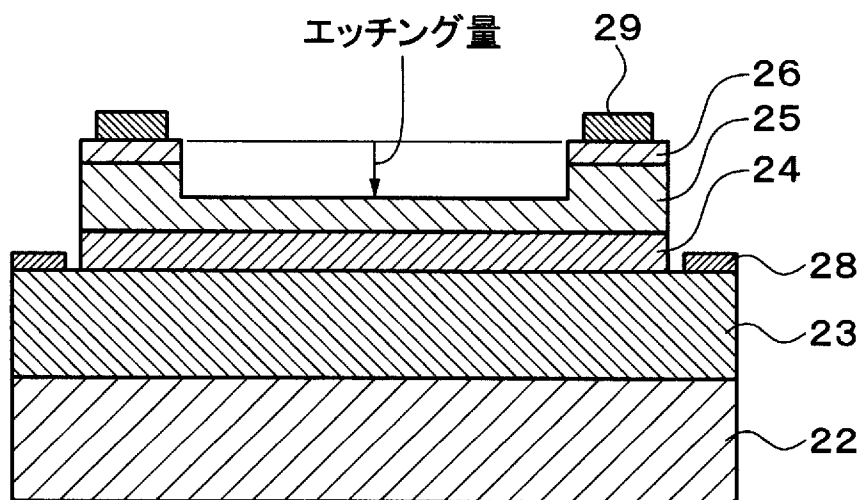
[図13]



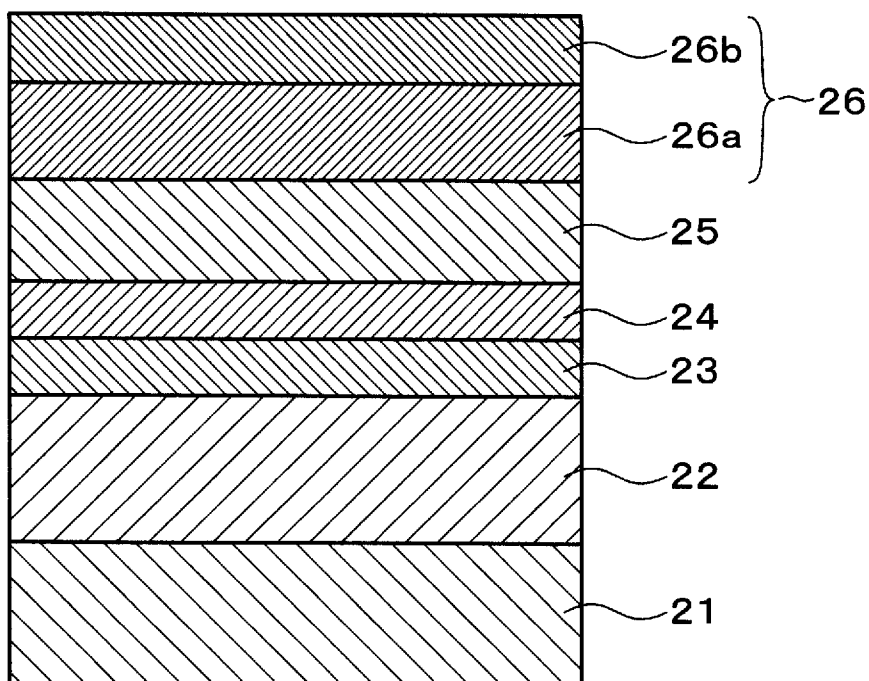
[図14A]



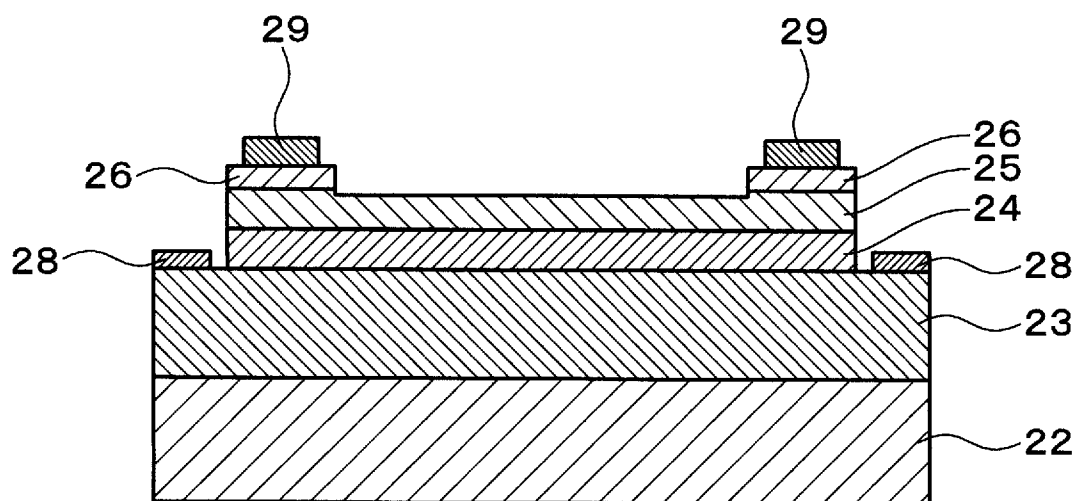
[図14B]



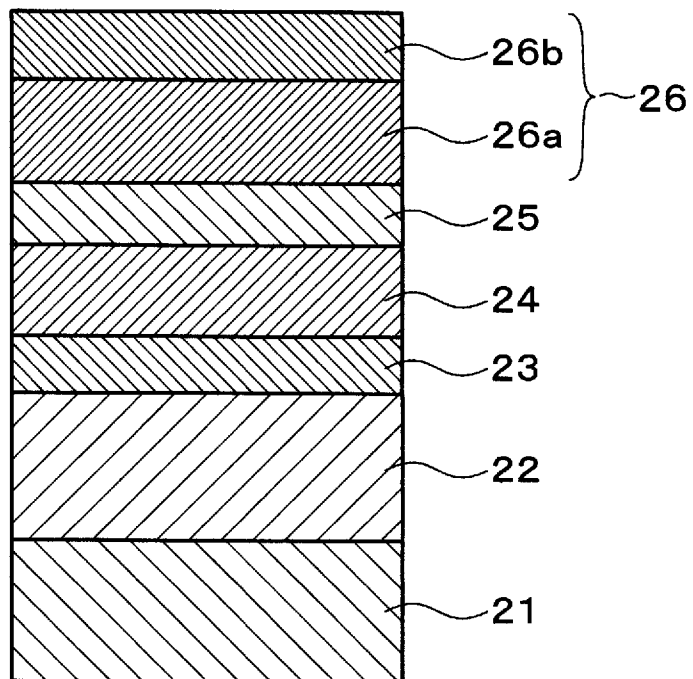
[図15]



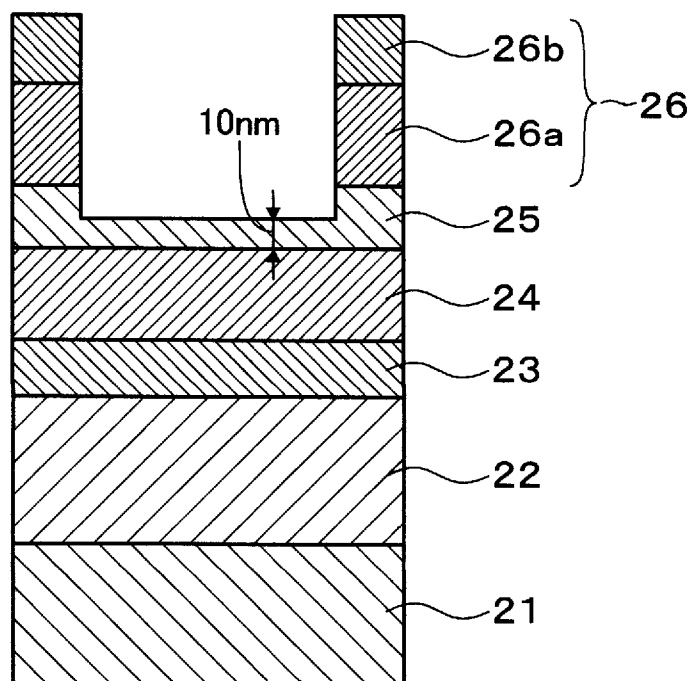
[図16]



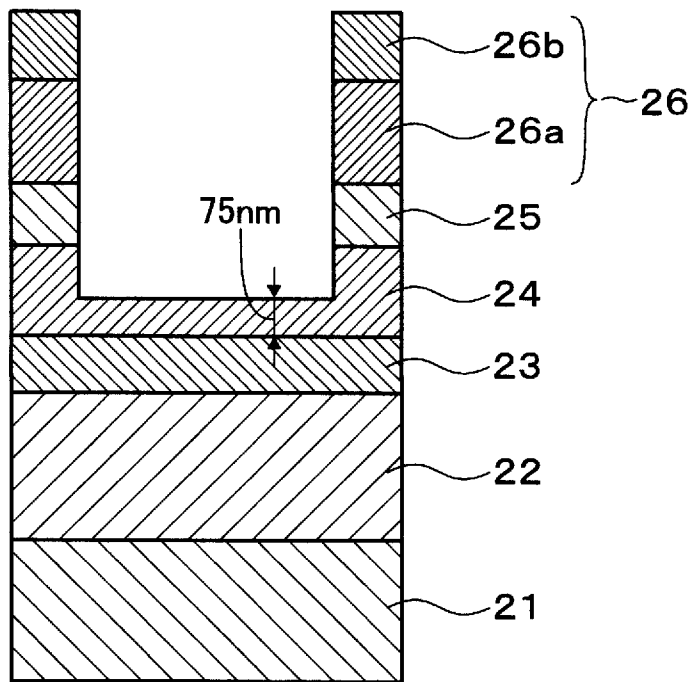
[図17]



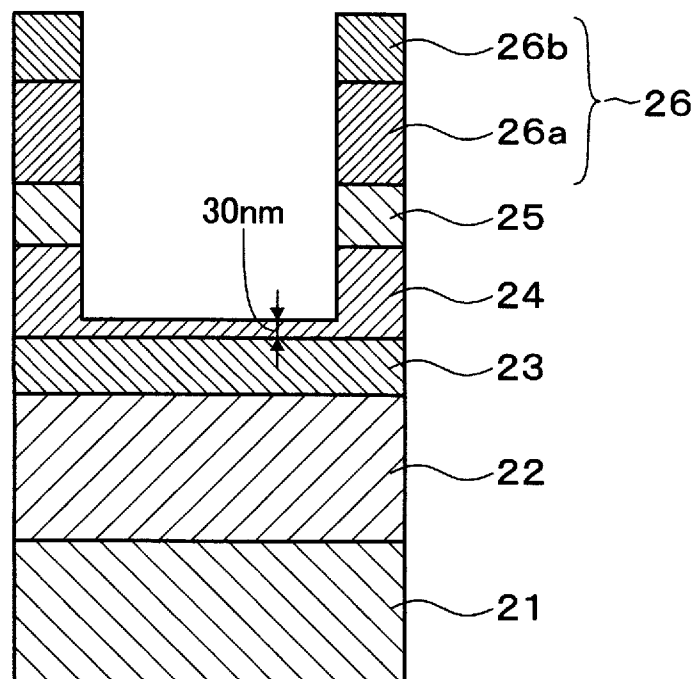
[図18]



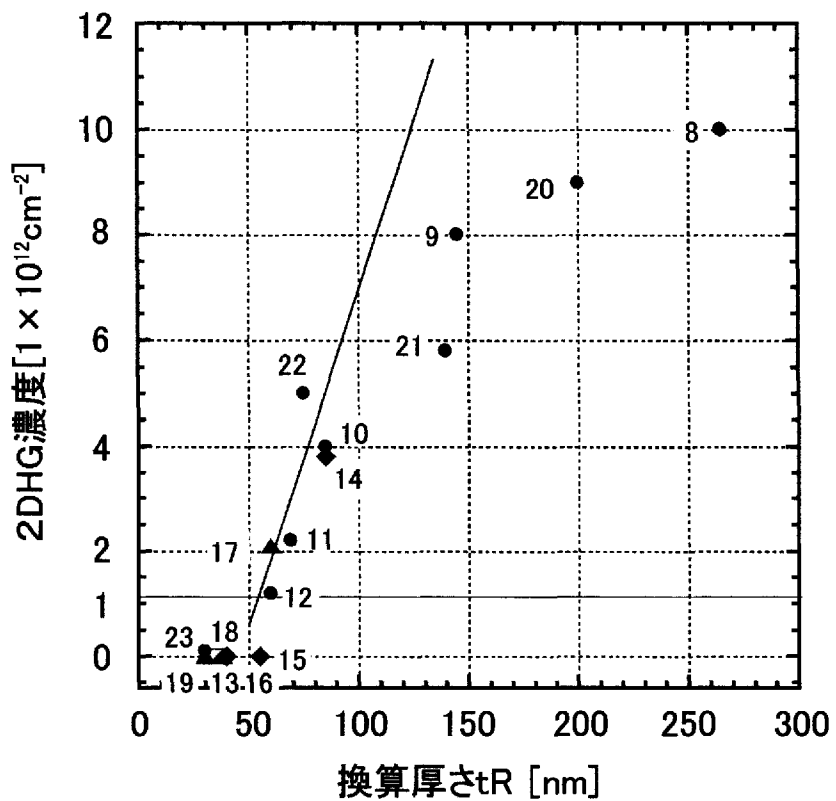
[図19]



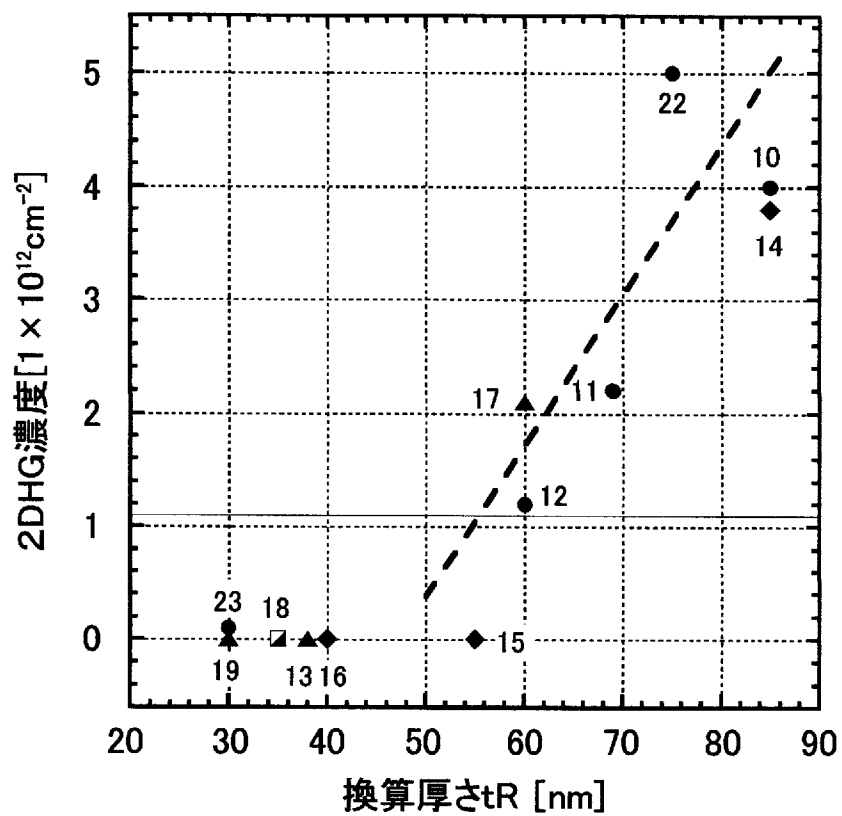
[図20]



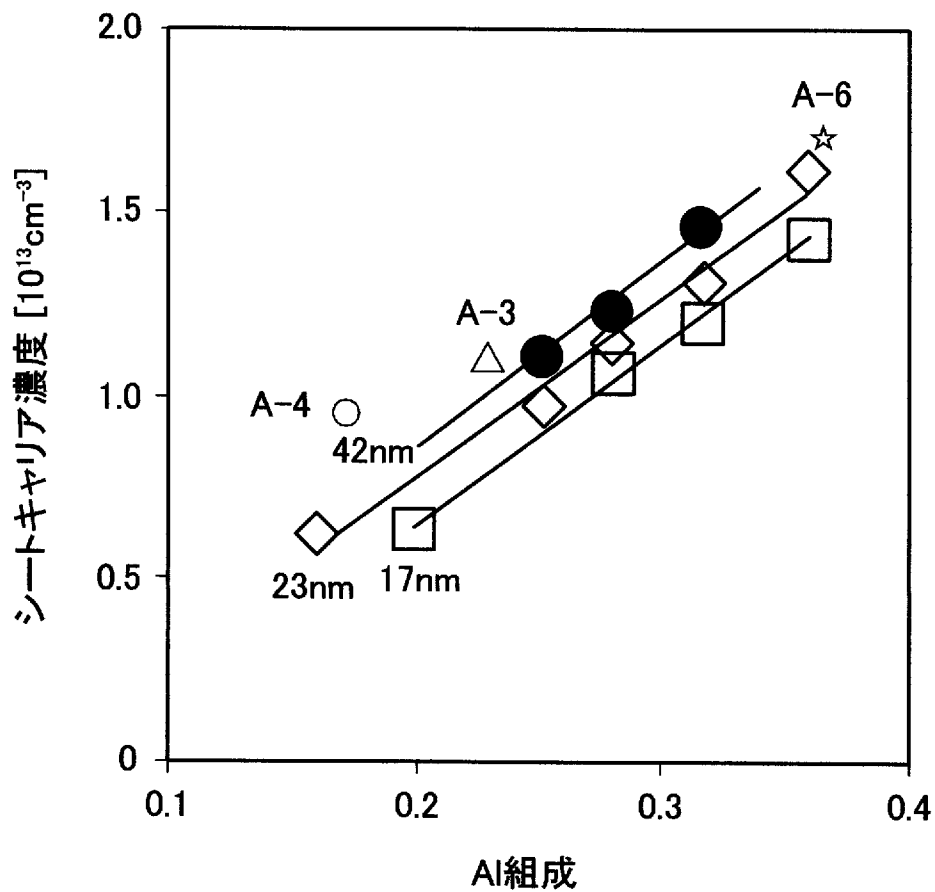
[図21]



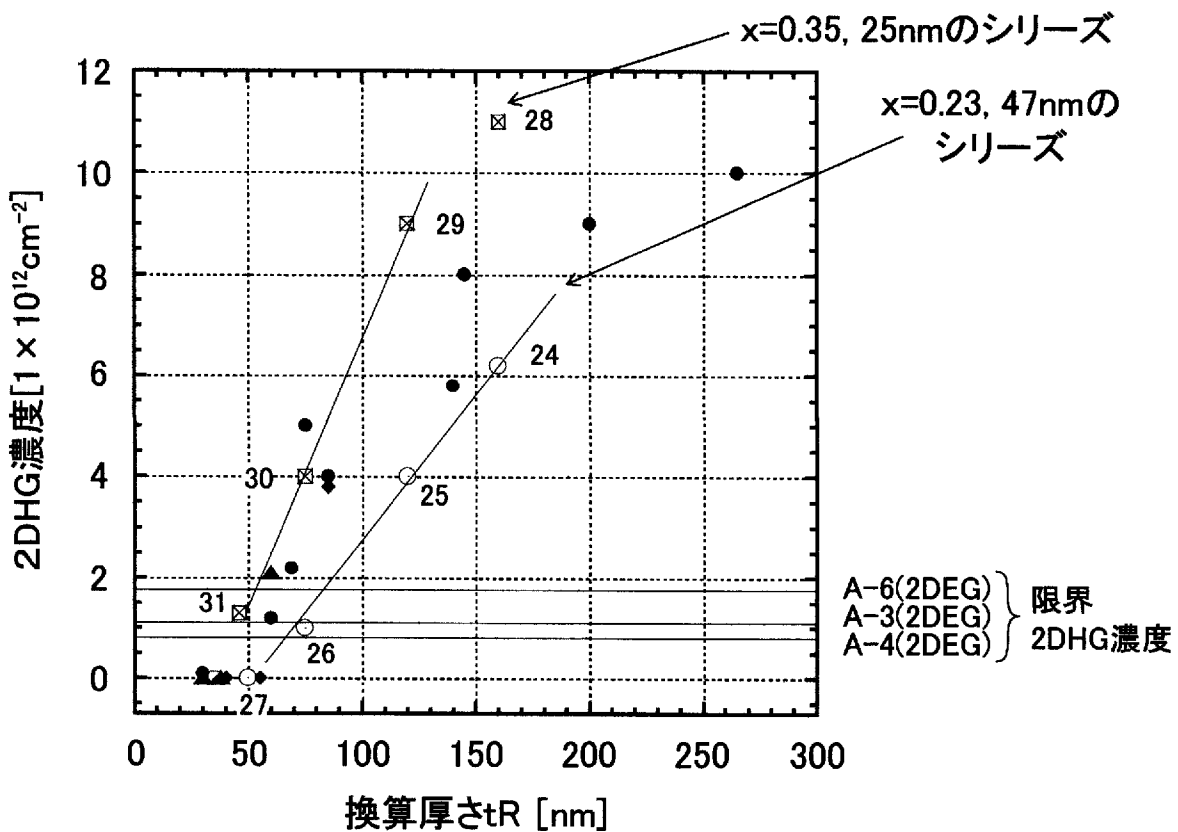
[図22]



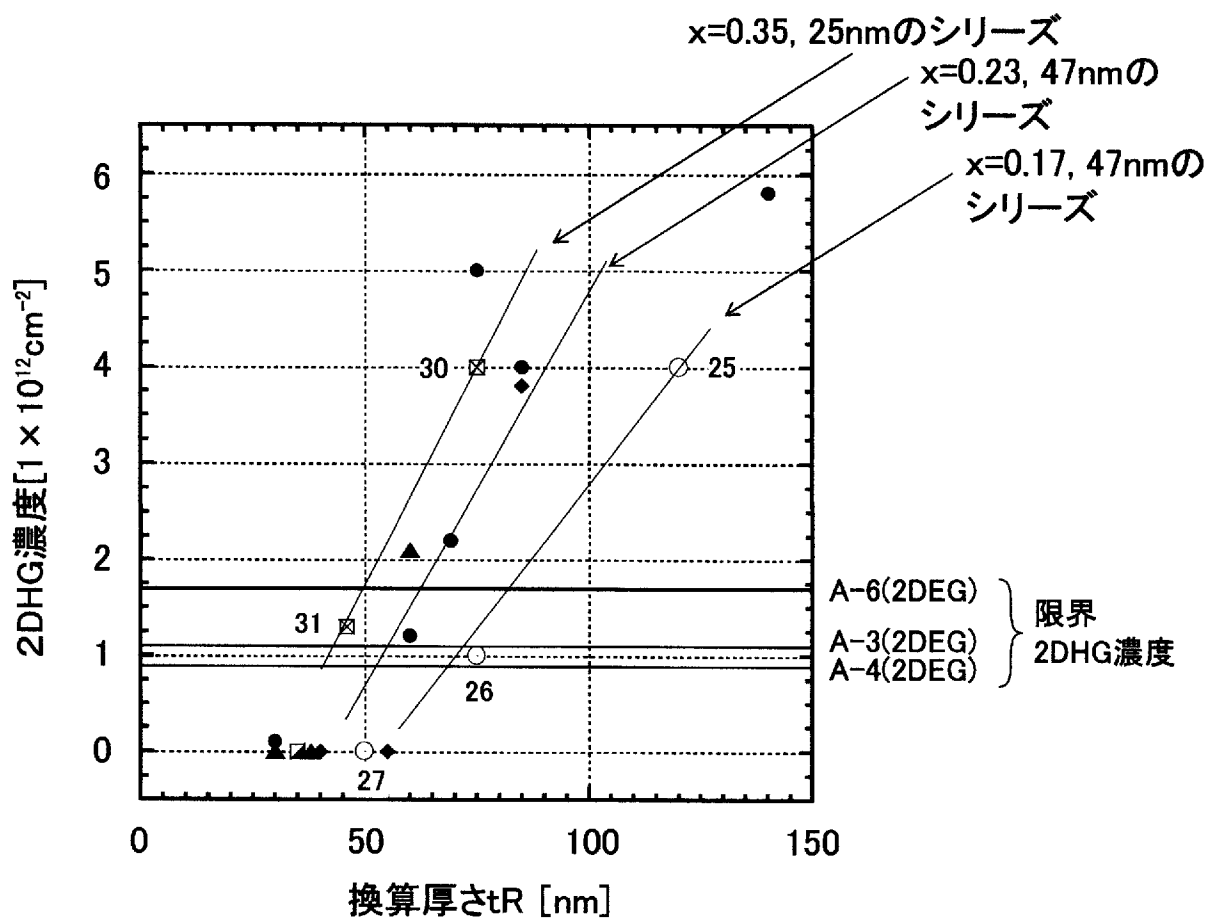
[図23]



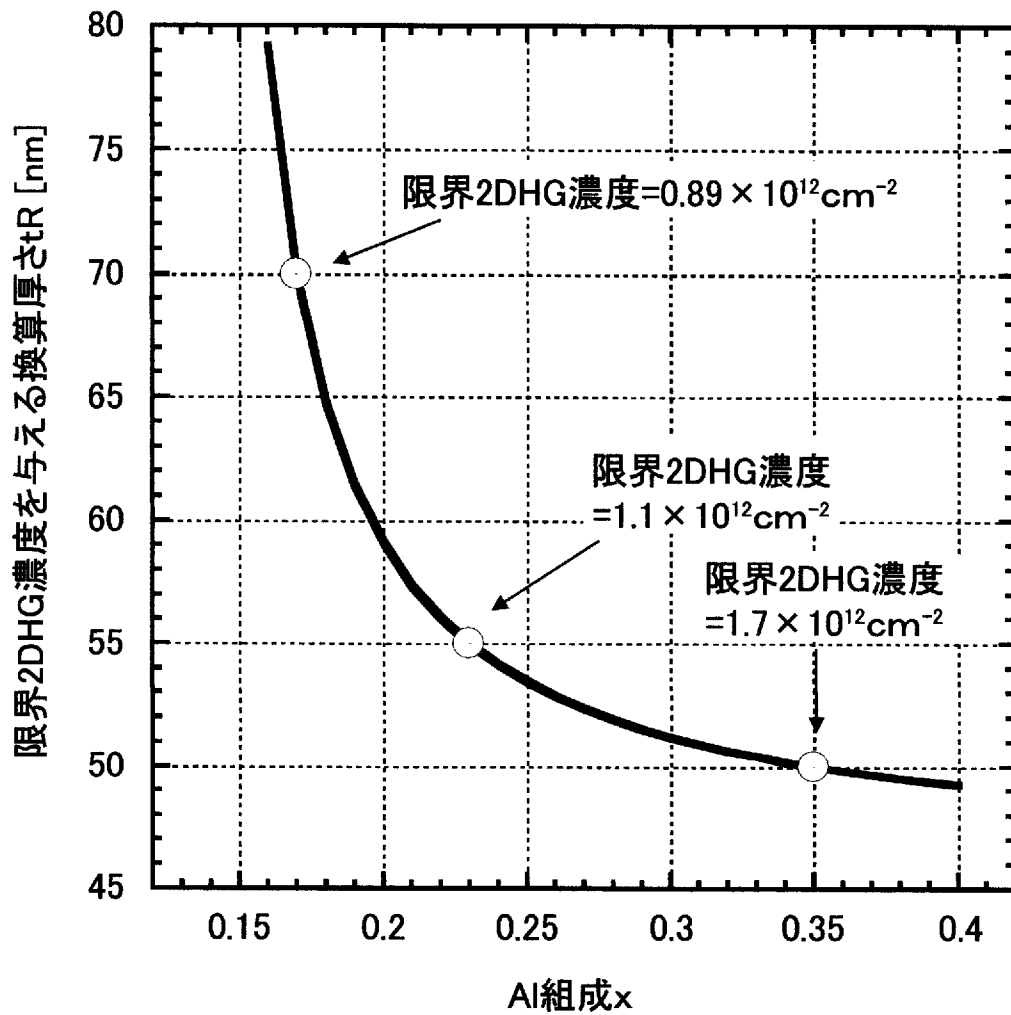
[図24]



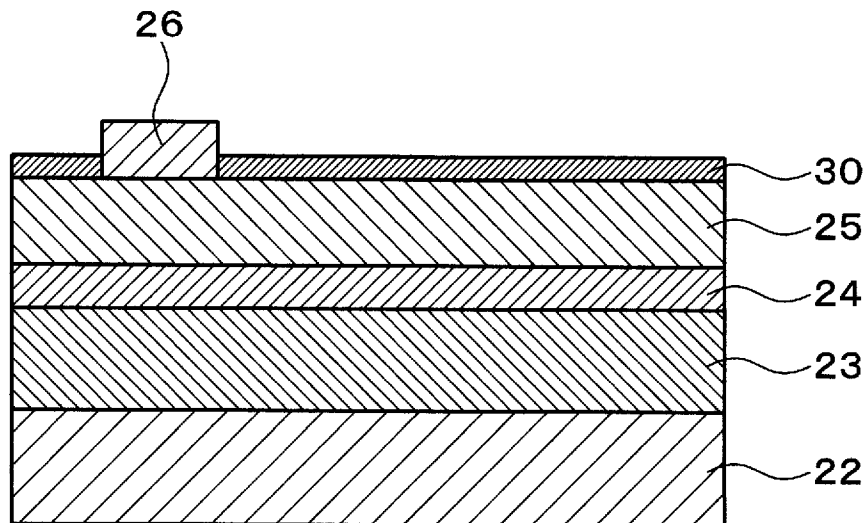
[図25]



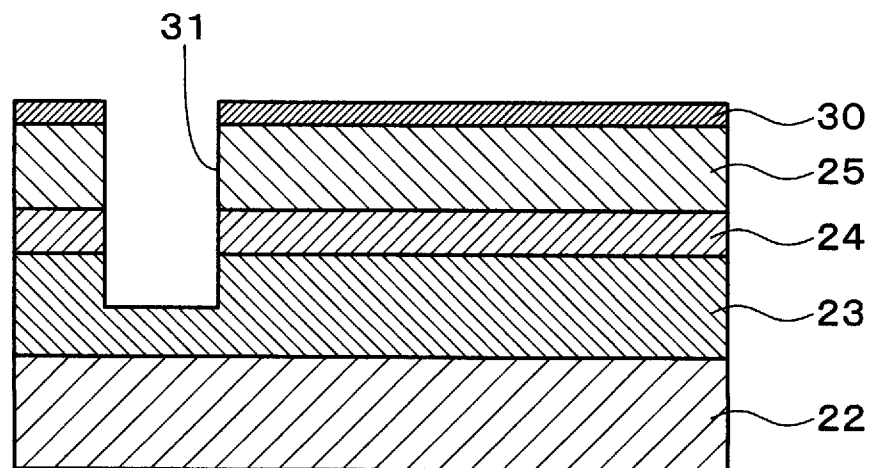
[図26]



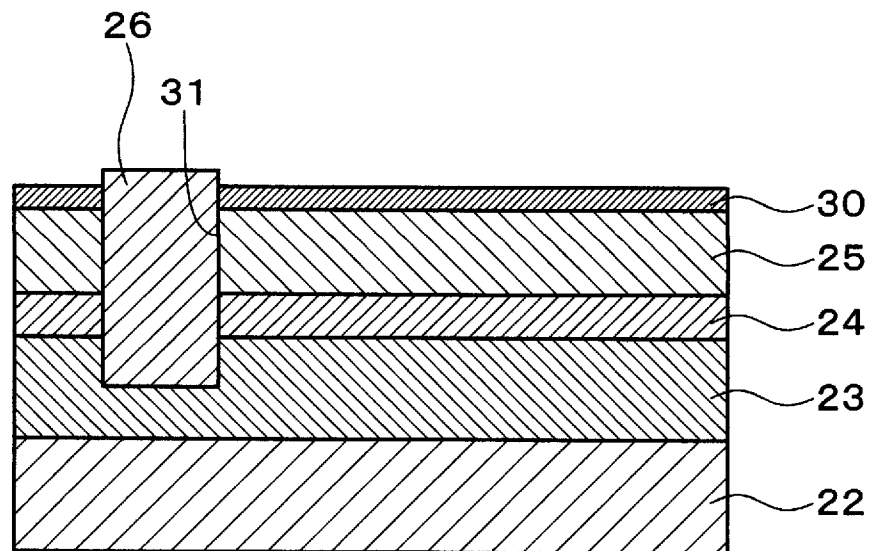
[図27]



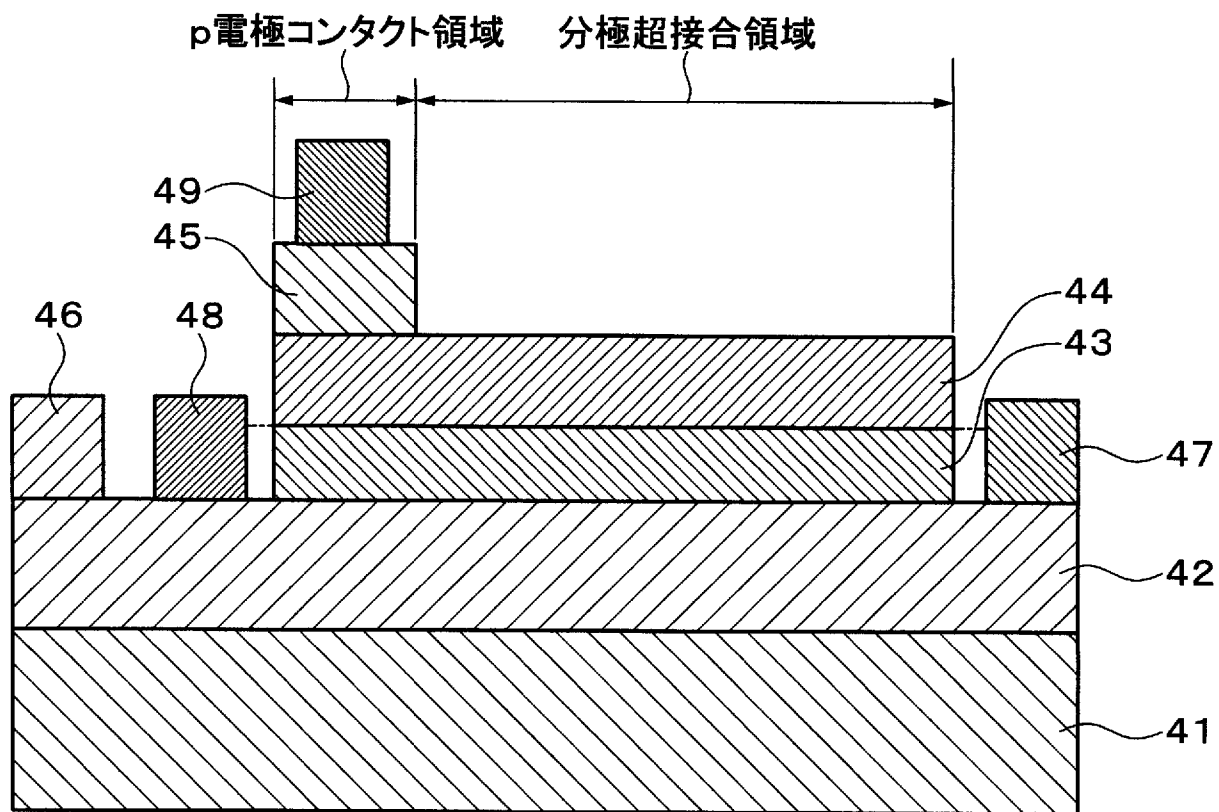
[図28A]



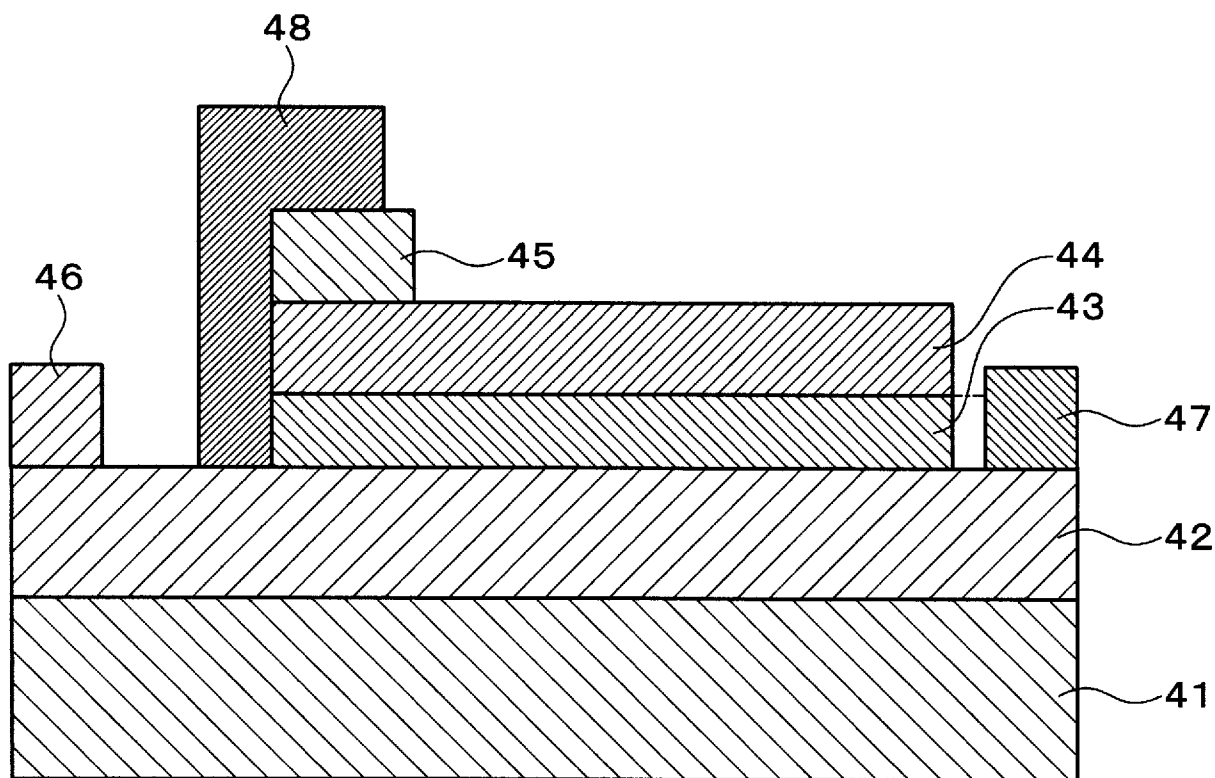
[図28B]



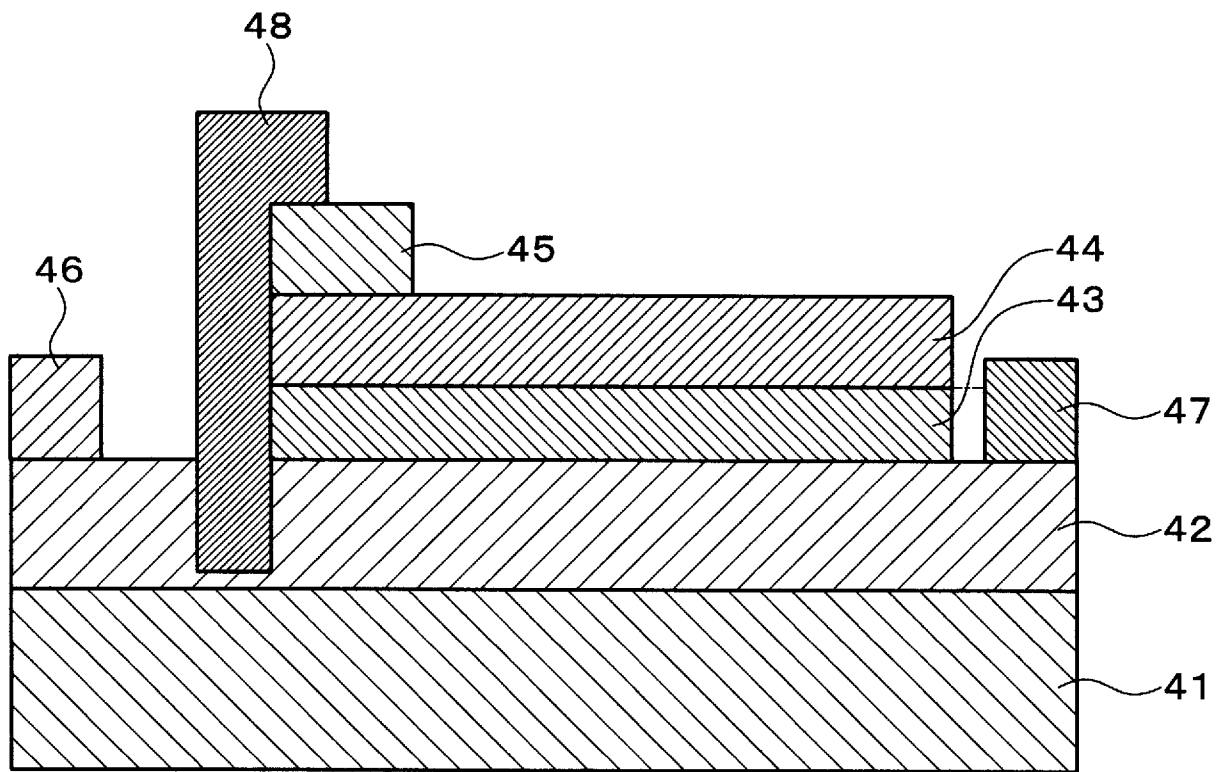
[図29]



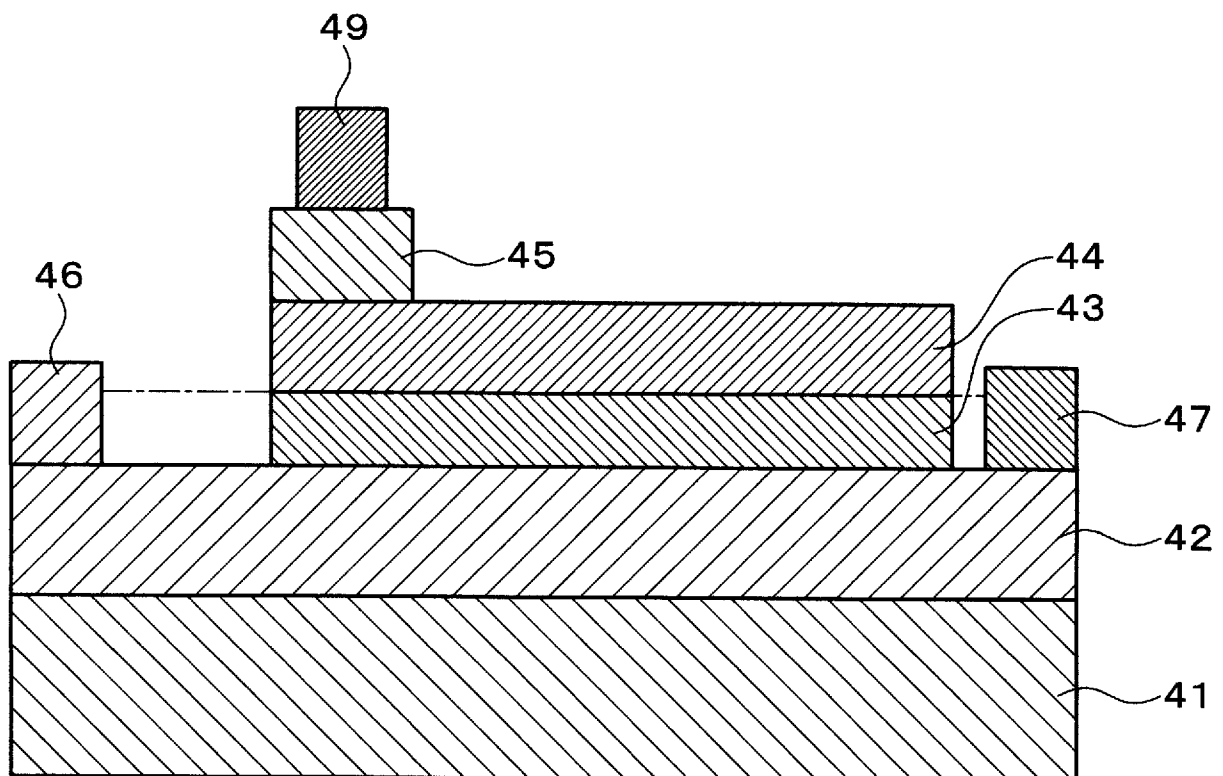
[図30]



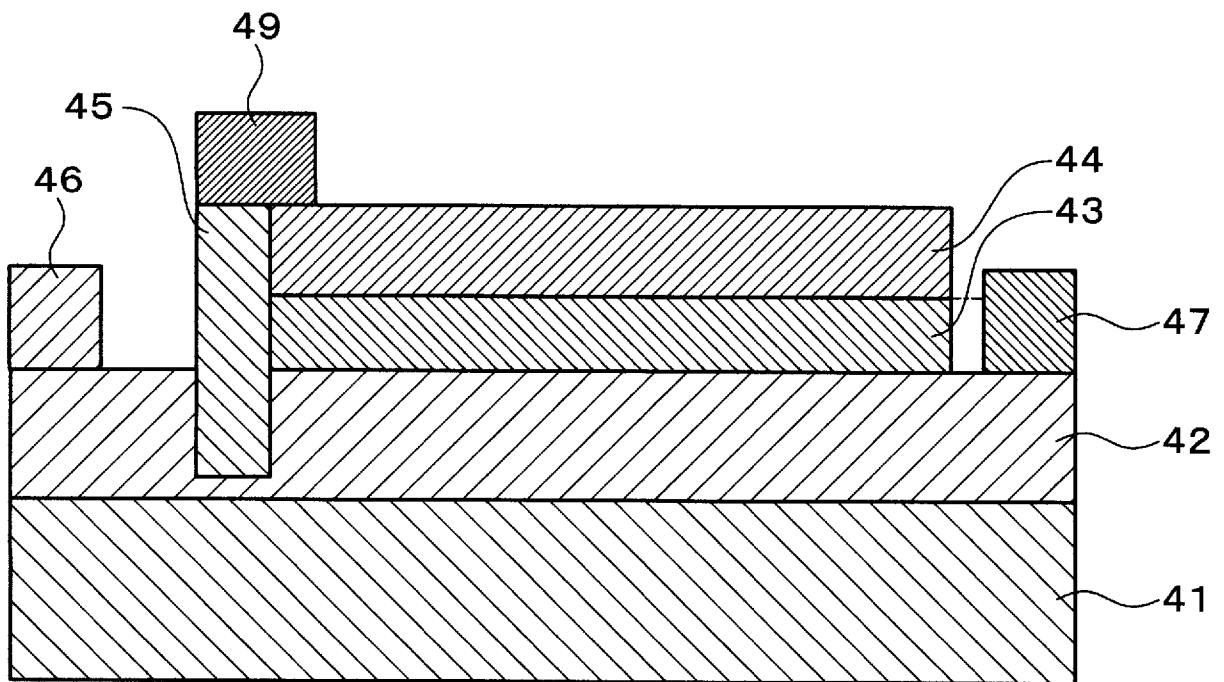
[図31]



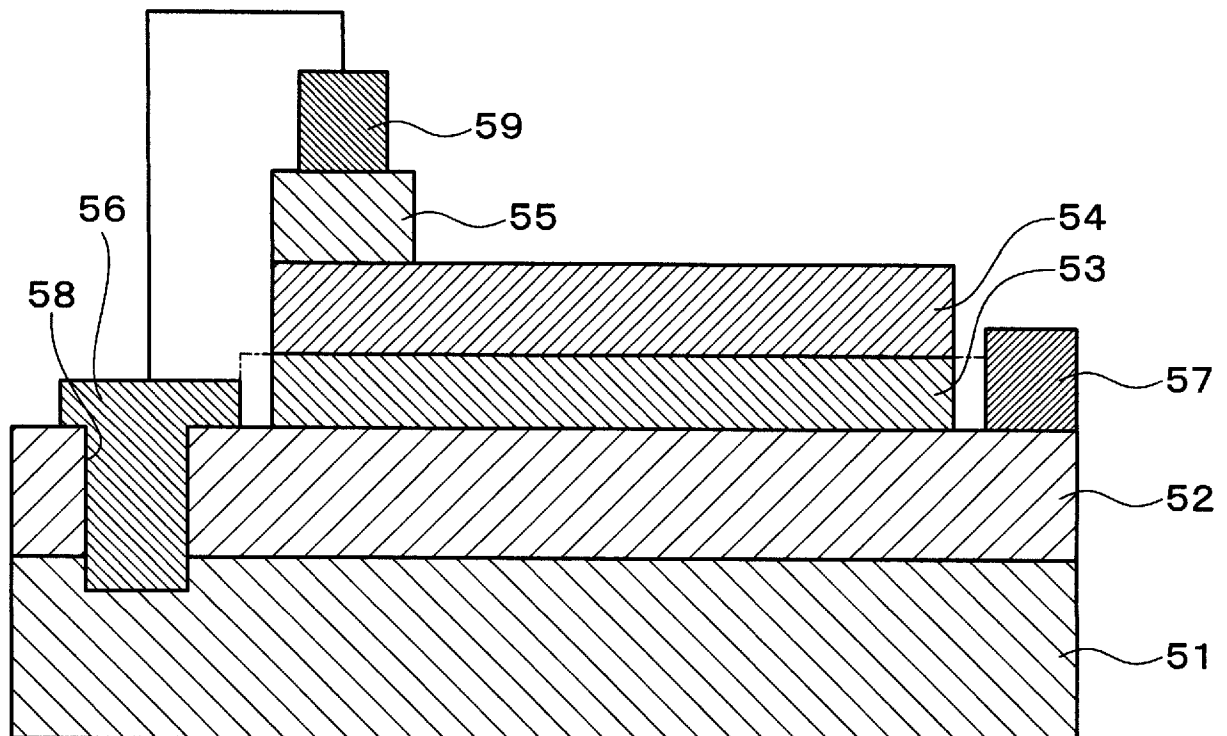
[図32]



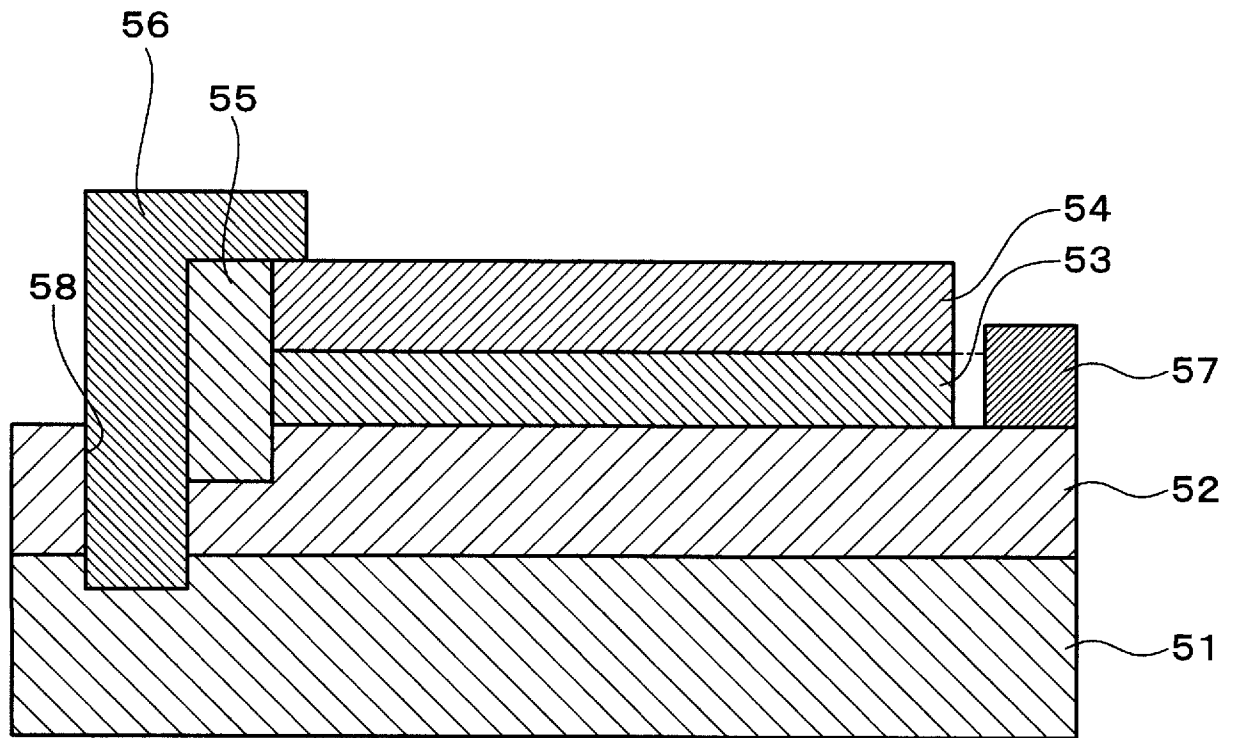
[図33]



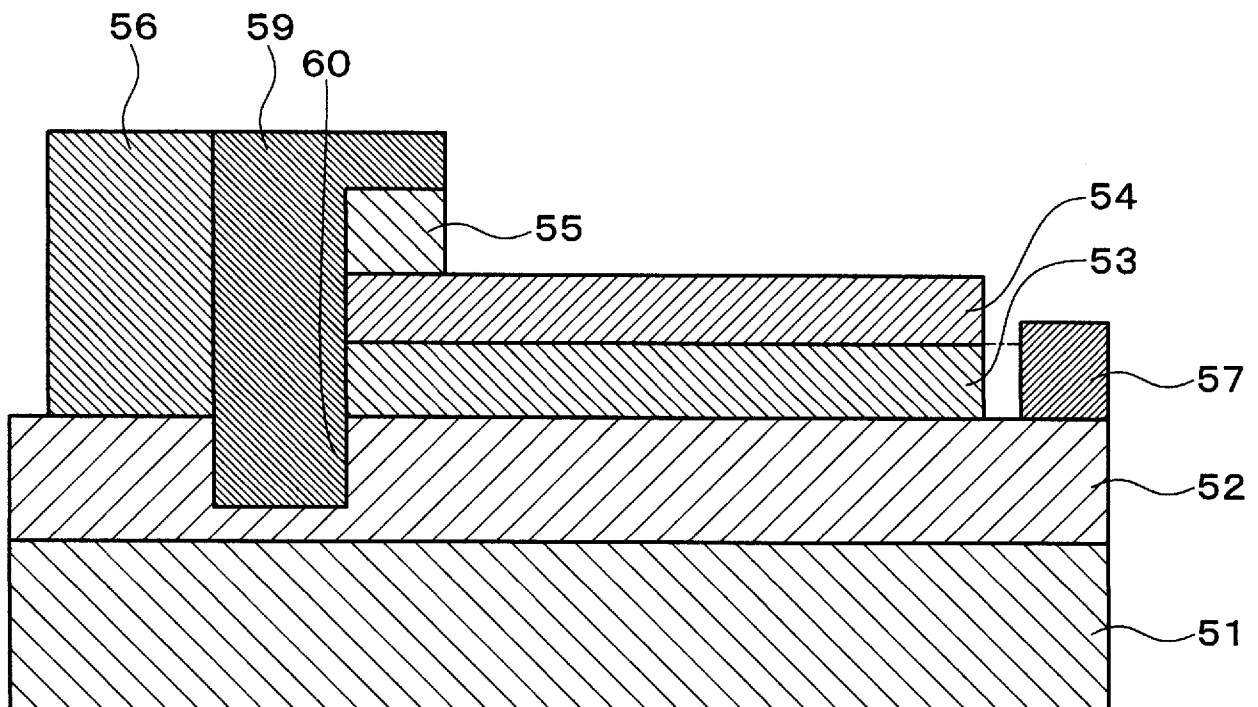
[図34]



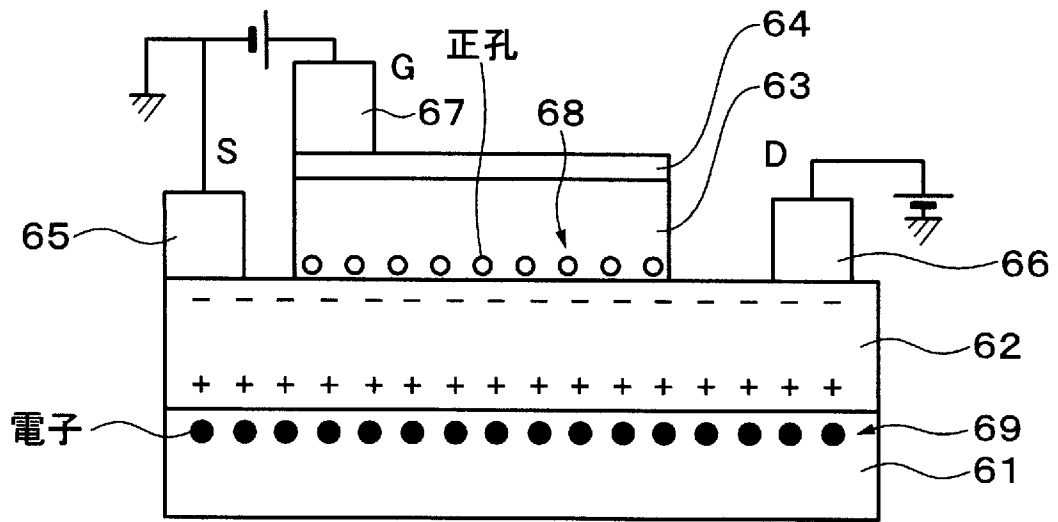
[図35]



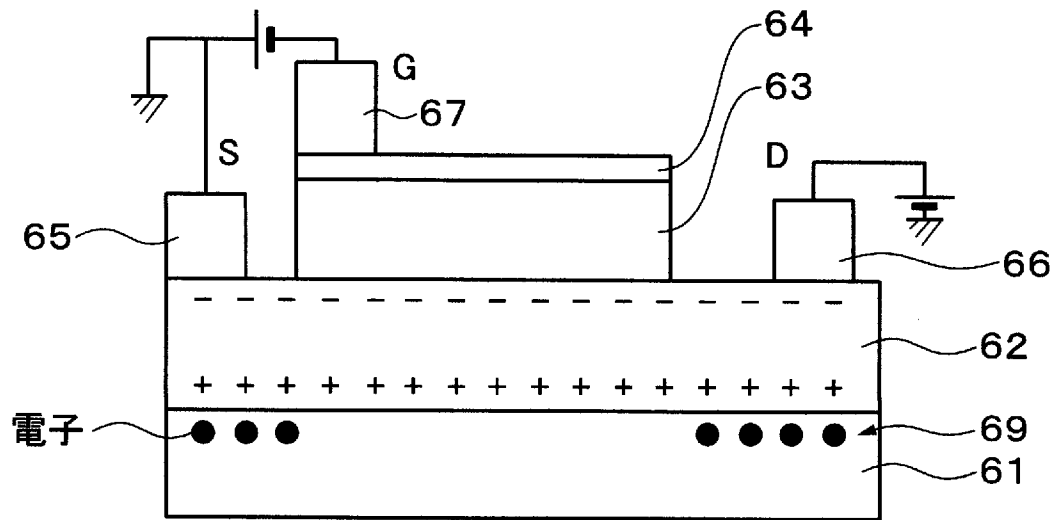
[図36]



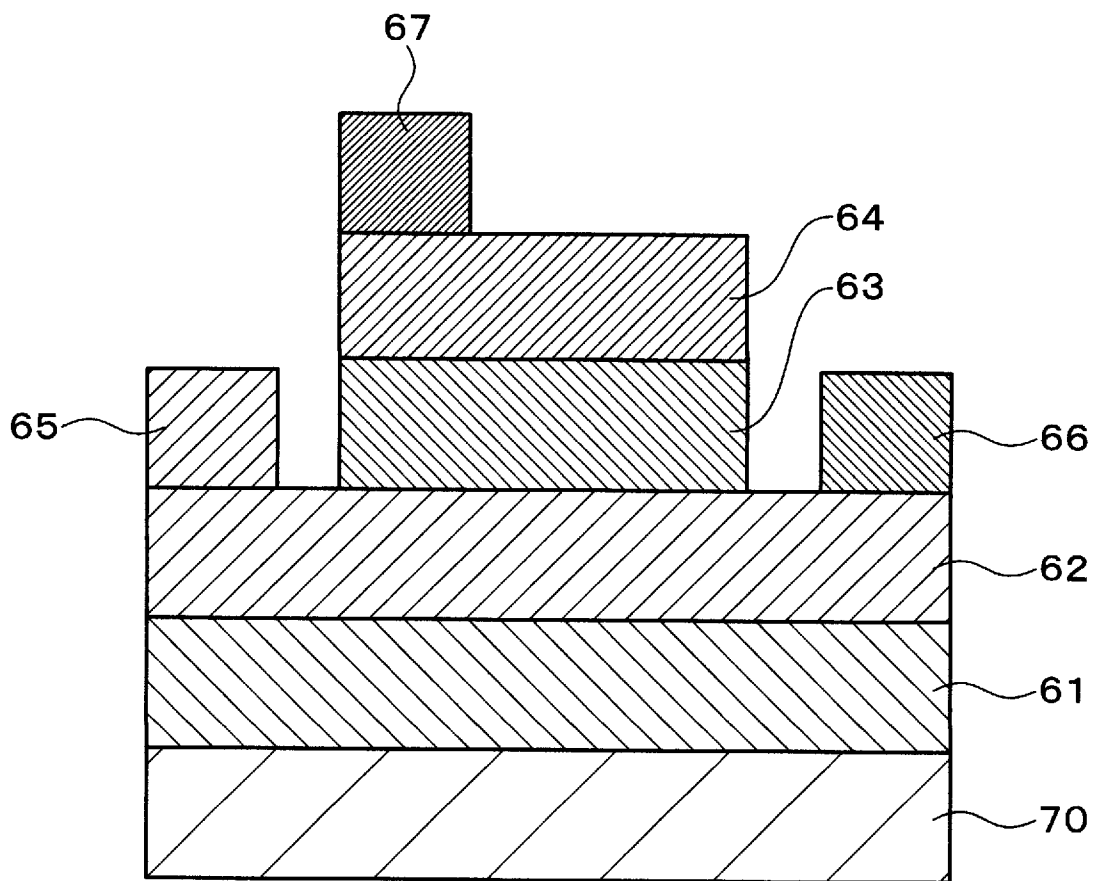
[図37]



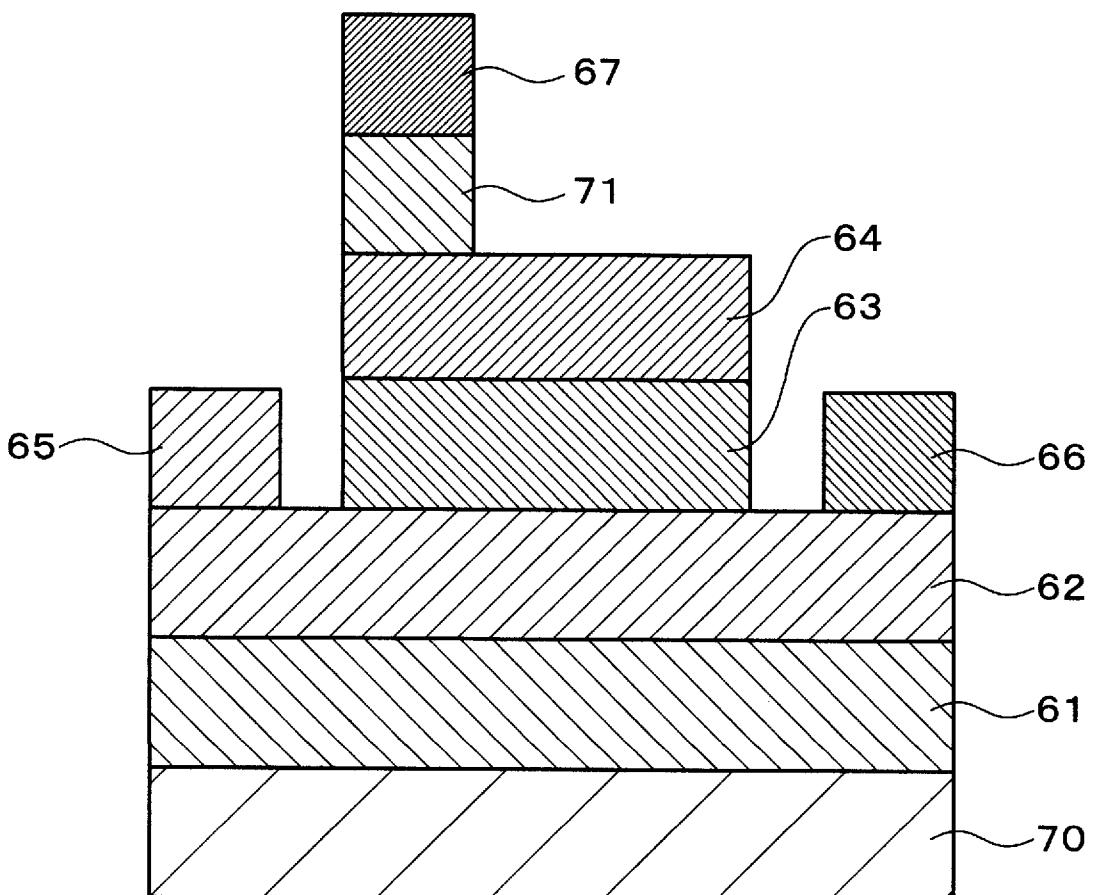
[図38]



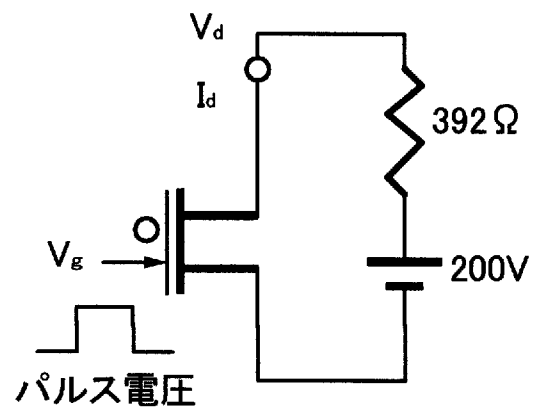
[図39]



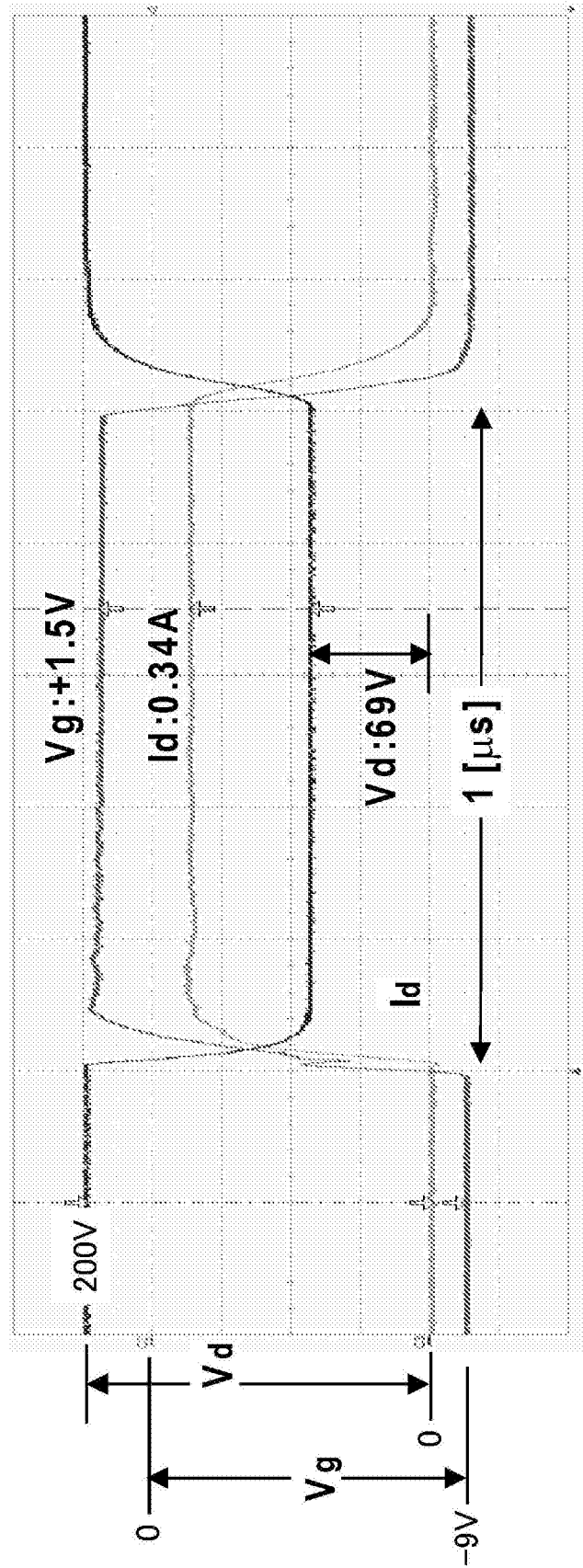
[図40]



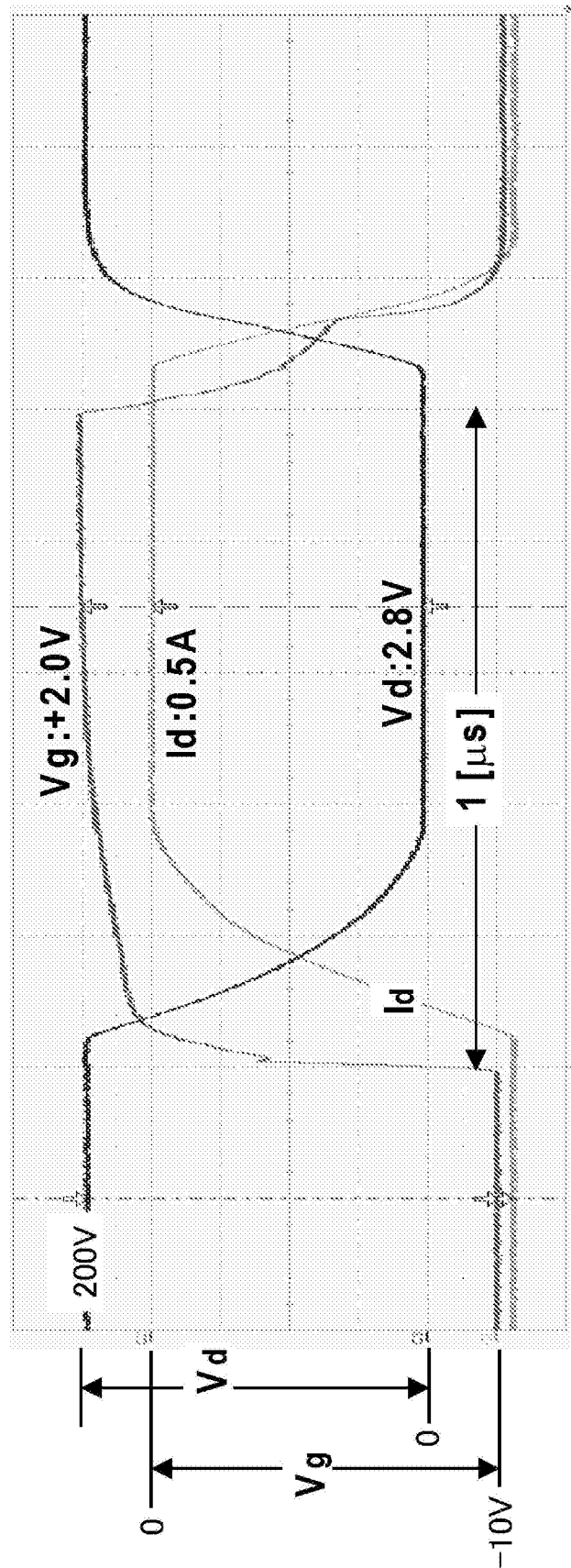
[図41]



[図42]

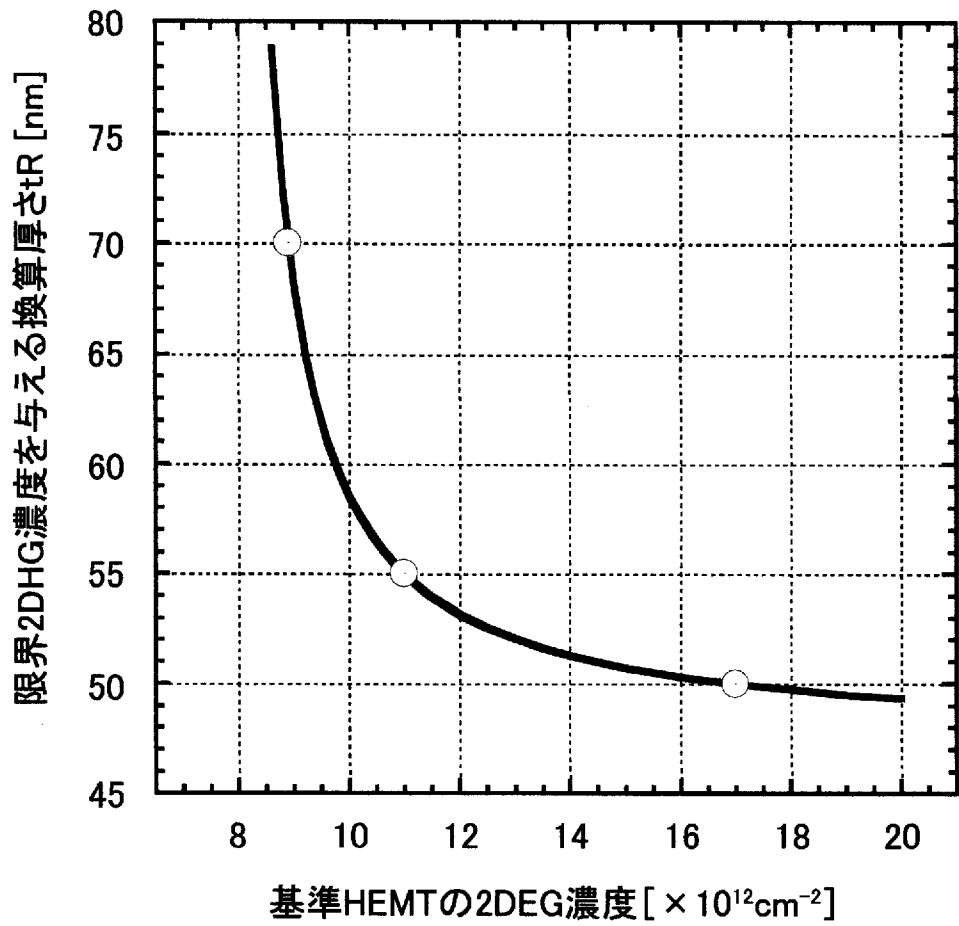


[図43]

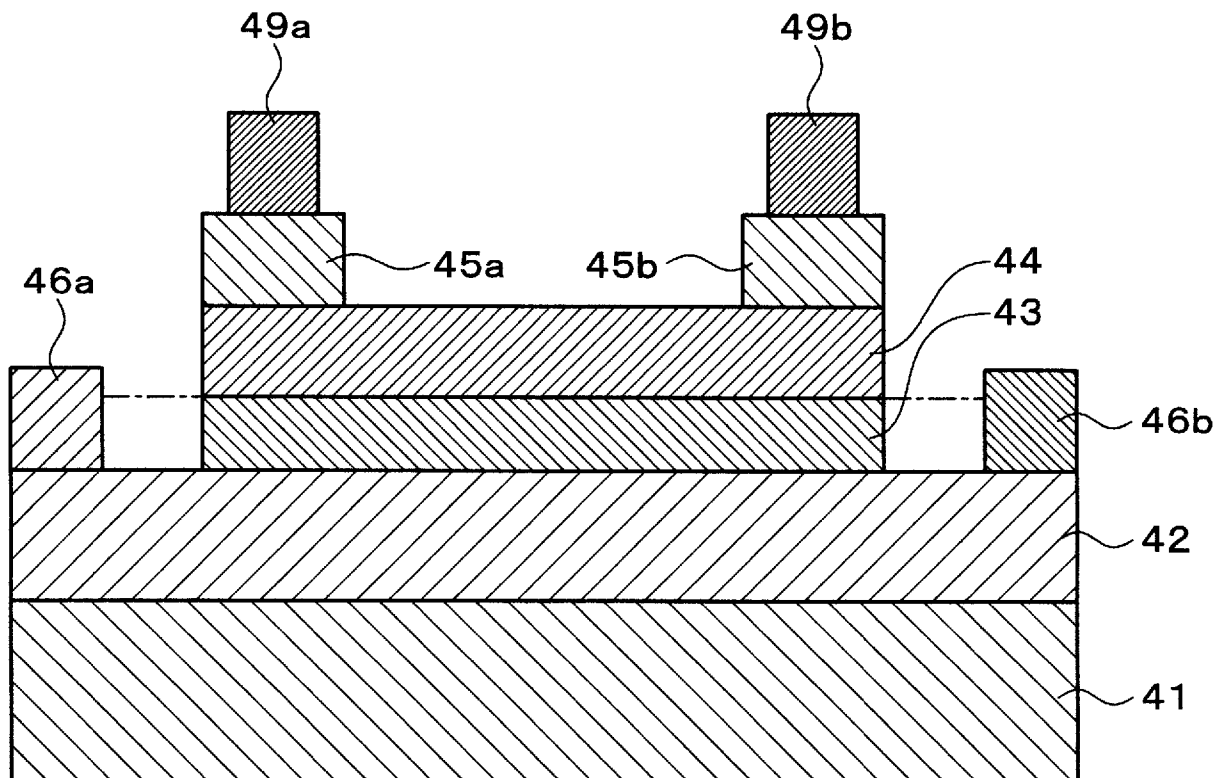


時間

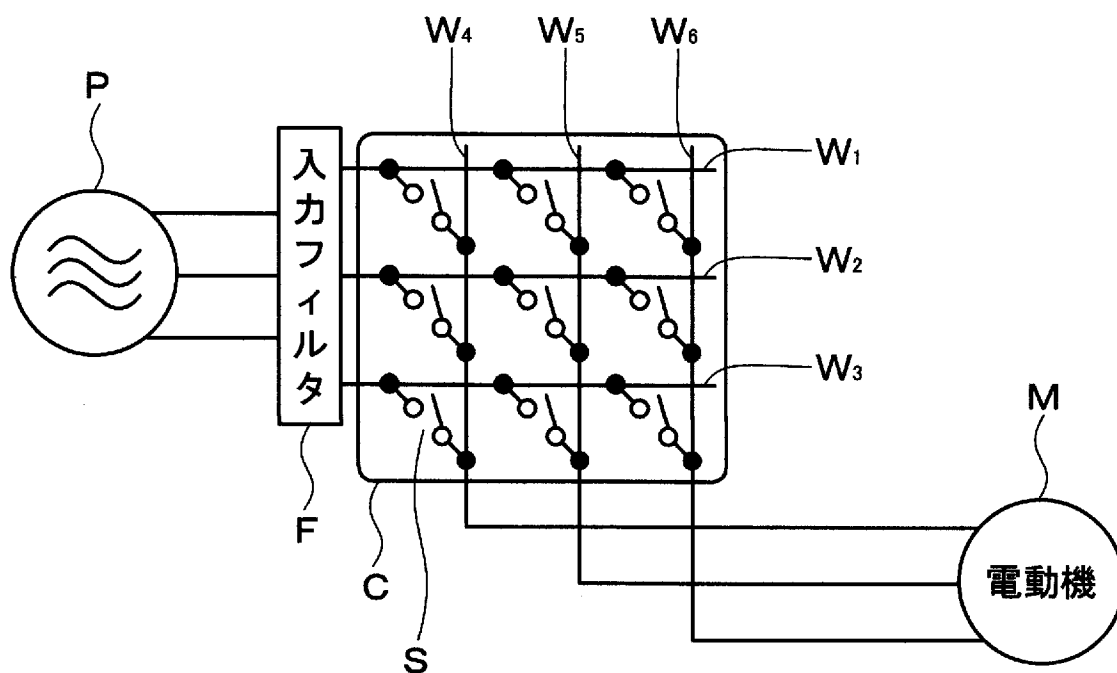
[図44]



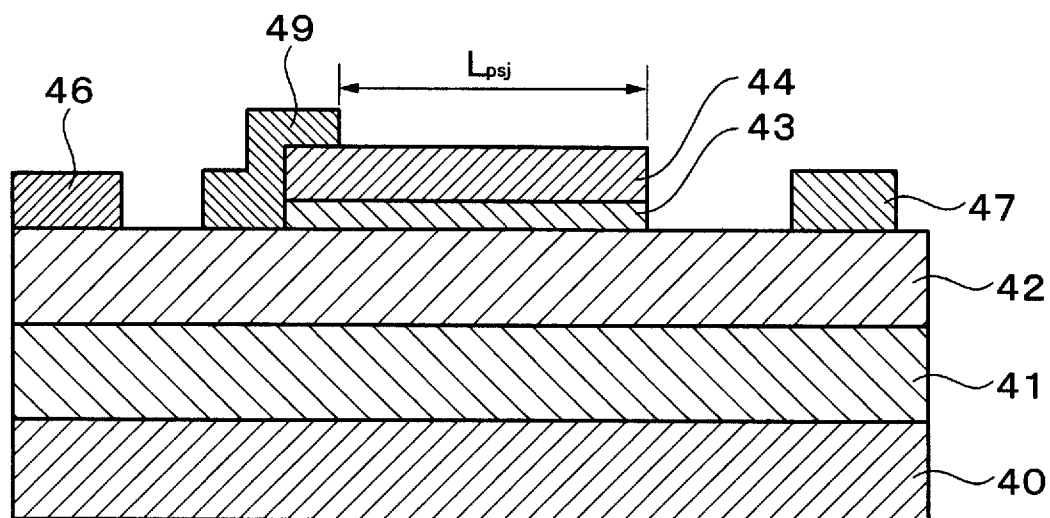
[図45]



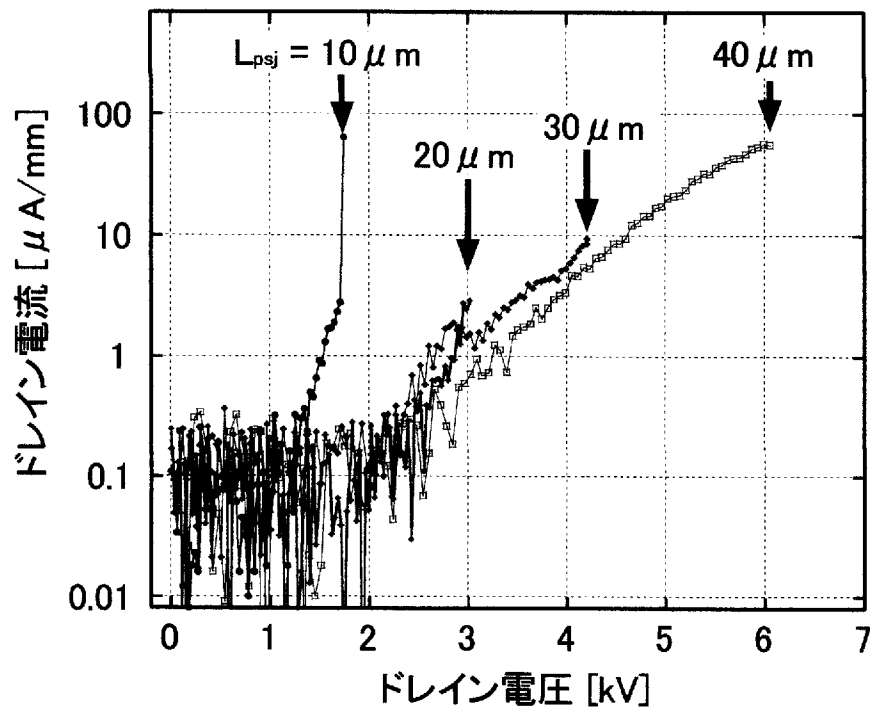
[図46]



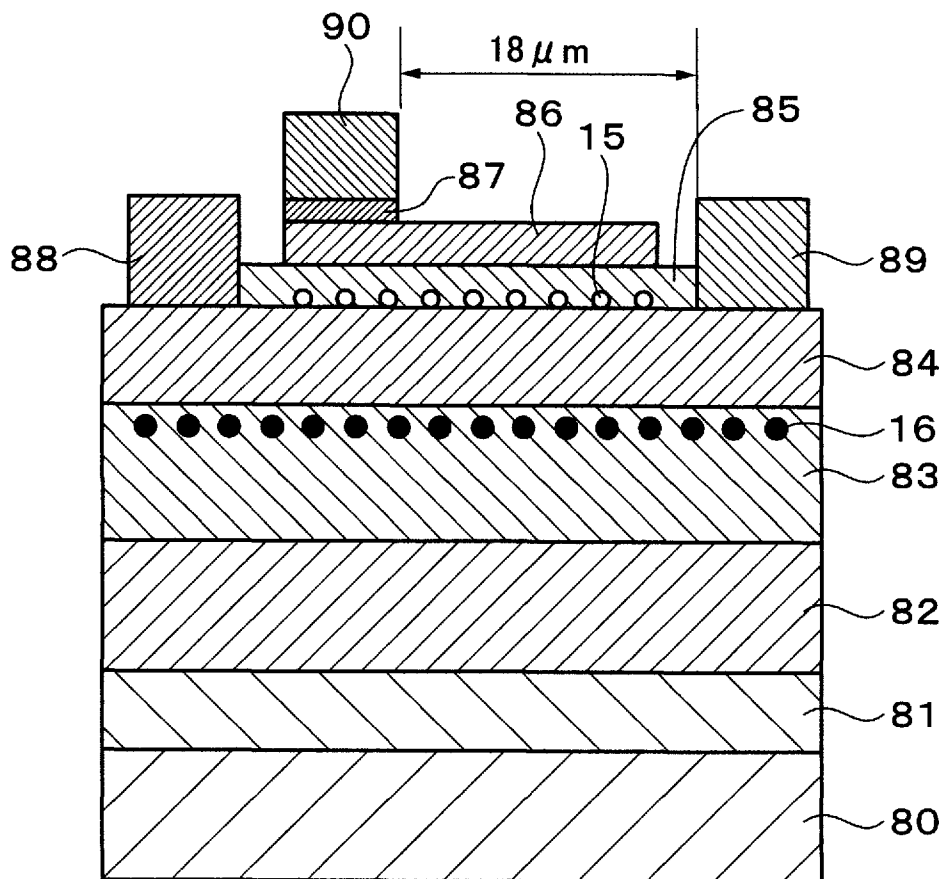
[図47]



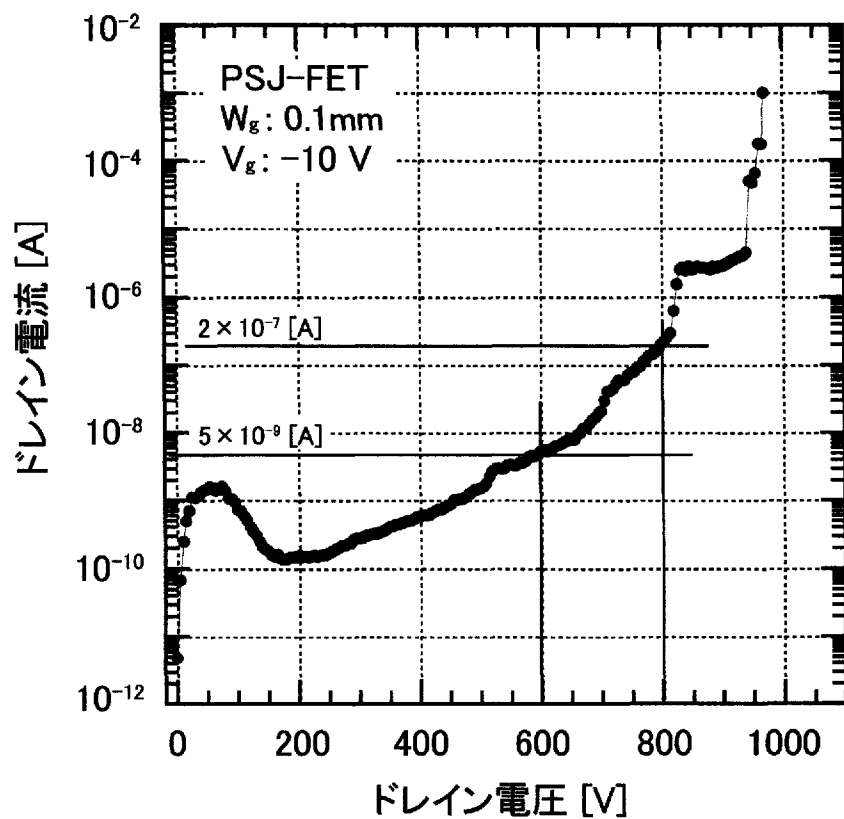
[図48]



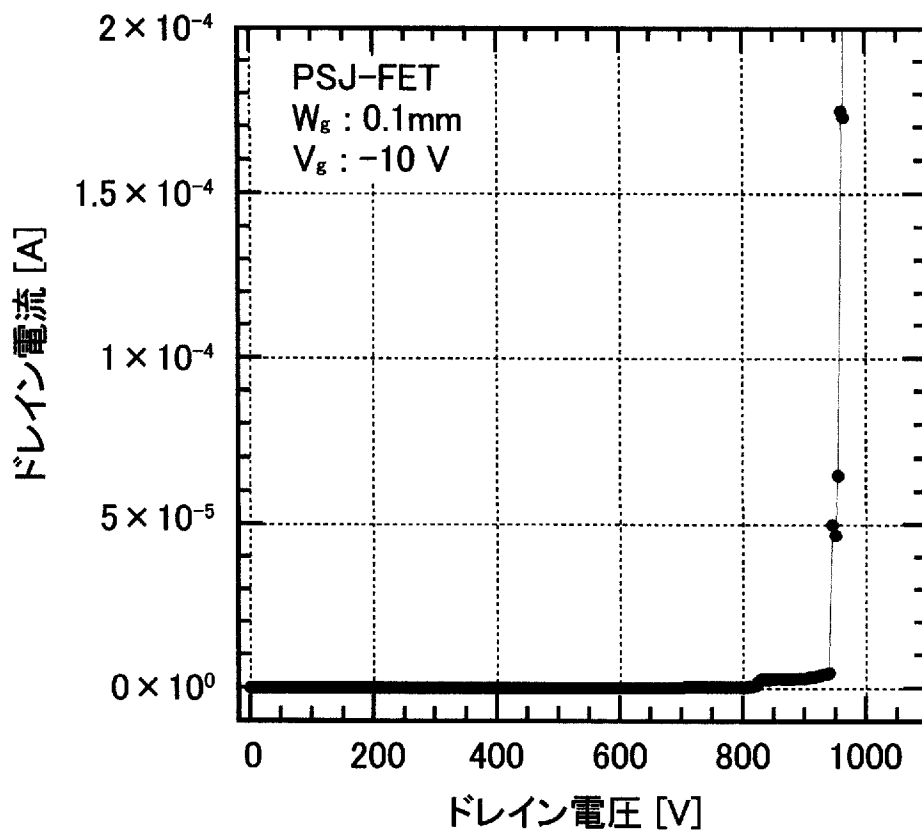
[図49]



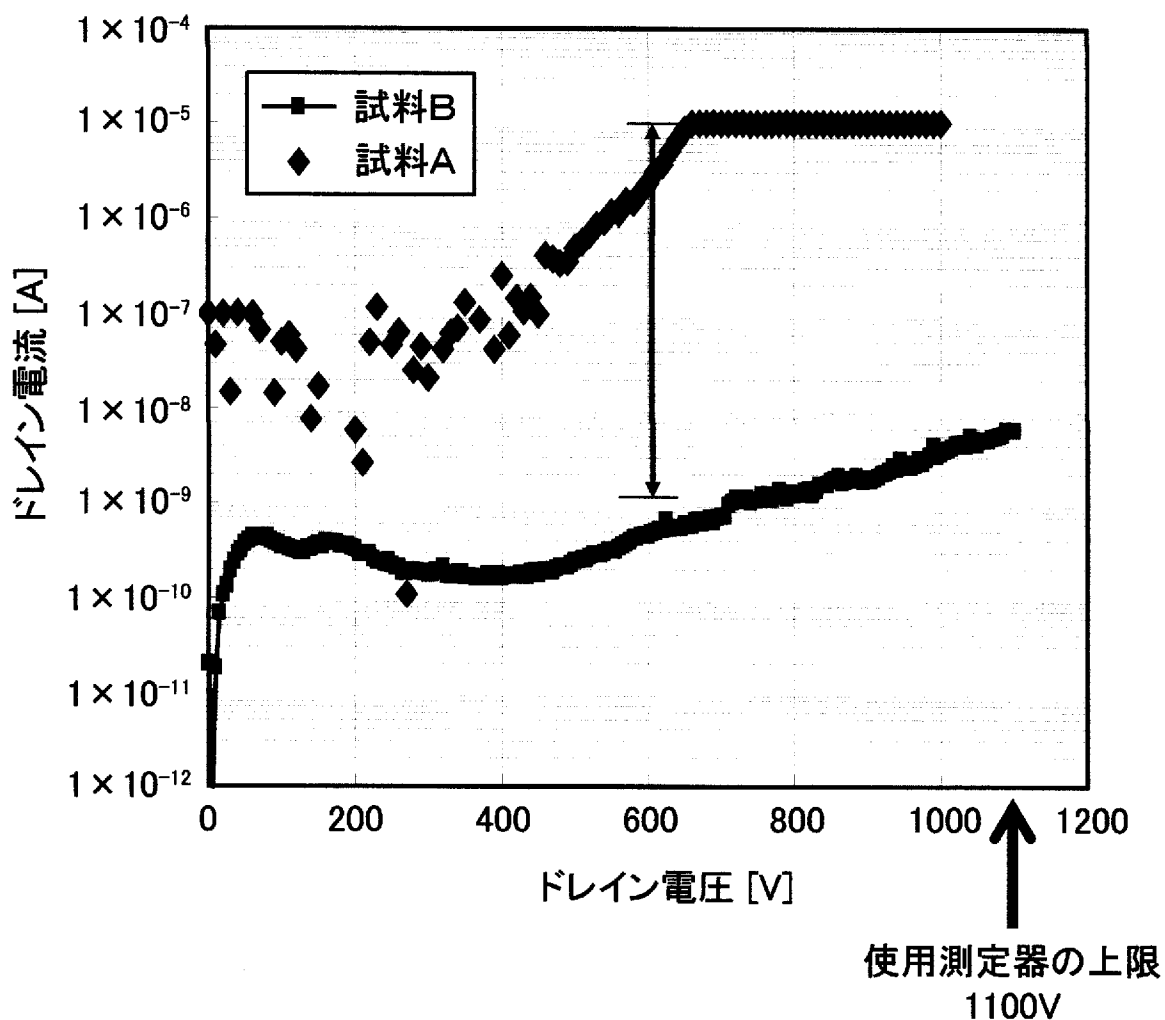
[図50]



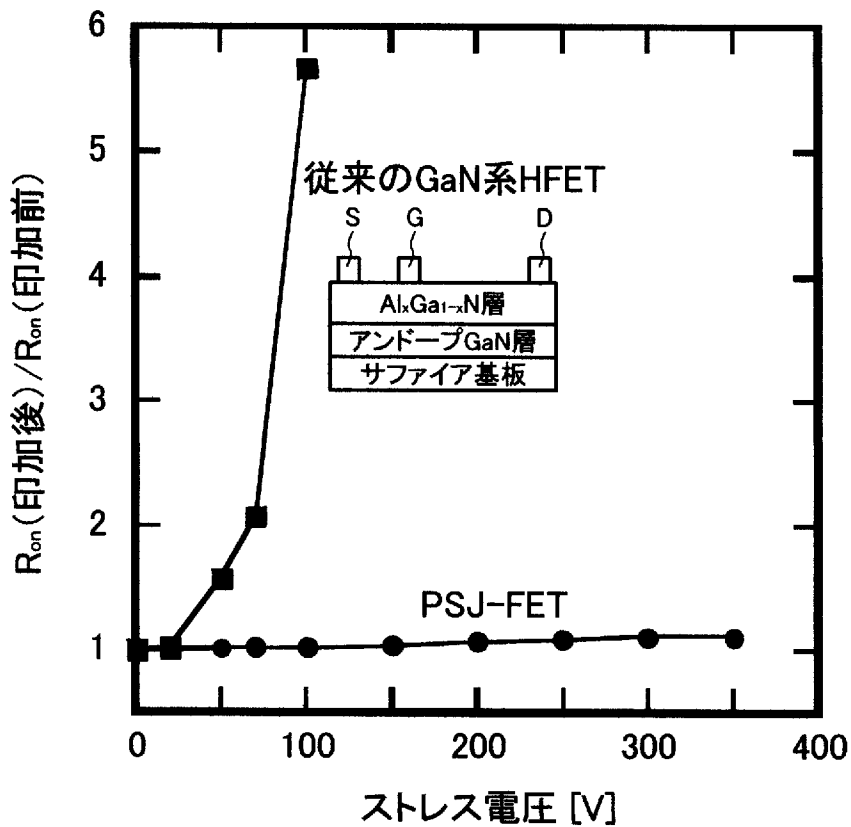
[図51]



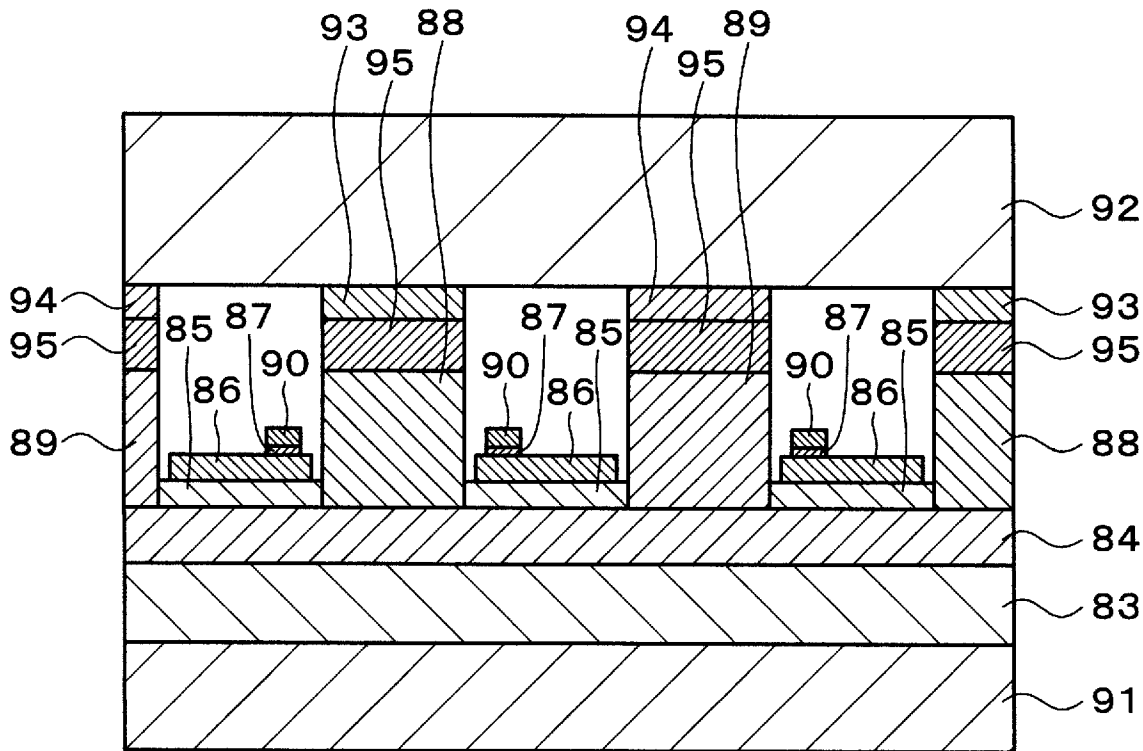
[図52]



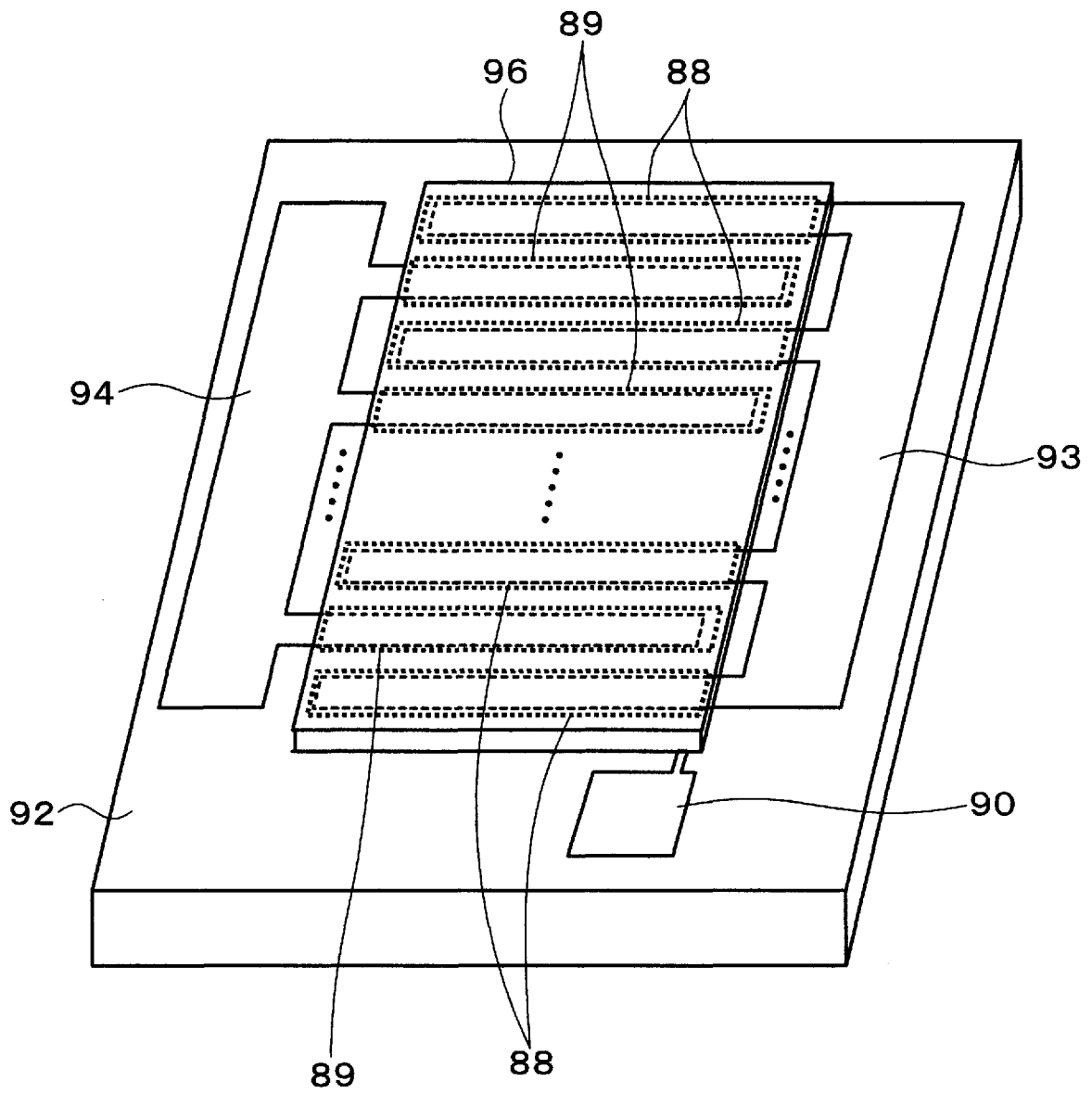
[図53]



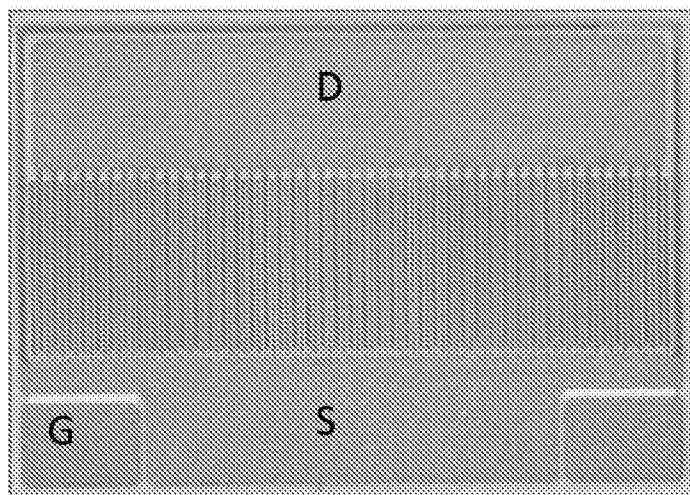
[図54]



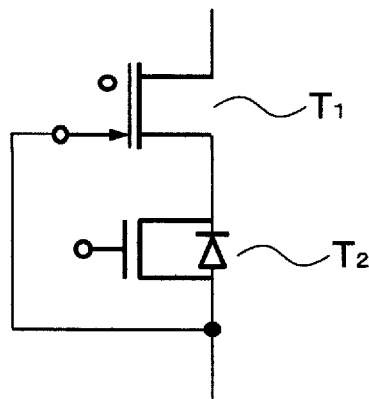
[図55]



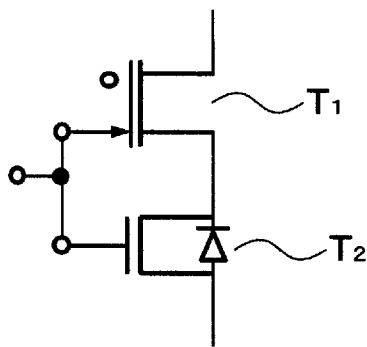
[図56]



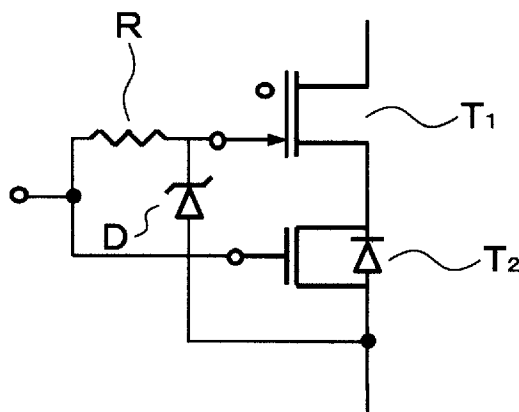
[図57A]



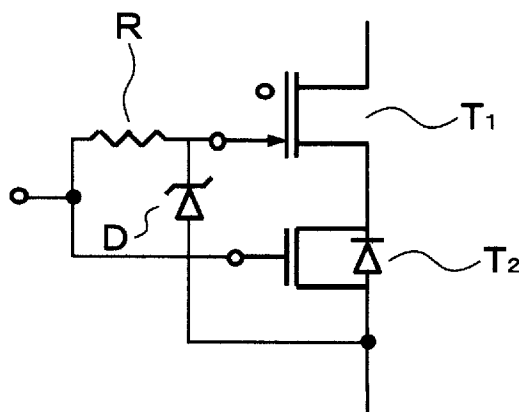
[図57B]



[図57C]



[図57D]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/080436

<p>A. CLASSIFICATION OF SUBJECT MATTER <i>H01L21/338(2006.01)i, H01L21/329(2006.01)i, H01L21/337(2006.01)i, H01L27/098(2006.01)i, H01L29/06(2006.01)i, H01L29/778(2006.01)i, H01L29/808(2006.01)i, H01L29/812(2006.01)i, H01L29/861(2006.01)i,</i> According to International Patent Classification (IPC) or to both national classification and IPC</p>														
<p>B. FIELDS SEARCHED</p> <p>Minimum documentation searched (classification system followed by classification symbols) H01L21/338, H01L21/329, H01L21/337, H01L27/098, H01L29/06, H01L29/778, H01L29/808, H01L29/812, H01L29/861, H01L29/868</p> <p>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2014 Kokai Jitsuyo Shinan Koho 1971-2014 Toroku Jitsuyo Shinan Koho 1994-2014</p> <p>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)</p>														
<p>C. DOCUMENTS CONSIDERED TO BE RELEVANT</p> <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>WO 2011/162243 A1 (The University of Sheffield), 29 December 2011 (29.12.2011), paragraphs [0076] to [0118] & JP 5079143 B & US 2013/0126942 A1 & EP 2587528 A1 & CN 102947921 A</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>JP 2013-239735 A (Panasonic Corp.), 28 November 2013 (28.11.2013), paragraphs [0018] to [0032]; fig. 1 (Family: none)</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>JP 2011-109761 A (Panasonic Corp.), 02 June 2011 (02.06.2011), paragraph [0055]; fig. 2 (Family: none)</td> <td>1-14</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	A	WO 2011/162243 A1 (The University of Sheffield), 29 December 2011 (29.12.2011), paragraphs [0076] to [0118] & JP 5079143 B & US 2013/0126942 A1 & EP 2587528 A1 & CN 102947921 A	1-14	A	JP 2013-239735 A (Panasonic Corp.), 28 November 2013 (28.11.2013), paragraphs [0018] to [0032]; fig. 1 (Family: none)	1-14	A	JP 2011-109761 A (Panasonic Corp.), 02 June 2011 (02.06.2011), paragraph [0055]; fig. 2 (Family: none)	1-14
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
A	WO 2011/162243 A1 (The University of Sheffield), 29 December 2011 (29.12.2011), paragraphs [0076] to [0118] & JP 5079143 B & US 2013/0126942 A1 & EP 2587528 A1 & CN 102947921 A	1-14												
A	JP 2013-239735 A (Panasonic Corp.), 28 November 2013 (28.11.2013), paragraphs [0018] to [0032]; fig. 1 (Family: none)	1-14												
A	JP 2011-109761 A (Panasonic Corp.), 02 June 2011 (02.06.2011), paragraph [0055]; fig. 2 (Family: none)	1-14												
<p><input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.</p>														
<p>* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family</p>														
<p>Date of the actual completion of the international search 18 December 2014 (18.12.14)</p>		<p>Date of mailing of the international search report 06 January 2015 (06.01.15)</p>												
<p>Name and mailing address of the ISA/ Japan Patent Office</p>		<p>Authorized officer</p>												
<p>Facsimile No.</p>		<p>Telephone No.</p>												

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/080436

Continuation of A. CLASSIFICATION OF SUBJECT MATTER
(International Patent Classification (IPC))

H01L29/868(2006.01) i

(According to International Patent Classification (IPC) or to both national classification and IPC)

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H01L21/338(2006.01)i, H01L21/329(2006.01)i, H01L21/337(2006.01)i, H01L27/098(2006.01)i, H01L29/06(2006.01)i, H01L29/778(2006.01)i, H01L29/808(2006.01)i, H01L29/812(2006.01)i, H01L29/861(2006.01)i, H01L29/868(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H01L21/338, H01L21/329, H01L21/337, H01L27/098, H01L29/06, H01L29/778, H01L29/808, H01L29/812, H01L29/861, H01L29/868		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2014年 日本国実用新案登録公報 1996-2014年 日本国登録実用新案公報 1994-2014年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2011/162243 A1（ザ ユニバーシティ オブ シェフィールド） 2011.12.29, 0076 段落ないし 0118 段落 & JP 5079143 B & US 2013/0126942 A1 & EP 2587528 A1 & CN 102947921 A	1-14
A	JP 2013-239735 A（パナソニック株式会社）2013.11.28, 0018 段落 ないし 0032 段落、図1（ファミリーなし）	1-14
A	JP 2011-109761 A（パナソニック株式会社）2011.06.02, 0055 段落、 図2（ファミリーなし）	1-14
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 18.12.2014	国際調査報告の発送日 06.01.2015	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 棚田 一也 電話番号 03-3581-1101 内線 3516	5 F 9361