



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년09월19일
(11) 등록번호 10-0759070
(24) 등록일자 2007년09월10일

(51) Int. Cl.

H03B 5/12 (2006.01) H03B 5/08 (2006.01)

(21) 출원번호 10-2007-0043307

(22) 출원일자 2007년05월04일

심사청구일자 2007년05월04일

(56) 선행기술조사문헌

공개특허 제2005-0064559호

(뒷면에 계속)

(73) 특허권자

인하대학교 산학협력단

인천 남구 용현동 253 인하대학교

(72) 발명자

강진구

서울 서초구 잠원동 한신 18차 335-201호

이정용

충북 청주시 흥덕구 복대1동 주은 아파트 101동 602호

(74) 대리인

김진우

전체 청구항 수 : 총 2 항

심사관 : 조성찬

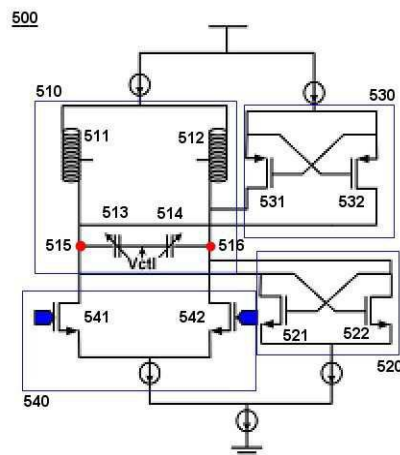
(54) 엘씨 탱크형 전압제어 발진기

(57) 요약

본 발명은 인덕터와 가변 커패시터를 포함하는 LC 탱크형 전압 제어 발진기(Voltage Control Oscillator; VCO)에 관한 것으로서, 본 발명에 따른 전압 제어 발진기는, 제1 인덕터의 일단과 제1 가변 커패시터(varactor)의 애노드가 공통으로 연결되는 제1 노드 및 제2 인덕터의 일단과 제2 가변 커패시터의 애노드가 공통으로 연결되는 제2 노드를 포함하며, 주파수를 발진시키는 LC 탱크부와, 상기 제1 노드 및 상기 제2 노드와 각각 접속하고, 각각의 게이트가 다른 하나의 드레인과 접속하는 제1 NMOS FET 및 제2 NMOS FET을 포함하며, 상기 LC 탱크부에서 보았을 때 네거티브 저항을 갖고 상기 LC 탱크부의 발진을 유지시키는 네거티브 저항부와, 상기 제1 노드 및 상기 제2 노드와 각각 접속하고, 각각의 게이트가 다른 하나의 드레인과 접속하는 제1 PMOS FET 및 제2 PMOS FET을 포함하며, 피드백 루프를 형성하여 상기 LC 탱크부의 발진을 안정적이게 하며 발진기 이득을 증가시키는 피드백부와, 및 상기 제1 노드 및 상기 제2 노드와 각각 접속하고, 각각의 소스가 전류원에 접속되는 제3 NMOS FET 및 제4 NMOS FET을 포함하며, 전류 경로를 추가시키는 전류원부를 포함하는 CMOS LC 탱크형 전압 제어 발진기 블록을 복수 개 직렬로 연결하여 포함하는 것을 그 특징으로 한다.

본 발명에 따르면, 복수의 LC 탱크형 CMOS 전압 제어 발진기 블록을 포함하며, 각각의 LC 탱크형 CMOS 전압 제어 발진기 블록이 PMOS FET으로 구성된 피드백 회로와 NMOS FET로 구성된 전류원부를 추가로 포함하게 함으로써, 10GHz 근처의 동작 영역에서 위상 잡음이 대폭 개선되고, 제어 전압에 대한 출력 주파수의 선형성이 향상된 전압 제어 발진기를 제공할 수 있다.

대표도 - 도5



(56) 선행기술조사문헌

공개특허 제2004-0077304호
공개특허 제2006-0052542호
공개특허 제2006-0120436호
공개특허 2003-0070576호
공개특허 2006-0107031호
일본공개특허 평16-119724호
미국공개특허 2004/0169564호
미국공개특허 2005/0275478호
미국공개특허 2006/0261902호
미국공개특허 2006/0220754호
미국특허 제6081167호
일본공개특허 평18-245774호

특허청구의 범위

청구항 1

(1) 제1 인덕터의 일단과 제1 가변 커패시터(varactor)의 애노드가 공통으로 연결되는 제1 노드 및 제2 인덕터의 일단과 제2 가변 커패시터의 애노드가 공통으로 연결되는 제2 노드를 포함하며, 주파수를 발진시키는 LC 탱크부;

(2) 상기 제1 노드 및 상기 제2 노드와 각각 접속하고, 각각의 게이트가 다른 하나의 드레인과 접속하는 제1 NMOS FET 및 제2 NMOS FET을 포함하며, 상기 LC 탱크부에서 보았을 때 네거티브 저항을 갖고 상기 LC 탱크부의 발진을 유지시키는 네거티브 저항부;

(3) 상기 제1 노드 및 상기 제2 노드와 각각 접속하고, 각각의 게이트가 다른 하나의 드레인과 접속하는 제1 PMOS FET 및 제2 PMOS FET을 포함하며, 피드백 루프를 형성하여 상기 LC 탱크부의 발진을 안정적이게 하며 발진기 이득을 증가시키는 피드백부; 및

(4) 상기 제1 노드 및 상기 제2 노드와 각각 접속하고, 각각의 소스가 전류원에 접속되는 제3 NMOS FET 및 제4 NMOS FET을 포함하며, 전류 경로를 추가시키는 전류원부

를 포함하는 CMOS 전압 제어 발진기 블록을 복수 개 직렬로 연결하여 포함하는 전압 제어 발진기(Voltage Control Oscillator; VCO).

청구항 2

제1항에 있어서,

상기 CMOS 전압 제어 발진기 블록의 수가 4이고, 각각의 인접한 CMOS VCO 블록 사이의 위상 차이가 45도인 전압 제어 발진기.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<32> 본 발명은 LC 탱크형 전압 제어 발진기(Voltage Control Oscillator; VCO)에 관한 것으로서, 보다 구체적으로는 복수의 CMOS LC 탱크형 전압 제어 발진기 블록을 포함하며, 각각의 CMOS LC 탱크형 전압 제어 발진기 블록이 PMOS FET으로 구성된 피드백 회로와 NMOS FET로 구성된 전류원부를 추가로 포함하게 함으로써, 위상 잡음을 낮추고, 제어 전압에 대한 출력 주파수의 선형성이 향상된 전압 제어 발진기에 관한 것이다.

<33> 최근 OC-768 Level 및 SFI-5 표준을 만족시키는 40Gb/s의 광통신 송수신기 분야가 활성화되면서 그에 사용되는 회로 설계 연구 또한 활발히 진행되고 있다. 이와 같은 40Gb/s 수신 회로 설계에 있어서, 10GHz 클럭을 이용하여 1:4 역다중기(Demultiplexer) 구조로 40Gb/s의 입력 데이터를 4개의 10Gb/s 복원하는 방식의 설계에서는 다중위상(Multi-phase) 위상 고정 루프(Phase Locked Loop; PLL)를 이용하여 8개의 위상(phase)을 갖는 클럭을 생성하는 것이 중요한 연구 과제가 되고 있다. 이외에도 다중위상 PLL은, 고속의 송수신단의 설계 시 다중위상 클럭을 이용하여 고속의 데이터를 처리하게 되는데, 고속 아날로그 디지털 변환기(ADC), 정확한 타이밍이 요구되는 회로, 오버샘플링을 이용한 클럭 데이터 복원 회로, 및 직병렬 변환기(SerDes)와 같은 고속의 데이터 처리를 요구하는 회로 등의 구현 시에 사용될 수 있다.

<34> 이와 같은 고속의 다중위상 PLL의 구현에는 다중위상을 생성시키는 전압 제어 발진기(VCO)가 사용된다. 일반적으로 다중위상 PLL을 구현하기 위한 전압 제어 발진기는, 차동 지연 셀(differential delay cell)을 이용한 링 발진기(Ring oscillator)로서 구현된다. 도 1a 및 도 1b는 이와 같은 차동 전압 제어 발진기의 대표적인 구조를 예시하는 도면이다. 도 1a 및 도 1b에 도시된 구조를 참조하면, MOS FET(Metal Oxide Semiconductor Field Effect Transistor)의 게이트(Gate) 단과 드레인(Drain) 단을 묶어 커패시터를 구성한 후 MOS FET의 게이트 단에 제어 전압을 인가할 경우, 그 MOS FET이 선형 영역에서 동작을 한다면 저항처럼 보이는 것을 이용하고 있다.

이 경우, 발진기에서 생성되는 주파수는 다음 수학적 식 1과 같이 주어진다.

$$f = \frac{1}{2\pi R_{on} \times C}$$

<35>

<36>

하지만 이 구조는 속도적인 한계가 있다는 단점이 있다. 현재까지 연구에 따르면, 이 구조는 0.18 μ m CMOS 공정을 기준으로 약 8GHz가 속도적인 한계인 것으로 나타나고 있다. 또한, 이 구조는 능동소자인 MOS FET를 통해 구현됨으로써, 지터(jitter) 성분이 크다는 단점도 있다.

<37>

따라서 다중위상 PLL의 구현 시에 동작속도를 더 높이고 지터를 낮추기 위해 LC 탱크 구조의 VCO를 사용한다. LC 탱크 구조의 VCO는, 인덕터와 가변 커패시터(varactor)의 값에 의해 다음 수학적 식 2와 같이 그 동작주파수가 결정된다.

$$f = \frac{1}{2\pi \sqrt{LC_{var}}}$$

<38>

<39>

상기 수학적 식 2에서 확인할 수 있는 바와 같이, LC 탱크형 VCO에서는 가변 커패시터의 변화에 따라 VCO의 속도 변화 영역이 결정된다. LC 탱크형 VCO 설계의 중요한 요소들로는, 잡음의 크기, 전력 소비량, 전압 변화에 따른 주파수 변화의 선형성, 및 VCO가 차지하는 면적을 들 수 있다. 잡음 성능의 향상과 관련하여, 기존에는 인덕터의 Q-factor 값을 증가시키거나 VCO에 들어가는 바이어스(bias) 전압을 제거함으로써, 위상 잡음(phase noise)의 감소를 꾀하였다. 여기서, 위상 잡음은 중심 주파수에서의 전력과 일정 주파수 오프셋(offset)된 주파수에서 1Hz의 대역폭을 가진 부분에서의 전력의 차로 나타낼 수 있는데(단위 dBc), 이 특성이 나쁘면 전체 시스템에서 여러 가지 문제가 발생할 수 있기 때문에 전압 제어 발진기의 특성 중 가장 기본이 되는 지표이자 가장 중요한 특성이라고 할 수 있으며, 그 결과 위상 잡음을 최소화하기 위한 노력이 계속되고 있다.

<40>

Q-factor 값을 증가시키는 방법과 관련하여, RF(Radio Frequency) 공정이 제공이 되면서 인덕터의 Q-factor 값은 10GHz에서 약 10 정도의 값을 가지며, 그 이상의 증가는 어려운 것으로 나타나고 있다. 도 2a 및 2b는 인덕터 구조의 변화에 따른 Q-factor 값의 변화를 0.18 μ m CMOS 공정에서 제공되는 인덕터를 이용하여 시뮬레이션한 것으로서, 각각 인덕터의 안쪽 둘레를 변화시키는 경우와 인덕터의 메탈 두께를 변화시키는 경우의 시뮬레이션 결과를 나타내는 도면이다. 도 2로부터, RF 공정에서 Q-factor 값은 약 10 정도에서 정해지기 때문에 Q-factor의 증가로 인한 위상 잡음의 감소는 어렵다는 것을 확인할 수 있다.

<41>

한편, LC 탱크 VCO의 구조적인 문제 해결을 통해 위상 잡음을 감소시키려는 시도도 있다. 도 3a 및 도 3b 기본적인 LC 탱크 VCO 구조 및 해당 구조의 위상 잡음 변화 곡선을 나타내는 도면이다. 이에 비해, 도 4a 및 도 4b는 위상 잡음의 감소와 전력 소비를 줄이기 위하여 사용되는 구조 및 해당 구조에 대한 위상 잡음 변화 곡선을 나타내는 도면이다. 도 3b와 도 4b의 비교를 통해, LC 탱크 VCO의 구조를 변경시킴으로써, 위상 잡음이 크게 향상된 것을 확인할 수 있다.

<42>

그러나 앞서 언급한 바와 같이, 위상 잡음을 최소화시키는 것은 발진기의 성능을 개선시키게 되는 것이므로, 위상 잡음이 보다 향상된 발진기에 대한 필요성은 여전히 존재한다. 또한, 발진기 이득과 관련하여 제어 전압에 대한 출력 주파수의 선형성이 보다 향상된 발진기의 개발에 대한 필요성 또한 있다.

발명이 이루고자 하는 기술적 과제

<43>

본 발명은 상기와 같은 필요성 인식에서 비롯된 것으로서, 복수의 CMOS LC 탱크형 전압 제어 발진기 블록을 포함하며, 각각의 CMOS LC 탱크형 전압 제어 발진기 블록이 PMOS FET으로 구성된 피드백 회로와 NMOS FET로 구성된 전류원부를 추가로 포함하게 함으로써, 위상 잡음이 적고, 제어 전압에 대한 출력 주파수의 선형성이 향상된 전압 제어 발진기를 제공하는 것을 그 목적으로 한다.

발명의 구성 및 작용

<44>

상기한 목적을 달성하기 위한 본 발명의 특징에 따른 LC 탱크형 전압 제어 발진기는,

<45>

제1 인덕터의 일단과 제1 가변 커패시터(varactor)의 애노드가 공통으로 연결되는 제1 노드 및 제2 인덕터의 일단과 제2 가변 커패시터의 애노드가 공통으로 연결되는 제2 노드를 포함하며, 주파수를 발진시키는 LC 탱크부;

<46>

상기 제1 노드 및 상기 제2 노드와 각각 접속하고, 각각의 게이트가 다른 하나의 드레인과 접속하는 제1 NMOS

FET 및 제2 NMOS FET을 포함하며, 상기 LC 탱크부에서 보았을 때 네거티브 저항을 갖고 상기 LC 탱크부의 발진을 유지시키는 네거티브 저항부;

- <47> 상기 제1 노드 및 상기 제2 노드와 각각 접속하고, 각각의 게이트가 다른 하나의 드레인과 접속하는 제1 PMOS FET 및 제2 PMOS FET을 포함하며, 피드백 루프를 형성하여 상기 LC 탱크부의 발진을 안정적이게 하며 발진기 이득을 증가시키는 피드백부; 및
- <48> 상기 제1 노드 및 상기 제2 노드와 각각 접속하고, 각각의 소스가 전류원에 접속되는 제3 NMOS FET 및 제4 NMOS FET을 포함하며, 전류 경로를 추가시키는 전류원부
- <49> 를 포함하는 CMOS 전압 제어 발진기 블록을 복수 개 직렬로 연결하여 포함하는 것을 그 특징으로 한다.
- <50> 바람직하게는, 상기 CMOS 전압 제어 발진기 블록의 수는 4이고, 각각의 인접한 CMOS VCO 블록 사이의 위상 차이는 45도인 것이 유리하다.
- <51> 이하에서는 첨부된 도면들을 참조하여, 본 발명에 따른 실시예에 대하여 상세하게 설명하기로 한다.
- <52> 도 5는, 본 발명의 일 실시예에 따른 CMOS 전압 제어 발진기 블록 한 단의 회로 구성을 나타내는 도면이다. 도 5에 따르면, 본 발명의 일 실시예에 따른 CMOS 전압 제어 발진기 블록(500)은, 인덕터와 가변 커패시터를 포함하여 주파수를 발진시키는 LC 탱크부(510)와, LC 탱크부(510)에서 볼 때 네거티브 저항을 가짐으로써 LC 탱크부(510)의 발진을 유지시키는 네거티브 저항부(520)와, 피드백 루프를 형성하여 LC 탱크부(510)의 발진을 안정적이게 하며 발진기 이득을 증가시키는 피드백부(530)와, 전류 경로를 추가시키는 전류원부(540)를 포함한다.
- <53> LC 탱크부(510)는 제어 전압(Vct1)에 대하여 대칭적으로 제1 공진부 및 제2 공진부를 포함한다. 제1 공진부는 제1 인덕터(511)와 제1 가변 커패시터(513)로 구성되며, 제1 인덕터(511)의 일단과 제1 가변 커패시터(513)의 애노드가 제1 노드(515)에서 접속된다. 제2 공진부는 제2 인덕터(512)와 제2 가변 커패시터(514)로 구성되며, 제2 인덕터(512)의 일단과 제2 가변 커패시터(514)의 애노드가 제2 노드(516)에서 접속된다. LC 탱크부(510)에서 생성되는 발진 주파수는, 앞서 설명한 수학적 식 2와 같이 정의될 수 있으며, 가변 커패시터(513, 514)에 입력되는 제어 전압(Vct1)을 변화시킴으로써 그 값이 변화시켜질 수 있다.
- <54> 네거티브 저항부(520)는 제1 NMOS FET(521)과 제2 NMOS FET(522)을 포함한다. 제1 NMOS FET(521)은 제1 노드(515)와 접속되며, 제2 NMOS FET(522)은 제2 노드(516)와 접속된다. 제1 NMOS FET(521)의 게이트는 제2 NMOS FET(522)의 드레인과 접속되며, 제2 NMOS FET(522)의 게이트는 제1 NMOS FET(521)의 드레인과 접속된다. 네거티브 저항부(520)는 LC 탱크부(510)에서 보았을 때 네거티브 저항을 갖게 되는데, 네거티브 저항은 인덕터(511, 512)와 가변 커패시터(513, 514)에 의해 생성되는 저항 성분을 소거시킴으로써 LC 탱크부(510)의 발진을 유지시킨다.
- <55> 피드백부(530)는 제1 PMOS FET(531)과 제2 PMOS FET(532)을 포함한다. 제1 PMOS FET(531)은 제2 노드(516)와 접속되며, 제2 PMOS FET(532)은 제1 노드(515)와 접속된다. 제1 PMOS FET(531)의 게이트는 제2 PMOS FET(532)의 드레인과 접속되며, 제2 PMOS FET(532)의 게이트는 제1 PMOS FET(531)의 드레인과 접속된다. 피드백부(530)는 LC 탱크부(510)에 대하여 피드백 루프를 형성함으로써, LC 탱크부(510)의 발진을 안정적이게 하며(출력 전압의 흔들림 및 위상 잡음을 줄임), 또한 발진기 이득을 증가시킨다. 여기서 발진기 이득은, 발진기에 대하여 제어 전압의 변화량에 따른 주파수의 변화량으로 정의되며, 단위는 Hz/V이다.
- <56> 전류원부(540)는 제3 NMOS FET(541) 및 제4 NMOS FET(544)을 포함한다. 제3 NMOS FET(541)은 제1 노드(515)와 접속되며, 제4 NMOS FET(542)은 제2 노드(516)와 접속된다. 전류원부(540)를 구성하는 NMOS FET(541, 542)은 선형 영역에서 동작하며 전압 헤드룸(voltage headroom) 문제를 해결하여, 전압 제어 발진기의 주파수/전압 곡선이 선형적으로 동작하도록 한다. 즉, 전류원부(540)는 전류 경로를 추가함으로써 발진기 이득 곡선이 가지는 비선형성을 제거한다.
- <57> 도 6은 전압 제어 발진기 전체의 구성으로서, 도 5에 도시된 CMOS 전압 제어 발진기 블록이 4단 직렬로 연결된 구성을 나타내고 있다. 도 6을 참조하면, 전압 제어 발진기(600)는 제1 내지 제4 CMOS 전압 제어 발진기 블록(610, 620, 630, 640)을 포함한다. 본 발명의 바람직한 실시예에서는, 4개의 CMOS 전압 제어 발진기 블록(610, 620, 630, 640)의 인접한 CMOS LC 탱크형 VCO 블록 사이의 위상 차이는 45도이다. 하나의 CMOS LC 탱크형 전압 제어 발진기 블록에서 만들어지는 2개의 출력은 180도의 위상 차이를 가지며, 인접한 CMOS VCO 블록의 출력 사이의 위상 차이는 45도가 되도록 설계한다. 10GHz 클럭을 기준으로 할 경우의 위상 차이는 시간으로 표시하면 12.5ps이다(한 주기가 0.1ns이므로, 이것을 8 위상으로 나누면 12.5ps가 얻어진다).

- <58> 도 7은 본 발명에 따른 LC 탱크형 전압 제어 발진기의 위상 잡음 변화 곡선을 나타내는 도면이다. 도 7을 참조하면, 본 발명에서 제안된 전압 제어 발진기의 위상 잡음은 1MHz에서 -116dBc로 나타나는데, 이는 도 3b 및 도 4b와 비교할 경우, 각각 22dBc 및 6dBc 향상된 결과이다. 위상 잡음에 있어서 1dBc의 향상만으로도 시스템 성능이 개선될 수 있으므로, 본 발명에 따른 전압 제어 발진기의 위상 잡음 개선 효과는 주목할 만하다.
- <59> 도 8은 본 발명에 따른 LC 탱크형 전압 제어 발진기의 발진기 이득 변화 곡선을 나타내는 도면이다. 도 8을 참조하면, 제어 전압이 0.2V에서 1.6V로 변화하는 동안 출력 주파수는 9.55GHz에서 10.8GHz로 변화하였으며, 0.85V에서 10GHz의 클럭이 생성된다. 즉, 본 발명에 따른 전압 제어 발진기에 있어서, 제어 전압의 변화에 대한 출력 주파수의 변화가, 기울기가 약 0.68GHz/V인 완전한 선형성을 나타내는 것을 분명하게 확인할 수 있다.
- <60> 이상 설명한 본 발명은 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에 의하여 다양한 변형이나 응용이 가능하며, 본 발명에 따른 기술적 사상의 범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

발명의 효과

- <61> 본 발명에 따르면, 복수의 CMOS LC 탱크형 전압 제어 발진기 블록을 포함하며, 각각의 CMOS LC 탱크형 전압 제어 발진기 블록이 PMOS FET으로 구성된 피드백 회로와 NMOS FET로 구성된 전류원부를 추가로 포함하게 함으로써, 위상 잡음이 대폭 개선되고, 제어 전압에 대한 출력 주파수의 선형성이 향상된 전압 제어 발진기를 제공할 수 있다.

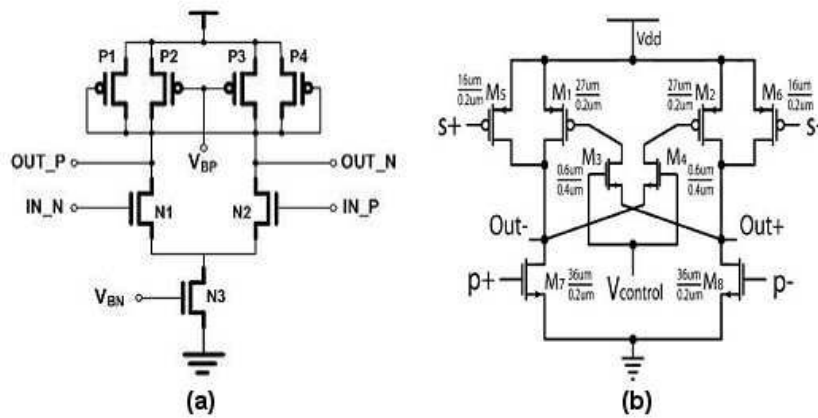
도면의 간단한 설명

- <1> 도 1a 및 도 1b는 기존의 차동 전압 제어 발진기의 대표적인 구조를 예시하는 도면.
- <2> 도 2a 및 2b는 인덕터 구조의 변화에 따른 Q-factor 값의 변화를 0.18um CMOS 공정에서 제공되는 인덕터를 이용하여 시뮬레이션한 것으로서, 각각 인덕터의 안쪽 둘레를 변화시키는 경우와 인덕터의 메탈 두께를 변화시키는 경우의 시뮬레이션 결과를 나타내는 도면.
- <3> 도 3a 및 도 3b 기본적인 LC 탱크 VCO 구조 및 해당 구조의 위상 잡음 변화 곡선을 나타내는 도면.
- <4> 도 4a 및 도 4b는 위상 잡음의 감소와 전력 소비를 줄이기 위하여 사용되는 구조 및 해당 구조에 대한 위상 잡음 변화 곡선을 나타내는 도면.
- <5> 도 5는 본 발명의 일 실시예에 따른 CMOS 전압 제어 발진기 블록 한 단의 회로 구성을 나타내는 도면.
- <6> 도 6은 전압 제어 발진기 전체의 구성으로서, 도 5에 도시된 CMOS 전압 제어 발진기 블록이 4단 직렬로 연결된 구성을 나타내는 도면.
- <7> 도 7은 본 발명에 따른 전압 제어 발진기의 위상 잡음 변화 곡선을 나타내는 도면.
- <8> 도 8은 본 발명에 따른 전압 제어 발진기의 발진기 이득 변화 곡선을 나타내는 도면.
- <9> <도면 중 주요 부분에 대한 부호의 설명>
- <10> 500 : (본 발명에 따른) CMOS LC 탱크형 전압 제어 발진기 블록
- <11> 510 : LC 탱크부
- <12> 511 : 제1 인덕터
- <13> 512 : 제2 인덕터
- <14> 513 : 제1 가변 커패시터(varactor)
- <15> 514 : 제2 가변 커패시터
- <16> 515 : 제1 로드
- <17> 516 : 제2 로드
- <18> 520 : 네거티브 저항부
- <19> 521 : 제1 NMOS FET

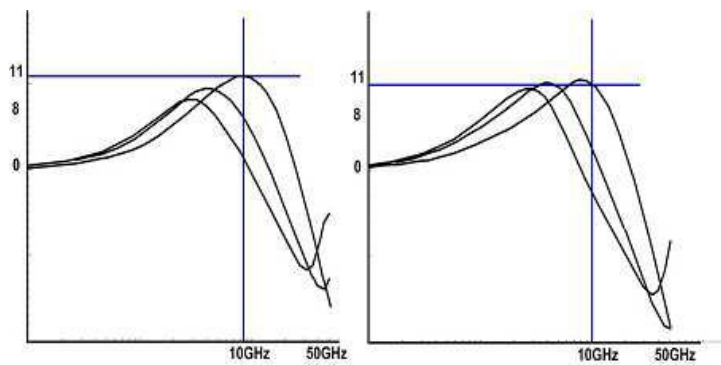
- <20> 522 : 제2 NMOS FET
- <21> 530 : 피드백부
- <22> 531 : 제1 PMOS FET
- <23> 532 : 제2 PMOS FET
- <24> 540 : 전류원부
- <25> 541 : 제3 NMOS FET
- <26> 542 : 제4 NMOS FET
- <27> 600 : (본 발명에 따른) LC 탱크형 전압 제어 발진기
- <28> 610 : 제1 CMOS LC 탱크형 전압 제어 발진기 블록
- <29> 620 : 제2 CMOS LC 탱크형 전압 제어 발진기 블록
- <30> 630 : 제3 CMOS LC 탱크형 전압 제어 발진기 블록
- <31> 640 : 제4 CMOS LC 탱크형 전압 제어 발진기 블록

도면

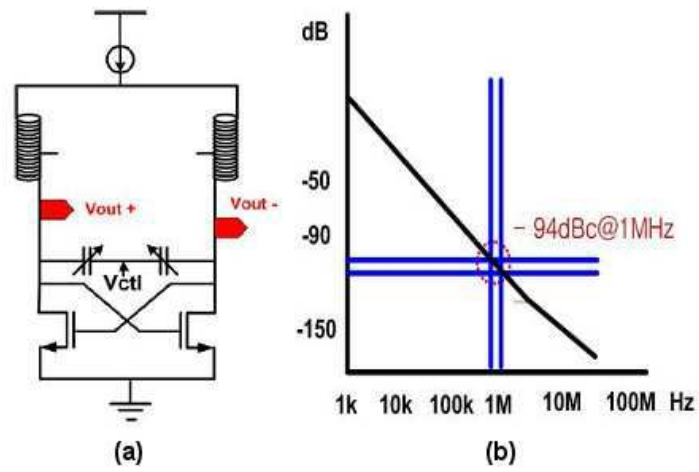
도면1



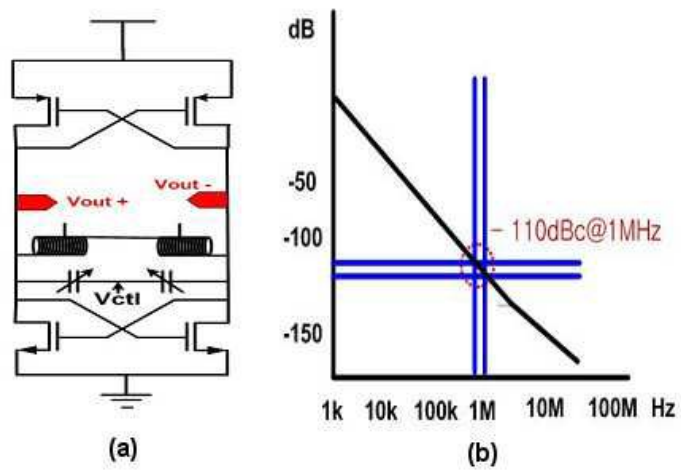
도면2



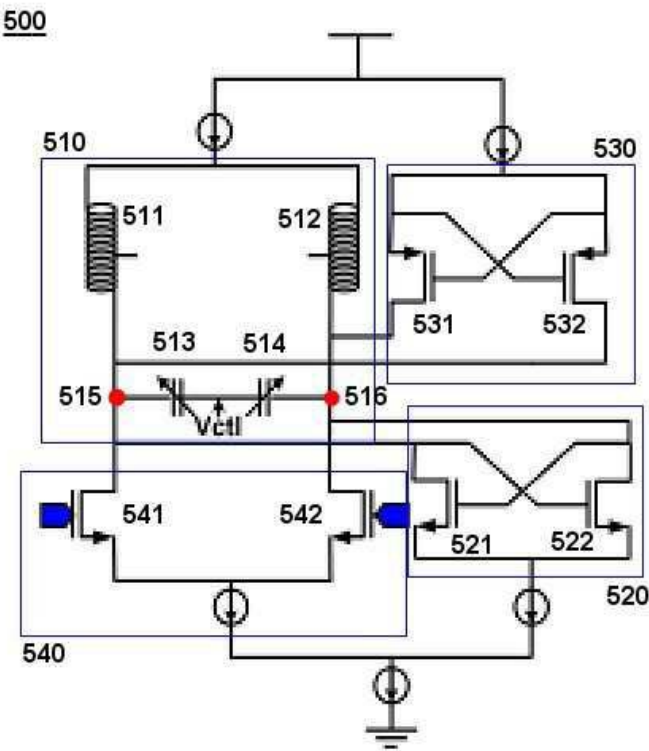
도면3



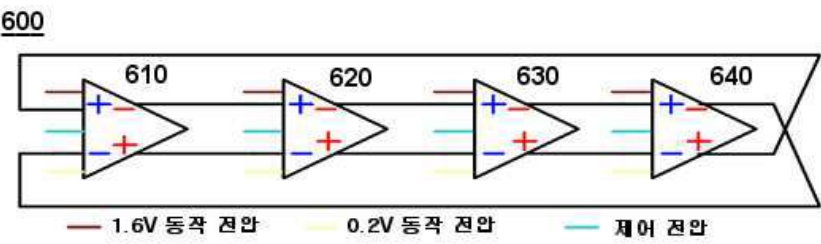
도면4



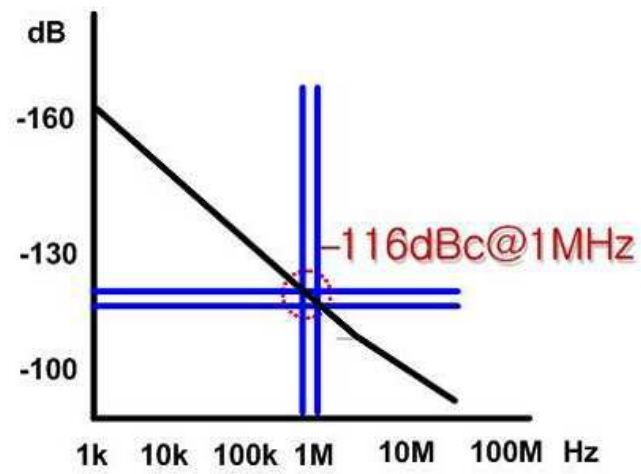
도면5



도면6



도면7



도면8

