



(12)发明专利

(10)授权公告号 CN 106486065 B

(45)授权公告日 2019.03.12

(21)申请号 201611245718.2

(22)申请日 2016.12.29

(65)同一申请的已公布的文献号
申请公布号 CN 106486065 A

(43)申请公布日 2017.03.08

(73)专利权人 上海天马有机发光显示技术有限公司

地址 201201 上海市浦东新区龙东大道
6111号1幢509室

专利权人 天马微电子股份有限公司

(72)发明人 向东旭 李玥 钱栋 刘刚

(74)专利代理机构 北京汇思诚业知识产权代理有限公司 11444

代理人 王刚 龚敏

(51)Int.Cl.

G09G 3/3233(2016.01)

G11C 19/28(2006.01)

(56)对比文件

CN 105489153 A,2016.04.13,

CN 101064085 A,2007.10.31,

US 2011069805 A1,2011.03.24,

CN 105405383 A,2016.03.16,

CN 105304009 A,2016.02.03,

WO 2012029799 A1,2012.03.08,

审查员 杜昕

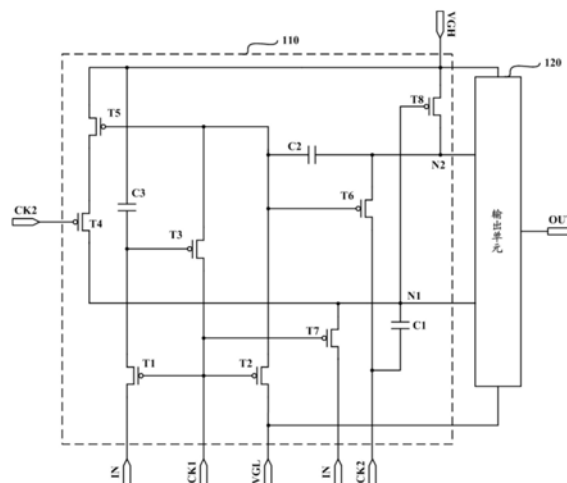
权利要求书2页 说明书8页 附图7页

(54)发明名称

移位寄存单元、寄存器、有机发光显示面板和驱动方法

(57)摘要

本申请公开了一种移位寄存单元、寄存器、有机发光显示面板和驱动方法。其中的移位寄存单元包括节点电位控制器和输出单元；其中：节点电位控制器包括第一输出端和第二输出端；输出单元用于基于第一输出端输出的第一控制信号和第二输出端输出的第二控制信号输出第一电平信号或第二电平信号。按照本申请的方案，移位寄存单元中各节点的电位稳定、可控，可避免移位寄存单元中的各控制信号电平跳变时，各节点电位不稳定导致移位寄存单元输出逻辑混乱的问题。此外，本申请的移位寄存单元对晶体管阈值漂移具有鲁棒性，当晶体管阈值存在漂移时仍能在一定阈值漂移范围内正常工作，从而降低了移位寄存单元制作工艺的复杂程度。



CN 106486065 B

1. 一种移位寄存单元,包括节点电位控制器和输出单元,其特征在于,
所述节点电位控制器包括第一输出端和第二输出端;
所述输出单元用于基于所述第一输出端输出的第一控制信号和所述第二输出端输出的第二控制信号输出第一电平信号或第二电平信号;
所述节点电位控制器包括第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第一电容、第二电容和第三电容;
其中,第一晶体管的栅极、第二晶体管的栅极、第七晶体管的栅极、第三晶体管的第一极与第一时钟信号控制端电连接,第一晶体管的第一极、第七晶体管的第一极与第一输入信号端电连接,第一晶体管的第二极与第三晶体管的栅极电连接;
所述第二晶体管的第一极与第一电平信号端电连接,所述第二晶体管的第二极与第六晶体管的栅极电连接;
所述第三晶体管的第二极与第五晶体管的栅极、所述第六晶体管的栅极电连接;
所述第四晶体管的栅极与第二时钟信号控制端电连接,所述第四晶体管的第一极与所述第五晶体管的第二极电连接,所述第四晶体管的第二极与所述第一输出端电连接;
所述第五晶体管的第一极与第二电平信号端电连接;
所述第六晶体管的第一极与所述第二时钟信号控制端电连接,所述第六晶体管的第二极与所述第二输出端电连接;
所述第七晶体管的第二极与所述第一输出端电连接;
所述第八晶体管的栅极与所述第一输出端电连接,所述第八晶体管的第一极与所述第二电平信号端电连接,所述第八晶体管的第二极与所述第二输出端电连接;
所述第一电容的两端分别连接所述第二时钟信号控制端和所述第一输出端;
所述第二电容的两端分别连接所述第五晶体管的栅极和所述第二输出端;
所述第三电容的两端分别与所述第五晶体管的第一极、所述第三晶体管的栅极电连接。
2. 根据权利要求1所述的移位寄存单元,其特征在于:
所述输出单元包括第九晶体管和第十晶体管;
所述第九晶体管的栅极与所述第二输出端电连接,所述第九晶体管的第一极与所述第二电平信号端电连接,所述第九晶体管的第二极、所述第十晶体管的第二极与所述输出单元的输出端电连接;
所述第十晶体管的栅极与所述第一输出端电连接,所述第十晶体管的第一极与所述第一电平信号端电连接。
3. 根据权利要求1或2所述的移位寄存单元,其特征在于:
所述第三晶体管为双栅晶体管。
4. 根据权利要求2所述的移位寄存单元,其特征在于:
所述第一晶体管、第二晶体管、第三晶体、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管和第十晶体管同为PMOS晶体管。
5. 根据权利要求2所述的移位寄存单元,其特征在于:
所述第一晶体管、第二晶体管、第三晶体、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管和第十晶体管同为NMOS晶体管。

6. 根据权利要求4或5所述的移位寄存单元,其特征在于:
所述第一时钟信号控制端输入的第一时钟控制信号和第二时钟信号控制端输入的第二时钟控制信号互为反相信号。
7. 根据权利要求2所述的移位寄存单元,其特征在于:
所述第一电容的容值与所述第十晶体管的宽长比正相关。
8. 根据权利要求1所述的移位寄存单元,其特征在于,所述第一晶体管的宽长比 w/l 满足:
 $1.5 \leq w/l \leq 2$ 。
9. 一种移位寄存器,包括 N 个级联的如权利要求1-8任意一项所述的移位寄存单元;
其中,第 $i+1$ 级移位寄存单元的第一输入信号端接收第 i 级移位寄存单元的输出信号, i 为整数,且满足:
 $1 \leq i \leq N-1$ 。
10. 一种有机发光显示面板,其特征在于,包括:
像素阵列,包括 m 行 n 列的像素区域;
多个像素驱动电路,各所述像素驱动电路包括发光二极管和用于驱动所述发光二极管的驱动晶体管,各所述发光二极管位于各所述像素区域内;
所述有机发光显示面板还包括多条发光控制信号线;
其中,各所述像素驱动电路与其中一条所述发光控制信号线电连接,并接收采用如权利要求1-8任意一项所述的移位寄存单元输出的发光控制信号。
11. 根据权利要求10所述的有机发光显示面板,其特征在于:
用于驱动同一行像素区域的各所述像素驱动电路与同一条所述发光控制信号线电连接以接收同一级移位寄存单元输出的发光控制信号。
12. 一种驱动方法,用于驱动如权利要求1-8任意一项所述的移位寄存单元,其特征在于,包括:
在第一阶段,向所述第一输入信号端和所述第二时钟信号控制端输入所述第一电平信号,并向所述第一时钟信号控制端输入所述第二电平信号,以使所述第一输出端和所述第二输出端保持当前输出电压,所述输出单元保持当前输出电平;
在第二阶段,向所述第一时钟信号控制端输入所述第一电平信号并向第二时钟信号控制端输入所述第二电平信号,以使所述第一输出端输出所述第一电平信号并使所述第二输出端输出所述第二电平信号,所述输出单元输出第二电平信号端提供的信号;
在第三阶段,向所述第一输入信号端和所述第一时钟信号控制端输入所述第二电平信号并向所述第二时钟信号控制端输入所述第一电平信号,以使所述第一输出端输出所述第二电平信号并使所述第二输出端输出所述第一电平信号,所述输出单元输出第一电平信号端提供的信号;
在第四阶段,向所述第一输入信号端和所述第二时钟信号控制端输入所述第二电平信号并向所述第一时钟信号控制端输入所述第一电平信号,以使所述第一输出端输出所述第二电平信号并使所述第二输出端输出所述第一电平信号,所述输出单元输出第一电平信号端提供的信号。

移位寄存单元、寄存器、有机发光显示面板和驱动方法

技术领域

[0001] 本公开一般涉及显示技术领域,尤其涉及一种移位寄存单元、寄存器、有机发光显示面板和驱动方法。

背景技术

[0002] 随着显示技术的不断发展,显示器的尺寸规格日新月异。为了满足电子设备的便携性,尺寸规格较小的显示屏幕的需求量不断增长。

[0003] 与此同时,用户对显示屏的显示质量也提出了更高的要求。例如,用户更倾向于喜爱高PPI (Pixel per Inch,每英寸像素)的显示屏,以提高显示的精确性和连贯性。

[0004] OLED (Organic Light-Emitting Diode,有机发光二极管)显示器,因为具备轻薄、省电等特性,越来越广泛地应用在了各种便携式电子设备中。

[0005] OLED显示器中,通常包括了有机发光二极管阵列(即像素阵列)、向阵列中的各个有机发光二极管提供驱动电流的驱动电路(即像素电路)以及向各像素电路提供驱动信号的扫描电路等。

[0006] 然而,现有的扫描电路由于其电路结构的问题,容易发生逻辑混乱的问题。此外,当扫描电路中的晶体管发生阈值漂移时,扫描电路无法正常输出,使得扫描电路制作工艺更为复杂和严格。

发明内容

[0007] 鉴于现有技术中的上述缺陷或不足,期望提供一种移位寄存单元、寄存器、有机发光显示面板和驱动方法,以期解决现有技术中存在的技术问题。

[0008] 第一方面,本申请实施例提供了移位寄存单元,包括节点电位控制器和输出单元;其中:节点电位控制器包括第一输出端和第二输出端;输出单元用于基于第一输出端输出的第一控制信号和第二输出端输出的第二控制信号输出第一电平信号或第二电平信号;节点电位控制器包括第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第一电容、第二电容和第三电容;其中,第一晶体管的栅极、第二晶体管的栅极、第七晶体管的栅极、第三晶体管的第一极与第一时钟信号控制端电连接,第一晶体管的第一极、第七晶体管的第一极与第一输入信号端电连接,第一晶体管的第二极与第三晶体管的栅极电连接;第二晶体管的第一极与第一电平信号端电连接,第二晶体管的第二极与第六晶体管的栅极电连接;第三晶体管的第二极与第五晶体管的栅极、第六晶体管的栅极电连接;第四晶体管的栅极与第二时钟信号控制端电连接,第四晶体管的第一极与第五晶体管的第二极电连接,第四晶体管的第二极与第一输出端电连接;第五晶体管的第一极与第二电平信号端电连接;第六晶体管的第一极与第二时钟信号控制端电连接,第六晶体管的第二极与第二输出端电连接;第七晶体管的第二极与第一输出端电连接;第八晶体管的栅极与第一输出端电连接,第八晶体管的第一极与第二电平信号端电连接,第八晶体管的第二极与第二输出端电连接;第一电容的两端分别连接第二时钟信号控制端

和第一输出端；第二电容的两端分别连接第五晶体管的栅极和第二输出端；第三电容的两端分别与第五晶体管的第一极、第三晶体管的栅极电连接。

[0009] 第二方面,本申请还提供了一种移位寄存器,包括N个级联的移位寄存单元;其中,第i+1级移位寄存单元的第一输入信号端接收第i级移位寄存单元的输出信号,i为整数,且满足: $1 \leq i \leq N-1$ 。

[0010] 第三方面,本申请还提供了一种有机发光显示面板,包括:像素阵列,包括m行n列的像素区域;多个像素驱动电路,各像素驱动电路包括发光二极管和用于驱动发光二极管的驱动晶体管,各发光二极管位于各像素区域内;有机发光显示面板还包括多条控制信号线和多条发光控制信号线;其中,各像素驱动电路与其中一条发光控制信号线电连接,并接收采用上的移位寄存单元输出的发光控制信号。

[0011] 第四方面,本申请还提供了一种驱动方法,用于驱动移位寄存单元,包括:在第一阶段,向第一输入信号端和第二时钟信号控制端输入第一电平信号,并向第一时钟信号控制端输入第二电平信号,以使第一输出端和第二输出端保持当前输出电压,输出单元保持当前输出电平;在第二阶段,向第一时钟信号控制端输入第一电平信号并向第二时钟信号控制端输入第二电平信号,以使第一输出端输出第一电平信号并使第二输出端输出第二电平信号,输出单元输出第二电平信号端提供的信号;在第三阶段,向第一输入信号端和第一时钟信号控制端输入第二电平信号并向第二时钟信号控制端输入第一电平信号,以使第一输出端输出第二电平信号并使第二输出端输出第一电平信号,输出单元输出第一电平信号端提供的信号;在第四阶段,向第一输入信号端和第二时钟信号控制端输入第二电平信号并向第一时钟信号控制端输入第一电平信号,以使第一输出端输出第二电平信号并使第二输出端输出第一电平信号,输出单元输出第一电平信号端提供的信号。

[0012] 按照本申请的方案,移位寄存单元中各节点的电位稳定、可控,可避免移位寄存单元中的各控制信号电平跳变时,各节点电位不稳定导致移位寄存单元输出逻辑混乱的问题。此外,本申请的移位寄存单元对晶体管阈值漂移具有鲁棒性,当晶体管阈值存在漂移时仍能在一定阈值漂移范围内正常工作,从而降低了移位寄存单元制作工艺的复杂程度。

附图说明

[0013] 通过阅读参照以下附图所作的对非限制性实施例所作的详细描述,本申请的其它特征、目的和优点将会变得更明显:

[0014] 图1示出了本申请的移位寄存单元的一个实施例的示意性结构图;

[0015] 图2示出了本申请的移位寄存单元的另一个实施例的示意性结构图;

[0016] 图3示出了用于驱动图2所示移位寄存单元的各驱动信号的示意性时序图;

[0017] 图4示出了本申请的移位寄存单元的又一个实施例的示意性结构图;

[0018] 图5示出了本申请的移位寄存器的一个实施例的示意性结构图;

[0019] 图6示出了本申请的有机发光显示面板的一个实施例的示意性结构图;

[0020] 图7示出了本申请的驱动方法的一个实施例的示意性流程图。

具体实施方式

[0021] 下面结合附图和实施例对本申请作进一步的详细说明。可以理解的是,此处所描

述的具体实施例仅仅用于解释相关发明,而非对该发明的限定。另外还需要说明的是,为了便于描述,附图中仅示出了与发明相关的部分。

[0022] 需要说明的是,在不冲突的情况下,本申请中的实施例及实施例中的特征可以相互组合。下面将参考附图并结合实施例来详细说明本申请。

[0023] 参见图1所示,为本申请的移位寄存单元的一个实施例的示意性结构图;

[0024] 移位寄存单元,包括节点电位控制器110和输出单元120。

[0025] 其中:节点电位控制器110包括第一输出端N1和第二输出端N2。

[0026] 输出单元120用于基于节点电位控制器110的第一输出端N1输出的第一控制信号和节点电位控制器110的第二输出端N2输出的第二控制信号输出第一电平信号或第二电平信号。

[0027] 节点电位控制器110包括第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8、第一电容C1、第二电容C2和第三电容C3。

[0028] 其中,第一晶体管T1的栅极、第二晶体管T2的栅极、第七晶体管T7的栅极、第三晶体管T3的第一极与第一时钟信号控制端CK1电连接。第一晶体管T1的第一极、第七晶体管T7的第一极与第一输入信号端IN电连接,第一晶体管T1的第二极与第三晶体管T3的栅极电连接。

[0029] 第二晶体管T2的第一极与第一电平信号端VGL电连接,第二晶体管T2的第二极与第六晶体管T6的栅极电连接。

[0030] 第三晶体管T3的第二极与第五晶体管T5的栅极、第六晶体管T6的栅极电连接。

[0031] 第四晶体管T4的栅极与第二时钟信号控制端CK2电连接,第四晶体管T4的第一极与第五晶体管T5的第二极电连接,第四晶体管T4的第二极与第一输出端N1电连接。

[0032] 第五晶体管T5的第一极与第二电平信号端VGH电连接。

[0033] 第六晶体管T6的第一极与第二时钟信号控制端CK2电连接,第六晶体管T6的第二极与第二输出端N2电连接。

[0034] 第七晶体管T7的第二极与第一输出端N1电连接。

[0035] 第八晶体管T8的栅极与第一输出端N1电连接,第八晶体管T8的第一极与第二电平信号端VGH电连接,第八晶体管T8的第二极与第二输出端N2电连接。

[0036] 本实施例以及本申请以下各实施例中,晶体管的第一极和第二极可分别为源极、漏极其中之一。

[0037] 第一电容C1的两端分别连接第二时钟信号控制端CK2和第一输出端N1。

[0038] 第二电容C2的两端分别连接第五晶体管T5的栅极和第二输出端N2。

[0039] 第三电容C3的两端分别与第五晶体管T5的第一极、第三晶体管T3的栅极电连接。

[0040] 本实施例的移位寄存单元,通过在恰当的位置设置第一电容C1、第二电容C2,当各电容的某一端浮置时,利用各电容的耦合作用,使得浮置一端可以跟随电容另一端电压而降低或者升高,从而确保与各电容电连接的晶体管保持开启或者关断的状态而不产生误动作。另一方面,通过设置第三电容C3,可以保持第三晶体管T3的栅极电位,避免第三晶体管T3的栅极电位抖动导致第三晶体管T3误导通或者误关断的现象发生。这样一来,便保证了节点控制器110的第一输出端N1、第二输出端N2输出正确的电平,进而保证了移位寄存单元

输出端OUT输出信号的准确性。

[0041] 参见图2所示,为本申请的移位寄存单元的另一个实施例的示意性结构图。

[0042] 与图1所示的实施例类似,本实施例的移位寄存单元同样包括节点电位控制器210和输出单元220。且节点电位控制器210具有与图1所示的实施例相同的结构,且同样包括第一输出端N1和第二输出端N2。

[0043] 与图1所示的实施例不同的是,本实施例进一步对输出单元220的结构进行了进一步的描述。

[0044] 具体而言,本实施例的输出单元220包括第九晶体管T9和第十晶体管T10。

[0045] 第九晶体管T9的栅极与节点电位控制器220的第二输出端N2电连接,第九晶体管T9的第一极与第二电平信号端VGH电连接,第九晶体管T9的第二极、第十晶体管T10的第二极与输出单元220的输出端OUT电连接。

[0046] 第十晶体管T10的栅极与节点电位控制器220的第一输出端N1电连接,第十晶体管T10的第一极与第一电平信号端VGL电连接。

[0047] 与图1所示的实施例类似,本实施例的移位寄存单元,通过在恰当的位置设置第一电容C1和第二电容C2,当各电容的某一端浮置时,利用各电容的耦合作用,使得浮置一端可以跟随电容另一端电压而降低或者升高,从而确保与各电容电连接的晶体管保持开启或者关断的状态而不产生误动作。从而保证了节点控制器110的第一输出端N1、第二输出端N2输出正确的电平,进而保证了移位寄存单元输出端OUT输出信号的准确性。另一方面,通过设置第三电容C3,可以保持第三晶体管T3的栅极电位,避免第三晶体管T3的栅极电位抖动导致第三晶体管T3误导通或者误关断的现象发生。

[0048] 下面,将结合图3所示的时序图来进一步详细描述本实施例的移位寄存单元,以使其技术效果更加凸显。在以下对图3的描述中,以移位寄存单元中的各晶体管均为PMOS晶体管,第一电平信号端VGL输入信号为低电平信号,第二电平信号端VGH输入信号为高电平信号为例进行描述。

[0049] 如图3所示,第一时钟控制信号端CK1输入的第一时钟信号以及第二时钟信号端CK2输入的第二时钟信号均为周期性方波信号。

[0050] 在P1阶段,第一输入信号端IN输入高电平信号,第二时钟信号端CK2输入的第二时钟信号为高电平信号,第一时钟控制信号端CK1输入的第一时钟信号为低电平信号,第一晶体管T1、第二晶体管T2、第七晶体管T7导通,高电平信号写入第三晶体管T3的栅极,和第一输出端N1,因此第三晶体管T3截止。同时,第二晶体管T2导通从而将第一电平信号端VGL输入的低电平信号提供至第六晶体管T6的栅极,因此第六晶体管T6导通,并将第二时钟信号端CK2输入的高电平信号提供至第二输出端N2。因此,在T1阶段,当第一时钟信号端CK1输入的第一时钟信号跳变为低电平时,第一输出端N1、第二输出端N2均输出高电平信号,第九晶体管T9和第十晶体管T10截止,移位寄存单元的输出端OUT的输出信号保持上一阶段的输出。

[0051] 接着,在P2阶段,第一时钟信号端CK1输入的第一时钟信号为高电平信号,第二时钟信号端CK2输入的第二时钟信号为低电平信号,第四晶体管T4导通,第一晶体管T1、第二晶体管T2、第七晶体管T7截止,由于第五晶体管T5、第六晶体管T6的栅极此时处于悬浮状态,其维持P1阶段的低电平,因此,第五晶体管T5、第六晶体管T6导通。这样一来,第二时钟

信号端CK2输入的低电平信号提供至第二输出端N2。在第二输出端N2的低电平控制下,第九晶体管T9导通,从而将第二电平信号端VGH输入的高电平信号提供至移位寄存单元的输出端OUT。此外,由于第二电容C2的耦合作用,第五晶体管T5、第六晶体管T6的栅极电位将进一步被拉低,从而确保第五晶体管T5、第六晶体管T6在该阶段导通,使得第二时钟信号端CK2输入的低电平信号可以完全地写入第二输出端N2。另一方面,由于第三电容C3的保持电位作用,第三晶体管T3的栅极维持高电平,避免第三晶体管T3误导通导致第五晶体管T5、第六晶体管T6栅极电压上升进而关断第五晶体管T5、第六晶体管T6的现象发生。

[0052] 接着,在P3阶段,第一时钟信号端CK1输入的第一时钟信号跳变为低电平信号,同时,第一输入信号端IN输入低电平信号而第二时钟信号端CK2输入的第二时钟信号为高电平信号。此时,第一晶体管T1、第二晶体管T2、第七晶体管T7导通,从而将低电平信号提供至第一输出端N1。同时,第一输出端N1的低电平信号使得第八晶体管T8导通,从而将第二电平信号端VGH输入的高电平信号提供至第二输出端N2。这样一来,第九晶体管T9截止而第十晶体管T10导通,使得移位寄存单元的输出端OUT输出低电平信号。

[0053] 接着,在P4阶段,第一时钟信号端CK1输入的第一时钟信号跳变为高电平信号,第二时钟信号端CK2输入的第二时钟信号跳变为低电平信号,且第一输入信号端IN输入的信号为低电平信号。此时,第一晶体管T1截止,由于第三电容C3可以起到稳定电位的作用,第三晶体管T3的栅极可以维持P3阶段的低电平,从而使得第三晶体管T3导通,第一时钟信号端CK1输入的高电平信号传输至第五晶体管T5和第六晶体管T6的栅极,第五晶体管T5和第六晶体管T6截止。同时,由于第一输出端N1处于悬浮状态,其维持P3阶段的低电平。同时,第一输出端N1的低电平信号使得第八晶体管T8导通,从而将第二电平信号端VGH输入的高电平信号提供至第二输出端N2。这样一来,第九晶体管T9截止而第十晶体管T10导通,使得移位寄存单元的输出端OUT保持输出低电平信号。此外,由于第一电容C1的耦合作用,且第一电容C1的一端连接的第二时钟信号端CK2此刻输入的为低电平,第一电容C1可以进一步拉低第一输出端N1的电位,从而保证第十晶体管T10的导通,确保移位寄存单元的输出端OUT保持输出低电平信号。

[0054] 从以上的分析可以看出,本实施例的移位寄存单元,利用了第一电容C1、第二电容C2耦合作用,确保了与各电容电连接的晶体管保持开启或者关断的状态而不产生误动作。从而保证了节点控制器210的第一输出端N1、第二输出端N2输出正确的电平,进而保证了移位寄存单元输出端OUT输出信号的准确性。另一方面,正是由于第一电容C1、第二电容C2的耦合作用,当与之电连接的晶体管导通时,可以进一步拉低这些晶体管的栅极电位。这样一来,即使这些晶体管发生阈值漂移,当阈值漂移处于一定范围之内(例如,±1.5V)时,这些晶体管仍然能够按照预先设定的逻辑顺序导通或者截止,从而确保移位寄存单元移位寄存单元输出端OUT输出信号的准确性。另一方面,通过设置第三电容C3,可以保持第三晶体管T3的栅极电位,避免第三晶体管T3的栅极电位抖动导致第三晶体管T3误导通或者误关断的现象发生。

[0055] 此外,以上分析可以看出,在第一输入信号端IN输入的信号跳变为高电平之后,移位寄存单元的输出端OUT输出的信号的上升沿对应于第二时钟信号端CK2输入的第二时钟信号的第一个下降沿,而移位寄存单元的输出端OUT输出的信号的下降沿对应于第一时钟信号端CK1输入的第一时钟信号的第一个下降沿。因此,通过调整第一时钟信号和第二时钟

信号的相位,可以改变输出信号输出高电平的时刻以及输出信号的占空比。

[0056] 参见图4所示,为本申请的移位寄存单元的又一个实施例的示意性结构图。

[0057] 本实施例的移位寄存单元与图2所示的移位寄存单元具有类似的结构图,且各信号端输入的信号也可以采用如图3所示的时序进行驱动和控制。不同之处仅在于,本实施例中,第三晶体管为双栅晶体管。也即是说,本实施例的移位寄存单元中,第三晶体管包括两个具有公用栅极的晶体管T31、T32。

[0058] 具体而言,参见图3所示,本实施例中,晶体管T31和晶体管T32的栅极相互电连接并与第一晶体管T1的第二极电连接。晶体管T31的第二极与第五晶体管T5、第六晶体管T6的栅极电连接。晶体管T31的第一极与晶体管T32的第二极相互电连接,晶体管T32的第一极与第一时钟信号端CK1电连接。

[0059] 本实施例的移位寄存单元,由于第三晶体管采用了双栅晶体管,可以避免第五晶体管T5的栅极与第一时钟信号端CK1输入的第一时钟信号之间大跨压情况下,第三晶体管被击穿的现象发生,从而保证移位寄存单元的稳定工作。

[0060] 此外,在一些可选的实现方式中,本申请以上各实施例的移位寄存单元中,第一晶体管T1~第十晶体管T10可以同为PMOS晶体管。或者,在另一些可选的实现方式中,本申请以上各实施例的移位寄存单元中,第一晶体管T1~第十晶体管T10可以同为NMOS晶体管。

[0061] 这样一来,由于第一晶体管T1~第十晶体管T10的沟道类型相同,可以降低本申请的移位寄存单元的制作工艺的难度,提升产品的良率。

[0062] 在一些可选的实现方式中,本申请以上各实施例的移位寄存单元中,第一时钟信号控制端CK1输入的第一时钟控制信号和第二时钟信号控制端CK2输入的第二时钟控制信号可以互为反相信号。这样一来,可以通过一个信号源来输出其中一个信号(例如,第一时钟信号),再通过简单的逻辑运算(例如,反相运算)即可得到另一个信号(例如,第二时钟信号)。

[0063] 在一些可选的实现方式中,为了使得第一电容C1的耦合作用更显著,从而使得节点电位控制器第一输出端的电位更加稳定、可控,第一电容C1的容值可以与第十晶体管的宽长比正相关。

[0064] 在一些可选的实现方式中,本申请各实施例中,第一晶体管T1的宽长比 w/l 可以满足: $1.5\mu\text{m}\leq w/l\leq 2\mu\text{m}$ 。这样一来,由于第一晶体管T1具有较小的宽长比,在其关断时(例如,在图3所示的P2阶段和P4阶段),通过第一晶体管的漏电流相应地较小,避免了漏电流向第三电容C3充电而抬高第三晶体管T3栅极电位,从而避免了第三晶体管T3误关断的情况发生。

[0065] 参见图5所示,为本申请的移位寄存器的一个实施例的示意性结构图。

[0066] 本实施例的移位寄存器可包括N个级联的移位寄存单元510,且任意第 $i+1$ 级移位寄存单元的第一输入信号端接收第 i 级移位寄存单元的输出信号。在这里, i 为整数,且满足: $1\leq i\leq N-1$ 。

[0067] 通过多个移位寄存单元510的级联,本实施例的移位寄存器可以用于驱动有机发光显示面板。例如,每一级移位寄存单元的输出可用于驱动有机发光显示面板的某一行的像素,从而控制该行像素发光。

[0068] 需要说明的是,本实施例的移位寄存器所包含的移位寄存单元可以具有以上各实

施例描述的移位寄存单元的结构。

[0069] 参见图6所示,为本申请的有机发光显示面板的一个实施例的示意性结构图。

[0070] 有机发光显示面板可包括像素阵列和多个像素驱动电路(图中未示出)。

[0071] 其中,像素阵列可包括m行n列的像素区域610。各像素驱动电路包括发光二极管和用于驱动发光二极管的驱动晶体管,各发光二极管位于各像素区域610内。

[0072] 有机发光显示面板还包括多条发光控制信号线。例如,图6示意性地示出了有机发光显示面板包括m条发光控制信号线E1~Em。

[0073] 其中,各像素驱动电路与其中一条发光控制信号线电连接,并接收采用以上任意一实施例的移位寄存单元输出的发光控制信号。

[0074] 在这里,用于向各行像素区域的像素驱动电路提供发光控制信号的移位寄存单元可以采用级联的方式相互电连接。

[0075] 本领域技术人员能够明白,本实施例的有机发光显示面板除包括如上的部件之外,还可以包括其它公知的结构。例如,多条数据线D1~Dn,各条数据线可用于向其中一列的像素区域中的像素驱动电路提供数据信号,从而使得该列像素区域中的发光二极管发光。此外,本实施例的有机发光显示面板还可以包括多条选通控制信号线S1~Sn以及生成各选通控制信号S1~Sn的生成电路620。各选通控制信号通过各条选通控制信号线施加到每一行像素区域中的像素驱动电路中,从而控制像素驱动电路执行相应的操作,例如,控制各条数据线D1~Dn上传输的数据信号的写入。

[0076] 在一些可选的实现方式中,用于驱动同一行像素区域各像素驱动电路与同一条发光控制信号线电连接以接收同一级移位寄存单元输出的发光控制信号。如图6所示,用于驱动第一行像素区域各像素驱动电路可以与发光控制信号线E1电连接,以此类推,用于驱动第m行像素区域各像素驱动电路可以与发光控制信号线Em电连接。

[0077] 或者,在另一些可选的实现方式中,同一条发光控制信号线还可以向多行像素区域中的各像素驱动电路提供发光控制信号。例如,第一条发光控制信号可以向第一行和第二行像素区域中的各像素驱动电路提供发光控制信号。如前所述,移位寄存单元的输出端输出的信号的上升沿和下降沿可分别与第一时钟信号的下降沿和第二时钟信号的下降沿相关。因此,通过调整第一时钟信号的下降沿和第二时钟信号的下降沿的位置,可以调整输出信号(也即此处的发光控制信号)的脉宽和相位。通过调整发光控制信号的脉宽,便可以实现多行像素驱动电路共用同一条发光控制信号线输出的发光控制信号。

[0078] 参见图7所示,为本申请的驱动方法的一个实施例的示意性流程图。

[0079] 本实施例的驱动方法可用于驱动以上各实施例中描述的移位寄存单元。

[0080] 具体而言,本实施例的方法可以包括:

[0081] 步骤710,在第一阶段,向第一输入信号端和第二时钟信号控制端输入第一电平信号,并向第一时钟信号控制端输入第二电平信号,以使第一输出端和第二输出端保持当前输出电压,输出单元保持当前输出电平。

[0082] 步骤720,在第二阶段,向第一时钟信号控制端输入第一电平信号并向第二时钟信号控制端输入第二电平信号,以使第一输出端输出第一电平信号并使第二输出端输出第二电平信号,输出单元输出第二电平信号端VGH提供的信号。

[0083] 步骤730,在第三阶段,向第一输入信号端和第一时钟信号控制端输入第二电平信

号并向第二时钟信号控制端输入第一电平信号,以使第一输出端输出第二电平信号并使第二输出端输出第一电平信号,输出单元输出第一电平信号端VGL提供的信号。

[0084] 步骤740,在第四阶段,向第一输入信号端和第二时钟信号控制端输入第二电平信号并向第一时钟信号控制端输入第一电平信号,以使第一输出端输出第二电平信号并使第二输出端输出第一电平信号,输出单元输出第一电平信号端VGL提供的信号。

[0085] 本实施例中,第一电平信号和第二电平信号可以分别为高电平信号和低电平信号其中之一。在这里高电平信号和低电平信号应理解为相对的,而非绝对的。例如,可以将向NMOS晶体管的栅极施加的、可以使NMOS晶体管导通的电平信号理解为高电平信号,而使NMOS晶体管截止的电平信号理解为低电平信号。

[0086] 此外,本实施例的驱动方法的工作原理可以结合图3以及相关文字描述来理解,在此不再赘述。

[0087] 按照本申请的方案,由于移位寄存单元中各节点的电位稳定、可控,可避免移位寄存单元中的各控制信号电平跳变时,各节点电位不稳定导致移位寄存单元输出逻辑混乱的问题。此外,本申请的移位寄存单元对晶体管阈值漂移具有鲁棒性,当晶体管阈值存在漂移时仍能在一定阈值漂移范围内正常工作,从而降低了移位寄存单元制作工艺的复杂程度。

[0088] 本领域技术人员应当理解,本申请中所涉及的发明范围,并不限于上述技术特征的特定组合而成的技术方案,同时也应涵盖在不脱离发明构思的情况下,由上述技术特征或其等同特征进行任意组合而形成的其它技术方案。例如上述特征与本申请中公开的(但不限于)具有类似功能的技术特征进行互相替换而形成的技术方案。

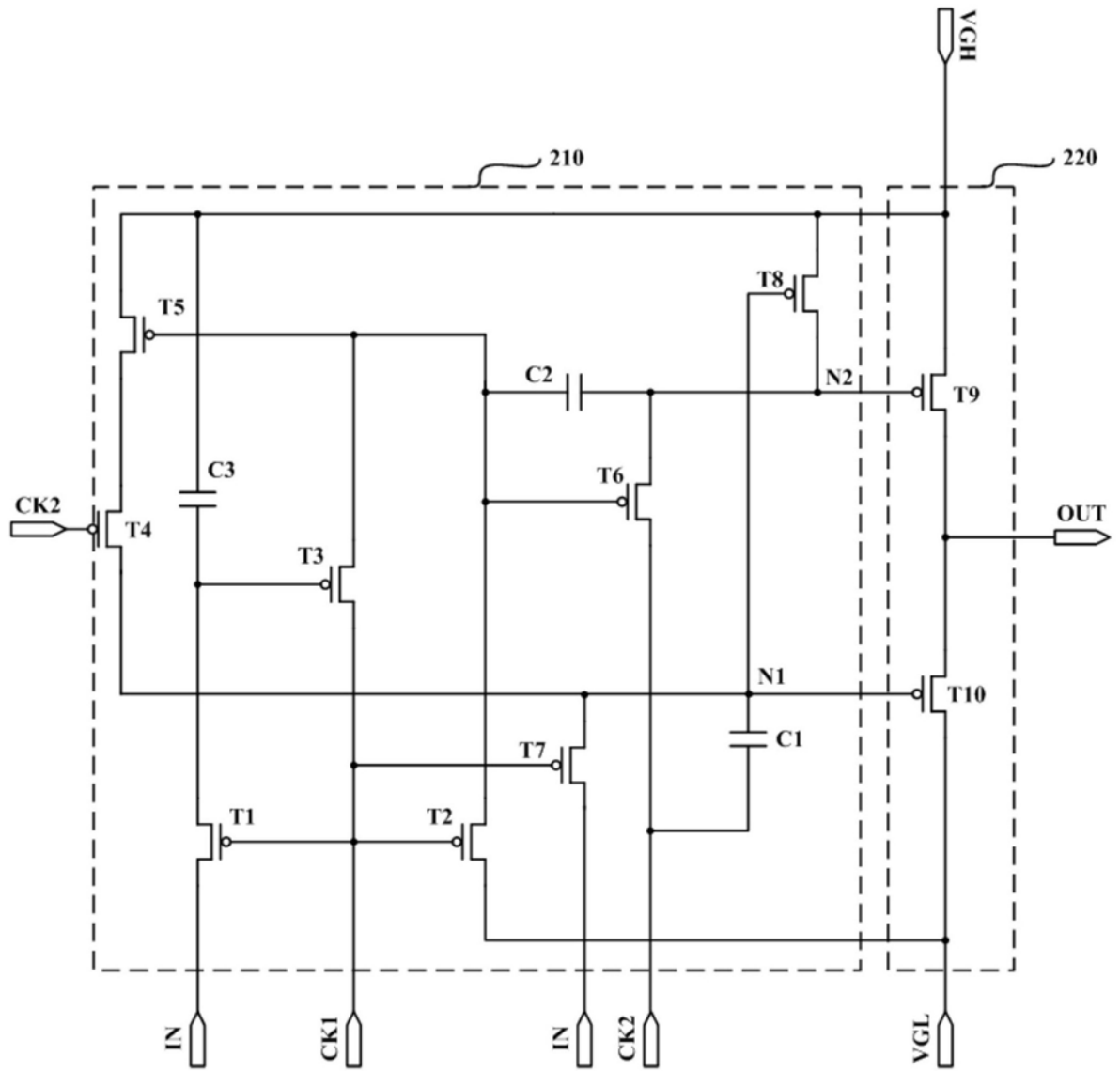


图2

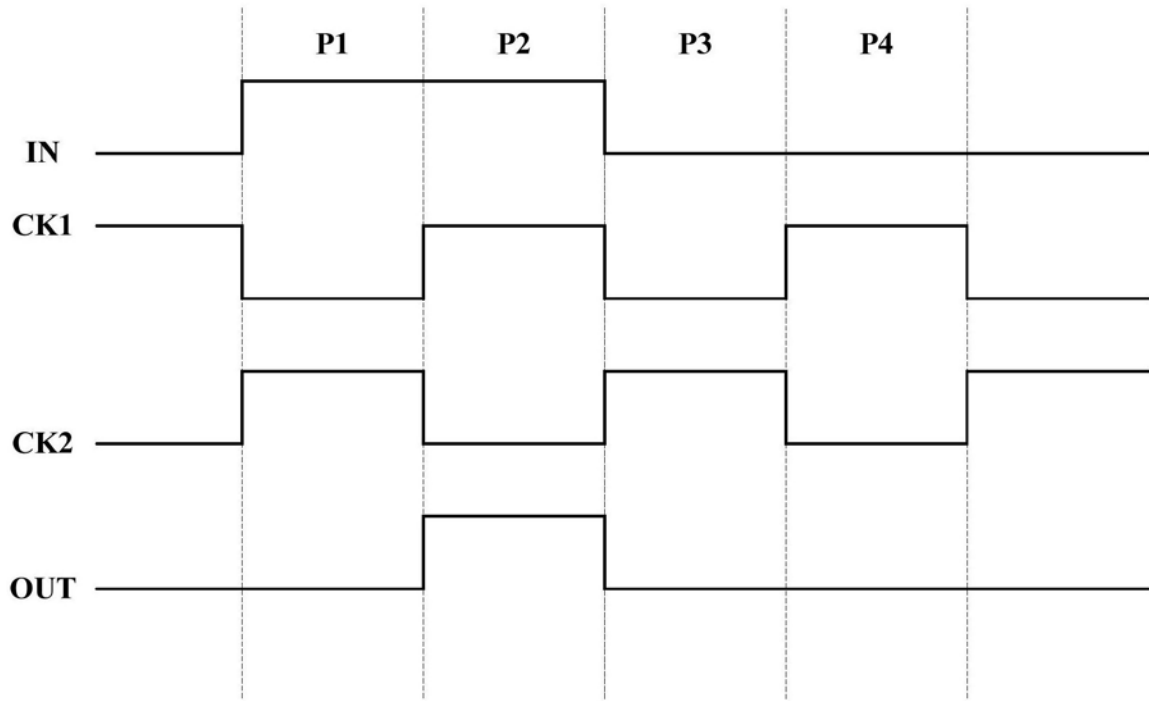


图3

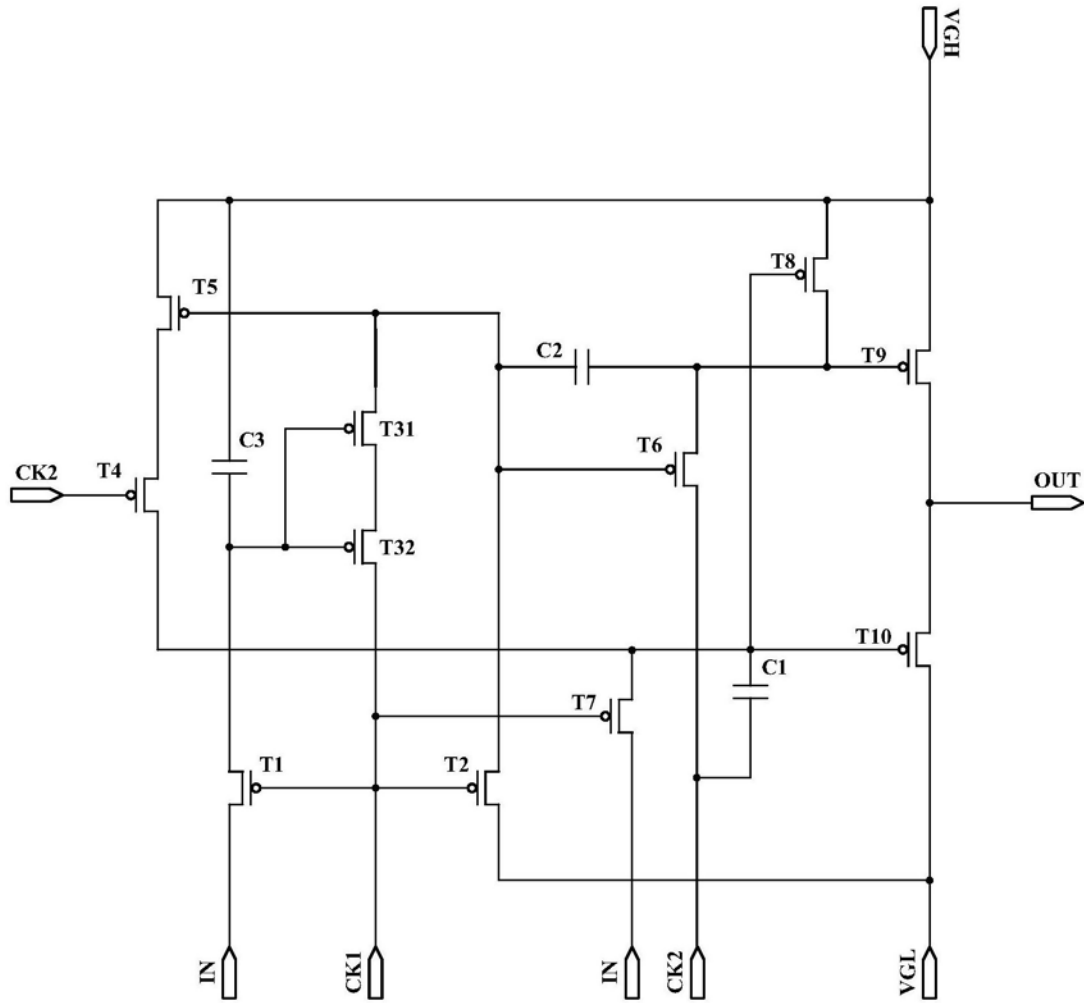


图4

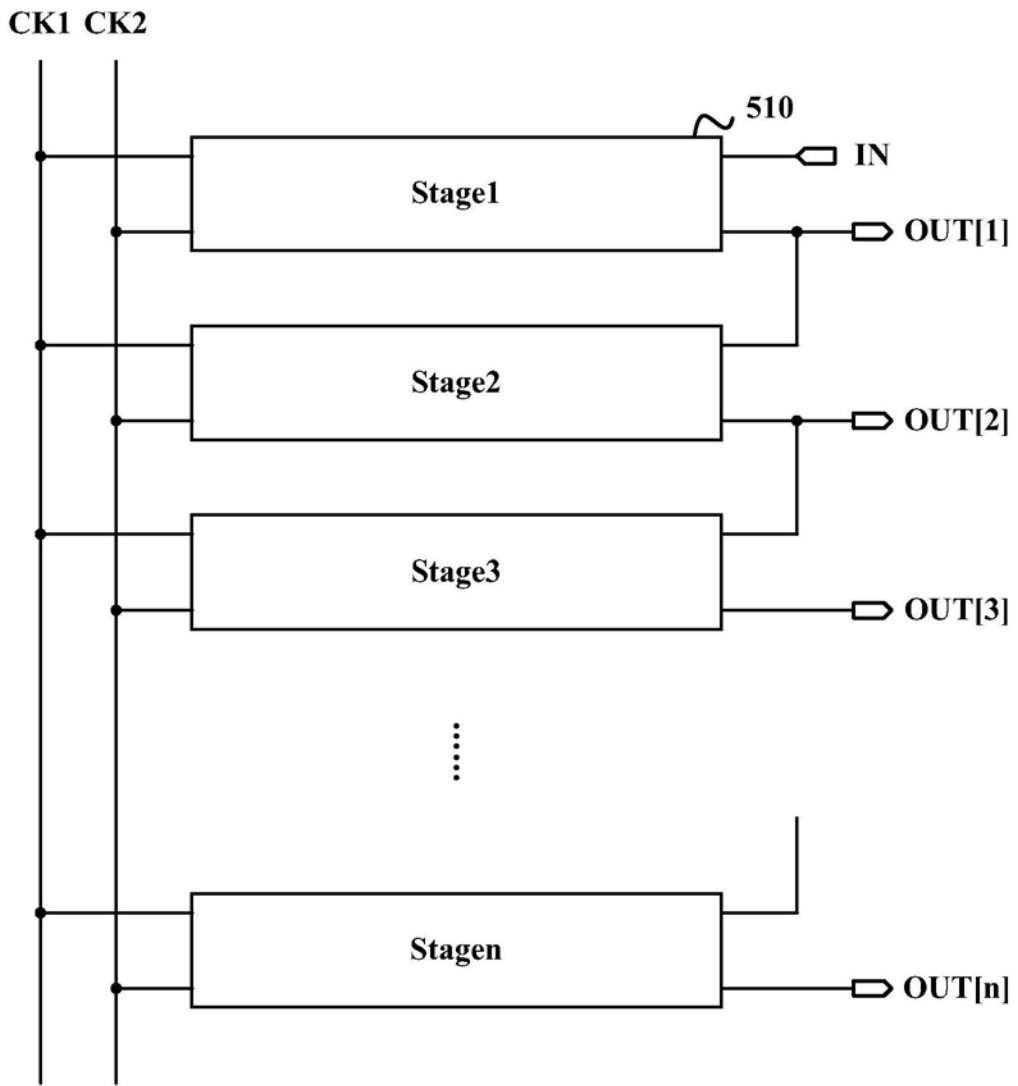


图5

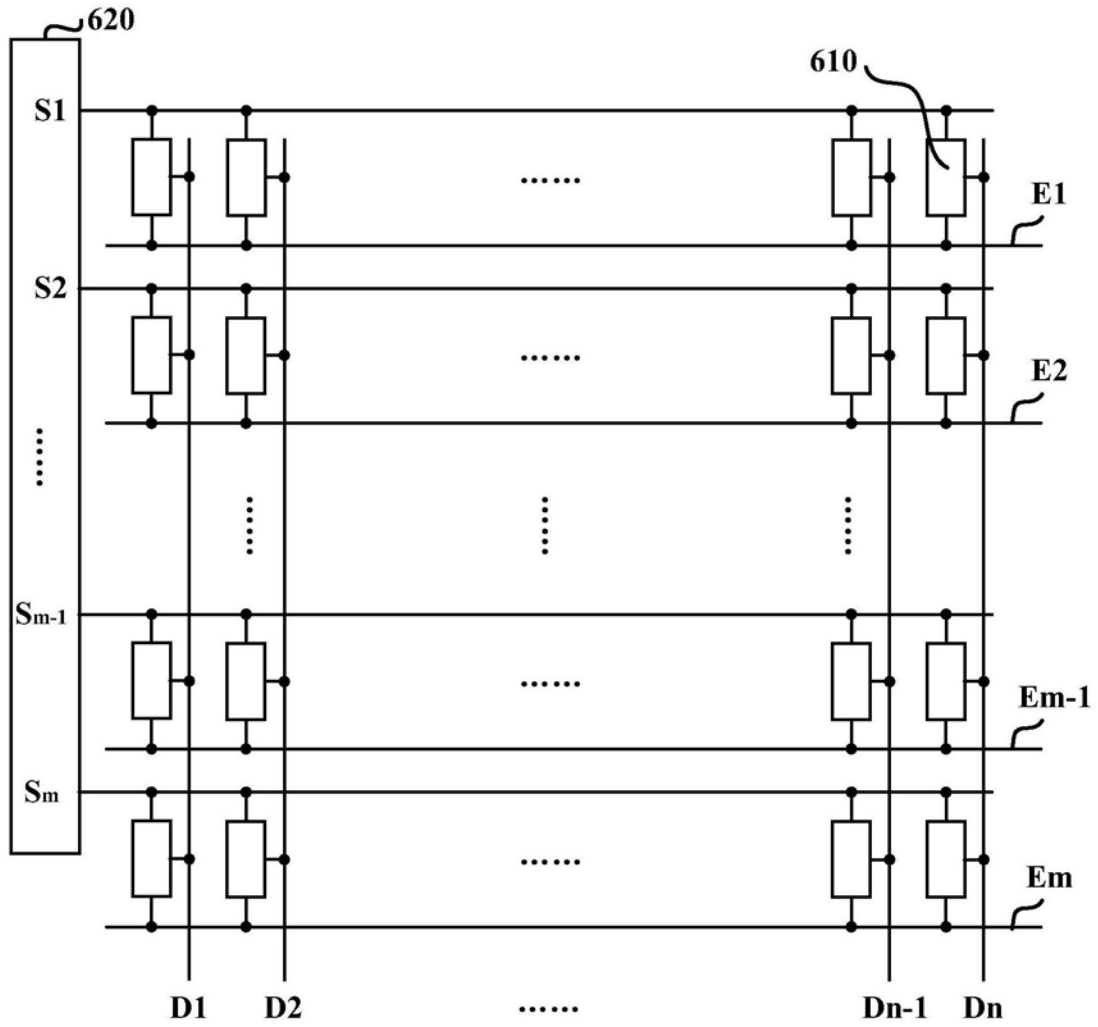


图6

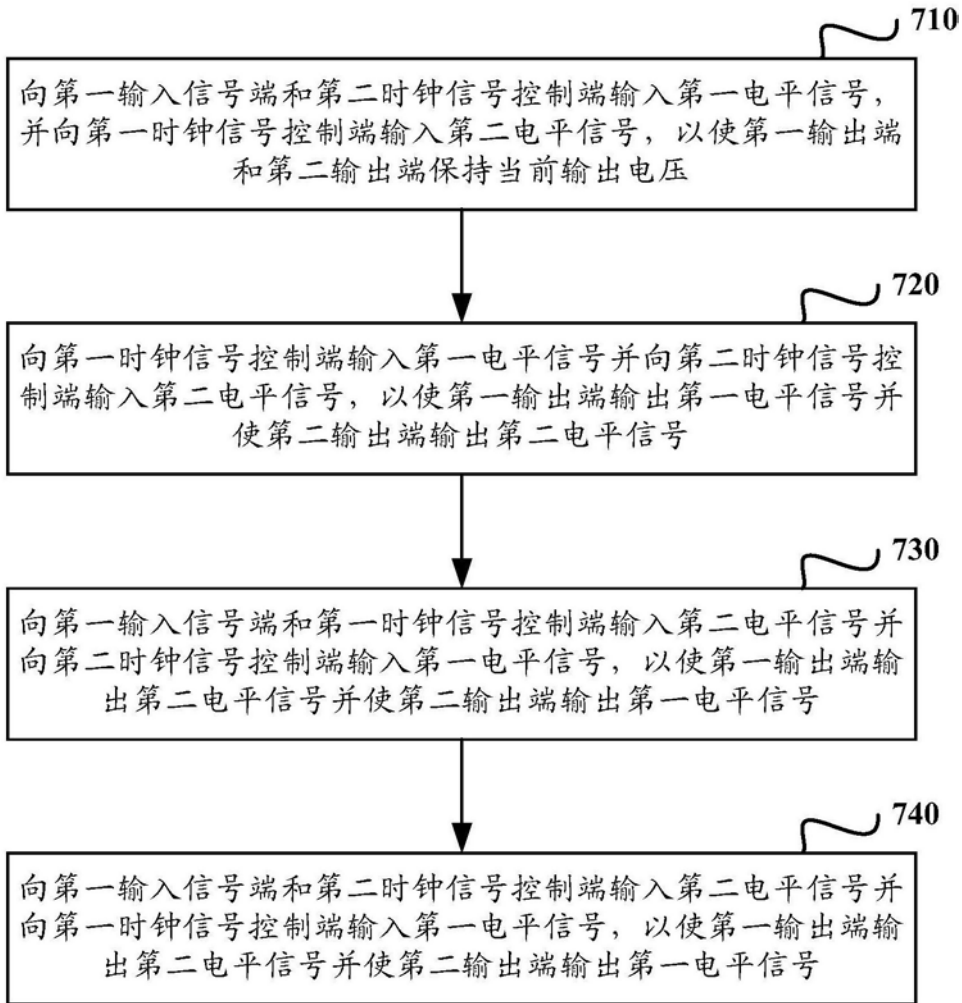


图7