



(12) 发明专利申请

(10) 申请公布号 CN 119480637 A

(43) 申请公布日 2025. 02. 18

(21) 申请号 202510059121.1

(22) 申请日 2025.01.15

(71) 申请人 合肥晶合集成电路股份有限公司

地址 230000 安徽省合肥市新站区合肥综
合保税区内西淝河路88号

(72) 发明人 刘镇 宋聪强 徐锐 施平 龙涛

(74) 专利代理机构 上海汉之律师事务所 31378

专利代理师 胡雨

(51) Int. Cl.

H01L 21/322 (2006.01)

H01L 21/762 (2006.01)

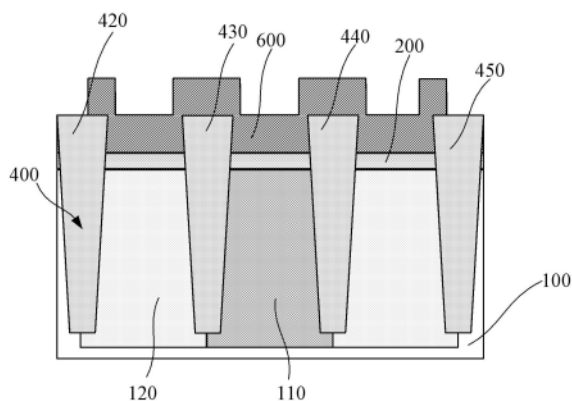
权利要求书1页 说明书6页 附图8页

(54) 发明名称

一种半导体结构的制备方法

(57) 摘要

本发明提供一种半导体结构的制备方法,具体涉及半导体技术领域。半导体结构的制备方法包括:提供基底,基底包括衬底、垫氧化层、第一垫氮化层和多个沟槽隔离结构,垫氧化层覆盖于相邻的两个沟槽隔离结构之间的衬底上,第一垫氮化层覆盖在垫氧化层的表面,多个沟槽隔离结构至少部分外露于衬底;去除第一垫氮化层;对衬底进行离子注入;对垫氧化层进行减薄处理;在沟槽隔离结构和垫氧化层的表面形成第二垫氮化层;以图案化光刻胶为掩膜,对第二垫氮化层、垫氧化层和衬底进行刻蚀,以在衬底上形成开口;对开口内的衬底进行热氧化处理形成氧化层。采用本发明的半导体结构的制备方法能够提高半导体器件的速度,改善半导体器件的电路性能。



1. 一种半导体结构的制备方法,其特征在于,包括:

提供基底,所述基底包括衬底、垫氧化层、第一垫氮化层和多个沟槽隔离结构,所述垫氧化层覆盖于相邻的两个所述沟槽隔离结构之间的所述衬底上,所述第一垫氮化层覆盖在所述垫氧化层的表面,多个所述沟槽隔离结构至少部分外露于所述衬底;

去除所述第一垫氮化层;

对所述衬底进行离子注入;

对所述垫氧化层进行减薄处理;

在所述沟槽隔离结构和所述垫氧化层的表面形成第二垫氮化层;

以图案化光刻胶为掩膜,对所述第二垫氮化层、所述垫氧化层和所述衬底进行刻蚀,以在所述衬底上形成开口;

对所述开口内的所述衬底进行热氧化处理形成氧化层。

2. 根据权利要求1所述的半导体结构的制备方法,其特征在于,所述去除所述第一垫氮化层采用湿法刻蚀,刻蚀液选用磷酸,磷酸的浓度为10%~15%。

3. 根据权利要求1所述的半导体结构的制备方法,其特征在于,对所述垫氧化层进行减薄处理采用湿法刻蚀工艺,刻蚀液选用氢氟酸,氢氟酸的浓度为5%~10%。

4. 根据权利要求1所述的半导体结构的制备方法,其特征在于,所述第一垫氮化层的厚度为190Å~210Å,所述第二垫氮化层的厚度为190Å~210Å。

5. 根据权利要求1所述的半导体结构的制备方法,其特征在于,所述垫氧化层减薄前的厚度为107Å~127Å,所述垫氧化层减薄后的厚度为42Å~52Å。

6. 根据权利要求1所述的半导体结构的制备方法,其特征在于,所述开口的深度为370Å~410Å。

7. 根据权利要求1所述的半导体结构的制备方法,其特征在于,所述热氧化处理的温度为900°C~1100°C,所述热氧化处理的时间为10h~15h。

8. 根据权利要求1所述的半导体结构的制备方法,其特征在于,所述提供基底包括:

提供所述衬底;

在所述衬底上沉积所述垫氧化层;

在所述垫氧化层的表面沉积所述第一垫氮化层;

于所述衬底上形成多个所述沟槽隔离结构。

9. 根据权利要求1所述的半导体结构的制备方法,其特征在于,对所述衬底进行离子注入包括:

对所述衬底进行第一次离子注入,在所述衬底上形成阱区;

对所述衬底进行第二次离子注入,在所述阱区的两侧分别形成掺杂区,所述阱区与所述掺杂区通过所述沟槽隔离结构隔离。

10. 根据权利要求1所述的半导体结构的制备方法,其特征在于,以图案化光刻胶为掩膜,对所述第二垫氮化层、所述垫氧化层和所述衬底进行刻蚀,以在所述衬底上形成开口,还包括对所述开口两侧的所述沟槽隔离结构进行刻蚀。

一种半导体结构的制备方法

技术领域

[0001] 本发明涉及半导体技术领域,具体涉及一种半导体结构的制备方法。

背景技术

[0002] 硅的局部氧化(Local Oxidation of Silicon,LOCOS)是一种在半导体工艺中用于制造绝缘层的技术。传统硅的局部氧化技术为首先在衬底上生长一层垫氧,然后沉积一层氮化硅作为氧化屏障。通过光刻和蚀刻工艺,氮化硅被刻出所需的图案,衬底上形成氧化过程中的活性区域,随后进行热氧化过程,形成局部氧化层,最后去除氮化硅层。在使用LOCOS生长场区氧化层过程中,尤其是晶体管的高压栅极氧化层(HV gate oxide)的形成过程中,氧气横向扩散进入氮化硅覆盖下的有源区,氧化部分下层硅,从而形成鸟嘴。鸟嘴效应的出现使得减小了器件的有效宽度,从而降低了器件的速度,极大的限制了电路的性能。

发明内容

[0003] 鉴于以上现有技术的缺点,本发明提供一种半导体结构的制备方法,以改善半导体结构中的鸟嘴效应,提高器件性能。

[0004] 为实现上述目的及其它相关目的,本发明提供一种半导体结构的制备方法,所述制备方法包括:提供基底,所述基底包括衬底、垫氧化层、第一垫氮化层和多个沟槽隔离结构,所述垫氧化层覆盖于相邻的两个所述沟槽隔离结构之间的所述衬底上,所述第一垫氮化层覆盖在所述垫氧化层的表面,多个所述沟槽隔离结构至少部分外露于所述衬底;去除所述第一垫氮化层;对所述衬底进行离子注入;对所述垫氧化层进行减薄处理;在所述沟槽隔离结构和所述垫氧化层的表面形成第二垫氮化层;以图案化光刻胶为掩膜,对所述第二垫氮化层、所述垫氧化层和所述衬底进行刻蚀,以在所述衬底上形成开口;对所述开口内的所述衬底进行热氧化处理形成氧化层。

[0005] 在本发明一实施例中,所述去除所述第一垫氮化层采用湿法刻蚀,刻蚀液选用磷酸,磷酸的浓度为10%~15%。

[0006] 在本发明一实施例中,对所述垫氧化层进行减薄处理采用湿法刻蚀工艺,刻蚀液选用氢氟酸,氢氟酸的浓度为5%~10%。

[0007] 在本发明一实施例中,所述第一垫氮化层的厚度为190Å~210Å,所述第二垫氮化层的厚度为190Å~210Å。

[0008] 在本发明一实施例中,所述垫氧化层减薄前的厚度为107Å~127Å,所述垫氧化层减薄后的厚度为42Å~52Å。

[0009] 在本发明一实施例中,所述开口的深度为370Å~410Å。

[0010] 在本发明一实施例中,所述热氧化处理的温度为900℃~1100℃,所述热氧化处理的时间为10h~15h。

[0011] 在本发明一实施例中,所述提供基底包括:提供所述衬底;在所述衬底上沉积所述垫氧化层;在所述垫氧化层的表面沉积所述第一垫氮化层;于所述衬底上形成多个所述沟

槽隔离结构。

[0012] 在本发明一实施例中,对所述衬底进行离子注入包括:对所述衬底进行第一次离子注入,在所述衬底上形成阱区;对所述衬底进行第二次离子注入,在所述阱区的两侧分别形成掺杂区,所述阱区与所述掺杂区通过所述沟槽隔离结构隔离。

[0013] 在本发明一实施例中,以图案化光刻胶为掩膜,对所述第二垫氮化层、所述垫氧化层和所述衬底进行刻蚀,以在所述衬底上形成开口,还包括对所述开口两侧的所述沟槽隔离结构进行刻蚀。

[0014] 综上所述,本发明提供一种半导体结构的制备方法,在衬底上形成沟槽隔离结构,去除第一垫氮化层后可以以较厚的垫氧化层作为缓冲层对衬底进行离子注入,从而在衬底上形成阱区和掺杂区,之后通过对垫氧化层减薄并在其表面形成第二垫氮化层来作为后续氧化的屏障。意想不到的效果是在后续对阱区进行局部氧化时,减小氧气横向扩散进入垫氧化层下的掺杂区,减少氧气对掺杂区的氧化,从而减小掺杂区的鸟嘴长度,提高器件的速度,电路的性能得到改善。

附图说明

[0015] 为了更清楚地说明本发明实施例的技术方案,下面将对实施例描述所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0016] 图1为本发明一实施例中在衬底上形成垫氧化层和第一垫氮化层的示意图;

图2为本发明一实施例中形成第一光刻胶层的示意图;

图3为本发明一实施例中形成沟槽的示意图;

图4为本发明一实施例中形成沟槽隔离结构的示意图;

图5为本发明一实施例中去除第一垫氮化层的示意图;

图6为本发明一实施例中形成阱区的示意图;

图7为本发明一实施例中形成掺杂区的示意图;

图8为本发明一实施例中垫氧化层减薄的示意图;

图9为本发明一实施例中形成第二垫氮化层的示意图;

图10为本发明一实施例中形成第二光刻胶层的示意图;

图11为本发明一实施例中形成开口的示意图;

图12为本发明一实施例中形成氧化层的示意图;

图13为本发明一实施例中去除垫氧化层和第二垫氮化层的示意图;

图14为本发明一实施例中半导体结构鸟嘴的微观示意图;

图15为本发明对比例中半导体结构鸟嘴的微观示意图。

[0017] 元件标号说明:

10、基底;100、衬底;110、阱区;120、掺杂区;130、开口;140、氧化层;200、垫氧化层;300、第一垫氮化层;400、沟槽隔离结构;410、沟槽;420、第一沟槽隔离结构;430、第二沟槽隔离结构;440、第三沟槽隔离结构;450、第四沟槽隔离结构;500、第一光刻胶层;510、沟槽区域;600、第二垫氮化层;700、第二光刻胶层;710、开口区域。

具体实施方式

[0018] 以下通过特定的具体实例说明本发明的实施方式,本领域技术人员可由本说明书所揭露的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用,本说明书中的各项细节也可以基于不同观点与应用,在没有背离本发明的精神下进行各种修饰或改变。

[0019] 需要说明的是,本实施例中所提供的图示仅以示意方式说明本发明的基本构想,遂图式中仅显示与本发明中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制,其实际实施时各组件的型态、数量及比例可为一种随意的改变,且其组件布局型态也可能更为复杂。

[0020] 在本发明中,需要说明的是,如出现术语“中心”、“上”、“下”、“左”、“右”、“竖直”、“水平”、“内”、“外”等,其所指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本申请和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本申请的限制。此外,如出现术语“第一”、“第二”仅用于描述和区分目的,而不能理解为指示或暗示相对重要性。

[0021] 本文中,涉及到数值范围,如无特别说明,该数值范围内可选的数值的分布视为连续,且包括该数值范围的两个数值端点(即最小值及最大值),以及这两个数值端点之间的每一个数值。当提供多个数值范围描述特征或特性时,可以合并这些数值范围。

[0022] 请参阅图4所示,本发明一实施例中,在制备半导体结构时,先提供一基底10。本实施例中,基底10包括衬底100、垫氧化层200、第一垫氮化层300和多个沟槽隔离结构400,垫氧化层200覆盖于相邻的两个沟槽隔离结构400之间的衬底100上,第一垫氮化层300覆盖在垫氧化层200的表面,多个沟槽隔离结构400至少部分外露于衬底100。衬底100可以为任意适于形成半导体结构的材料,例如未掺杂的单晶硅、掺杂有杂质的单晶硅、绝缘体上硅(SOI)、绝缘体上层叠硅(SSOI)、绝缘体上层叠锗化硅(S-SiGeOI)、绝缘体上锗化硅(SiGeOI)以及绝缘体上锗(GeOI)等。本发明并不限制衬底100的具体材料和厚度,且衬底100可以为P掺杂的半导体衬底,也可以为N掺杂的半导体衬底,杂质的掺杂类型可以依据需要形成的半导体结构灵活设置。在本实施例中,衬底100例如为硅衬底。

[0023] 基底10可以为外购的半成品,也可以通过自行制备,在一实施例中,基底10在衬底100上自行制备,请参阅图1所示,在本发明一实施例中,基底10的制备过程包括:在衬底100上形成垫氧化层200,垫氧化层200不仅可以作为衬底100的保护层,在后续工艺中为其覆盖的衬底100起到保护作用,避免衬底100受到不必要的损伤。垫氧化层200的材料可以为二氧化硅等材料,且垫氧化层200例如可以通过干氧化法、湿氧化法或原位水汽生长法(In-Situ Steam Generation, ISSG)等方法中的任意一种方法形成。在本实施例中,例如通过干氧化法形成垫氧化层200,示例性的,将衬底100放入炉管内,通入氧气,衬底100的表面与氧气在高温下反应,生成致密的垫氧化层200,且生成的垫氧化层200的质量较好。本实施例中,垫氧化层200的厚度为107Å~127Å,例如可以为107Å、110Å、115Å、120Å或127Å等107Å~127Å之间的任一数值。

[0024] 请参阅图1所示,在本发明一实施例中,基底10的制备过程还包括:在形成垫氧化层200后,在垫氧化层200上形成第一垫氮化层300。第一垫氮化层300的材料可以是氮化硅,氮氧化物,在本实施例中,第一垫氮化层300例如为氮化硅。第一垫氮化层300可以通过低压

化学气相沉积,常压化学气相沉积,离子体增强化学气相沉积或高密度等离子体化学气相沉积中的任意一种工艺制备得到。第一垫氮化层300的厚度例如为190Å~210Å,具体例如可以为190Å、195Å、200Å、205Å或210Å等190Å~210Å中的任一数值。通过设置第一垫氮化层300,可以保护衬底100免受沟槽隔离结构400制作过程中涉及的化学机械研磨(Chemical Mechanical Polishing,CMP)等平坦化工艺的影响。第一垫氮化层300还可在后续沟槽隔离结构400形成过程中作为掩膜,在对衬底100进行刻蚀时,保护衬底100不受损伤。

[0025] 请参阅图2和图3所示,在本发明一实施例中,基底10的制备过程还包括:在形成第一垫氮化层300后,在第一垫氮化层300上涂覆光刻胶,形成第一光刻胶层500,光刻胶材料类型不限,可以是常见的正光阻材料也可以是负光阻材料,涂覆光刻胶后通过掩膜曝光、显影等光刻工艺处理,使涂覆的光刻胶图案化,露出沟槽区域510。以图案化的光刻胶层为掩膜层,依次刻蚀第一垫氮化层300、垫氧化层200和衬底100,以形成沟槽410。沟槽410的数量、位置、深浅及宽窄等参数根据实际需要进行设置,在此不做限制。示例性的,在本实施例中,沟槽410为浅沟槽,在其他实施例中,沟槽410也可以为深沟槽。在本实施例中,沟槽410从第一垫氮化层300延伸至衬底100中。沟槽410的形状为上宽下窄的倒梯形截面,即沟槽410顶部的宽度大于沟槽410底部的宽度。当然,在一些实施例中,沟槽410的形状还可以为矩形。在本实施例中,可以通过干法刻蚀依次移除第一垫氮化层300、垫氧化层200和部分的衬底100,形成沟槽410,且刻蚀气体例如包括氯气(Cl_2)、三氟甲烷(CHF_3)、二氟甲烷(CH_2F_2)、三氟化氮(NF_3)、六氟化硫(SF_6)或溴化氢(HBr)等中的一种或几种混合,或它们和氧气(O_2)的组合,刻蚀完成后通过湿法清洗或灰化处理去除第一光刻胶层500。

[0026] 请参阅图4所示,在本发明一实施例中,基底10的制备过程还包括:在形成沟槽410后,在沟槽410内沉积绝缘介质,直至绝缘介质覆盖第一垫氮化层300的表面。在沉积绝缘介质前,可对沟槽410进行热氧化处理,圆角化沟槽410的底部的拐角,减少尖端漏电现象。本发明并不限制绝缘介质的沉积方式,例如可以通过高密度等离子体化学气相沉积(High Density Plasma CVD,HDP-CVD)或高深宽比化学气相沉积(High Aspect Ratio Process CVD,HARP-CVD)等方式,以形成高质量的绝缘介质。在沉积绝缘介质之后,可进行高温回火制程,以增加绝缘介质的密度和应力情况。在本实施例中,绝缘介质例如为氧化硅,在其他实施例中,绝缘介质还可以为其他适用于隔离的绝缘材料。

[0027] 请参阅图4所示,在本发明一实施例中,基底10的制备过程还包括:在制备绝缘介质后,对绝缘介质进行平坦化处理,从而得到基底10。平坦化处理例如利用化学机械研磨平坦化绝缘介质,沟槽隔离结构400至少部分外露于衬底100。例如研磨去除部分绝缘介质并以第一垫氮化层300作为研磨停止层,获得沟槽隔离结构400。本发明并不限制绝缘介质平坦化至具体位置,依据半导体器件设计要求,可以设置在任意位置,例如将部分浅沟槽内的绝缘介质平坦化至与两侧的第一垫氮化层300齐平。本发明对沟槽隔离结构400的数量不作限制,根据所需半导体的需求进行调整,多个沟槽隔离结构400的尺寸可以相等也可以不相等。在本实施例中,基底10包括四个沟槽隔离结构400,分别记为第一沟槽隔离结构420、第二沟槽隔离结构430、第三沟槽隔离结构440和第四沟槽隔离结构450,示例性的,四个沟槽隔离结构400的尺寸相等。

[0028] 请参阅图5所示,在本发明一实施例中,本发明半导体结构的制备方法还包括:在基底10上去除第一垫氮化层300。本发明并不限制第一垫氮化层300的去除方法,例如采用

干法刻蚀、湿法刻蚀或干法刻蚀和湿法刻蚀相结合等方法去除。在本实施例中,采用湿法刻蚀去除第一垫氮化层300。例如采用磷酸去除第一垫氮化层300,磷酸的浓度为10%~15%,例如10%、13%或15%等10%~15%中的任一数值,刻蚀时间为3min~6min,例如3min、4min、5min或6min中的任一数值。

[0029] 请参阅图6所示,在本发明一实施例中,去除第一垫氮化层300后,以垫氧化层200为离子注入缓冲层,对衬底100进行第一次离子注入,在衬底100上形成阱区110,阱区110位于第二沟槽隔离结构430与第三沟槽隔离结构440之间。在本发明一实施例中,半导体结构为N型半导体结构,阱区110中的掺杂离子例如为P型掺杂离子,又例如为硼(B)或镓(Ga)等。在本发明另一实施例中,半导体结构例如为P型半导体结构,阱区110中的掺杂离子N型掺杂离子,又例如为磷(P)或砷(As)等。在第一次离子注入后,对阱区110进行快速热退火制程(Rapid Thermal Anneal, RTA),使得离子注入扩散至合适深度。本发明不限制阱区110的离子注入浓度和深度,例如根据具体半导体类型设置离子注入的浓度和深度。

[0030] 请参阅图7所示,在本发明一实施例中,以垫氧化层200为离子注入缓冲层,对衬底100进行第二次离子注入,在阱区110的两侧分别形成掺杂区120,即在第一沟槽隔离结构420与第二沟槽隔离结构430及第三沟槽隔离结构440与第四沟槽隔离结构450之间分别形成掺杂区120,阱区110与掺杂区120通过沟槽隔离结构400隔离。其中,掺杂区120注入的离子类型与阱区110中的离子类型相反。当半导体结构为N型半导体结构时,掺杂区120中注入的离子为磷(P)或砷(As)等N型杂质,当半导体结构为P型半导体结构时,掺杂区120中注入的离子为硼(B)或镓(Ga)等P型杂质。本发明不限制掺杂区120的离子注入浓度和深度,根据具体半导体结构类型设置离子注入的浓度和深度。

[0031] 请参阅图8所示,在一实施例中,在衬底100中形成掺杂区120后,对垫氧化层200进行减薄处理。本发明并不限制垫氧化层200的减薄方法,例如采用干法刻蚀、湿法刻蚀或干法刻蚀和湿法刻蚀相结合等方法去除。在本实施例中,采用湿法刻蚀对垫氧化层200减薄,再例如采用湿法刻蚀对垫氧化层200进行刻蚀,且湿法刻蚀的刻蚀液例如为氢氟酸或缓冲氧化物刻蚀液(Buffered Oxide Etch, BOE)等。示例性的,垫氧化层200为氧化硅,选用氢氟酸对垫氧化层200进行减薄,氢氟酸的浓度为5%~10%,例如5%、8%或10%等5~10%中的任一数值,刻蚀时间为3min~6min,例如3min、4min、5min或6min中的任一数值。

[0032] 垫氧化层200减薄后的厚度可以为42Å~52Å,例如42Å、45Å、50Å或52Å等42Å~52Å中的任一数值。垫氧化层200在该厚度范围内既不会减少应力释放效果,又能够大大增加后续形成的第二垫氮化层600与衬底100之间结合力。采用氢氟酸溶液对垫氧化层200减薄,氢氟酸与氧化硅的反应生成可溶性的 H_2SiF_6 , H_2SiF_6 易溶于水形成溶液,可以很好地避免产生颗粒。

[0033] 请参阅图9所示,在本发明一实施例中,对垫氧化层200进行减薄处理后,在部分沟槽隔离结构400和垫氧化层200的表面形成第二垫氮化层600。垫氧化层200的减薄可以增大第二垫氮化层600与衬底100之间的层间结合力,因此可以有效减少氧气的横向扩散。第二垫氮化层600的材料可以是氮化硅,氮氧化物或金属氮化物。第二垫氮化层600可以通过低压化学气相沉积,常压化学气相沉积,离子体增强化学气相沉积或高密度等离子体化学气相沉积中的任意一种工艺制备得到。第二垫氮化层600的厚度为190Å~210Å,具体例如可以为190Å、195Å、200Å、205Å或210Å等190Å~210Å中的任一数值。

[0034] 请参阅图10和图11所示,在本发明的一实施例中,在形成第二垫氮化层600后,在第二垫氮化层600上涂覆光刻胶,形成第二光刻胶层700,光刻胶材料类型不限,可以是常见的正光阻材料也可以是负光阻材料,涂覆光刻胶后通过掩膜曝光、显影等光刻工艺处理,使涂覆的光刻胶图案化,露出开口区域710,之后在开口区域710依次移除第二垫氮化层600、部分沟槽隔离结构400、垫氧化层200和部分的衬底100,以在衬底100上形成开口130。进一步的,在衬底100上形成开口130时,还包括对部分第二沟槽隔离结构430和部分第三沟槽隔离结构440进行刻蚀,以防止后续对半导体加工时对衬底100造成破坏。在衬底100上形成开口130后,通过湿法清洗或灰化处理去除第二光刻胶层700。本实施例中,开口130的深度为370Å~410Å,例如可以为370Å、390Å或410Å等370Å~410Å中的任一数值。

[0035] 请参阅图12所示,在本发明的一实施例中,在衬底100上形成开口130后,对开口130内的衬底100进行热氧化处理形成氧化层140。本实施例中,以高压器件为例,例如通过干氧氧化法形成垫氧化层200。示例性的,将基底10放入炉管内,通入氧气,开口130内的衬底100与氧气在高温下反应形成氧化层140。在本实施例中,热氧化处理的温度为900℃~1100℃,例如可以为900℃、950℃、1000℃、1050℃或1100℃等900℃~1100℃中的任一数值。热氧化处理的时间为10h~15h,例如10h、12h、14h或15h等10h~15h中的任一数值。在其他实施例中,也可以采用湿氧氧化,利用H₂和O₂在预设温度下使开口130处的衬底100氧化。

[0036] 请参阅图13所示,在本发明的一实施例中,在开口130处的衬底100上形成氧化层140后,去除第二垫氮化层600。本发明并不限制第二垫氮化层600和垫氧化层200的去除方法,例如采用干法刻蚀、湿法刻蚀或干法刻蚀和湿法刻蚀相结合等方法去除。在本实施例中,例如采用酸溶液对第二垫氮化层600进行刻蚀。去除第二垫氮化层600后,去除垫氧化层200。在本实施例中,例如通过湿法刻蚀去除垫氧化层200,且湿法刻蚀的刻蚀液例如为氢氟酸或缓冲氧化物刻蚀液等。

[0037] 本发明一个实施例中,按照上述方法制备半导体结构,以将垫氧化层200减薄至47Å为例,制备的半导体结构,垫氧化层200下方形成的鸟嘴如图14所示。作为对照,保证其他制备条件相同,不对垫氧化层200减薄处理,保持垫氧化层200的厚度为107Å,制备的半导体结构,垫氧化层200下方形成的鸟嘴如图15所示。可以看出,通过本申请的制备方法制备的半导体结构,在对衬底100进行局部氧化时,可大大减小掺杂区的鸟嘴长度,可有效提高半导体器件的性能。

[0038] 综上所述,本发明提供一种半导体结构的制备方法,在衬底上形成沟槽隔离结构,去除第一垫氮化层后可以以较厚的垫氧化层作为缓冲层对衬底进行离子注入,从而在衬底上形成阱区和掺杂区,之后通过对垫氧化层减薄并在其表面形成第二垫氮化层来作为后续氧化的屏障。意想不到的效果是在后续对阱区进行局部氧化时,减小氧气横向扩散进入垫氧化层下的掺杂区,减少氧气对掺杂区的氧化,从而减小掺杂区的鸟嘴长度,提高器件的速度,电路的性能得到改善。

[0039] 上述实施例仅例示性说明本发明的原理及其功效,而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下,对上述实施例进行修饰或改变。因此,举凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完成的一切等效修饰或改变,仍应由本发明的权利要求所涵盖。



图1

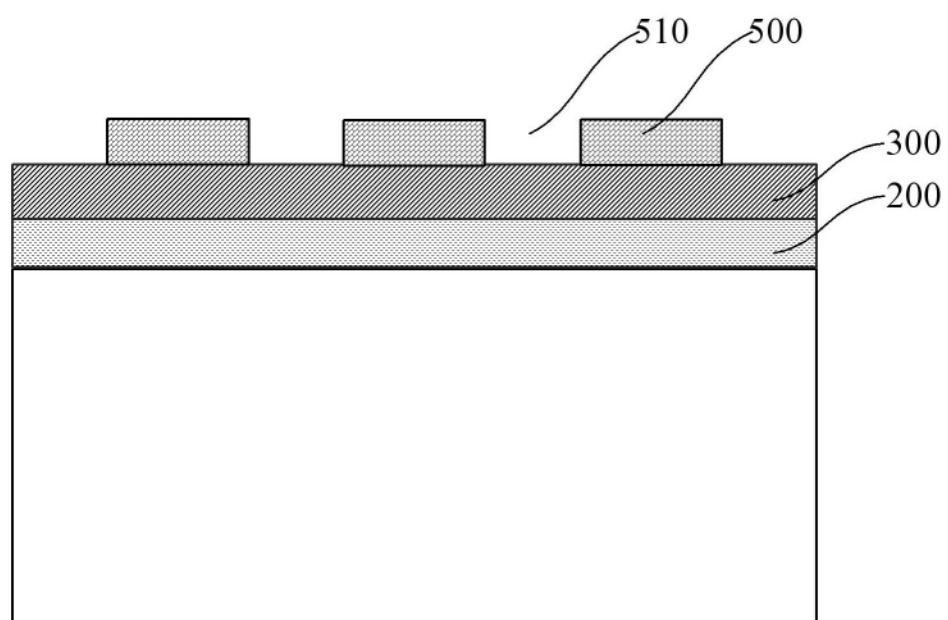


图2

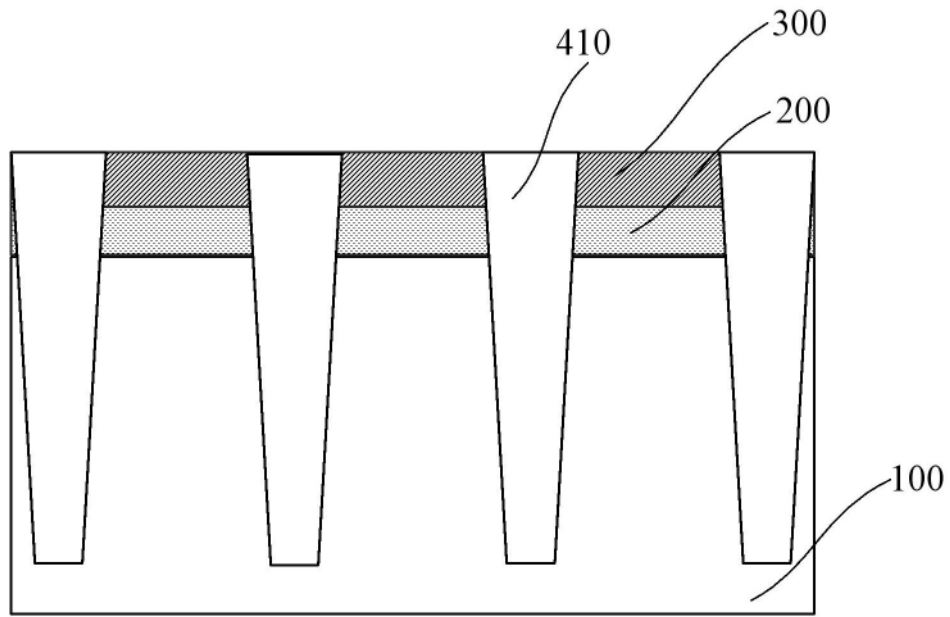


图3

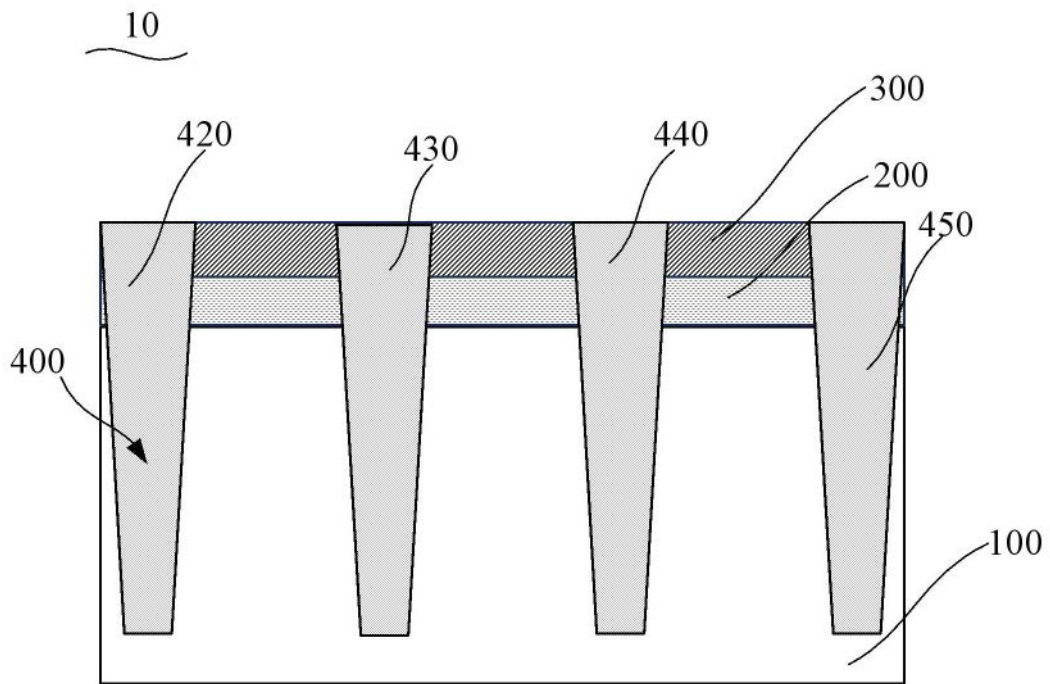


图4

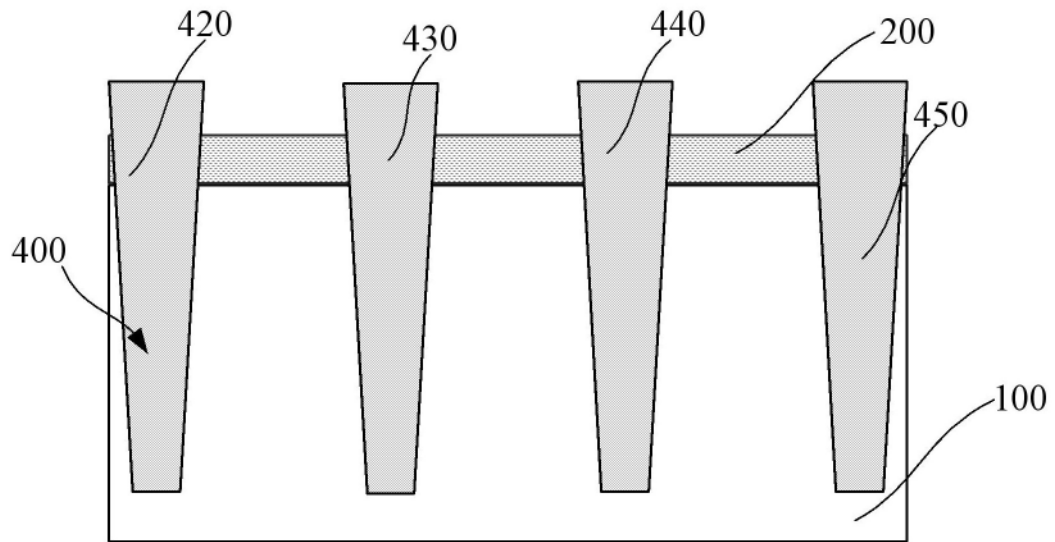


图5

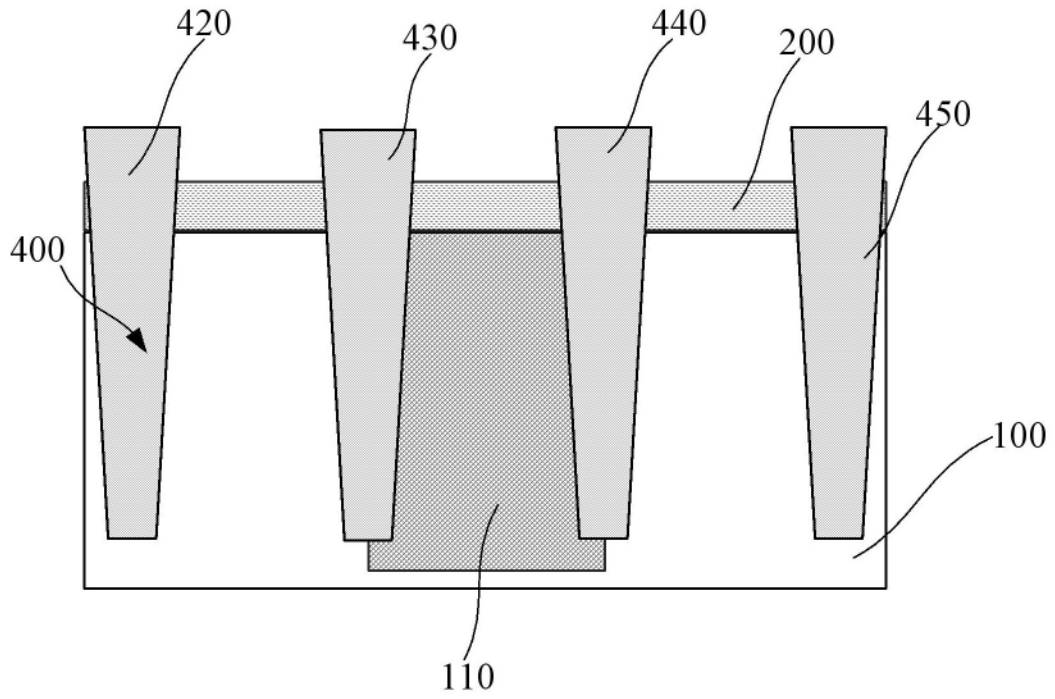


图6

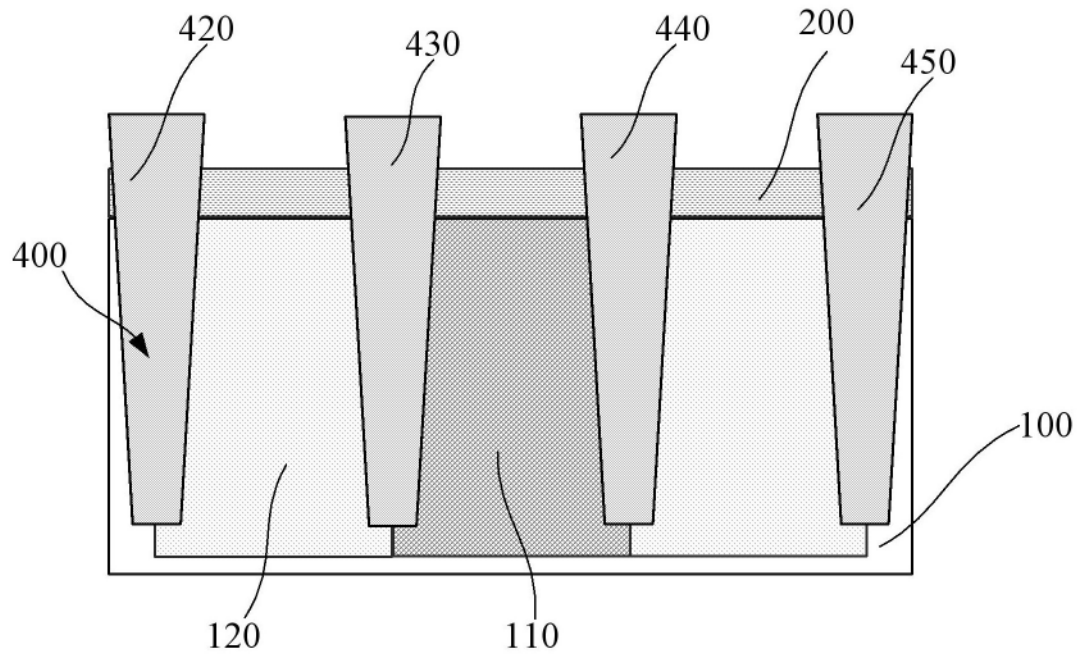


图7

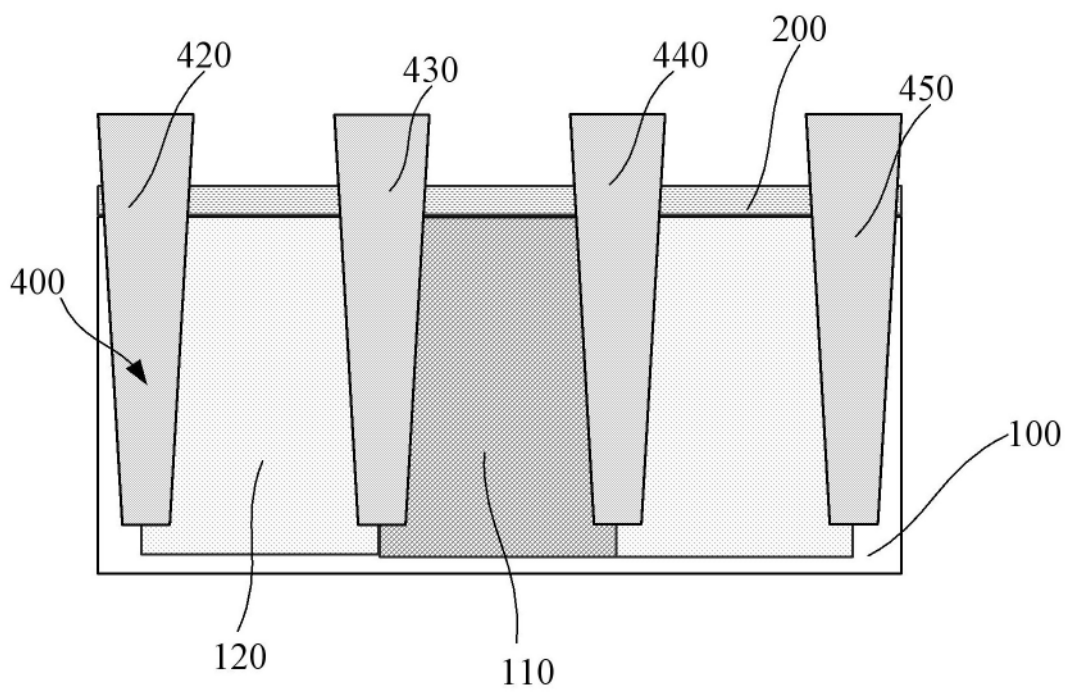


图8

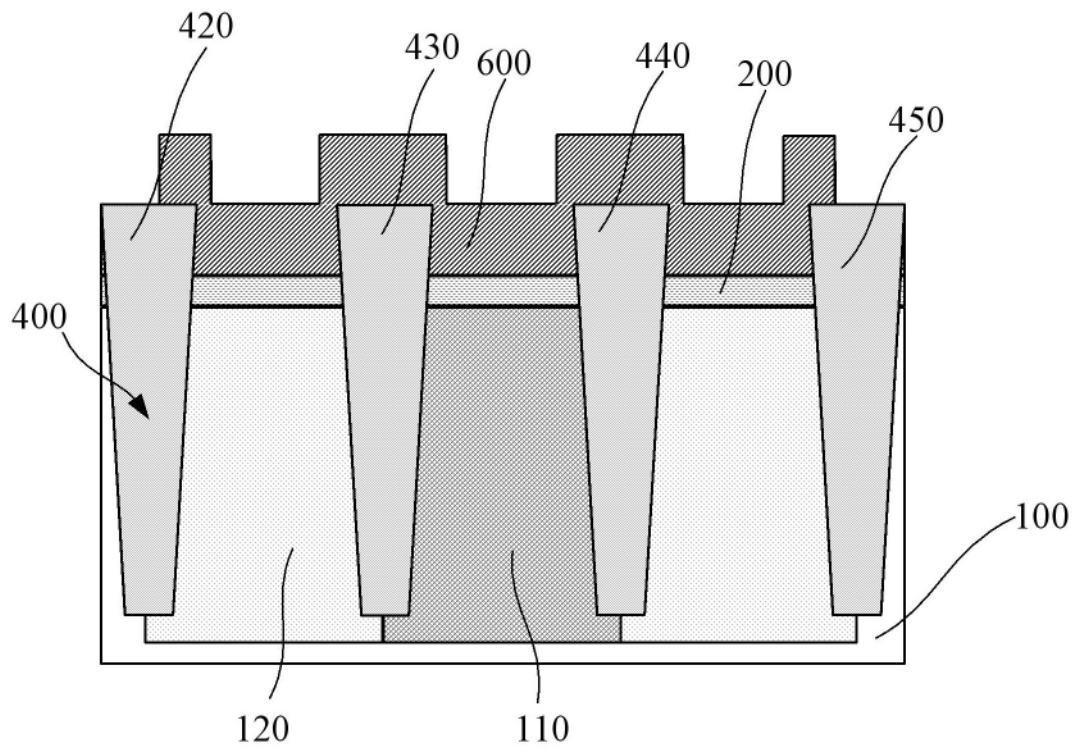


图9

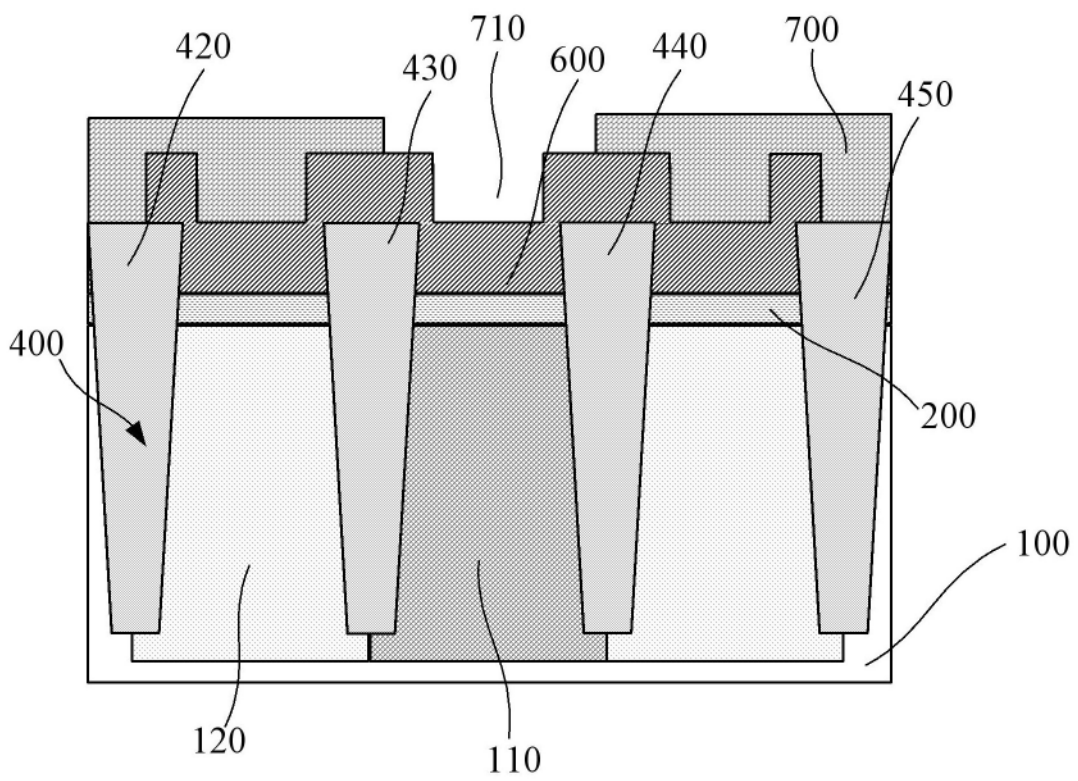


图10

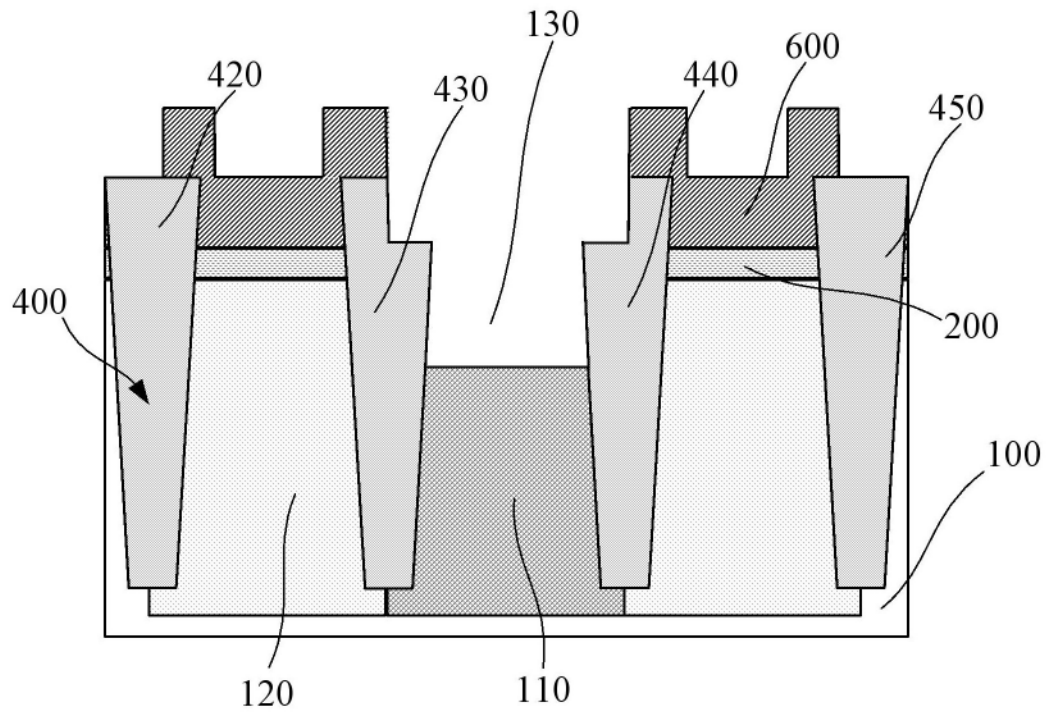


图11

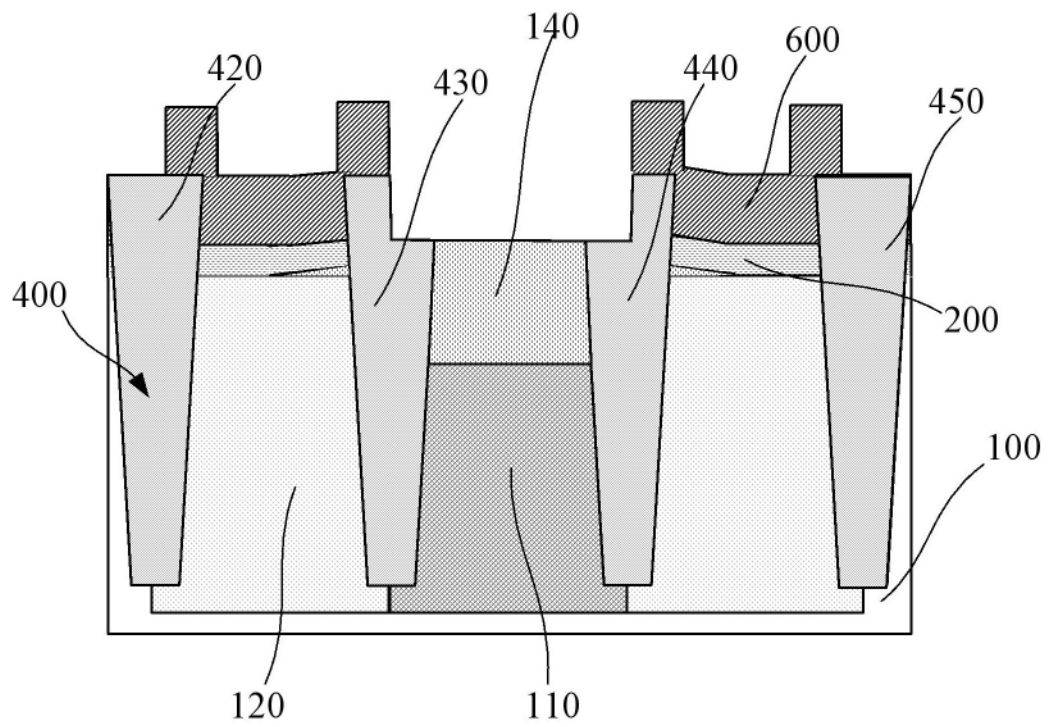


图12

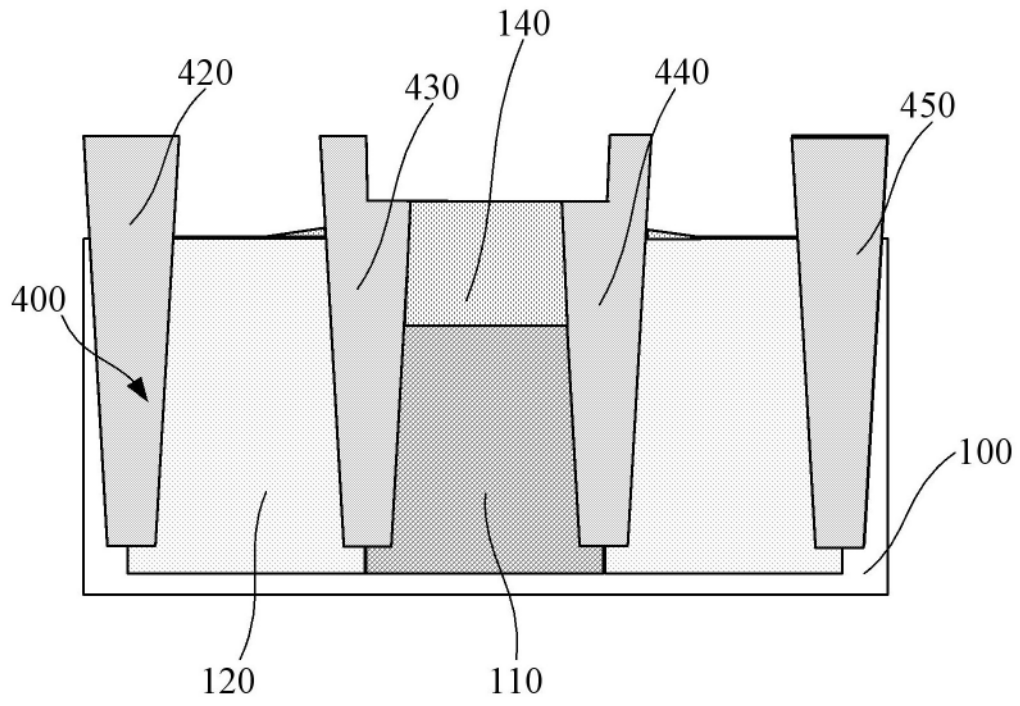


图13

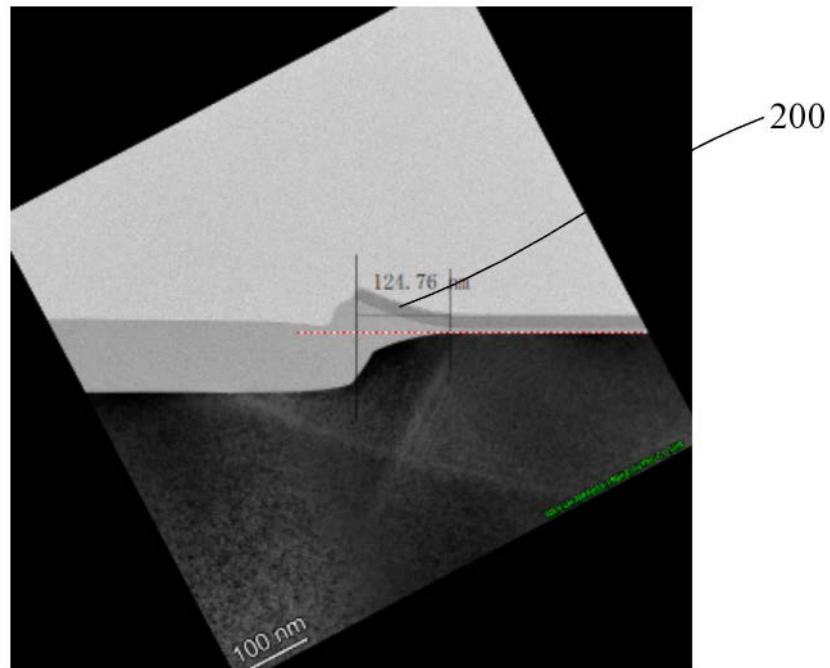


图14

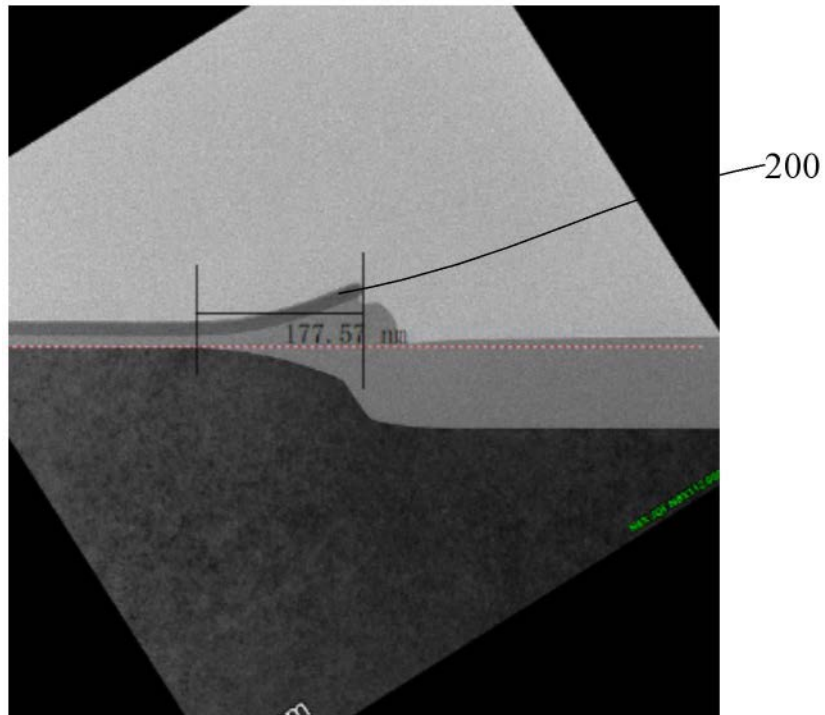


图15