



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I758441 B

(45)公告日：中華民國 111 (2022) 年 03 月 21 日

(21)申請案號：107109294 (22)申請日：中華民國 107 (2018) 年 03 月 19 日

(51)Int. Cl. : **H05K1/11 (2006.01)** **H01L23/488 (2006.01)**

(30)優先權：2017/03/21 美國 62/474,478
2018/03/14 美國 15/920,759

(71)申請人：美商英帆薩斯邦德科技有限公司 (美國) INVENSAS BONDING TECHNOLOGIES, INC. (US)
美國

(72)發明人：卡特卡 拉杰詡 KATKAR, RAJESH (IN) ; 王 亮 WANG, LIANG (US) ; 烏佐賽普里恩 艾米卡 UZOH, CYPRIAN EMEKA (US) ; 黃 少武 HUANG, SHAOWU (US) ; 高 桂蓮 GAO, GUILIAN (US) ; 莫海默德 伊利亞 MOHAMMED, ILYAS (US)

(74)代理人：閻啓泰；林景郁

(56)參考文獻：
TW I557814 TW 201635355A
US 6872984B1

審查人員：劉育瑜

申請專利範圍項數：14 項 圖式數：13 共 39 頁

(54)名稱

形成微電子組件的方法

(57)摘要

技術及裝置之代表性實施方案提供用於密封經接合微電子裝置以及經接合及密封之微電子組件的接頭的密封件。密封件安置於堆疊晶粒及晶圓之結合表面處以密封該等結合表面。該等密封件可使用各種技術安置於該等經接合微電子裝置之外部周邊處或安置於該周邊內。

Representative implementations of techniques and devices provide seals for sealing the joints of bonded microelectronic devices as well as bonded and sealed microelectronic assemblies. Seals are disposed at joined surfaces of stacked dies and wafers to seal the joined surfaces. The seals may be disposed at an exterior periphery of the bonded microelectronic devices or disposed within the periphery using the various techniques.

指定代表圖：

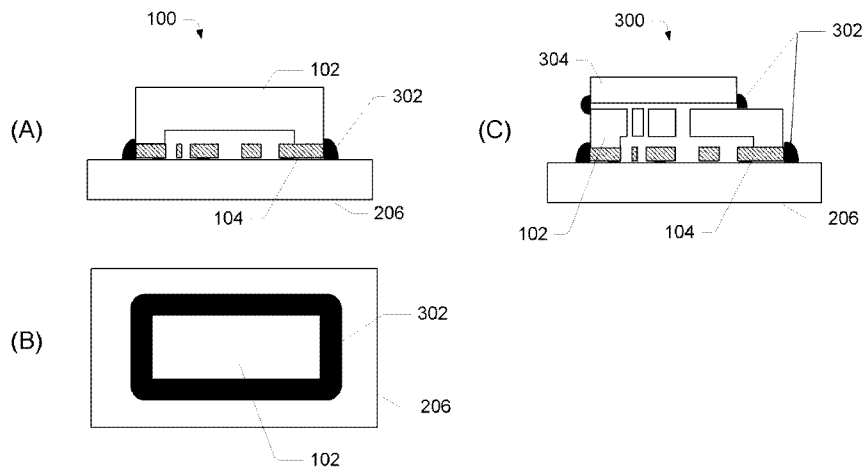


圖3

符號簡單說明：

100:微電子裝置

102:空腔晶圓

104:微機電系統
(MEMS)晶圓

206:邏輯裝置

300:堆疊微電子配置/
堆疊配置

302:密封環

304:部件



I758441

【發明摘要】

【中文發明名稱】 形成微電子組件的方法

【英文發明名稱】 METHOD OF FORMING A MICROELECTRONIC
ASSEMBLY

【中文】

技術及裝置之代表性實施方案提供用於密封經接合微電子裝置以及經接合及密封之微電子組件的接頭的密封件。密封件安置於堆疊晶粒及晶圓之結合表面處以密封該等結合表面。該等密封件可使用各種技術安置於該等經接合微電子裝置之外部周邊處或安置於該周邊內。

【英文】

Representative implementations of techniques and devices provide seals for sealing the joints of bonded microelectronic devices as well as bonded and sealed microelectronic assemblies. Seals are disposed at joined surfaces of stacked dies and wafers to seal the joined surfaces. The seals may be disposed at an exterior periphery of the bonded microelectronic devices or disposed within the periphery using the various techniques.

【指定代表圖】 圖3

【代表圖之符號簡單說明】

100：微電子裝置

102：空腔晶圓

104：微機電系統（MEMS）晶圓

206：邏輯裝置

300：堆疊微電子配置/堆疊配置

302：密封環

304：部件

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 形成微電子組件的方法

【英文發明名稱】 METHOD OF FORMING A MICROELECTRONIC
ASSEMBLY

【技術領域】

【0001】 以下描述係關於積體電路（「IC」）之處理。更明確而言，以下描述係關於用於處理IC晶粒及組件之裝置及技術。

相關申請案

【0002】 本申請案主張2018年3月14日申請之名為「Seal for microelectronic assembly」的美國申請案第15/920,759號之優先權及權利及依據35 U.S.C. §119(e) (1)，2017年3月21日申請之名為「Seal for microelectronic assembly」的美國臨時申請案第62/474,478號之權利，該等案特此以全文引用之方式併入。

【先前技術】

【0003】 對於諸如整合式晶片及晶粒之微電子元件的更緊湊實體配置的需要隨著攜帶型電子裝置之快速發展、物聯網之擴展、奈米級整合、亞波長光學整合等等已變得愈發強烈。僅藉助於範例，裝置通常被稱作整合具有大功率資料處理器之蜂巢式電話、記憶體及諸如全球定位系統接收器之輔助裝置、電子攝影機、多種感測器及區域網路連接件以及高解析度顯示器及相關聯之影像處理晶片之功能的「智慧型電話」。此等裝置可提供諸如完全網際網路連接、娛樂（包括全解析度視訊、導航、電子銀行等）之功能，所有均在口袋大小之裝置中。複雜的攜帶型裝置需要將眾多晶片及晶粒封裝至較小空間中。

【0004】 微電子元件常常包含諸如砷化矽或砷化鎵之半導體材料的薄平

板。晶片及晶粒通常經設置為個別預封裝單元。在一些單元設計中，將晶粒安裝至基板或晶片載體，隨後將該基板或晶片載體安裝於電路面板（諸如印刷電路板（printed circuit board；PCB））上。晶粒可經設置於便於在製造期間及在將晶粒安裝於外部基板上期間對晶粒之處置的封裝中。舉例而言，許多晶粒經設置於適合於表面安裝的封裝中。

【0005】 此通用類型之眾多封裝經提議用於各種應用。最常見地，此等封裝包括介電質元件，其通常被稱作具有形成為介電質上之經電鍍或經蝕刻金屬結構的具有端子之「晶片載體」。通常藉由諸如沿晶粒載體延伸之薄跡線之導電特徵及藉由在晶粒之接觸件與跡線之接觸件之間延伸的精細引線或電線將端子連接至晶粒之接觸件（例如，接合墊）。在表面安裝操作中，可將封裝置放至電路板上，以使得封裝上之每一端子與電路板上之對應接觸墊對準。將焊料或其他接合材料設置於端子與接觸墊之間。可藉由加熱組件以便熔化或「回焊」焊料或以其他方式活化接合材料來將封裝永久地接合在適當的位置。

【0006】 許多封裝包括呈典型地直徑介於約0.02毫米與約0.8毫米（5密耳與30密耳）之間且附接到封裝之端子的焊球形式的焊料固體。具有自其底部表面（例如，與晶粒之正面相對的表面）突起的焊料球之陣列的封裝通常被稱作球狀柵格陣列或「BGA」封裝。藉由自焊料形成之較薄層或焊盤將被稱作焊盤柵格陣列或「LGA」封裝之其他封裝固定至基板。此種類型之封裝可係非常緊密的。通常被稱作「晶片級封裝」之某些封裝佔據等於或僅略大於併入於封裝中之裝置之面積的電路板之面積。此比例係有利的，此係因為其降低組件之整體大小且准許在基板上之各種裝置之間使用短互連件，此隨後限制裝置之間的信息傳播時間且因此便於以高速操作組件。

【0007】 半導體晶粒亦可經設置於「堆疊」配置中，舉例而言，其中一個晶粒設置於載體上，且另一晶粒安裝在第一晶粒之上方。此等配置可允許將多

個不同晶粒安裝於電路板上之單個覆蓋面積內，且可進一步藉由在封裝之間提供短互連件來便於高速操作。通常，此互連距離可僅略長於晶粒自身之厚度。對於將在晶粒封裝之堆疊內達成的互連，用於機械及電氣連接之互連結構可設置於每一晶粒封裝（可能除了最頂封裝）以外之兩側（例如，表面）上。此已（例如）藉由在安裝有晶粒之基板的兩側上設置接觸墊或焊盤來得以實現，該等襯墊藉由導電通孔或類似者經過基板連接。堆疊晶片配置及互連結構之範例提供於美國專利申請公開案第2010/0232129號中，該公開案之揭示內容以引用的方式併入本文中。在其他範例中，矽穿孔（Through Silicon Vias；TSV）用於在晶粒封裝之堆疊內達成互連。在一些情況下，晶粒或晶圓可使用各種接合技術在堆疊配置中接合，該等接合技術包括直接介電質接合、無黏著劑技術（諸如ZiBond®）或混合式接合技術（諸如DBI®），兩者可自Invensas接合技術公司（先前是Ziptronix公司）、Xperi公司獲得（例如，參見美國專利第6,864,585及7,485,968號，其全文併入本文中）。

【0008】 堆疊晶粒及晶圓配置（包括接合之配置）亦可用以形成組裝部件，諸如微機電系統（microelectromechanical system；MEMS）、感測器及類似者。例如，參見美國專利第7109092號，其全部併入本文中。在許多此等配置中，需要堆疊晶粒及晶圓在其結合表面處密封以例如形成感測器空腔。在一些情況下，使此等密封可靠及長效特別在晶片級可係有問題的。

【發明內容】

【0009】 本發明的一態樣提供一種形成微電子組件之方法，其包含：將第一微電子部件之第一絕緣表面接合至第二微電子部件之一第二絕緣表面，該第一絕緣表面及該第二絕緣表面形成其中該第一絕緣表面與該第二絕緣表面接觸的一接合接頭；及在該接合接頭上方形成一密封件，該密封件覆蓋該接合接頭，

該密封件包含一金屬材料並密封該第一微電子部件與該第二微電子部件之間的該接合接頭。

【0010】 本發明的另一態樣提供一種形成微電子組件之方法，其包含：將一第一微電子部件之一第一絕緣表面接合至一第二微電子部件之一第二絕緣表面，該第一絕緣表面及該第二絕緣表面形成接合接頭，在該處其中該第一絕緣表面與該第二絕緣表面接觸的一接合接頭；在該第一絕緣表面中形成一第一通道；形成穿過該第二微電子部件之一第二通道，該第二通道與該第一通道對準，該第一通道及該第二通道與該接合接頭相交；在該第一通道及該第二通道內形成一密封件，該密封件係自該第一通道連續至該第二通道連續，該密封件包含一金屬材料並密封在該第一微電子部件與該第二微電子部件之間的該接合接頭。

【0011】 本發明的另一態樣提供一種微電子組件，其包含：第一微電子部件，其在一第一絕緣表面處接合至第二微電子部件之第二絕緣表面，該第一絕緣表面及該第二絕緣表面形成接合接頭，在此處其中該第一絕緣表面與及該第二絕緣表面接觸的接合接頭；密封件，其安置於該接合接頭上方，該密封件包含金屬材料並密封在該第一微電子部件與該第二微電子部件之間的該接合接頭。

【0012】 本發明的另一態樣提供一種微電子組件，其包含：第一微電子部件，其在第一絕緣表面處接合至第二微電子部件之第二絕緣表面，該第一絕緣表面及該第二絕緣表面形成其中該第一絕緣表面及該第二絕緣表面接觸的接合接頭；第一通道，其在該第一絕緣表面中；第二通道，其穿過該第二微電子部件，該第二通道與該第一通道對準，該第一通道及該第二通道與該接合接頭相交；及密封件，其安置於該第一通道及該第二通道內並自該第一通道連續至該第二通道，該密封件包含金屬材料並密封在該第一微電子部件與該第二微電子

部件之間的該接合接頭。

【圖式簡單說明】

【0013】 參考附圖闡述實施方式。在該等圖中，參考數字之最左側數位識別首次出現該參考數字之圖。在不同圖中使用同一參考數字指示類似或相同物件。

對此論述，在圖式中所說明之裝置及系統展示為具有大量部件。如本文中所描述，裝置及/或系統之各種實施方案可包括更少部件且保持在本發明之範疇內。替代地，裝置及/或系統之其他實施方案可包括額外部件或所描述部件之各種組合，且保持在本發明之範疇內。

圖1的(A)展示使用Zibond技術接合至MEMS晶圓之空腔晶圓，且圖1的(B)展示使用Zibond技術與DBI技術接合至MEMS晶圓之空腔晶圓。

圖2為說明形成經堆疊微電子裝置之範例性處理序列之圖解流程圖。

圖3的(A)展示根據實施例之範例性密封微電子裝置的平面視圖。圖3的(B)展示根據實施例之範例性密封微電子裝置的俯視圖。圖3的(C)展示密封多堆疊微電子配置。

圖4展示根據另一個實施例之範例性密封微電子裝置。在範例中說明範例性密封件之兩個獨立組態。

圖5為說明根據實施例之形成密封微電子裝置之範例性處理序列的圖解流程圖。

圖6說明根據各種實施例之密封件及密封微電子裝置之範例性實施例。

圖7說明根據另外實施例之密封件及密封微電子裝置的範例性實施例。

圖8為說明根據另一個實施例之形成密封微電子裝置之範例性處理序列的圖解流程圖。

圖9說明根據各種實施例之密封微電子裝置的範例性實施例。

圖10為說明根據另外實施例之形成密封微電子裝置的範例性處理序列之圖解流程圖。

圖11說明根據各種實施例之密封微電子裝置的範例性實施例。

圖12為說明根據額外實施例之形成密封微電子裝置的範例性處理序列之圖解流程圖。

圖13說明根據各種實施例之密封微電子裝置的範例性實施例。

【實施方式】

概述

【0014】 揭示用於形成密封件及密封微電子裝置之技術及裝置的各種實施例。密封件安置於堆疊晶粒及晶圓之結合（例如接合、耦接等）表面處以密封（例如氣密密封）結合表面。結合表面可經密封以形成作為微電子裝置之部分的感測器空腔或其類似者。舉例而言，當具有凹陷表面之晶粒接合至具有平坦表面或凹陷表面的另一晶粒時，空腔可形成於兩個晶粒之間。在一些應用中，可需要此空腔經氣密密封以保持空腔內部之特定真空度，並需要維持預定洩漏率。

【0015】 可依據空腔之容積查看密封空腔之洩漏率。舉例而言，若空腔之容積小於或等於0.01 cc，則一般而言，洩漏率將在空氣之 $5E-8$ atm-cc/s以下以認為空腔經氣密密封。若空腔之容積範圍在0.01與0.4 cc之間，則洩漏率將在 $1E-7$ 以下，且若容積大於0.4 cc，則洩漏率對於氣密密封空腔將在 $1E-6$ 以下（根據MIL-STD-883方法1014、MIL-STD-750方法1071）。

【0016】 在晶粒之堆疊的周邊處之密封件的完整性可能對於保持封裝之特殊應用密封性及低洩漏率係關鍵的。金屬、陶瓷及玻璃係用以形成密封件並

防止水蒸氣或其他氣體（例如氧氣等）進入封裝內部之部件的典型材料。具有足夠低洩漏率的經適當製造之氣密密封件可在許多年內保持封裝內部乾燥及無濕氣。

【0017】 本文所揭示之技術包括（例如）在至少兩個表面之接頭（例如接合線、接縫等）處形成一或多個金屬材料之密封件，其密封在接頭處之結合表面。在各種實施方案中，金屬材料可使用無電極電鍍或其類似者沉積。在一些實施例中，金屬材料可直接沉積至在接頭處或在接頭周圍的結合表面上。在其他實施例中，一或多種非金屬材料可沉積至結合表面上，且金屬材料可沉積於非金屬材料上方，從而密封接頭。密封件可視需要包括完全形成在結合之晶粒或晶圓（例如裝置之周邊）周圍的連續密封環或一或多個部分密封件。

【0018】 在各種實施例中，所揭示之技術可密封經堆疊及使用「ZIBOND®」技術接合的晶粒及晶圓，此可受益於所添加密封件。舉例而言，在圖1A處，空腔晶圓102使用ZIBOND®技術而接合至微機電系統（MEMS）晶圓104（或任何其他晶圓），以例如形成諸如MEMS感測器裝置之微電子裝置100。空腔晶圓102（或晶粒）可具有相同或不同大小之1個或大於1個空腔或凹陷。兩個晶圓（102及104）之尤其平坦表面使用兩個對應半導體及/或絕緣體層之間的低溫共價接合而接合在一起。雖然接合可係良好的，但密封可並不足夠成為氣密密封，且洩漏率可並不低至應用所需要。另外，接合線寬（P1）可並不係最佳，此係由於相對較長的接合線可不必要地增加晶粒大小且可減少每一晶圓製造的晶粒之數目。

【0019】 在另一範例中，如圖1的(B)處所示，密封可藉由使用直接接合互連（DBI®）技術沿著接合接縫形成一或多個金屬至金屬互連而改良。金屬線106沿著待結合的表面中之每一者而沉積，以便彼此對準，並當使用溫度及/或壓力凝結在一起時形成金屬至金屬接合。在一些情況下，DBI線106可有助於減少接

合線寬 (P2) 同時改良接頭之氣密性。然而，利用ZiBond方法所需要的接合線寬 (P1) 可能對於應用並不足夠 (例如，在使用 (例如) DBI情況下，使用Zibond之100微米接合線寬可減少至數十微米或少於10微米)。另外，此等DBI接合並不容易達成，潛在地增加組件之複雜度及成本。

【0020】 圖2為說明形成堆疊微電子裝置100之範例性處理序列200的圖解流程圖。程序200及堆疊微電子裝置100形成用於論述各種密封技術及裝置的背景。在各種實施例中，參考圖2描述之程序200可經修改成包括用於在接合接頭處氣密密封經接合部件的技術及裝置。圖2描述產生頂部 (及中間) 與 (中間及) 底部晶粒之間的氣密密封空腔202的3晶粒堆疊之程序。但堆疊亦可包括其間具有空腔202之僅僅2個晶粒，如圖1中所描繪。

【0021】 在區塊1處，形成凹陷空腔晶圓102。儘管在區塊1處之說明中展示一個空腔202，但每一晶粒位置可形成相似或不同尺寸之一或多個空腔202，從而在晶圓 (或晶粒) 102上有效地形成若干此類凹陷空腔202。在區塊2處，空腔晶圓102接合至MEMS晶圓104 (或任何其他晶圓或晶粒)，從而在其中閉合空腔202。空腔晶圓102可使用緊密表面接合技術 (例如，ZIBOND®技術) 接合至MEMS晶圓104，其中絕緣表面 (例如SiO_x-SiO_x，等) 被接合。在區塊3處，MEMS晶圓104可變薄並經圖案化以形成支座。在區塊4處，金屬化物204可被添加至MEMS晶圓104的經圖案化之表面，包括襯墊、接觸件、跡線等。在替代範例中，無金屬化物204被添加至MEMS晶圓104之表面。在範例中，微電子裝置100可例如在接合表面處使用Zibond技術 (例如SiO_x-SiO_x接合) 或其類似者，或在一或兩個接合表面上使用用於介電質 (諸如聚合物材料，例如晶粒附接膜或膏) 之其他接合技術附接至另一裝置 (諸如邏輯裝置晶圓)。

【0022】 在區塊5處，開口形成於MEMS晶圓104中，進入空腔202，以基於應用而界定微電子裝置100之特性。在區塊6處，微電子裝置100可附接至邏輯

裝置晶圓（或晶粒）206，以提供（例如）用於微電子裝置100之邏輯/控制。微電子裝置100之金屬化物層204接觸墊耦接至邏輯裝置206之表面上的接觸件208。在區塊7處，微電子裝置100之部分（諸如，空腔晶圓102之部分）被移除（例如被蝕刻等）以提供至邏輯裝置晶圓206之其他接觸墊的入口，等。在一些情況下，空腔晶圓102與MEMS晶圓104之間的Zibond或DBI界面可提供對流體（諸如氣體及/或液體）流動之足夠阻抗。在其他實施例中，微電子裝置100之接合線或耦接接頭中之一或多者可經密封以用於氣密性（例如對流體（諸如氣體及/或液體）流動之預定阻抗，及足夠低的濕蒸氣傳輸速率、氧氣透過率等），如下文所論述。

例示性實施例

【0023】 為確保強且氣密密封接合，本文所揭示之技術包括接合晶圓（例如102及104）之絕緣體表面，接著在接合線處添加金屬密封件以改良氣密性，如以下進一步論述。

【0024】 圖3展示密封微電子裝置100（諸如參考圖2形成的微電子裝置100）之範例性實施例。如藉由圖3的(A)處微電子裝置100之側視圖及圖3的(B)處俯視圖所示，金屬密封環302可圍繞空腔晶圓102及MEMS晶圓104之接合接頭形成，且亦可經延伸以密封邏輯裝置206與MEMS晶圓104。密封環302產生在微電子部件（例如102、104及206）之周邊周圍的氣密密封，從而完全密封部件之間的接頭。密封環302可經定位以視需要密封微電子部件（例如102、104及206）之間的接頭中之任一者或所有。

【0025】 在各種實施例中，密封環302由金屬材料（亦即，諸如銅之金屬，例如，合金，或金屬組成物）組成。在一些實施例中，兩種或大於兩種金屬材料可用於層（或其他組合）中以形成密封環302。在各種實施例中，密封環302使用無電極電鍍、電沉積、機械列印或其各種組合，或其類似者來沉積。

【0026】 如圖3的(C)處所示，多個密封環302可用於在堆疊微電子配置300中之不同堆疊層級處在多個部件（例如102、104、206及304）之間密封。密封環302可視需要在堆疊配置300之任一或所有層級處使用。雖然論述並說明完整密封環302，但需要時亦可使用部分密封環302以形成在接合接頭處或在微電子裝置（例如100、300）或組件之部件（例如102、104、206及304）之間的密封。

【0027】 圖4展示根據另一個實施例之使用內部密封件（例如402及404）的範例性密封微電子裝置100。替代地或除了圖3中展示之外部密封環302之外，在鑽孔、蝕刻或以其他方式在接合部件（例如102、104及206）之內部周邊周圍形成通道406（完全或部分）之後形成內部密封件（例如402及404）。圖4中說明範例性密封件之兩個獨立組態，填充密封件402及保形密封件404。兩個組態形成於通道406、經鑽孔部分或其類似者中，如以下進一步論述。填充密封環402運用一或多種金屬材料大部分或完全填充通道406或鑽孔空腔以在接合接頭處形成氣密密封。保形密封環404運用一或多種金屬材料電鍍通道406之壁或空腔以形成氣密密封。在各種實施方案中，填充密封件404或保形密封件406可視需要用於氣密密封兩個或大於兩個部件（例如102、104及206）。在各種範例中，多個同心密封環（例如302、402及404）可用於密封兩個（或大於兩個）部件（例如102、104及206）。通道406可延伸穿過部件104並延伸至與部件102之界面，或展示為至部件102中。

【0028】 圖5為說明根據實施例之使用內部密封件（例如402及404）形成密封微電子裝置100的範例性處理序列500之圖解流程圖。在各種實施例中，視需要，參考圖5描述之程序500可用於修改包括接合微電子部件（例如102、104、206等）的其他組裝程序（例如，圖2處提及之程序200），以包括用於在接合接頭處氣密密封所接合微電子部件（例如102、104、206等）的技術及裝置。

【0029】 在區塊1處，形成凹陷空腔晶圓102。通道406（或部分或完全圍

繞空腔202之「空腔環」)形成於晶圓102之空腔側表面上。通道406可藉由蝕刻、鑽孔或以其他方式自晶圓102之表面移除材料而形成。

【0030】 在區塊2處，空腔晶圓102接合至MEMS晶圓104，從而在其中閉合空腔202。空腔晶圓102可使用緊密表面接合技術(例如，ZIBOND®技術)接合至MEMS晶圓104，其中絕緣表面(例如SiO_x-SiO_x，等)被接合。在另一範例中，空腔晶圓102可使用另一介電質接合技術(例如晶粒附接膜或膏、諸如矽酮或環氧樹脂之聚合物或其類似者，其可並不提供氣密密封且可並不改良或修復氣密密封)接合至MEMS晶圓104。

【0031】 在區塊3處，MEMS晶圓104可變薄並經圖案化以形成支座。在另一情況中，支座係可選的且可並不形成於MEMS晶圓104上。在此情況下，支座可形成於邏輯晶圓206上或可藉由任何其他材料(例如晶粒附接膜或膏，等)產生。在區塊4處，開口形成於MEMS晶圓104中，進入空腔202，以基於應用而界定微電子裝置100之特性。另外，通道406形成於MEMS晶圓104中(及在一些範例中，空腔晶圓102中)以用於形成內部密封件(例如402及404)以密封空腔晶圓102與MEMS晶圓104之間的接合接頭。在一種情況下，MEMS晶圓104可經鑽孔以在MEMS晶圓104中打開與先前形成於空腔晶圓102中之空腔環形通道406對準的區域。在替代情況下，MEMS晶圓104及空腔晶圓102可經共同鑽孔以形成空腔環形通道406(例如，空腔晶圓102中之通道406在此步驟形成，同時鑽孔MEMS晶圓104，而非在接合空腔晶圓102至MEMS晶圓104之前預先形成)。

【0032】 在區塊5處，金屬化物204被添加至MEMS晶圓104的經圖案化之表面，包括襯墊、接觸件、跡線等。空腔環形通道406此時亦可經金屬化。通道406可經部分或完全填充/電鍍以形成填充之密封環402，或通道406之壁可經金屬化/電鍍以形成保形密封環404。填充之密封環402或保形密封環404(無論使用哪個)氣密密封空腔晶圓102與MEMS晶圓104之間的接合接頭。

【0033】 在另一範例中，在接合之後，MEMS晶圓104及空腔晶圓102可經共同鑽孔以形成空腔環形通道406，其可經金屬化且隨後至空腔202之開口形成於MEMS晶圓104中。

【0034】 在區塊6處，微電子裝置100可附接至邏輯裝置206，以提供（例如）用於微電子裝置100之邏輯/控制。微電子裝置100之金屬化層204的接觸墊可耦接至邏輯裝置206之表面上的接觸件208。在區塊7處，微電子裝置100之部分可經移除（例如蝕刻等）以提供至邏輯裝置206之其他接觸墊的入口...等等。

【0035】 圖6的(A)至圖6的(E)說明根據各種實施例之密封件302、402及404以及密封微電子裝置100的範例性實施例。圖6的(A)處說明之第一實施例展示如上文參考圖3及圖4所論述實施的外部密封件302。每一密封件302形成覆蓋微電子部件102、104及206之間的一或多個接合或耦接接頭的珠粒，以氣密密封接頭。密封件302可由諸如金屬、合金或金屬複合物（例如，兩種或大於兩種金屬之組合、金屬玻璃複合材料、金屬陶瓷複合物或其類似者）之金屬材料組成。

【0036】 圖6的(B)處說明之第二實施例展示具有分層方法之密封件，其中聚合物密封件602首先施加至接頭之外部且金屬材料密封件604沉積於聚合物密封件602上方，從而形成氣密密封。在替代實施方案中，形成一或多個聚合物密封件602之多個聚合物材料及/或形成一或多個金屬密封件604之多個金屬層亦可用以形成密封環。

【0037】 圖6的(C)處說明之第三實施例展示由可燒結導電膏、燒結玻璃複合物或其類似者組成的另一外部密封環606。沉積密封件606材料中之金屬或玻璃部件提供所要之氣密密封。

【0038】 圖6的(D)處說明之第四實施例展示如上文參考圖5及圖6所論述的內部密封件402及404。通道406經形成穿過MEMS晶圓104及至空腔晶圓102中，且通道406係運用金屬材料完全地（例如402）、部分地（圖中未示）或保

形（例如404）自MEMS晶圓104側電鍍至通道406壁。

【0039】 圖6的(E)處說明之第五實施例展示形成穿過多個部件（例如102、104及206）之密封環（例如404）的範例。在此範例中，類似於MEMS晶圓104，邏輯晶圓206（或其類似者）可變薄並被鑽通。舉例而言，邏輯晶圓206、MEMS晶圓104及空腔晶圓102可在程序中接合且隨後共同或在對準之獨立步驟中經鑽孔。自邏輯晶圓206側電鍍或填充經鑽孔通道406形成自邏輯晶圓206延伸穿過MEMS晶圓104及至空腔晶圓102中的密封環（例如404），從而氣密密封接合接頭及部件（例如102、104及206）之間的空間中之每一者。替代地，密封件（例如404）可視需要延伸穿過層/部件中之僅僅一些。在各種實施例中，密封件（例如402、404）之金屬化物可與一或多個裝置襯墊或其類似者（其亦可與封裝上之球端子608（例如）電連續）電連續或耦接至該一或多個裝置襯墊或其類似者以用於接地。雖然圖6的(D)、圖6的(E)中及在本發明中別處展示多種類型金屬化物（保形、非保形），但一次可使用僅僅單一類型金屬化物以形成連續或非連續形狀以用於禁止流體流動，且因此，改良氣密性。

【0040】 圖7的(A)至圖7的(D)說明根據另外實施例之密封件402及404以及密封微電子裝置100的範例性實施例。在一個實施例中，在圖7的(A)處所說明，嵌入之金屬環702經部分或完全嵌入空腔晶圓102（及/或MEMS晶圓104）內並部分或完全環繞空腔202。可在接合線處或靠近接合線安置的嵌入之金屬環702可輔助密封空腔晶圓102與MEMS晶圓104之間的接合接頭。通孔（為簡單起見圖中未示）可延伸穿過空腔晶圓102並接觸金屬環702。在另一實施例中，在圖7的(B)處所說明，微電子裝置100包括部分或完全環繞空腔202的嵌入之金屬環702，以及一或多個內部密封件402及/或404，如上文參考圖5及圖6所論述。通道406經形成穿過MEMS晶圓104並至空腔晶圓102中，至嵌入之金屬環702，且通道406係運用金屬材料完全地（例如402）、部分地（圖中未示）或保形（例如404）

自MEMS晶圓104側電鍍至通道406壁。

【0041】 如圖7的(B)中所示，內部密封件402及/或404落在嵌入之金屬環702上（例如與嵌入之金屬環702接觸）。圖7的(C)及圖7的(D)展示用於此配置之（許多中之）兩個可能實施例之靠近詳細視圖。舉例而言，在圖7的(C)中，通道406具有相對矩形橫截面，且在圖7的(D)中，通道具有多邊形，或以其他方式成形橫截面（例如，部分或完全橢圓形、不規則等）。在各種實施例中，通道406及密封件（402及/或404）（其中密封件（402及/或404）接觸嵌入之金屬環702）之橫截面的寬度小於嵌入之金屬環702之橫截面的寬度（例如60%或更少）。用於密封件404之金屬填充物可完全（如圖7的(C)中所見）或部分（如圖7的(D)中所見）填塞通道406之內壁，同時接觸嵌入之金屬環702（落在嵌入之金屬環702上）。在各種實施例中，通道406之形狀可經預定，或可為用以形成通道406之鑽孔技術的產物。

【0042】 圖8為說明根據另一個實施例之使用內部密封件（例如806）形成密封微電子裝置100之範例性處理序列800的圖解流程圖。在各種實施例中，視需要，參考圖8描述之程序800可用於修改包括接合微電子部件（例如102、104、206等）的其他組裝程序（例如，圖2處提及之程序200），以包括用於在接合接頭處氣密密封所接合微電子部件（例如102、104、206等）的技術及裝置。

【0043】 在區塊1處，凹陷空腔晶圓102經形成並準備用於接合至第二晶圓104。在各種實施例中，第二晶圓104之接合表面可包括添加層802，諸如絕緣層、介電層、半導體層、金屬層等。

【0044】 在區塊2處，空腔晶圓102接合至第二晶圓104，從而在其中閉合空腔202。空腔晶圓102可使用緊密表面接合技術（例如，ZIBOND®技術）接合至第二晶圓104（及層802），其中絕緣表面（例如SiO_x-SiO_x等）被接合。在另一範例中，空腔晶圓102可使用另一介電質接合技術（例如晶粒附接膜或膏、諸

如矽酮或環氧樹脂之聚合材料或其類似者，其可並不提供氣密密封且可並不改良或修復氣密密封）接合至第二晶圓104。

【0045】 在區塊3處，空腔晶圓102及/或第二晶圓104可基於所意欲應用而變薄。在區塊4處，塗層或層804（諸如介電層或其類似者）可施加至空腔晶圓102之曝露表面。在區塊5處，一或多個通道406（或部分或完全環繞空腔202之「空腔環」）可穿過空腔晶圓102之部分、第二晶圓104之部分，並穿過層802及層804中之一者或兩者而形成。通道406可藉由蝕刻、鑽孔或以其他方式自晶圓102及104移除材料而形成，且可為至空腔晶圓102或第二晶圓104之外表面的開口。

【0046】 在區塊6處，空腔環形通道406可運用金屬材料（例如銅）部分或完全填充/電鍍以形成填充之密封環806。填充之密封環806氣密密封空腔晶圓102與第二晶圓104之間的接合接頭，從而密封空腔202。在一實施方案中，金屬密封環806之頂部曝露部分包含再分佈層（redistribution layer；RDL）。

【0047】 參看圖9的(A)至圖9的(C)，密封微電子裝置100之若干實施例經說明為範例性的。圖9的(A)展示密封微電子裝置100，其中一或多個填充密封環806之底部安置於層802（其可為例如介電層）內，且可或可不穿透第二晶圓104。舉例而言，填充之密封環806的相對末端（例如在空腔晶圓102之頂部）可經曝露並接觸金屬層以用於微電子裝置100之電氣（及/或散熱）功能。

【0048】 圖9的(B)展示另一密封微電子裝置100，其中填充密封環806之底部安置於層802（其可為例如介電層）內，且可或可不穿透第二晶圓104。填充密封環806之頂部在空腔晶圓102之曝露表面的一部分上方形成再分佈層（RDL）。在實施例中，介電層804經圖案化以使得介電層804並不覆蓋在一或多個空腔202上方。圖9的(C)展示另一密封微電子裝置100，填充密封環806之底部安置於層802（其可為例如介電層）內，且可或可不穿透第二晶圓104。填充密封環806之頂部在空腔晶圓102之曝露表面的一或多個部分上方形成再分佈層

(RDL)。在實施例中，介電層804經圖案化以使得介電層804不覆蓋在一或多個空腔202上方，然而不同層902經配置以覆蓋在空腔202上方。在各種實施例中，不同層902可包含基板、玻璃面板、金屬層或其類似者。

【0049】 圖10為說明根據另一個實施例之使用內部密封件（例如806）形成密封微電子裝置100之範例性處理序列1000的圖解流程圖。在各種實施例中，視需要，參考圖10描述之程序1000可用於修改包括接合微電子部件（例如102、104、206等）的其他組裝程序（例如，圖2處提及之程序200），以包括用於在接合接頭處氣密密封所接合微電子部件（例如102、104、206等）的技術及裝置。

【0050】 在區塊1處，凹陷空腔晶圓102經形成並準備用於接合至第二晶圓104。在各種實施例中，第二晶圓104之接合表面可包括添加層802，諸如絕緣層、介電層、半導體層、金屬層等。

【0051】 在區塊2處，空腔晶圓102接合至第二晶圓104，從而在其中閉合空腔202。空腔晶圓102可使用緊密表面接合技術（例如，ZIBOND®技術）接合至第二晶圓104（及層802），其中絕緣表面（例如SiO_x-SiO_x等）被接合。在另一範例中，空腔晶圓102可使用另一介電質接合技術（例如晶粒附接膜或膏、諸如矽酮或環氧樹脂之聚合材料或其類似者，其可並不提供氣密密封且可並不改良或修復氣密密封）接合至第二晶圓104。

【0052】 在區塊3處，空腔晶圓102及/或第二晶圓104可基於所意欲應用而變薄。另外，具有空腔晶圓102及第二晶圓104之組件可經翻轉以用於自第二晶圓104側處理。在區塊4處，塗層或層804（諸如介電層或其類似者）可施加至第二晶圓104之曝露表面。在區塊5處，一或多個通道406（或部分或完全環繞空腔202之「空腔環」）可穿過第二晶圓104之部分、空腔晶圓102之部分，並穿過層802及層804中之一者或兩者而形成。通道406可藉由蝕刻、鑽孔或以其他方式自晶圓102及104移除材料而形成，且可為至第二晶圓104或空腔晶圓102之外表面

的開口。如上文所論述，通道可僅僅延伸晶圓（或晶粒）102及104之間的界面，且可延伸至一或多個金屬特徵，諸如在晶圓104上或內的襯墊或通孔。

【0053】 在區塊6處，空腔環形通道406可運用金屬材料（例如銅）部分或完全填充/電鍍以形成填充之密封環806。填充之密封環806氣密密封第二晶圓104與空腔晶圓102之間的接合接頭，從而密封空腔202。在實施方案中，金屬密封環806之頂部曝露部分可包含再分佈層（RDL）。

【0054】 參看圖11的(A)至圖11的(B)，密封微電子裝置100之實施例經說明為範例性的。圖11的(A)及圖11的(B)展示密封微電子裝置100，其中填充之密封環806的底部安置於層802（其可為例如介電層）內，且可或可不穿透空腔晶圓102。舉例而言，填充密封環806之相對末端（例如在第二晶圓104之頂部）可經曝露並接觸金屬層以用於微電子裝置100之電性功能。在實施例中，介電層804經圖案化以使得介電層804並不覆蓋在一或多個空腔202上方，然而，不同層902經配置以覆蓋在空腔202上方。在各種實施例中，不同層902可包含基板、玻璃面板、金屬層或其類似者。

【0055】 在各種實施例中，如在圖11的(A)及圖11的(B)處所示，一或多個空腔202延伸至第二晶圓104以及空腔晶圓102中。填充之密封環806氣密密封第二晶圓104與空腔晶圓102之間的接合接頭，從而密封空腔202。另外，如圖11的(B)中所示，金屬障壁層1102可經施加於空腔202中之一或多者內以進一步密封一或多個空腔202。金屬障壁1102可安置於側壁上，或安置於側面、頂部及底壁上，從而部分或完全地覆蓋空腔202之內部表面，如圖11的(B)中所示。在實施方案中，金屬障壁1102可在接合空腔晶圓102至第二晶圓104之前施加至空腔202之內部表面。接合程序可包括在存在或不存在加熱退火之情況下的金屬至金屬接合（諸如DBI），以將安置於空腔晶圓102之內部表面上的金屬障壁1102接合至安置於第二晶圓104之內部表面上的金屬障壁1102，從而形成連續金屬密封障壁

1102。

【0056】 圖12為說明根據另一個實施例之使用內部密封件（例如1202）形成密封微電子裝置100的範例性處理序列1200之圖解流程圖。在各種實施例中，視需要，參考圖12描述之程序1200可用於修改包括接合微電子部件（例如102、104、206等）的其他組裝程序（例如，圖2處提及之程序200），以包括用於在接合接頭處氣密密封所接合微電子部件（例如102、104、206等）的技術及裝置。

【0057】 在區塊1處，凹陷空腔晶圓102經形成並準備用於接合至第二晶圓104（例如，其可或可不為MEMS晶圓）。在各種實施例中，第二晶圓104之接合表面可包括添加層802，諸如絕緣層、介電層、半導體層、金屬層等。

【0058】 在區塊2處，空腔晶圓102接合至第二晶圓104，從而在其中閉合空腔202。空腔晶圓102可使用緊密表面接合技術（例如，ZIBOND®技術）接合至第二晶圓104（及層802），其中絕緣表面（例如SiO_x-SiO_x等）被接合。在另一範例中，空腔晶圓102可使用另一介電質接合技術（例如晶粒附接膜或膏、諸如矽酮或環氧樹脂之聚合材料或其類似者，其可並不提供氣密密封且可並不改良或修復氣密密封）接合至第二晶圓104。

【0059】 在區塊3處，空腔晶圓102及/或第二晶圓104可基於所意欲應用而變薄。在區塊4處，塗層或層804（諸如介電層或其類似者）可施加至空腔晶圓102之曝露表面。在區塊5處，一或多個通道406（或部分或完全環繞空腔202之「空腔環」）可穿過空腔晶圓102之部分、第二晶圓104之部分，並穿過層802及層804中之一者或兩者而形成。通道406可藉由蝕刻、鑽孔或以其他方式自晶圓102及104移除材料而形成，且可為至空腔晶圓102或第二晶圓104之外表面的開口。

【0060】 在區塊6處，空腔環通道406可運用金屬材料（例如銅）部分填充/電鍍以形成保形密封環1202。密封環1202氣密密封空腔晶圓102與第二晶圓104之間的接合接頭，從而密封空腔202。在各種實施例中，通道406可經填充/電鍍

以形成保形密封環1202，同時金屬層1204沉積至空腔晶圓102之曝露表面的至少一部分上。因此，在各種實施例中，通道406在與金屬層1204之沉積相同的程序或獨立於金屬層1204之沉積的程序中被填充。

【0061】 參看圖13的(A)至圖13的(C)，密封微電子裝置100之若干實施例經說明為範例性的。圖13的(A)至圖13的(C)展示密封微電子裝置100，其中密封環1202穿過空腔層102而形成，且密封環1202之底部穿過層802（其可為例如介電層）而安置且亦穿透第二晶圓104。圖13的(A)及圖13的(B)展示部分填充之密封環1202（例如在真空中電鍍），其中圖13的(B)處展示的實施例具有比圖13的(A)處展示之實施例更大數量之在部分填充密封環1202內的金屬。在部分填充情況下在80與250°C之間的溫度下退火基板（接合之晶圓102及104）可擴大電鍍金屬（例如1202及/或1204）之顆粒大小。生產擴大顆粒大小之程序可減少密封環1202之金屬層及/或金屬層1204內的雜質。在實施方案中，顆粒具有大於通道406之寬度尺寸之10%的一般（例如平均）直徑。

【0062】 圖13的(C)展示通道406內的完全填充之密封環1202。在一些實施例中，部分填充之密封環1202之退火金屬（如圖13的(A)及圖13的(B)中所示）可被添加至或塗佈有額外金屬層以形成完全填充之密封環1202。在實施例中，密封微電子裝置100可在沉積額外金屬層之後再次被退火。在一些情況下，CMP可在最終退火之前或之後使用以形成用於填充密封環1202之所要表面。根據需要，為了可靠性、穩固性、效能等，一或多種額外材料可經提供於密封環1202之未填充部分中。

【0063】 填充密封環1202之頂部（例如曝露）末端（例如在空腔晶圓102之頂部表面）可被曝露並例如在接合至另一裝置時接觸金屬層以用於微電子裝置100之電氣功能。

【0064】 圖1至圖13之說明中展示的密封環302、402、404、806及1202之

數量係用於舉例及論述。在各種實施例中，密封微電子裝置100或類似組件可包括較少或較大數量之密封環302、402、404、806及1202，並保持在本發明之範疇內。此外，本文中所描述之各種實施方案可經組合以進一步增強對於製造MEMS裝置之習知技術之改良。舉例而言，雖然密封環經展示為自部件之一個側面延伸至一個表面中，但密封環可自兩側形成且可彼此接觸以形成完全延伸穿過密封之微電子裝置100的金屬結構。

結論

【0065】 儘管已以特定針對於結構特徵及/或方法行動之語言描述本發明之實施方案，但應理解，實施方案不一定限於所描述特定特徵或行動。確切而言，將特定特徵及行動揭示為實施範例性裝置及技術之代表性形式。

【0066】 本文之每項申請專利範圍構成單獨實施例，且組合不同申請專利範圍之實施例及/或不同實施例在本發明之範疇內，且一般熟習此項技術者在查閱本發明之後將即刻明白。

【符號說明】

【0067】

1：區塊

2：區塊

3：區塊

4：區塊

5：區塊

6：區塊

7：區塊

100：微電子裝置

- 102：空腔晶圓
- 104：微機電系統（MEMS）晶圓
- 106：金屬線/DBI線
- 200：範例性處理序列/程序
- 202：空腔
- 204：金屬化物/金屬化層
- 206：邏輯裝置
- 208：接觸件
- 300：堆疊微電子配置/堆疊配置
- 302：密封環
- 304：部件
- 402：內部密封件/密封環
- 404：內部密封件/密封環
- 406：通道
- 602：聚合物密封件
- 604：金屬材料密封件
- 606：外部密封環
- 702：金屬環
- 800：範例性處理序列/程序
- 802：層
- 804：層/介電層
- 806：內部密封件/填充之密封環
- 902：不同層
- 1000：範例性處理序列/程序

1102：金屬障壁層

1200：範例性處理序列/程序

1202：內部密封件/密封環

1204：金屬層

【發明申請專利範圍】

【第1項】一種形成微電子組件之方法，其包含：

在沒有黏著劑下將第一微電子部件之第一絕緣表面直接接合至第二微電子部件之第二絕緣表面，該第一絕緣表面及該第二絕緣表面形成其中該第一絕緣表面與該第二絕緣表面接觸並且形成共價接合的接合接頭；及

在該接合接頭上方形成密封件，該密封件覆蓋該接合接頭，該密封件包含金屬材料並密封該第一微電子部件與該第二微電子部件之間的該接合接頭。

【第2項】如請求項1所述之方法，其進一步包含藉由透過無電極電鍍或列印在該接合接頭上方沉積該金屬材料而形成該密封件。

【第3項】如請求項1所述之方法，其進一步包含形成在該第一微電子部件及該第二微電子部件中之至少一者的周邊上方連續的該密封件。

【第4項】如請求項1所述之方法，其中該接合接頭包含第一接合接頭且該密封件包含第一密封件，該方法進一步包含將該第一絕緣表面及該第二絕緣表面中之至少一者接合至第三絕緣表面，從而形成至少一第二接合接頭，在此處該第三絕緣表面接觸該第一絕緣表面或該第二絕緣表面；及

在該第二接合接頭上方形成第二密封件，該第二密封件覆蓋該第二接合接頭，該第二密封件包含金屬材料並密封該第二接合接頭。

【第5項】如請求項4之方法，其中該第二密封件包含該第一密封件之一部分，該方法進一步包含在該第一接合接頭及該第二接合接頭上方形成該第一密封件，該第一密封件覆蓋該第一接合接頭及該第二接合接頭並密封該第一接合接頭及該第二接合接頭。

【第6項】如請求項1所述之方法，其中該第一絕緣表面在室溫下被接合至該第二絕緣表面。

【第7項】如請求項1所述之方法，其中該第一絕緣表面是使用晶粒附接膜

或膏經由聚合接合技術被接合至該第二絕緣表面。

【第8項】如請求項1所述之方法，其中該密封件包含經配置以防止流體在該接合接頭處以大於每秒 1×10^{-6} atm-cm³洩漏的氣密密封件。

【第9項】一種形成微電子組件之方法，其包含：

將第一微電子部件之第一絕緣表面接合至第二微電子部件之第二絕緣表面，該第一絕緣表面及該第二絕緣表面形成接合接頭，在該處該第一絕緣表面與該第二絕緣表面接觸；

在該第一絕緣表面中形成第一通道；

形成穿過該第二微電子部件之第二通道，該第二通道與該第一通道對準，該第一通道及該第二通道與該接合接頭相交；

在該第一通道及該第二通道內形成一密封件，該密封件自該第一通道連續至該第二通道，該密封件包含一金屬材料並密封在該第一微電子部件與該第二微電子部件之間的該接合接頭。

【第10項】如請求項9所述之方法，其進一步包含藉由透過無電極電鍍在該接合接頭處沉積該金屬材料而形成該密封件。

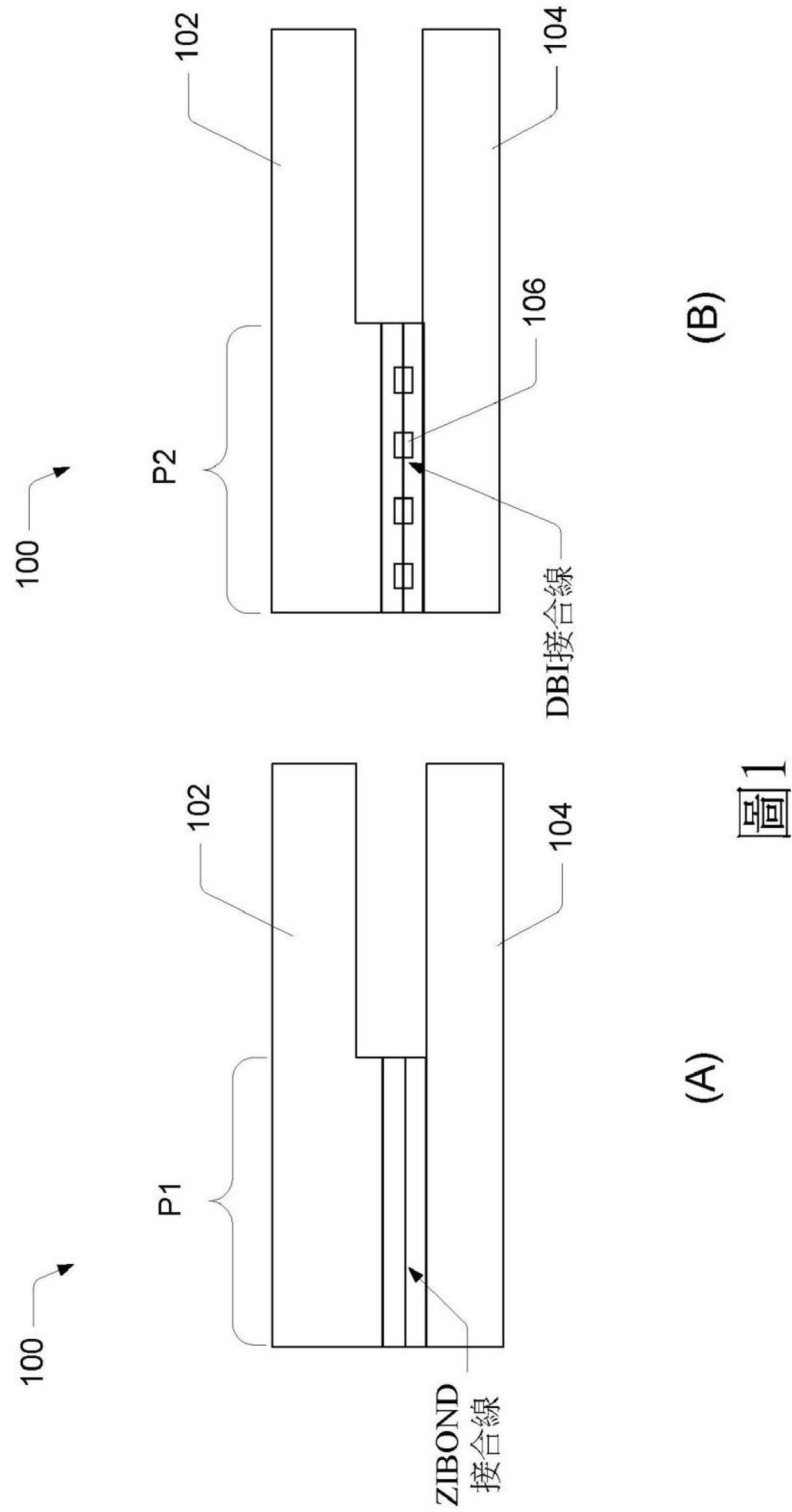
【第11項】如請求項9所述之方法，其進一步包含使該金屬材料與該第一通道及該第二通道之多個表面相符。

【第12項】如請求項9所述之方法，其進一步包含形成在該第一微電子部件及該第二微電子部件中之至少一者的周邊內連續的該密封件。

【第13項】如請求項9所述之方法，其進一步包含藉由在該第一通道及該第二通道內形成該密封件而減少流體跨越該接合接頭的流動。

【第14項】如請求項9所述之方法，其中該密封件包含經配置以防止流體在該接合接頭處以大於每秒 1×10^{-6} atm-cm³洩漏的氣密密封件。

【發明圖式】



(A)

(B)

圖1

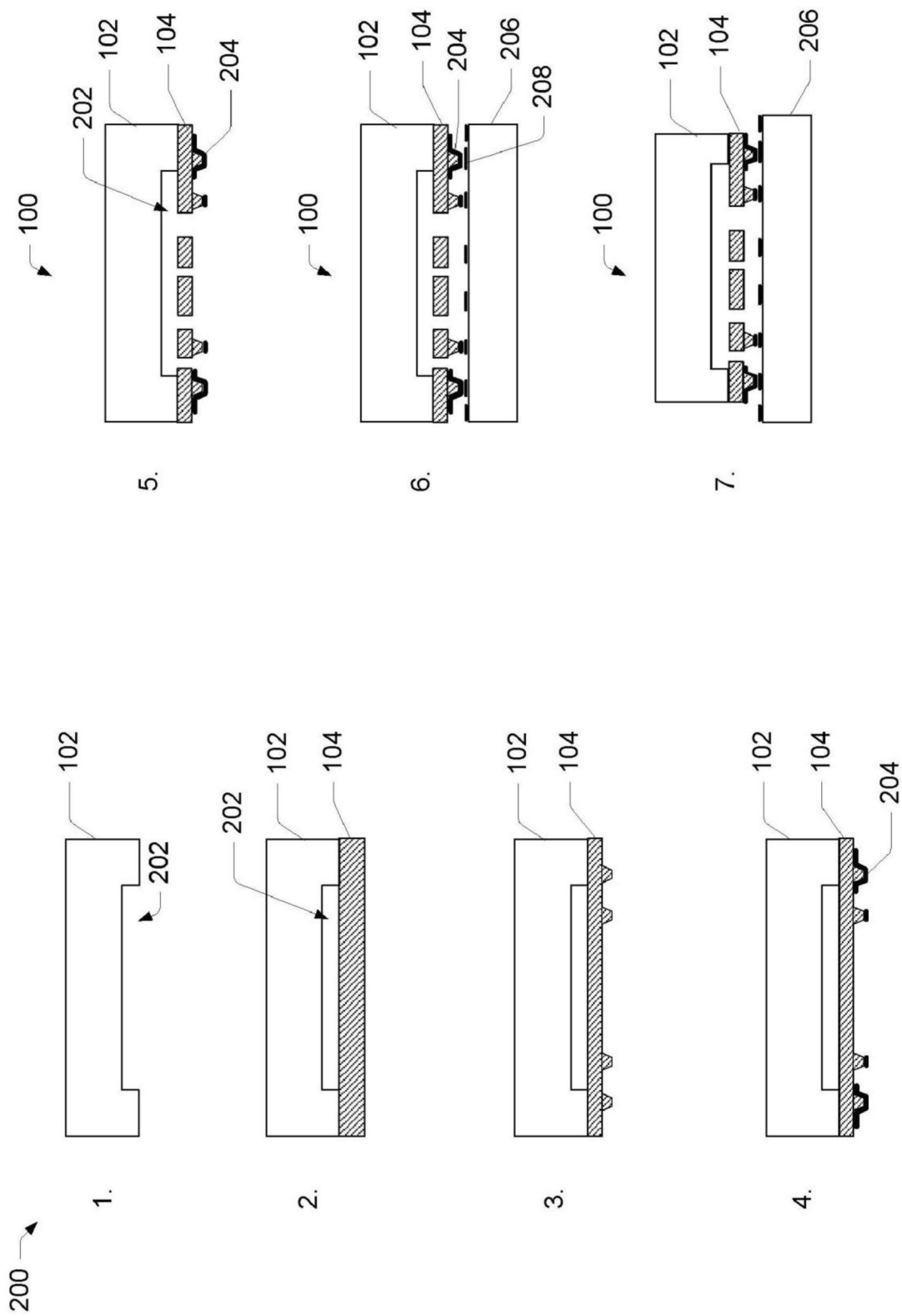
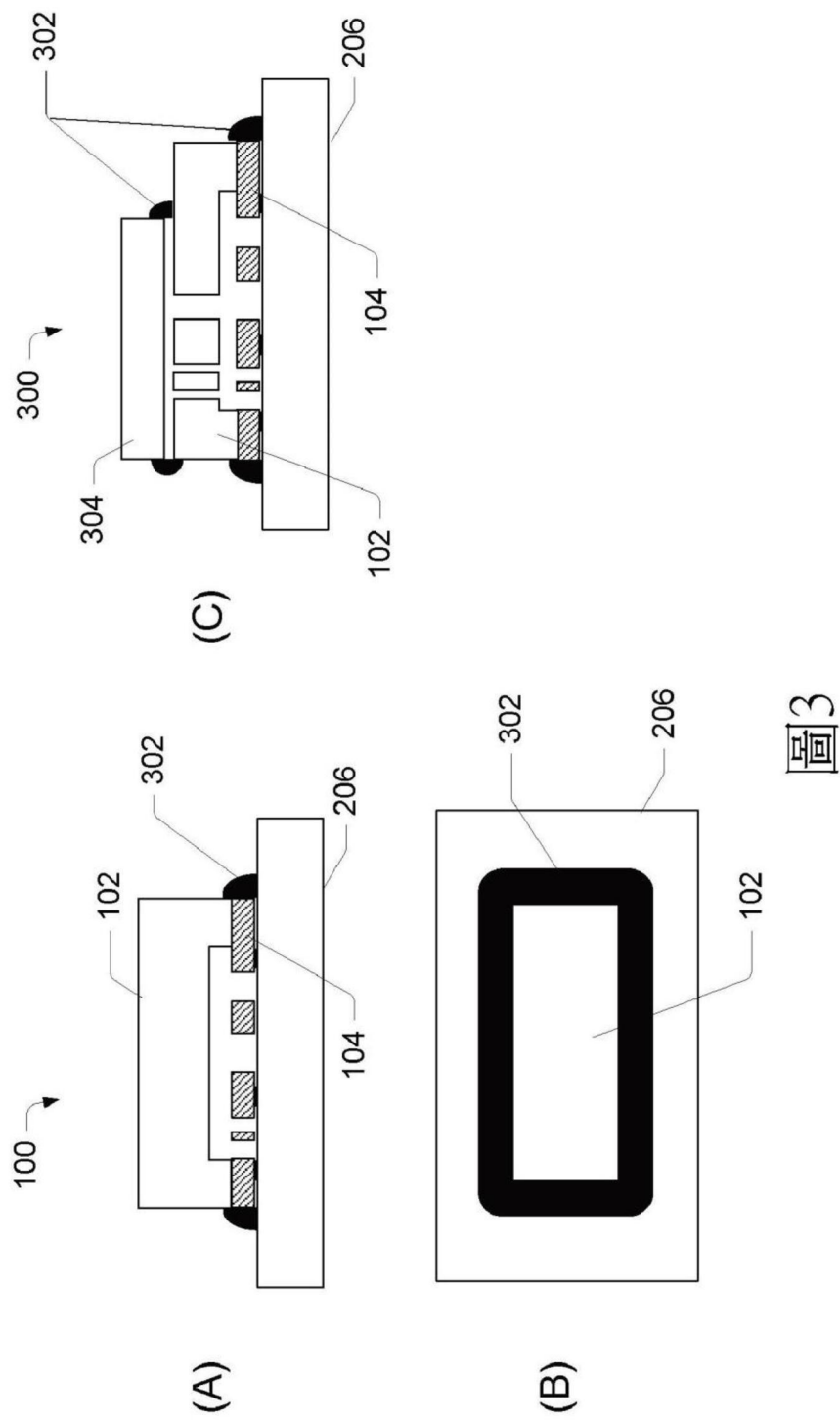


圖2



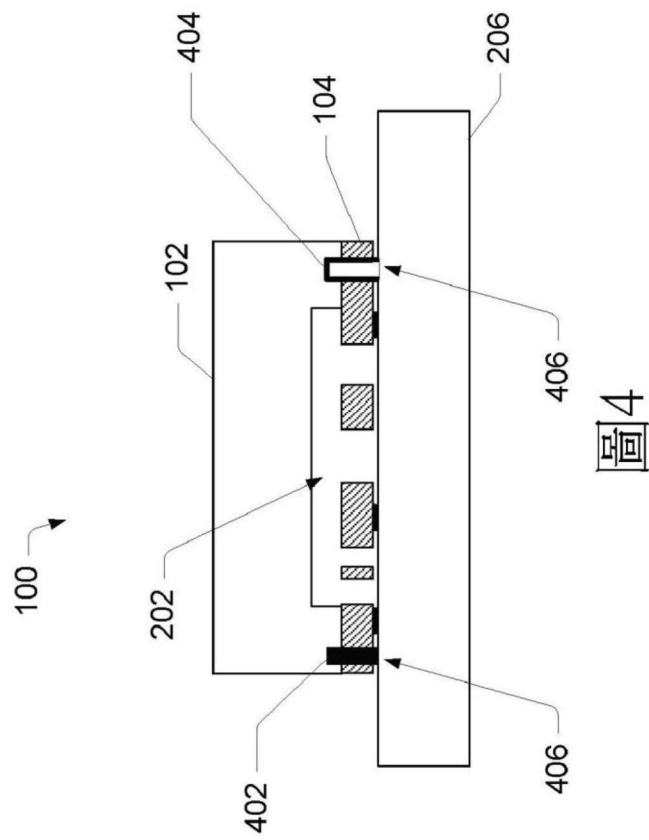


圖4

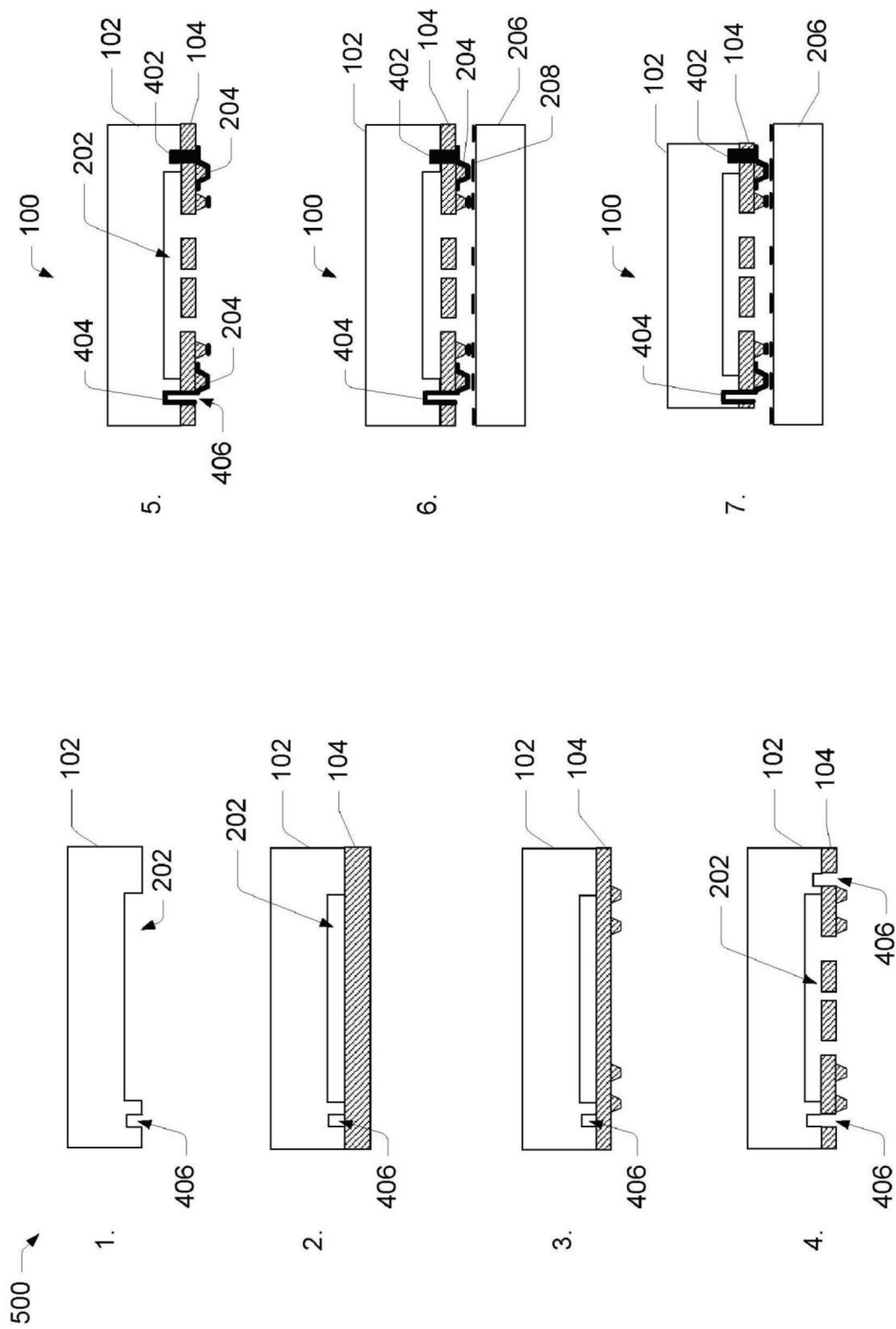
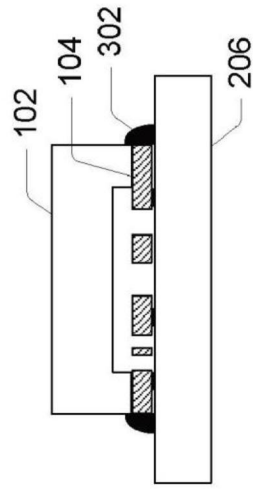
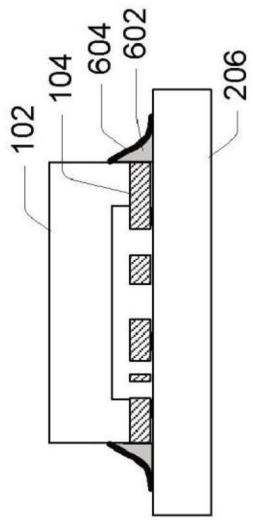


圖5

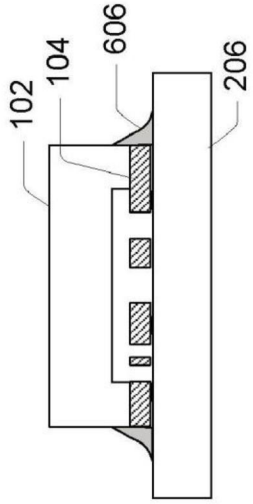
100 ↗



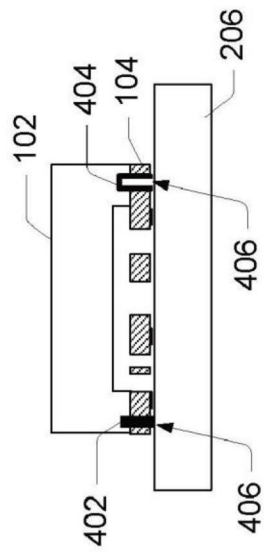
(A)



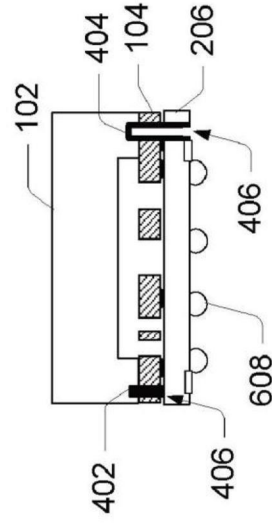
(B)



(C)

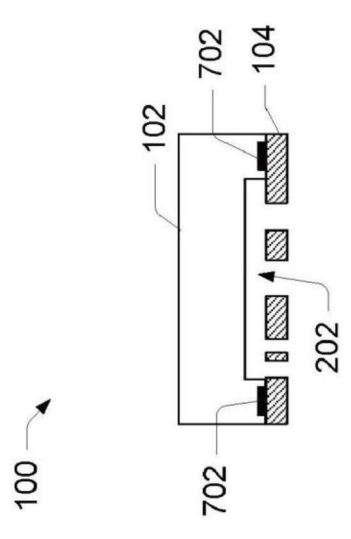
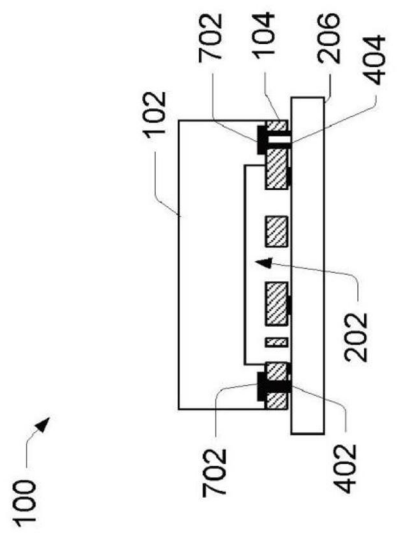


(D)

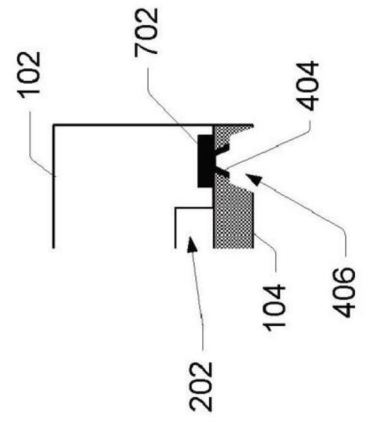


(E)

圖6

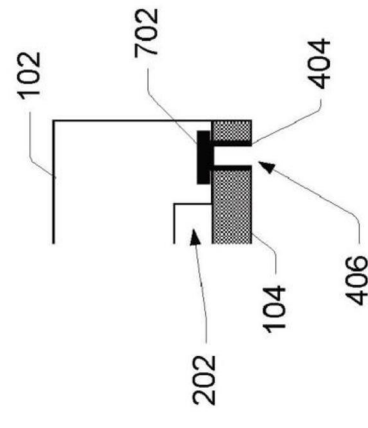


(B)



(D)

(A)



(C)

圖7

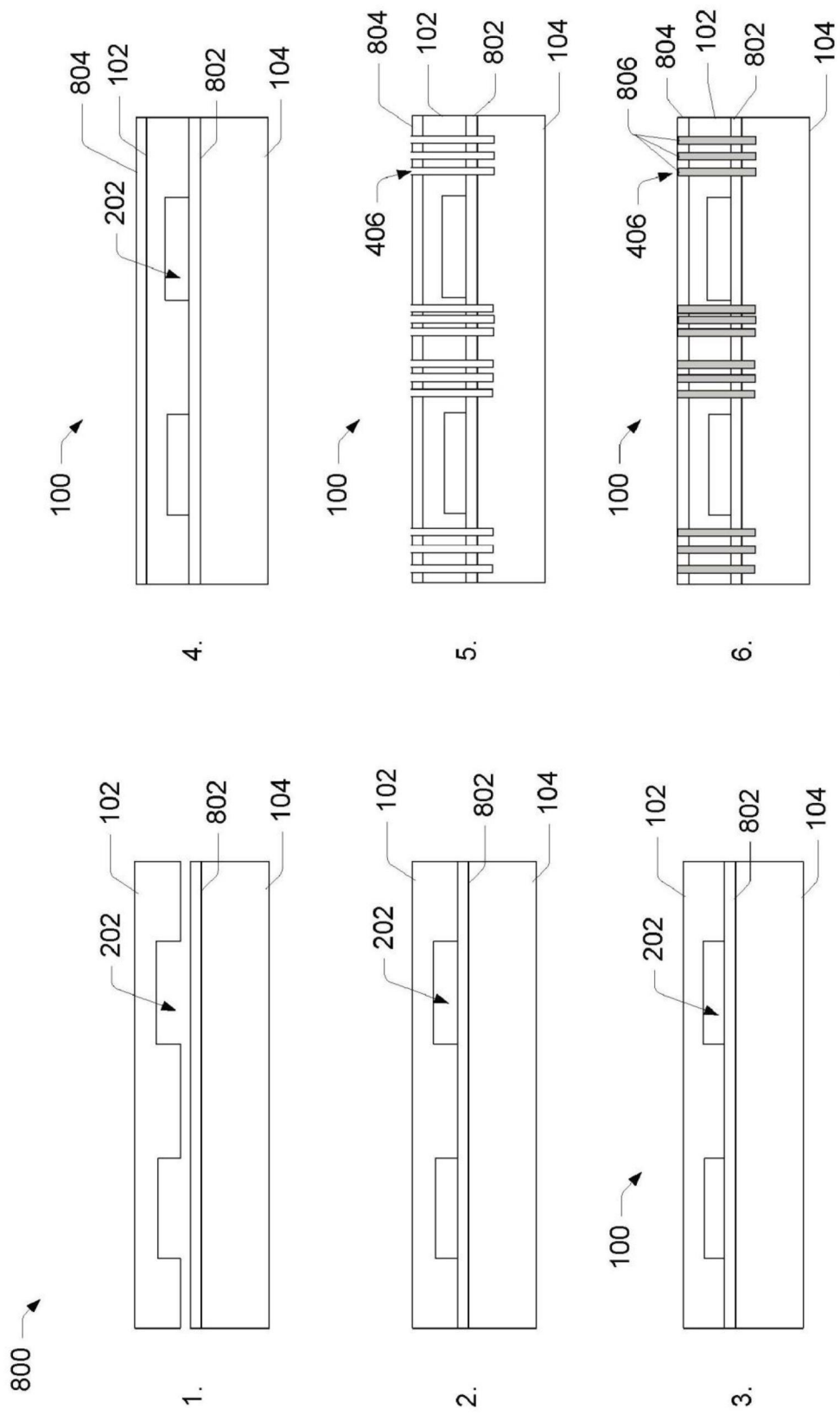
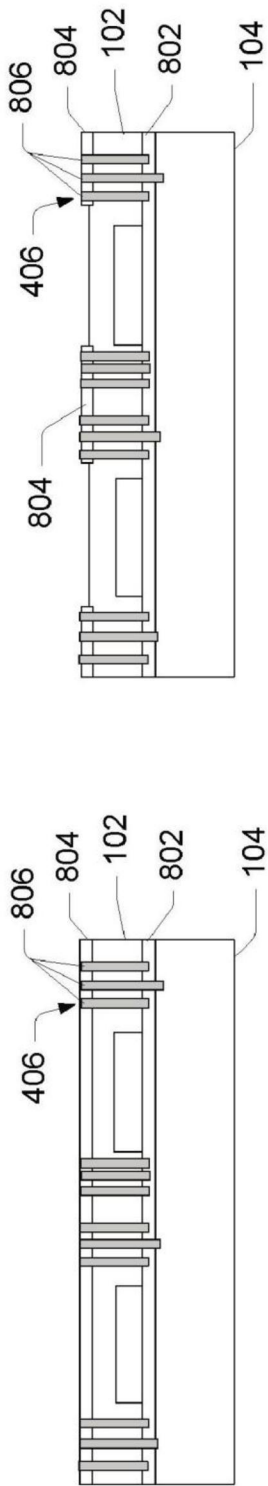


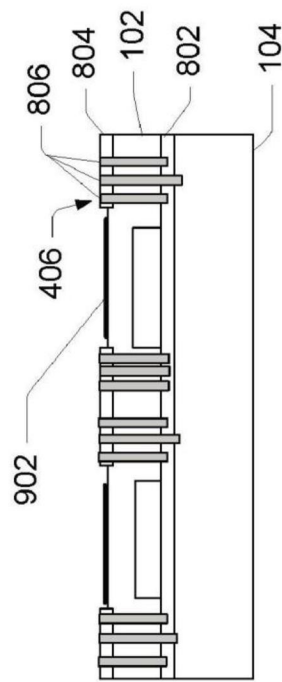
圖8

100 ↗



(A)

(B)



(C) 圖9

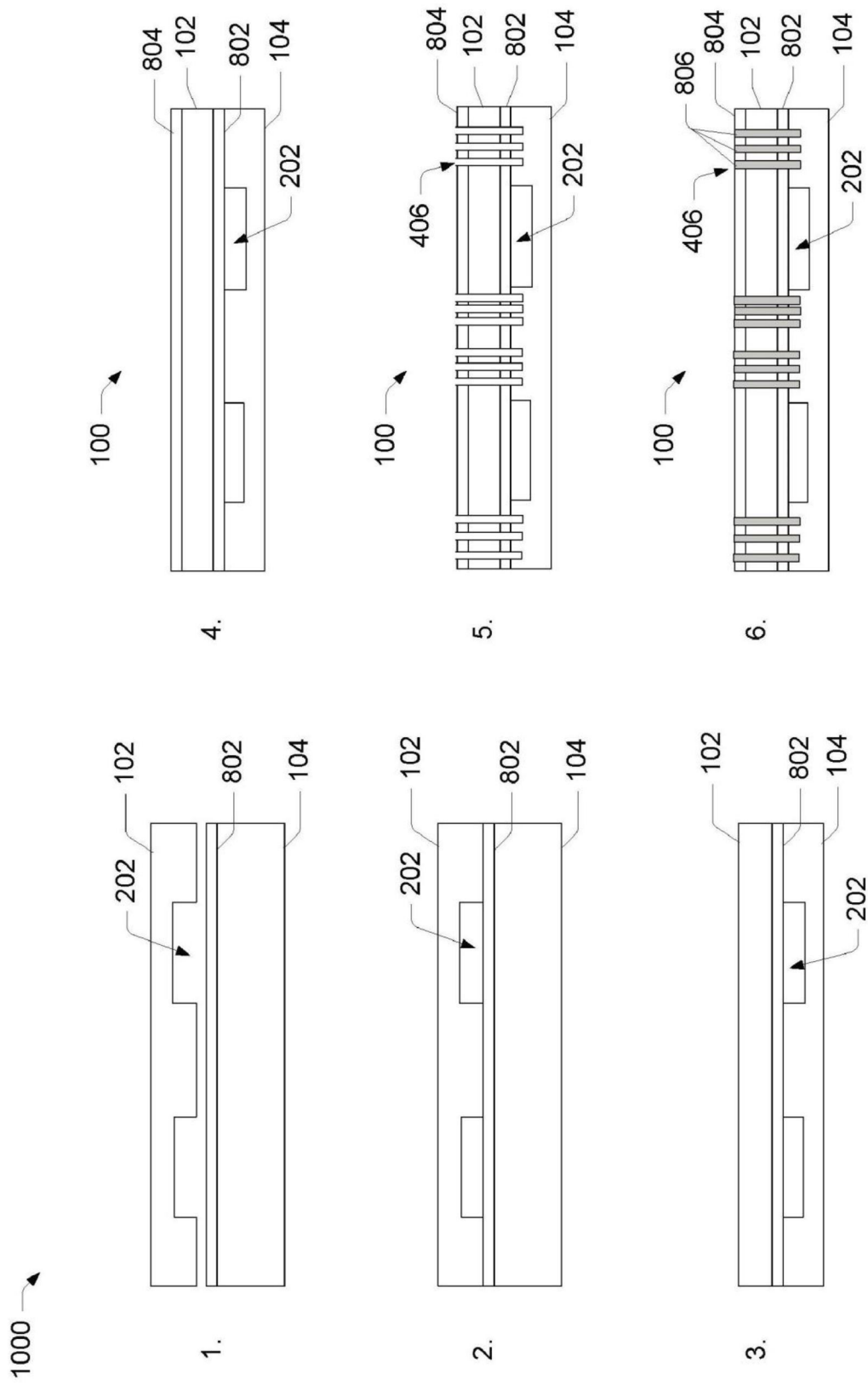


圖10

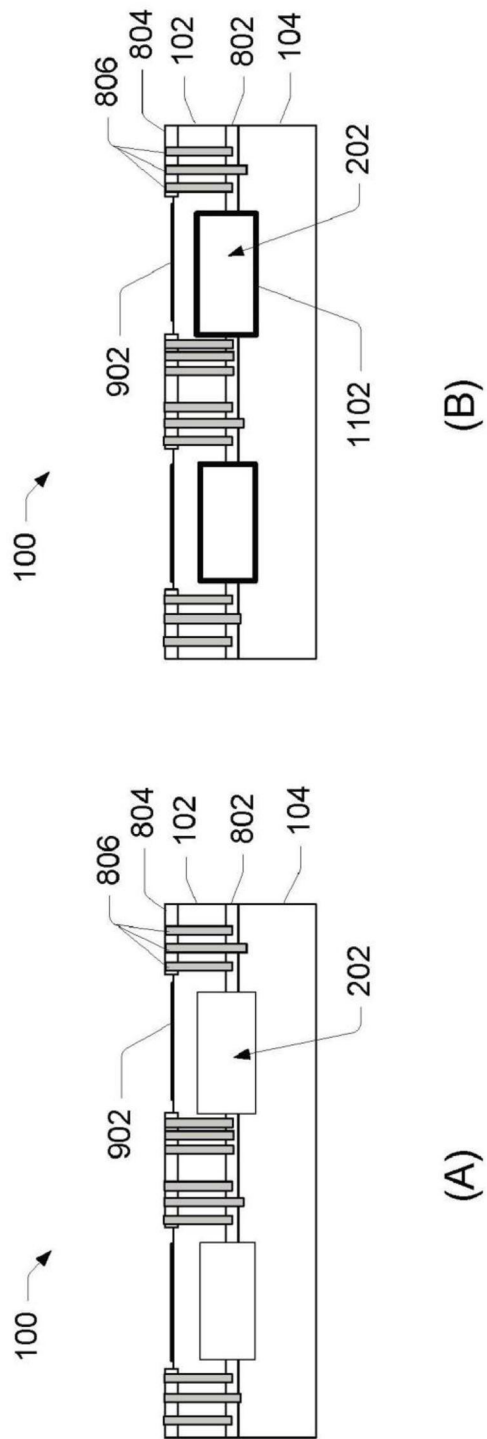


圖11

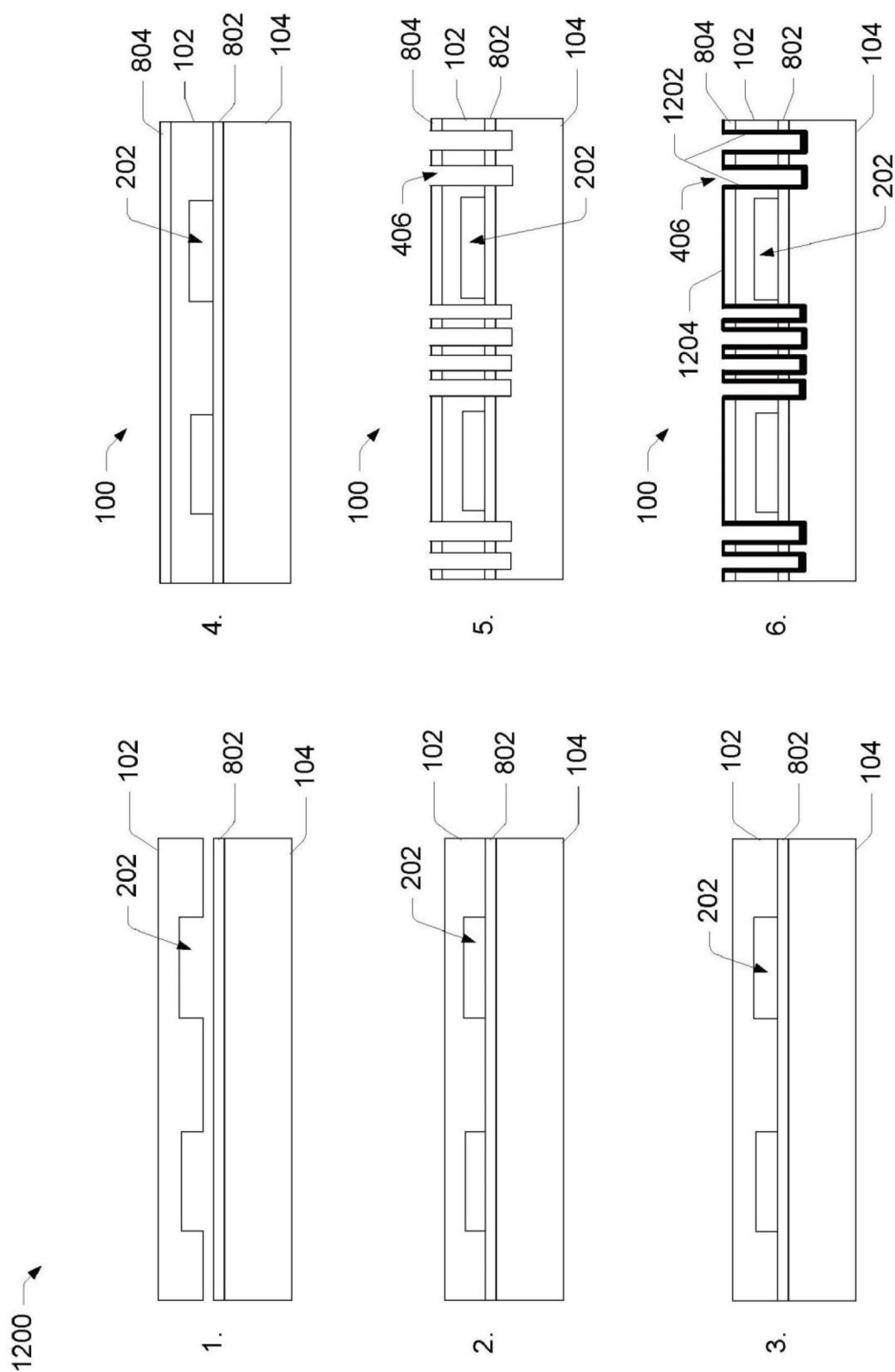
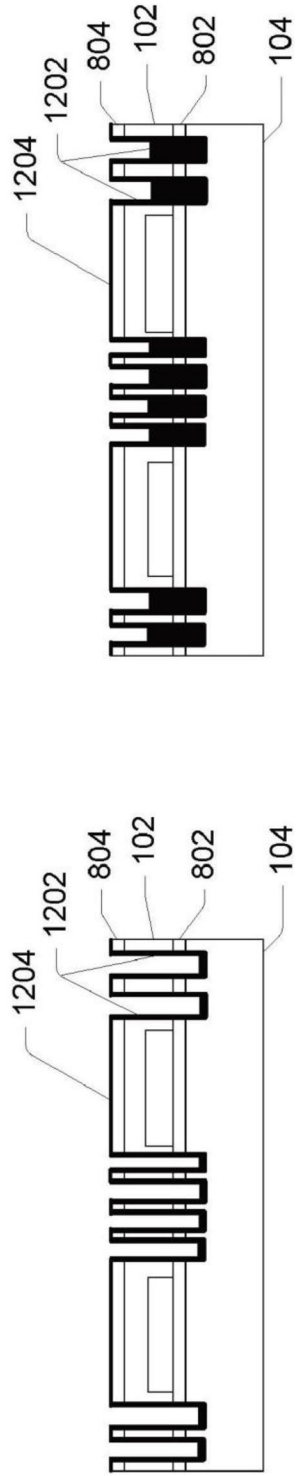


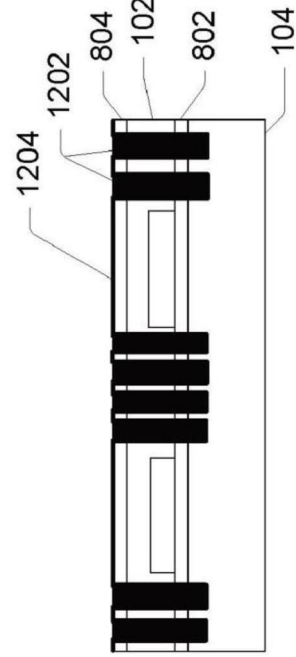
圖12

100 →



(A)

(B)



(C)

圖13