

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2014年2月13日(13.02.2014)



(10) 国際公開番号  
WO 2014/024568 A1

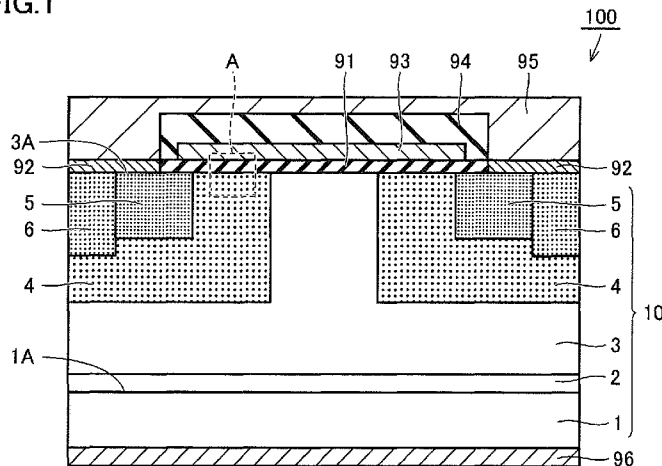
- (51) 国際特許分類:  
H01L 21/316 (2006.01) H01L 29/12 (2006.01)  
H01L 21/324 (2006.01) H01L 29/78 (2006.01)  
H01L 21/336 (2006.01)
- (21) 国際出願番号: PCT/JP2013/066704
- (22) 国際出願日: 2013年6月18日(18.06.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2012-174724 2012年8月7日(07.08.2012) JP
- (71) 出願人: 住友電気工業株式会社 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目5番33号 Osaka (JP).
- (72) 発明者: 日吉 透(HIYOSHI, Toru); 〒5540024 大阪府大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪製作所内 Osaka (JP). 内田 光亮(UCHIDA, Kosuke); 〒5540024 大阪府大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪製作所内 Osaka (JP). 増田 健良(MASUDA, Takeyoshi); 〒5540024 大阪府大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪製作所内 Osaka (JP).
- (74) 代理人: 特許業務法人深見特許事務所 (FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島二丁目2番7号 中之島セントラルタワー Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SILICON-CARBIDE SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(54) 発明の名称: 炭化珪素半導体装置およびその製造方法

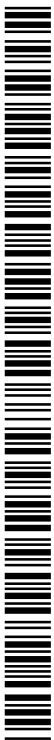
FIG.1



(57) Abstract: This method for manufacturing a silicon-carbide semiconductor device (100) has the following steps: a silicon-carbide substrate (10) is prepared; a first heating step in which said silicon-carbide substrate (10) is heated in an oxygen atmosphere is performed; after said first heating step, a second heating step in which the silicon-carbide substrate (10) is heated to a temperature of 1,300-1,500°C in a gaseous atmosphere containing nitrogen atoms or phosphorus atoms is performed; and after said second heating step, a third heating step in which the silicon-carbide substrate (10) is heated in a first inert-gas atmosphere is performed. This allows the provision of a silicon-carbide semiconductor device (100) having low threshold-voltage variation and a manufacturing method therefor.

(57) 要約:

[続葉有]



WO 2014/024568 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

---

炭化珪素半導体装置 (100) の製造方法は以下の工程を有している。炭化珪素基板 (10) が準備される。炭化珪素基板 (10) を酸素雰囲気下において加熱する第 1 の加熱工程が実施される。第 1 の加熱工程後に、炭化珪素基板 (10) を窒素原子またはリン原子を含む気体雰囲気下において 1300°C 以上 1500°C 以下の温度に加熱する第 2 の加熱工程が実施される。第 2 の加熱工程後に、炭化珪素基板 (10) を第 1 の不活性ガス雰囲気下において加熱する第 3 の加熱工程が実施される。これにより、閾値電圧の変動が小さい炭化珪素半導体装置 (100) およびその製造方法を提供することができる。

## 明 細 書

発明の名称：炭化珪素半導体装置およびその製造方法

### 技術分野

[0001] 本発明は炭化珪素半導体装置およびその製造方法に関し、より特定的には、閾値電圧の変動を抑制可能な炭化珪素半導体装置およびその製造方法に関するものである。

### 背景技術

[0002] 近年、半導体装置の高耐圧化、低損失化、高温環境下での使用などを可能とするため、半導体装置を構成する材料として炭化珪素の採用が進められつつある。炭化珪素は、従来から半導体装置を構成する材料として広く使用されている珪素に比べてバンドギャップが大きいワイドバンドギャップ半導体である。そのため、半導体装置を構成する材料として炭化珪素を採用することにより、半導体装置の高耐圧化、オン抵抗の低減などを達成することができる。また、炭化珪素を材料として採用した半導体装置は、珪素を材料として採用した半導体装置に比べて、高温環境下で使用された場合の特性の低下が小さいという利点も有している。

[0003] このような炭化珪素を材料として用いた半導体装置のうち、たとえばMOSFET (Metal Oxide Semiconductor Field Effect Transistor) やIGBT (Insulated Gate Bipolar Transistor) などは、所定の閾値電圧を境にチャネル領域における反転層の形成の有無をコントロールすることにより、2つの電極間を流れる電流の導通および遮断することが可能である。

[0004] たとえば、岡本 光央、外7名、「4H-SiCカーボン面MOSFETにおける $V_{th}$  ( $t$ および $h$ は下付き) 不安定性の低減」、第59回応用物理学関係連合講演会 講演予稿集 (2012年春 早稲田大学)、15-309 (非特許文献1) において、炭化珪素MOSFETは、ゲートバイアス

ストレスにより閾値電圧が変動することが指摘されている。当該閾値電圧の変動を低減するために、非特許文献1は、ゲート酸化膜が形成された炭化珪素基板を水素雰囲気下でアニールする方法が開示されている。

## 先行技術文献

### 非特許文献

- [0005] 非特許文献1：岡本 光央、外7名、「4H-SiCカーボン面MOSFETにおける $V_{th}$ （ $t$ および $h$ は下付き）不安定性の低減」、第59回応用物理学関係連合講演会 講演予稿集（2012年春 早稲田大学）、15-309

## 発明の概要

### 発明が解決しようとする課題

- [0006] しかしながら、水素雰囲気下でアニールする場合、一旦は閾値電圧の変動が低減できたとしても、たとえばその後のオーミック電極形成工程などにおいて基板が高温にさらされると、閾値電圧の変動の低減効果は失われてしまうと考えられる。言い換えれば、基板上にゲート電極を形成した段階では閾値電圧の変動は低減されるが、最終的なデバイスになった段階では閾値電圧の変動が低減されないと考えられる。
- [0007] 本発明はこのような課題を解決するためになされたものであって、その目的は、閾値電圧の変動の小さい炭化珪素半導体装置およびその製造方法を提供することである。

### 課題を解決するための手段

- [0008] 本発明者らは、ゲートバイアスストレスにより閾値電圧の変動を抑制する方策について鋭意検討を行なった結果、以下のような知見を得て本発明に想到した。まず、閾値電圧が変動するメカニズムについて説明する。図2を参照して、炭化珪素基板のp型ボディ領域4上に二酸化珪素からなるゲート酸化膜91が形成されると、炭化珪素基板のp型ボディ領域4とゲート酸化膜91との界面にトラップ8が形成される。トラップ8とは炭化珪素基板のp

型領域4とゲート酸化膜91との間に形成される界面準位のことである。

[0009] 図3を参照して、トランジスタを動作させると、p型ボディ領域4に形成されたチャンネルを流れる電子9がトラップ8に捕獲される。捕獲された電子9は電気伝導に寄与することができない。また捕獲された電子9は固定電荷として振る舞う。電子9はマイナスの電荷を有するため、プラスのゲート電圧を相殺する。これにより、閾値電圧がプラス側へシフトする。このようにして、閾値電圧が変動すると考えられる。

[0010] 上述のように、トラップ8の存在が閾値電圧変動の主要因であると考えられる。そのため、閾値電圧の変動を低減するためにはトラップ密度（界面準位密度）を低減させることが必要である。トラップ密度を低減するために、炭化珪素基板を酸化するときのアニール温度を高くすることが有効である。発明者らは鋭意検討の結果、酸化温度が1300℃程度でトラップ密度が飽和し、それ以上の温度においてトラップ密度はそれほど低減されないことを見出した。

[0011] また、トラップ8の起源は、炭化珪素と二酸化珪素との界面における未結合手（ダングリングボンド）であると考えられる。トラップ8を低減するためには、この未結合手を低減することが必要である。二酸化珪素層が形成された炭化珪素基板を、窒素（N）原子やリン（P）原子を含む雰囲気下においてアニールすると、窒素原子やリン原子が未結合手と結合する。結果として、窒素原子やリン原子が結合した未結合手は電子を捕獲できなくなるため、実質的にトラップ密度が低減する。また、アニール温度が1300℃以上であれば窒素原子やリン原子が未結合手と効果的に結合することができるので、効果的にトラップ密度を低減することができる。なお、炭化珪素の軟化点は1500℃程度であるため、1500℃以下でアニールすることが好ましい。

[0012] そこで、本発明に係る炭化珪素半導体装置の製造方法は以下の工程を有している。炭化珪素基板が準備される。炭化珪素基板を酸素雰囲気下において加熱する第1の加熱工程が実施される。第1の加熱工程後に、炭化珪素基板

を窒素原子またはリン原子を含む気体雰囲気下において1300℃以上1500℃以下の温度に加熱する第2の加熱工程が実施される。第2の加熱工程後に、炭化珪素基板を第1の不活性ガス雰囲気下において加熱する第3の加熱工程が実施される。

[0013] 本発明に係る炭化珪素半導体装置の製造方法によれば、第1の加熱工程後に、炭化珪素基板を窒素原子またはリン原子を含む気体雰囲気下において1300℃以上1500℃以下の温度に加熱する第2の加熱工程が実施される。炭化珪素基板を窒素原子またはリン原子を含む気体雰囲気下において1300℃以上で加熱することにより、炭化珪素と二酸化珪素層との界面に形成されたトラップ密度を効果的に低減することができる。それゆえ、閾値電圧の変動が小さい炭化珪素半導体装置を得ることができる。また、加熱温度は1500℃以下であるために、炭化珪素基板が軟化することを抑制することができる。

[0014] 上記に係る炭化珪素半導体装置の製造方法において好ましくは、第3の加熱工程では、炭化珪素基板が1300℃以上1500℃以下に加熱される。炭化珪素基板を1300℃以上で加熱することにより、二酸化珪素層に導入された余分な窒素原子またはリン原子を含む気体を、効率的に二酸化珪素層から外部に拡散することができる。結果として、閾値電圧をプラス方向に移動させることができるので、ノーマリオフ型の炭化珪素半導体装置とすることができる。また、加熱温度は1500℃以下であるために、炭化珪素基板が軟化することを抑制することができる。

[0015] 上記に係る炭化珪素半導体装置の製造方法において好ましくは、第1の加熱工程では、炭化珪素基板が1300℃以上1500℃以下に加熱される。炭化珪素温度が1300℃以上であれば、トラップ密度を最も低減することができる。また、加熱温度は1500℃以下であるために、炭化珪素基板が軟化することを抑制することができる。

[0016] 上記に係る炭化珪素半導体装置の製造方法において好ましくは、第1の加熱工程後であって、第2の加熱工程前に、酸素が第2の不活性ガスによって

置換される。これにより、酸素を効果的に除去できるので、残留酸素により炭化珪素基板が酸化されることを抑制することができる。

[0017] 上記に係る炭化珪素半導体装置の製造方法において好ましくは、第1の不活性ガスは、アルゴンガス、ヘリウムガスおよび窒素ガスのいずれかである。これにより、第2の工程で二酸化珪素層に導入された窒素原子またはリン原子を含む気体を、効果的に二酸化珪素層の外部へ拡散させることができる。

[0018] 上記に係る炭化珪素半導体装置の製造方法において好ましくは、窒素原子を含む気体は、一酸化窒素、一酸化二窒素、二酸化窒素およびアンモニアのいずれかである。これにより、炭化珪素基板と二酸化珪素層との間に形成されたトラップ密度を効果的に低減することができる。

[0019] 上記に係る炭化珪素半導体装置の製造方法において好ましくは、リン原子を含む気体は、塩化ホスホリル ( $\text{POCl}_3$ ) である。これにより、炭化珪素基板と二酸化珪素層との間に形成されたトラップ密度を効果的に低減することができる。

[0020] 本発明に係る炭化珪素半導体装置は、炭化珪素基板と、酸化膜と、ゲート電極と、第1の電極と、第2の電極とを有している。酸化膜は、炭化珪素基板に接して配置されている。ゲート電極は、炭化珪素基板との間に酸化膜を挟むように酸化膜と接して配置されている。第1の電極および第2の電極は、炭化珪素基板に接して配置されている。第1の電極および第2の電極は、ゲート電極に印加されるゲート電圧によって第1の電極および第2の電極の間に流れる電流が制御可能に構成されている。初めて測定される炭化珪素半導体装置の第1の閾値電圧と、1000時間継続的に炭化珪素半導体装置に対してストレス印加した後に測定される炭化珪素半導体装置の第2の閾値電圧との差が $\pm 0.2$  V以内である。ストレス印加とは、第1の電極の電圧が0 Vでありかつ第2の電極の電圧が0 Vの状態、ゲート電極に対して $-5$  Vから $+15$  Vまで変化する45 kHzのゲート電圧を印加することである。これにより、閾値電圧の変動の小さい炭化珪素半導体装置を得ることがで

きる。

- [0021] ここで、閾値電圧の定義について図4および図5を参照して説明する。図4を参照して、まずゲート電圧 ( $V_g$ ) を変化させてドレイン電流 ( $I_d$ ) を測定する。ゲート電圧がマイナスの場合はドレイン電流はほとんど流れないが、ゲート電圧を大きくしていくとドレイン電流が急に流れ始める。閾値電圧 ( $V_{th}$ ) は、ドレイン電流が流れ始めるゲート電圧のことである。より詳細には、閾値電圧 ( $V_{th}$ ) は、ドレイン電圧が0.1Vであり、ソース電圧が0Vであって、ドレイン電流が1nAであるときのゲート電圧のことである。なお、ソースドレイン間の電圧 ( $V_{ds}$ ) は0.1Vである。
- [0022] 次に、閾値電圧の変動について図5を参照して説明する。まず、炭化珪素半導体装置に印加されるゲート電圧を変化させてドレイン電圧を測定する。ドレイン電流が1nAになるゲート電圧を第1の閾値電圧 ( $V_{th1}$ ) とする。次に、炭化珪素半導体装置に対してストレスを印加する。その後、ゲート電圧を変化させてドレイン電圧を変化させる。ドレイン電流が1nAになるゲート電圧を第2の閾値電圧 ( $V_{th2}$ ) とする。このように、閾値電圧はストレス印加により変動する。
- [0023] 通常、炭化珪素半導体装置の製造プロセスが完了した後、出荷検査などのため動作確認を行い、その後炭化珪素半導体装置が出荷される。本発明において、初めて測定される炭化珪素半導体装置の第1の閾値電圧とは、炭化珪素半導体装置が出荷された後にはじめてゲート電極に電圧を印加して第1の閾値電圧を測定する場合を含む。
- [0024] 上記に係る炭化珪素半導体装置において好ましくは、第1の閾値電圧と、炭化珪素半導体装置に対してストレス印加を開始した後、1000時間までの任意の時間経過後に測定される第3の閾値電圧との差が±0.2V以内である。これにより、1000時間までの任意の時間経過後においても閾値電圧の変動の小さい炭化珪素半導体装置を得ることができる。
- [0025] 上記に係る炭化珪素半導体装置において好ましくは、ストレス印加が150°Cの温度下で行われる。これにより、150°C程度の高温において閾値電

圧の変動の小さい炭化珪素半導体装置を得ることができる。

[0026] 上記に係る炭化珪素半導体装置において好ましくは、ストレス印加が室温および150℃のいずれの温度で行われても第1の閾値電圧と第2の閾値電圧との差が±0.2V以内である。これにより、150℃程度の高温および室温において閾値電圧の変動の小さい炭化珪素半導体装置を得ることができる。

### 発明の効果

[0027] 以上の説明から明らかなように、本発明によれば、閾値電圧の変動が小さい炭化珪素半導体装置およびその製造方法を提供することができる。

### 図面の簡単な説明

[0028] [図1]本発明の一実施の形態に係る炭化珪素半導体装置の構造を示す概略断面図である。

[図2]炭化珪素半導体基板と二酸化珪素層との界面に形成されたトラップを説明するための概念図である。

[図3]電子がトラップに捕獲される様子を説明するための概念図である。

[図4]ゲート電圧とドレイン電流との関係を示す図である。

[図5]ゲート電圧とドレイン電流との関係を示す図である。

[図6]本発明の一実施の形態に係る炭化珪素半導体装置の製造方法を概略的に示すフロー図である。

[図7]本発明の一実施の形態に係る炭化珪素半導体装置の製造方法の第1の工程を概略的に示す断面模式図である。

[図8]本発明の一実施の形態に係る炭化珪素半導体装置の製造方法の第2の工程を概略的に示す断面模式図である。

[図9]本発明の一実施の形態に係る炭化珪素半導体装置の製造方法の第3の工程を概略的に示す断面模式図である。

[図10]アニール工程における温度と時間の関係を示す概略図である。

[図11]アニール工程における温度と時間の関係を示す概略図である。

[図12]アニール工程における温度と時間の関係を示す概略図である。

[図13]界面準備密度を調査するためのMOSダイオードの構成を概略的に示す断面模式図である。

[図14]界面準備密度と $E_c - E_v$ との関係を示す図である。

[図15]閾値電圧の変動量とストレス印加時間との関係を示す図である。

### 発明を実施するための形態

[0029] 以下、図面に基づいて本発明の実施の形態を説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付し、その説明は繰返さない。また、本明細書中の結晶学的記載においては、個別方位を  $[\ ]$ 、集合方位を  $\langle \rangle$ 、個別面を  $( )$ 、集合面を  $\{ \}$  でそれぞれ示している。また、負の指数については、結晶学上、“ $-$ ” (バー) を数字の上に付けることになっているが、本明細書中では、数字の前に負の符号を付けている。また角度の記載には、全方位角を360度とする系を用いている。

[0030] 図1を参照して、本実施の形態における炭化珪素半導体装置であるMOSFET100は、炭化珪素基板10と、ゲート酸化膜91と、ゲート電極93と、ソースコンタクト電極92 (第1の電極) と、ドレイン電極96 (第2の電極) とを主に有している。

[0031] 炭化珪素基板10は、たとえばポリタイプ4Hの六方晶炭化珪素からなる。炭化珪素基板10の主面3Aは、たとえば $(0001)$ 面である。主面3Aは、たとえば $(0001)$ 面から $8^\circ$ 程度オフした面であってもよく、 $(0-33-8)$ 面であってもよい。好ましくは、主面3Aは、 $\{000-1\}$ 面に対して、巨視的に $62^\circ \pm 10^\circ$ のオフ角を有する面である。

[0032] 炭化珪素基板10は、導電型がn型 (第1導電型) である炭化珪素からなる基板1と、炭化珪素からなり導電型がn型であるバッファ層2と、炭化珪素からなり導電型がn型のドリフト層3と、導電型がp型 (第2導電型) の一对のp型ボディ領域4と、導電型がn型のn+領域5と、導電型がp型のp+領域6とを含んでいる。

[0033] バッファ層2は、基板1の一方の主面1A上に形成され、n型不純物を含むことにより導電型がn型となっている。ドリフト層3は、バッファ層2上

に形成され、n型不純物を含むことにより導電型がn型となっている。ドリフト層3に含まれるn型不純物は、たとえば窒素(N)であり、バッファ層2に含まれるn型不純物よりも低い濃度(密度)で含まれている。ドリフト層3に含まれている窒素濃度はたとえば $5 \times 10^{15} \text{ cm}^{-3}$ 程度である。バッファ層2およびドリフト層3は、基板1の一方の主面1A上に形成されたエピタキシャル成長層である。

[0034] 一对のp型ボディ領域4は、エピタキシャル成長層において互いに分離して形成され、p型不純物(導電型がp型である不純物)を含むことにより、導電型がp型となっている。p型ボディ領域4に含まれるp型不純物は、たとえばアルミニウム(AI)、ホウ素(B)などである。p型ボディ領域4におけるアルミニウムやホウ素の濃度は、たとえば $1 \times 10^{17} \text{ cm}^{-3}$ 程度である。

[0035] n+領域5は、上記主面3Aを含み、かつp型ボディ領域4に取り囲まれるように、一对のp型ボディ領域4のそれぞれの内部に形成されている。n+領域5は、n型不純物、たとえばリン(P)などをドリフト層3に含まれるn型不純物よりも高い濃度(密度)で含んでいる。n+領域5におけるリンの濃度は、たとえば $1 \times 10^{20} \text{ cm}^{-3}$ 程度である。

[0036] p+領域6は、上記主面3Aを含み、かつp型ボディ領域4に取り囲まれるとともに、n+領域5に隣接するように一对のp型ボディ領域4のそれぞれの内部に形成されている。p+領域6は、p型不純物、たとえばAIなどをp型ボディ領域4に含まれるp型不純物よりも高い濃度(密度)で含んでいる。p+領域6における、AIの濃度はたとえば $1 \times 10^{20} \text{ cm}^{-3}$ 程度である。

[0037] ゲート酸化膜91は、炭化珪素基板10上に接して配置されている。ゲート酸化膜91は、一方のn+領域5の上部表面から他方のn+領域5の上部表面にまで延在するようにエピタキシャル成長層の主面3A上に形成され、たとえば二酸化珪素からなっている。

[0038] ゲート電極93は、一方のn+領域5上から他方のn+領域5上にまで延在するように、ゲート酸化膜91に接触して配置されている。ゲート電極93

は、炭化珪素基板 10 との間にゲート酸化膜 91 を挟むようにゲート酸化膜 91 と接して配置されている。また、ゲート電極 93 は、不純物が添加されたポリシリコン、Al などの導電体からなっている。

[0039] ソースコンタクト電極 92 は、n+領域 5 と、p+領域 6 と、ゲート絶縁膜 91 とに接触して配置されている。また、ソースコンタクト電極 92 は、たとえば NiSi (ニッケルシリサイド) など、n+領域 5 とオーミックコンタクト可能な材料からなっている。

[0040] ドレイン電極 96 は、基板 1 においてドリフト層 3 が形成される側とは反対側の主面に接触して形成されている。このドレイン電極 96 は、たとえば NiSi など、n型の基板 1 とオーミックコンタクト可能な材料からなっており、基板 1 と電氣的に接続されている。

[0041] ソースコンタクト電極 92 (第 1 の電極) およびドレイン電極 96 (第 2 の電極) は、ゲート電極 93 に印加されるゲート電極により、ソースコンタクト電極 92 およびドレイン電極 96 の間に流れる電流が制御可能に構成されている。

[0042] 層間絶縁膜 94 は、ゲート酸化膜 91 と接し、ゲート電極 93 を取り囲むように形成されている。層間絶縁膜 94 は、たとえば絶縁体である二酸化珪素からなっている。

[0043] ソース配線 95 は、ドリフト層 3 の主面 3A 上において、層間絶縁膜 94 を取り囲み、かつソースコンタクト電極 92 の上部表面上にまで延在している。また、ソース配線 95 は、たとえば Al などの導電体からなり、ソースコンタクト電極 92 を介して n+領域 5 と電氣的に接続されている。

[0044] 次に、MOSFET 100 の動作について説明する。図 1 を参照して、ゲート電極 93 の電圧が閾値電圧未満の状態、すなわちオフ状態では、ドレイン電極 96 に電圧が印加されても、ゲート酸化膜 91 の直下に位置する p 型ボディ領域 4 とドリフト層 3 との間の pn 接合が逆バイアスとなり、非導通状態となる。一方、ゲート電極 93 に閾値電圧以上の電圧を印加すると、p 型ボディ領域 4 のゲート酸化膜 91 と接触する付近であるチャンネル領域にお

いて、反転層が形成される。その結果、n+領域5とドリフト層3とが電氣的に接続され、ソース配線95とドレイン電極96との間に電流が流れる。

[0045] 本実施の形態に係るMOSFET100に対して初めて測定されるMOSFET100の第1の閾値電圧と、1000時間継続的にMOSFET100に対してストレス印加した後に測定されるMOSFET100の第2の閾値電圧との差は±0.2V以内である。ここで、ストレス印加とは、ソースコンタクト電極92（第1の電極）のソース電圧が0Vでありかつドレイン電極96（第2の電極）のドレイン電圧が0Vの状態、ゲート電極93に対して-5Vから+15Vまで変化する45kHzのゲート電圧を印加することである。なお、デューティ比はたとえば1:1である。

[0046] 好ましくは、第1の閾値電圧と、MOSFET100に対してストレス印加を開始した後、1000時間までの任意の時間経過後に測定される第3の閾値電圧との差が±0.2V以内である。

[0047] なお、MOSFET100に対するストレス印加は、たとえば室温で行われてもよいし、たとえば150℃の温度下で行われてもよい。好ましくは、ストレス印加が室温および150℃のいずれの温度で行われても第1の閾値電圧と第2の閾値電圧との差が±0.2V以内である。

[0048] 次に、実施の形態1におけるMOSFET100の製造方法の一例について、図7～図12を参照して説明する。

[0049] 本実施の形態におけるMOSFET100の製造方法では、炭化珪素基板準備工程が実施される。炭化珪素基板準備工程は、ベース基板準備工程（S110：図6）と、エピタキシャル成長工程（S120：図6）と、イオン注入工程（S130：図6）とを含んでいる。

[0050] まず図7を参照して、工程（S110：図6）では単結晶炭化珪素からなるベース基板1が準備される。次に、工程（S120：図6）としてエピタキシャル成長工程が実施される。この工程（S120）では、エピタキシャル成長によりベース基板1の一方の主面1A上に炭化珪素からなるバッファ層2およびドリフト層3が順次形成される。

[0051] 次に、工程（S 1 3 0：図6）としてイオン注入工程が実施される。この工程（S 1 3 0）では、図8を参照して、まずp型ボディ領域4を形成するためのイオン注入が実施される。具体的には、たとえばAl（アルミニウム）イオンがドリフト層3に注入されることにより、p型ボディ領域4が形成される。次に、n+領域5を形成するためのイオン注入が実施される。具体的には、たとえばP（リン）イオンがp型ボディ領域4に注入されることにより、p型ボディ領域4内にn+領域5が形成される。さらに、p+領域6を形成するためのイオン注入が実施される。具体的には、たとえばAlイオンがp型ボディ領域4に注入されることにより、p型ボディ領域4内にp+領域6が形成される。上記イオン注入は、たとえばドリフト層3の主面上に二酸化珪素からなり、イオン注入を実施すべき所望の領域に開口を有するマスク層を形成して実施することができる。

[0052] これにより、導電型がn型（第1導電型）である炭化珪素からなるベース基板1と、炭化珪素からなり導電型がn型であるバッファ層2と、炭化珪素からなり導電型がn型のドリフト層3と、導電型がp型（第2導電型）のp型ボディ領域4と、導電型がn型のn+領域5と、導電型がp型のp+領域6とを含む炭化珪素基板10が準備される。なお、炭化珪素基板10の主面3Aは、たとえば8°オフした（0001）面である。

[0053] 次に、工程（S 1 4 0：図6）として活性化アニール工程が実施される。この工程（S 1 4 0）では、たとえばアルゴンなどの不活性ガス雰囲気中において、炭化珪素基板10をたとえば1700℃程度に加熱して、30分間程度保持する熱処理が実施される。これにより、上記工程（S 1 3 0）において注入された不純物が活性化する。

[0054] 次に、工程（S 1 5 0：図6）として第1の加熱工程が実施される。この工程（S 1 5 0）では、たとえば濃度100%の酸素雰囲気中において炭化珪素基板10をたとえば1200℃以上程度1300℃以下程度に加熱して60分間程度保持する熱処理が実施される。好ましくは、炭化珪素基板10は、1300℃程度以上1500℃程度以下に加熱される。これにより、炭

化珪素基板 10 上に接して、二酸化珪素からなるゲート酸化膜 91 が形成される。

[0055] 次に、工程 (S160 : 図6) として第2の加熱工程が実施される。この工程 (S160) では、雰囲気ガスとして、窒素原子またはリン原子を含む気体を用いられる。窒素原子を含む気体は、たとえば一酸化窒素、一酸化二窒素、二酸化窒素およびアンモニアなどである。また、リン原子を含む気体は、たとえば塩化ホスホリル ( $\text{POCl}_3$ ) などである。この工程 (S160) では上記雰囲気ガス中において、炭化珪素基板 10 が、 $1300^\circ\text{C}$  以上  $1500^\circ\text{C}$  以下の温度で、たとえば1時間程度保持される。このような熱処理により、ゲート酸化膜 91 とドリフト層 3 との界面領域に存在するトラップ 8 (図2および図3参照) に窒素原子またはリン原子が捕獲される。これにより、ゲート酸化膜 91 とドリフト層 3 との界面領域における界面準位の形成が抑制される。

[0056] 次に、工程 (S170 : 図6) として第3の加熱工程が実施される。この工程 (S170) では、雰囲気ガスとして、アルゴンや窒素などの不活性ガス (第1の不活性ガス) が採用され、当該雰囲気ガス中において、炭化珪素基板 10 を加熱する熱処理が実施される。この工程 (S170) では、炭化珪素基板 10 は  $1100^\circ\text{C}$  以上  $1500^\circ\text{C}$  以下の温度で1時間程度保持される。好ましくは、炭化珪素基板 10 は  $1300^\circ\text{C}$  以上  $1500^\circ\text{C}$  以下の温度に保持される。

[0057] より具体的には、工程 (S150) ~ 工程 (S170) は、たとえば図10~図12に示すような温度プロファイルを用いて実施することができる。図10~図12において、横軸は熱処理時間を示し、縦軸は炭化珪素基板 10 の熱処理温度を示す。また、図10~図12において、時間 T1 から時間 T2 の工程が第1の加熱工程に対応し、時間 T3 から時間 T4 の工程が第2の加熱工程に対応し、時間 T5 から時間 T6 の工程が第3の加熱工程に対応する。

[0058] 図10を参照して、時間 T0 から時間 T1 の間、窒素雰囲気下において炭

化珪素基板 10 が昇温される。その後、酸素雰囲気下において炭化珪素基板 10 がたとえば 1300℃ よりも低い温度で保持される。その後、時間 T2 から時間 T3 の間、アルゴンガス雰囲気において炭化珪素基板 10 の温度がたとえば 1300℃ まで昇温される。好ましくは、第 1 の加熱工程の後、炭化珪素基板 10 の温度が 1300℃ よりも低い温度を保持しながら、酸素ガスをアルゴンガス（第 2 の不活性ガス）に置換され、その後炭化珪素基板 10 が 1300℃ 以上 1500℃ 以下の温度に加熱される。

[0059] 次に、加熱炉に一酸化窒素ガスを導入し、一酸化窒素ガス雰囲気において、炭化珪素基板 10 が 1300℃ 以上 1500℃ 以下の温度（たとえば 1350℃ 程度）に加熱され、一定時間保持される。その後、加熱炉の一酸化窒素ガスをアルゴンガスに置換する。アルゴンガス雰囲気において炭化珪素基板 10 がたとえば 1300℃ 以下の温度で保持される。

[0060] 図 11 を参照して、第 2 の加熱工程（時間 T3～時間 T4）および第 3 の加熱工程（時間 T5～時間 T6）において、炭化珪素基板 10 の温度が 1300℃ 以上 1500℃ 以下程度の温度内に保持されることが好ましい。より好ましくは、第 2 の加熱工程（時間 T3～時間 T4）および第 3 の加熱工程（時間 T5～時間 T6）において、炭化珪素基板 10 の温度が 1300℃ 以上 1500℃ 以下程度の一定温度（たとえば 1350℃ 程度）で一定時間保持される。当該方法によれば、第 2 の加熱工程と第 3 の加熱工程の間で加熱炉の温度を変化させる必要がないので、トータルのアニール時間を短縮することができる。

[0061] 図 12 を参照して、第 1 の加熱工程（時間 T1～時間 T2）、第 2 の加熱工程（時間 T3～時間 T4）および第 3 の加熱工程（時間 T5～時間 T6）において、炭化珪素基板 10 の温度が 1300℃ 以上 1500℃ 以下程度の温度内に保持されることが好ましい。より好ましくは、第 1 の加熱工程（時間 T1～時間 T2）、第 2 の加熱工程（時間 T3～時間 T4）および第 3 の加熱工程（時間 T5～時間 T6）において、炭化珪素基板 10 の温度が 1300℃ 以上 1500℃ 以下程度の一定温度（たとえば 1350℃ 程度）で一

定時間保持される。この方法によれば、第1の加熱工程と第2の加熱工程の間および第2の加熱工程と第3の加熱工程の間で加熱炉の温度を変化させる必要がないので、トータルのアニール時間をさらに短縮することができる。

[0062] 次に、工程(S180)として電極形成工程が実施される。図1を参照して、この工程(S180)では、まず、たとえばCVD法、フォトリソグラフィおよびエッチングにより、高濃度に不純物が添加された導電体であるポリシリコンからなるゲート電極93が形成される。その後、たとえばCVD法により、絶縁体である二酸化珪素からなる層間絶縁膜94が、ゲート電極93を取り囲むように形成される。次に、フォトリソグラフィおよびエッチングによりソースコンタクト電極92を形成する領域の層間絶縁膜94とゲート酸化膜91が除去される。次に、たとえば蒸着法により形成されたニッケル(Ni)膜が加熱されてシリサイド化されることにより、ソースコンタクト電極92およびドレイン電極96が形成される。そして、たとえば蒸着法により、導電体であるAlからなるソース配線95が、主面3A上において、層間絶縁膜94を取り囲むとともに、n+領域5およびソースコンタクト電極92の上部表面上にまで延在するように形成される。以上の手順により、本実施の形態におけるMOSFET100が完成する。

[0063] なお、本実施の形態においては、第1導電型がn型であり、第2導電型がp型である場合について説明したが本発明はこの形態に限定されない。たとえば、第1導電型がp型であり、第2導電型がn型であっても構わない。

[0064] また、本実施の形態において、炭化珪素半導体装置として縦型MOSFETを例に挙げて説明したが本発明はこの形態に限定されない。たとえば、炭化珪素半導体装置は、たとえば横型MOSFETでも構わない。また、MOSFETはプレナー型であってよいし、トレンチ型であってもよい。さらに、炭化珪素半導体装置はIGBTなどであっても構わない。

[0065] 次に、本実施の形態の作用効果について説明する。

本実施の形態に係るMOSFET100の製造方法によれば、第1の加熱工程後に、炭化珪素基板10を窒素原子またはリン原子を含む気体雰囲気下

において1300℃以上1500℃以下の温度に加熱する第2の加熱工程が実施される。炭化珪素基板10を窒素原子またはリン原子を含む気体雰囲気下において1300℃以上で加熱することにより、炭化珪素基板10とゲート酸化膜91との界面に形成されたトラップ密度を効果的に低減することができる。それゆえ、閾値電圧の変動が小さいMOSFET100を得ることができる。また、加熱温度は1500℃以下であるために、炭化珪素基板10が軟化することを抑制することができる。

[0066] また本実施の形態に係るMOSFET100の製造方法によれば、第3の加熱工程では、炭化珪素基板10が1300℃以上1500℃以下に加熱される。炭化珪素基板10を1300℃以上に加熱することにより、ゲート酸化膜93に導入された余分な窒素原子またはリン原子を含む気体を、効率的にゲート酸化膜93から外部に拡散することができる。結果として、閾値電圧をプラス方向に移動させることができるので、ノーマリオフ型のMOSFET100とすることができる。また、加熱温度は1500℃以下であるために、炭化珪素基板10が軟化することを抑制することができる。

[0067] さらに本実施の形態に係るMOSFET100の製造方法によれば、第1の加熱工程では、炭化珪素基板10が1300℃以上1500℃以下に加熱される。炭化珪素基板10の温度が1300℃以上であれば、トラップ密度を最も低減することができる。また、炭化珪素基板10が酸化される速度の面方位異方性が小さくなるため、二酸化珪素層のラフネスを低減することができる。さらに、加熱温度は1500℃以下であるために、炭化珪素基板10が軟化することを抑制することができる。

[0068] さらに本実施の形態に係るMOSFET100の製造方法によれば、第1の加熱工程後であって、第2の加熱工程前に、酸素がアルゴンによって置換される。これにより、酸素を効果的に除去できるので、残留酸素によって炭化珪素基板10が酸化されることを抑制することができる。

[0069] さらに本実施の形態に係るMOSFET100の製造方法によれば、第1の不活性ガスは、アルゴンガス、ヘリウムガスおよび窒素ガスのいずれかで

ある。これにより、第2の工程でゲート酸化膜91に導入された窒素原子またはリン原子を含む気体を、効果的にゲート酸化膜91の外部へ拡散させることができる。

[0070] さらに本実施の形態に係るMOSFET100の製造方法によれば、窒素原子を含む気体は、一酸化窒素、一酸化二窒素、二酸化窒素およびアンモニアのいずれかである。これにより、炭化珪素基板10とゲート酸化膜91との間に形成されたトラップ密度を効果的に低減することができる。

[0071] さらに本実施の形態に係るMOSFET100の製造方法によれば、リン原子を含む気体は、塩化ホスホリル( $\text{POCl}_3$ )である。これにより、炭化珪素基板10とゲート酸化膜91との間に形成されたトラップ密度を効果的に低減することができる。

[0072] 本実施の形態に係るMOSFET100によれば、初めて測定されるMOSFET100の第1の閾値電圧と、1000時間継続的にMOSFET100に対してストレス印加した後に測定されるMOSFET100の第2の閾値電圧との差が $\pm 0.2\text{V}$ 以内である。これにより、閾値電圧の変動の小さいMOSFET100を得ることができる。

[0073] また本実施の形態に係るMOSFET100によれば、第1の閾値電圧と、MOSFET100に対してストレス印加を開始した後、1000時間までの任意の時間経過後に測定される第3の閾値電圧との差が $\pm 0.2\text{V}$ 以内である。これにより、1000時間までの任意の時間経過後においても閾値電圧の変動の小さいMOSFET100を得ることができる。

[0074] さらに本実施の形態に係るMOSFET100によれば、ストレス印加が $150^\circ\text{C}$ の温度下で行われる。これにより、 $150^\circ\text{C}$ 程度の高温において閾値電圧の変動の小さいMOSFET100を得ることができる。

[0075] さらに本実施の形態に係るMOSFET100によれば、ストレス印加が室温および $150^\circ\text{C}$ のいずれの温度で行われても第1の閾値電圧と第2の閾値電圧との差が $\pm 0.2\text{V}$ 以内である。これにより、 $150^\circ\text{C}$ 程度の高温および室温において閾値電圧の変動の小さいMOSFET100を得ることが

できる。

## 実施例 1

[0076] 本実施例では、界面準位密度（トラップ密度）と炭化珪素基板 10 の酸化温度との関係を調査した。まず、界面準位密度調査用の 4 種類の MOS ダイオードを作成した。図 13 に示すように、それぞれの MOS ダイオードは、（0-33-8）面を主面として有する炭化珪素基板 13 と、炭化珪素基板 13 上に形成された二酸化珪素層 12 と、二酸化珪素層 12 上に形成されたゲート電極 11 とを有する。

[0077] 上記 4 種類の MOS ダイオードに対して、実施の形態で示した方法で第 1 の加熱工程、第 2 の加熱工程および第 3 の加熱工程を実施した。比較例 1 および比較例 2 の MOS ダイオードに対しては、第 1 の加熱工程（酸化工程）における温度をそれぞれ 1100℃、1200℃とした。また、本発明例 1 および本発明例 2 の MOS ダイオードに対しては、第 1 の加熱工程（酸化工程）における温度をそれぞれ 1300℃、1350℃とした。界面準位密度の測定は、特開 2009-158933 号公報に記載されている High-Low 法により行われた。

[0078] 図 14 を参照して、界面準位密度と酸化温度との関係の結果について説明する。なお、図 14 において、縦軸が界面準位密度を示し、横軸は伝導帯を基準としたエネルギーの値 ( $E_c - E$ ) を示している。

[0079] 図 14 に示すように、全ての酸化条件において  $E_c - E$  が大きくなるほど、界面準位密度が小さくなる傾向が確認された。また酸化温度（第 1 の加熱工程における炭化珪素基板 10 の温度）が高くなるにつれて、界面準位密度が低減する傾向が確認された。また、酸化温度が 1300℃程度において、界面準位密度が飽和し、それ以上酸化温度を上げても界面準位密度はそれほど低減しないことが確認された。

## 実施例 2

[0080] 本実施例では、アニール条件と閾値電圧の変動量との関係を調査した。まず、比較例 3 に係る MOSFET と本発明例 3 に係る MOSFET を作製し

た。比較例3および本発明例3に係るMOSFETを以下の点を除き実施の形態で説明した方法により作製した。炭化珪素基板10の主面3Aを(0001)Si面とした。エピタキシャル膜の濃度を $7.5 \times 10^{15} \text{ cm}^{-3}$ とした。ゲート酸化膜91の厚みを45nmとした。ゲート電極93の材料をポリシリコンとした。p型ボディ領域4の不純物濃度を $5 \times 10^{17} \text{ cm}^{-3}$ とした。

[0081] 比較例3のMOSFETの製造工程における、ゲート酸化工程、窒化工程およびアルゴンアニール工程を以下の条件にした。ゲート酸化工程（第1の加熱工程）では、100%酸素雰囲気において、炭化珪素基板10を1200℃以上1300℃以下の温度で60分間保持した。窒化工程（第2の加熱工程）では、100%一酸化窒素雰囲気において、炭化珪素基板10を1100℃以上1200℃以下の温度で60分間保持した。アルゴンアニール工程（第3の加熱工程）では、100%アルゴン雰囲気において、炭化珪素基板10を1100℃以上1200℃以下の温度で60分間保持した。

[0082] 本発明例3のMOSFETの製造工程における、ゲート酸化工程、窒化工程およびアルゴンアニール工程を以下の条件にした。ゲート酸化工程（第1の加熱工程）では、100%酸素雰囲気において、炭化珪素基板10を1300℃以上1400℃以下の温度で60分間保持した。窒化工程（第2の加熱工程）では、100%一酸化窒素雰囲気において、炭化珪素基板10を1300℃以上1400℃以下の温度で60分間保持した。アルゴンアニール工程（第3の加熱工程）では、100%アルゴン雰囲気において、炭化珪素基板10を1300℃以上1400℃以下の温度で60分間保持した。

[0083] 比較例3および本発明例3のMOSFETに対してストレスを印加し、ストレス印加時間と閾値電圧の変動量を測定した。閾値電圧の変動量は、ストレス印加後の閾値電圧をストレス印加前の閾値電圧で引いた値である。なお、ストレス印加は、ソース電圧およびドレイン電圧を0Vにした状態で、ゲート電極に-5V~+15Vのゲート電圧を約45kHzの周波数で印加した。デューティ比を1:1とした。ストレス印加時間を最大1000時間とした。

[0084] 図15を参照して、閾値電圧の変動量（縦軸）とストレス印加時間（横軸）との関係について説明する。丸記号は比較例3のデータであり、三角記号は本発明例3のデータである。また、白抜き記号は室温でストレス印加を行ったデータであり、塗りつぶし記号は150℃でストレス印加を行ったデータである。

[0085] 図15に示すように、本発明例3に係るMOSFETの閾値電圧の変動量は、比較例3に係るMOSFETの閾値電圧の変動量よりも小さかった。また、本発明例3および比較例3の双方において、室温でストレス印加を行った場合よりも、150℃でストレス印加を行った場合の方が閾値電圧の変動量は小さかった。さらに、本発明例3に係るMOSFETの閾値電圧の変動量は、ストレス印加時間が1000時間以下の任意の時間である場合において0.2V以下であることが確認された。

[0086] 今回開示された実施の形態および実施例はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味、および範囲内でのすべての変更が含まれることが意図される。

### 符号の説明

[0087] 1 基板、1A 主面、2 バッファ層、3 ドリフト層、3A 主面、4 p型ボディ領域、5 n+領域、6 p+領域、10, 13 炭化珪素基板、12 二酸化珪素層、91 ゲート酸化膜、92 ソースコンタクト電極、11, 93 ゲート電極、94 層間絶縁膜、95 ソース配線、96 ドレイン電極、100 MOSFET。

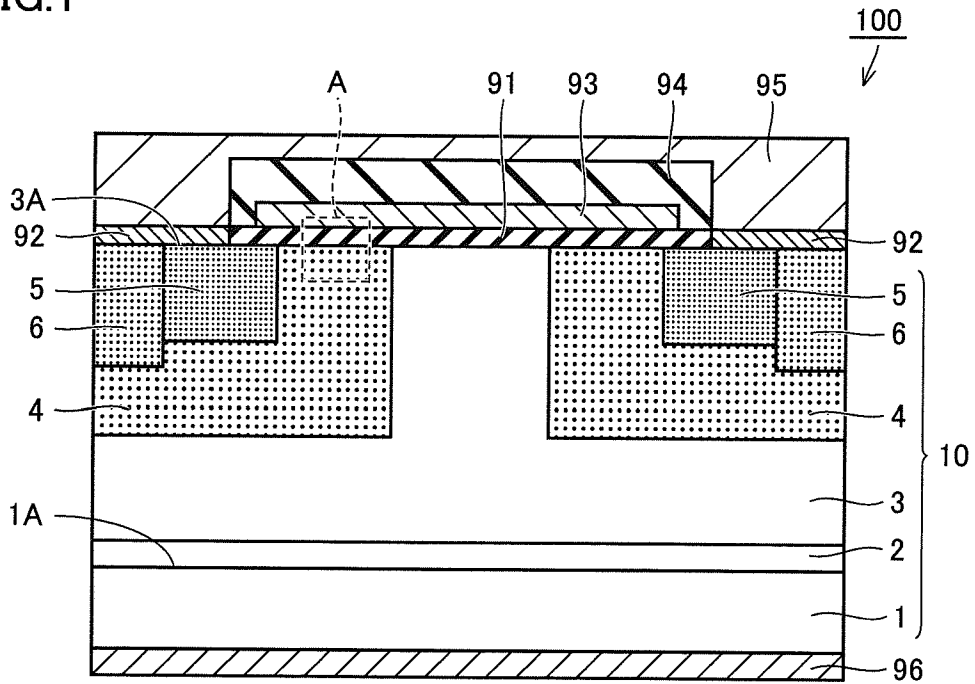
## 請求の範囲

- [請求項1] 炭化珪素基板を準備する工程と、  
前記炭化珪素基板を酸素雰囲気下において加熱する第1の加熱工程と、  
前記第1の加熱工程後に、前記炭化珪素基板を窒素原子またはリン原子を含む気体雰囲気下において1300℃以上1500℃以下の温度に加熱する第2の加熱工程と、  
前記第2の加熱工程後に、前記炭化珪素基板を第1の不活性ガス雰囲気下において加熱する第3の加熱工程とを備えた、炭化珪素半導体装置の製造方法。
- [請求項2] 前記第3の加熱工程では、前記炭化珪素基板が1300℃以上1500℃以下に加熱される、請求項1に記載の炭化珪素半導体装置の製造方法。
- [請求項3] 前記第1の加熱工程では、前記炭化珪素基板が1300℃以上1500℃以下に加熱される、請求項1または2に記載の炭化珪素半導体装置の製造方法。
- [請求項4] 前記第1の加熱工程後であって、前記第2の加熱工程前に、前記酸素を第2の不活性ガスによって置換する工程をさらに備えた、請求項1～3のいずれか1項に記載の炭化珪素半導体装置の製造方法。
- [請求項5] 前記第1の不活性ガスは、アルゴンガス、ヘリウムガスおよび窒素ガスのいずれかである、請求項1～4のいずれか1項に記載の炭化珪素半導体装置の製造方法。
- [請求項6] 前記窒素原子を含む前記気体は、一酸化窒素、一酸化二窒素、二酸化窒素およびアンモニアのいずれかである、請求項1～5のいずれか1項に記載の炭化珪素半導体装置の製造方法。
- [請求項7] 前記リン原子を含む前記気体は、塩化ホスホリル ( $\text{POCl}_3$ ) である、請求項1～6のいずれか1項に記載の炭化珪素半導体装置の製造方法。

- [請求項8] 炭化珪素基板と、  
前記炭化珪素基板に接して配置された酸化膜と、  
前記炭化珪素基板との間に前記酸化膜を挟むように前記酸化膜と接して配置されたゲート電極と、  
前記炭化珪素基板に接して配置された第1の電極および第2の電極とを備えた炭化珪素半導体装置であって、  
前記第1の電極および前記第2の電極は、前記ゲート電極に印加されるゲート電圧によって前記第1の電極および前記第2の電極の間に流れる電流が制御可能に構成されており、  
初めて測定される前記炭化珪素半導体装置の第1の閾値電圧と、  
1000時間継続的に前記炭化珪素半導体装置に対してストレス印加した後に測定される前記炭化珪素半導体装置の第2の閾値電圧との差が $\pm 0.2$  V以内であり、  
前記ストレス印加とは、前記第1の電極の電圧が0 Vでありかつ前記第2の電極の電圧が0 Vの状態、前記ゲート電極に対して $-5$  Vから $+15$  Vまで変化する $45$  kHzの前記ゲート電圧を印加することである、炭化珪素半導体装置。
- [請求項9] 前記第1の閾値電圧と、前記炭化珪素半導体装置に対して前記ストレス印加を開始した後、1000時間までの任意の時間経過後に測定される第3の閾値電圧との差が $\pm 0.2$  V以内である、請求項8に記載の炭化珪素半導体装置。
- [請求項10] 前記ストレス印加が $150^{\circ}\text{C}$ の温度下で行われる、請求項8または9に記載の炭化珪素半導体装置。
- [請求項11] 前記ストレス印加が室温および $150^{\circ}\text{C}$ のいずれの温度で行われても前記第1の閾値電圧と前記第2の閾値電圧との差が $\pm 0.2$  V以内である、請求項8または9に記載の炭化珪素半導体装置。

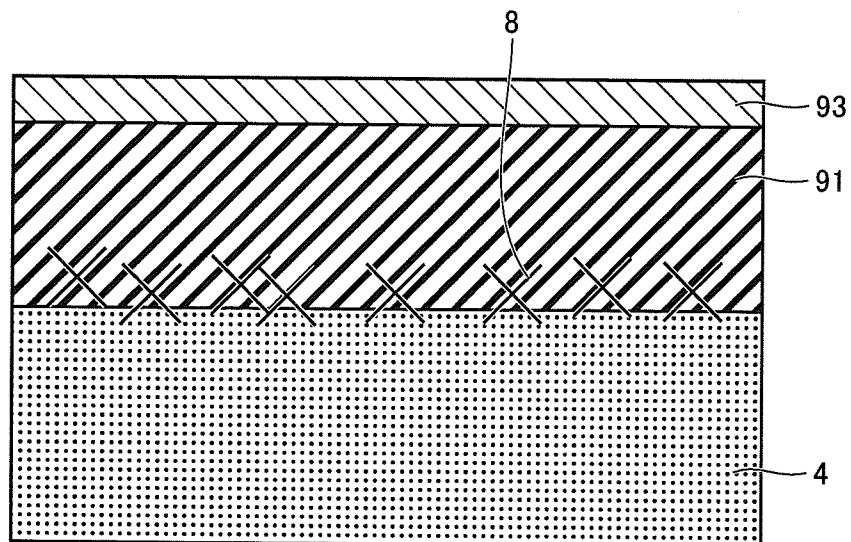
[図1]

FIG.1



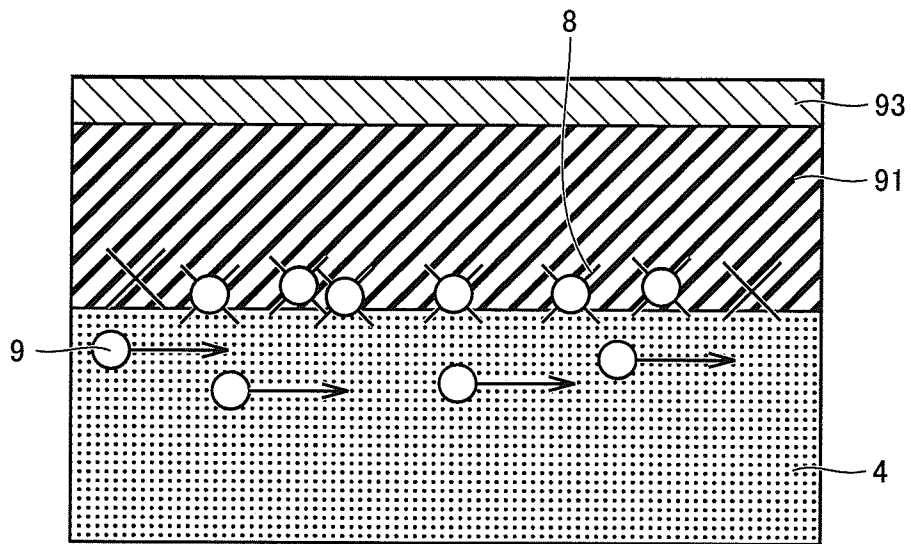
[図2]

FIG.2



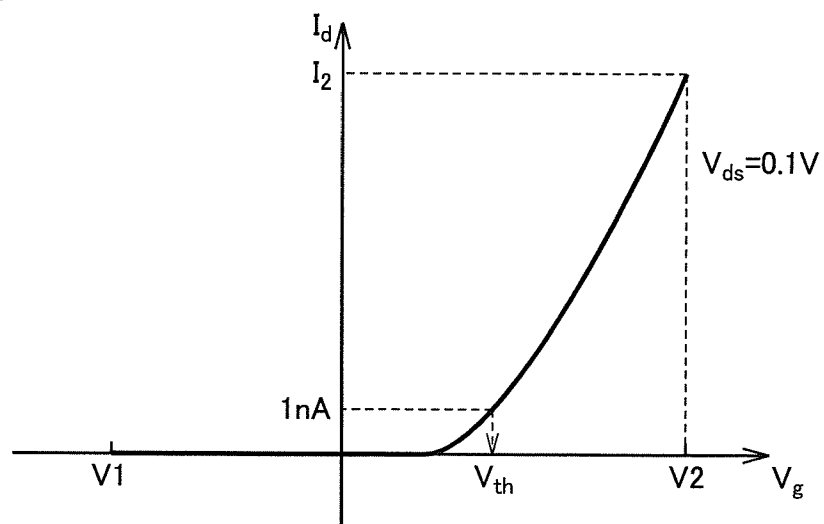
[図3]

FIG.3



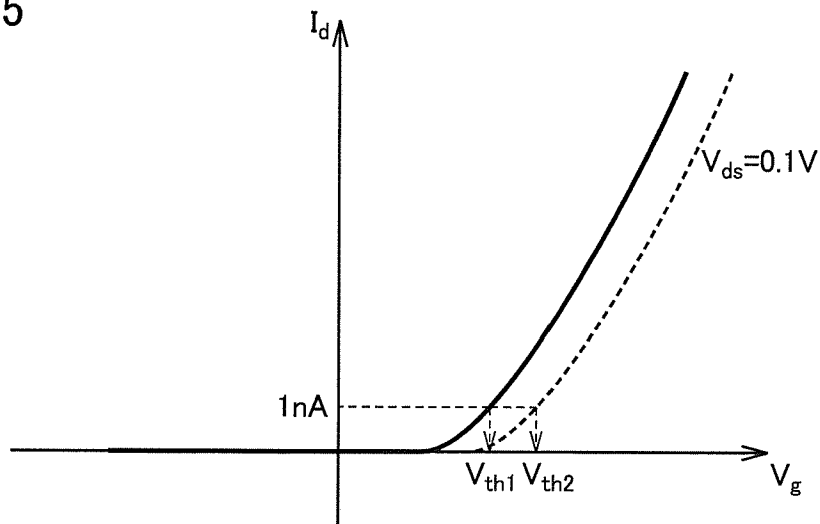
[図4]

FIG.4



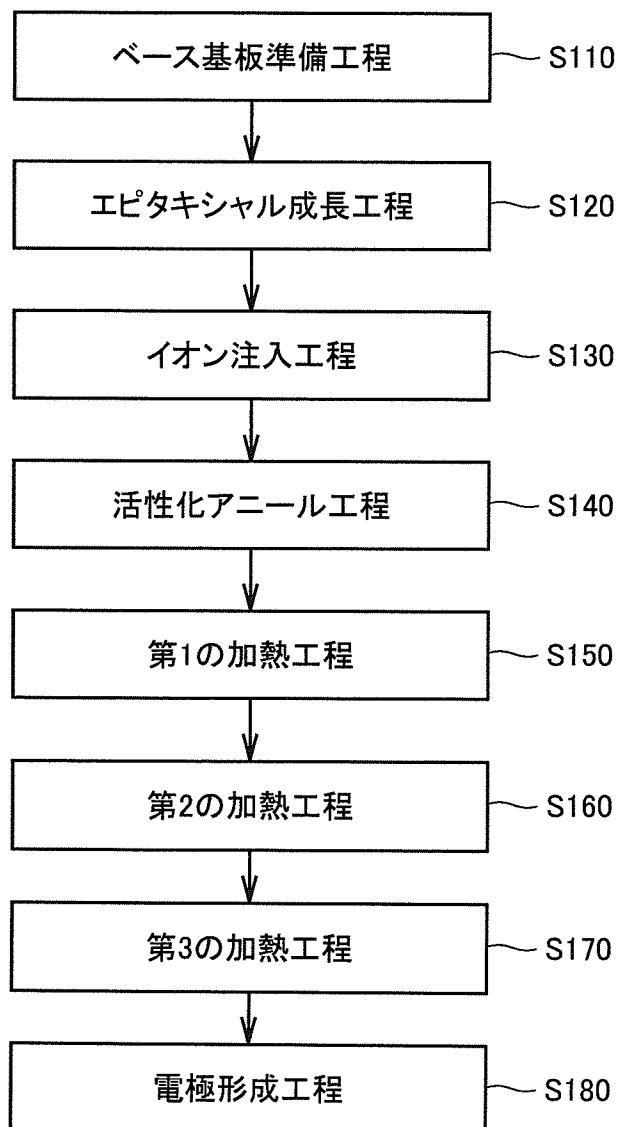
[図5]

FIG.5



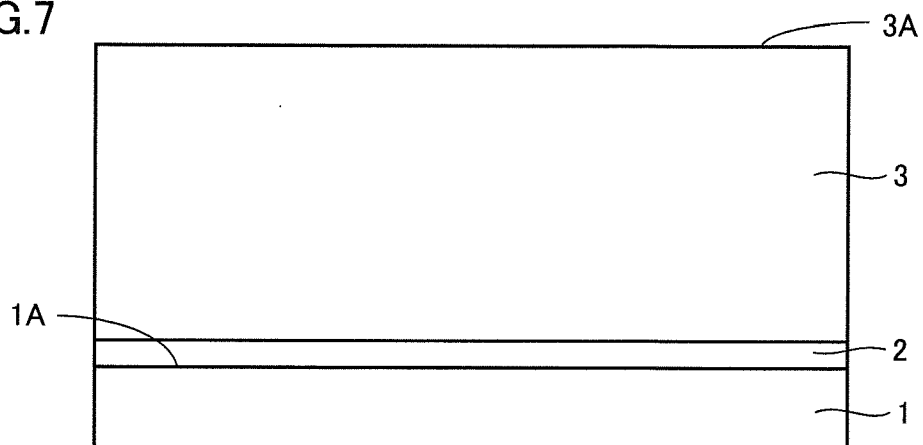
[図6]

FIG.6



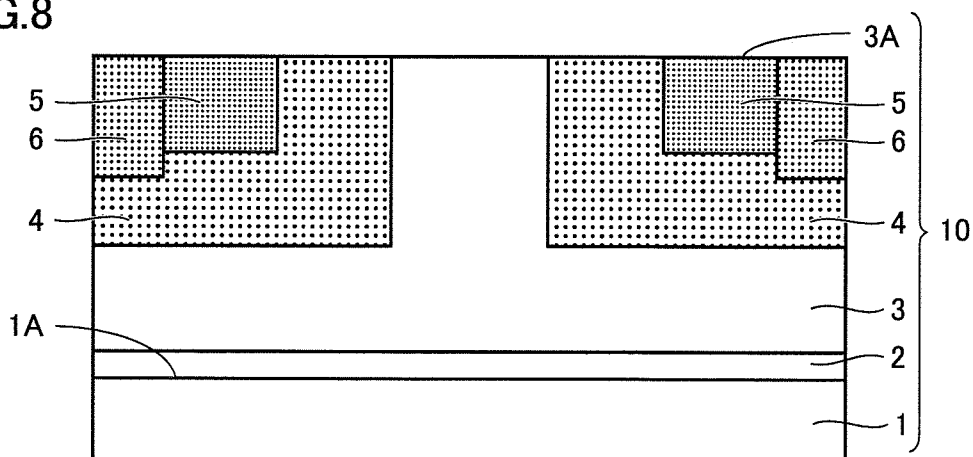
[図7]

FIG.7



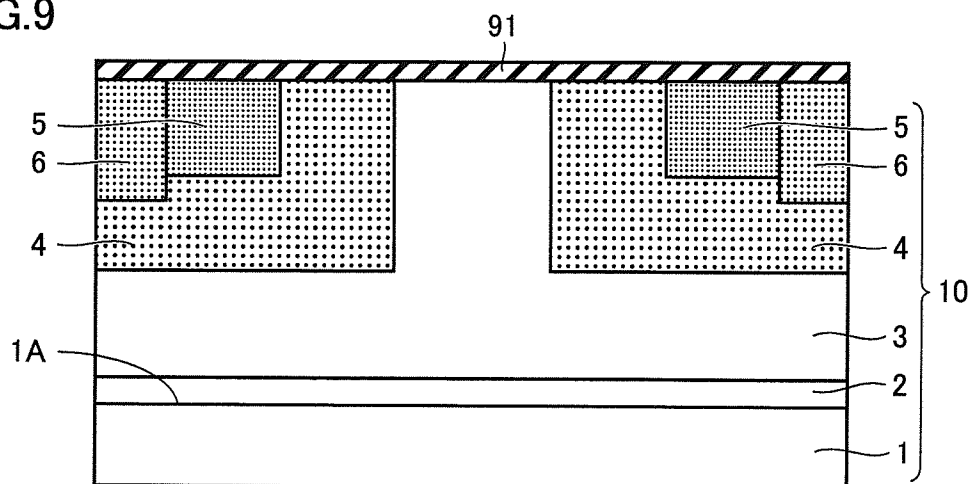
[図8]

FIG.8



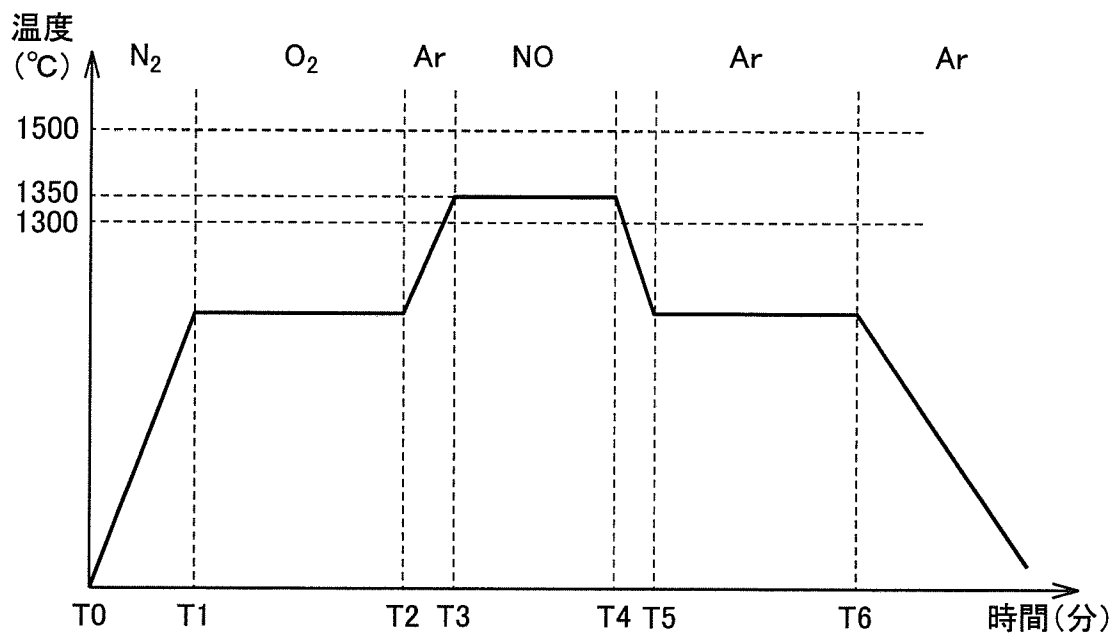
[図9]

FIG.9



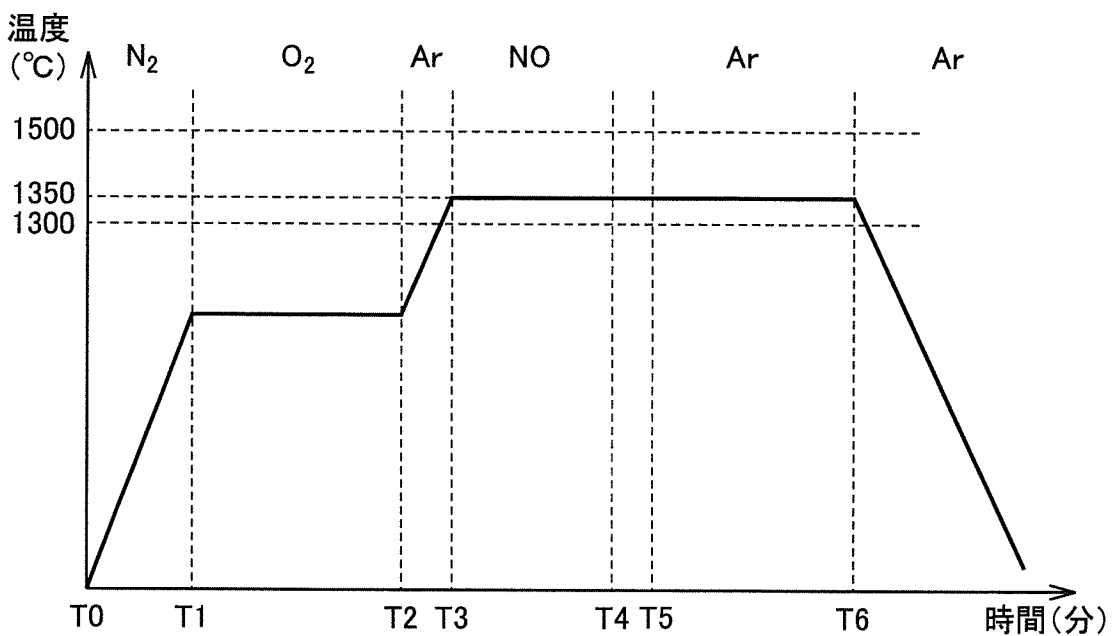
[図10]

FIG.10



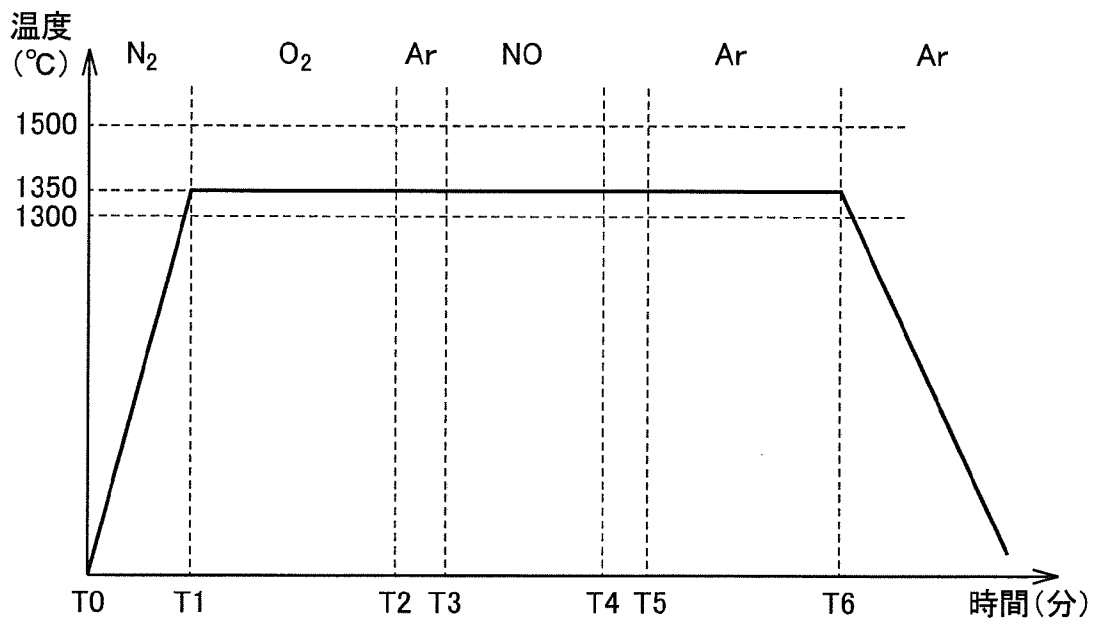
[図11]

FIG.11



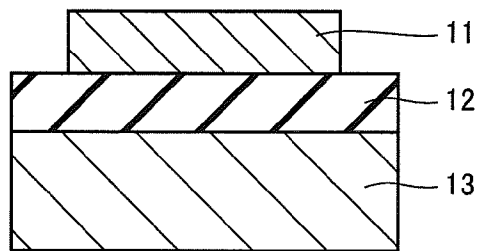
[図12]

FIG.12

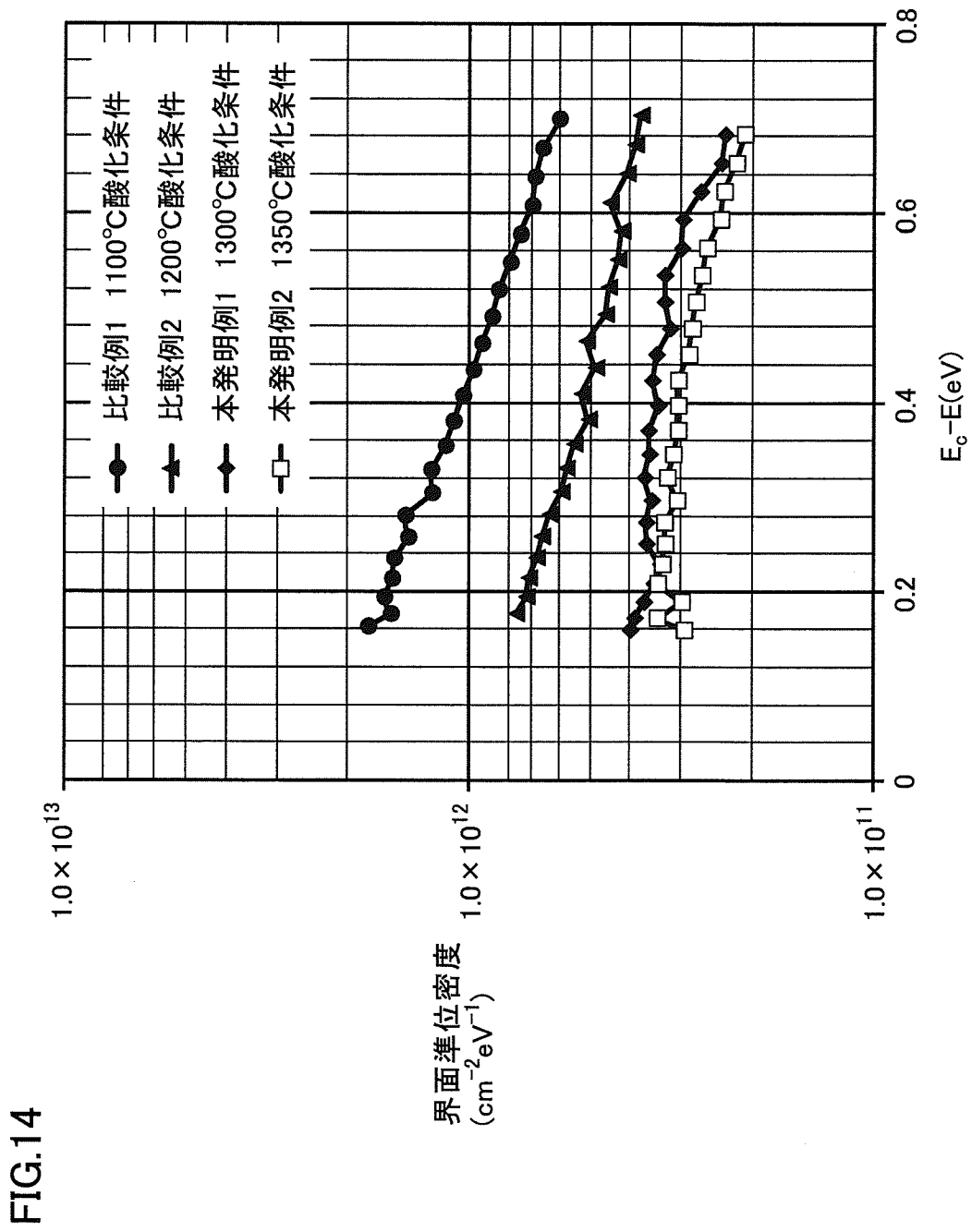


[図13]

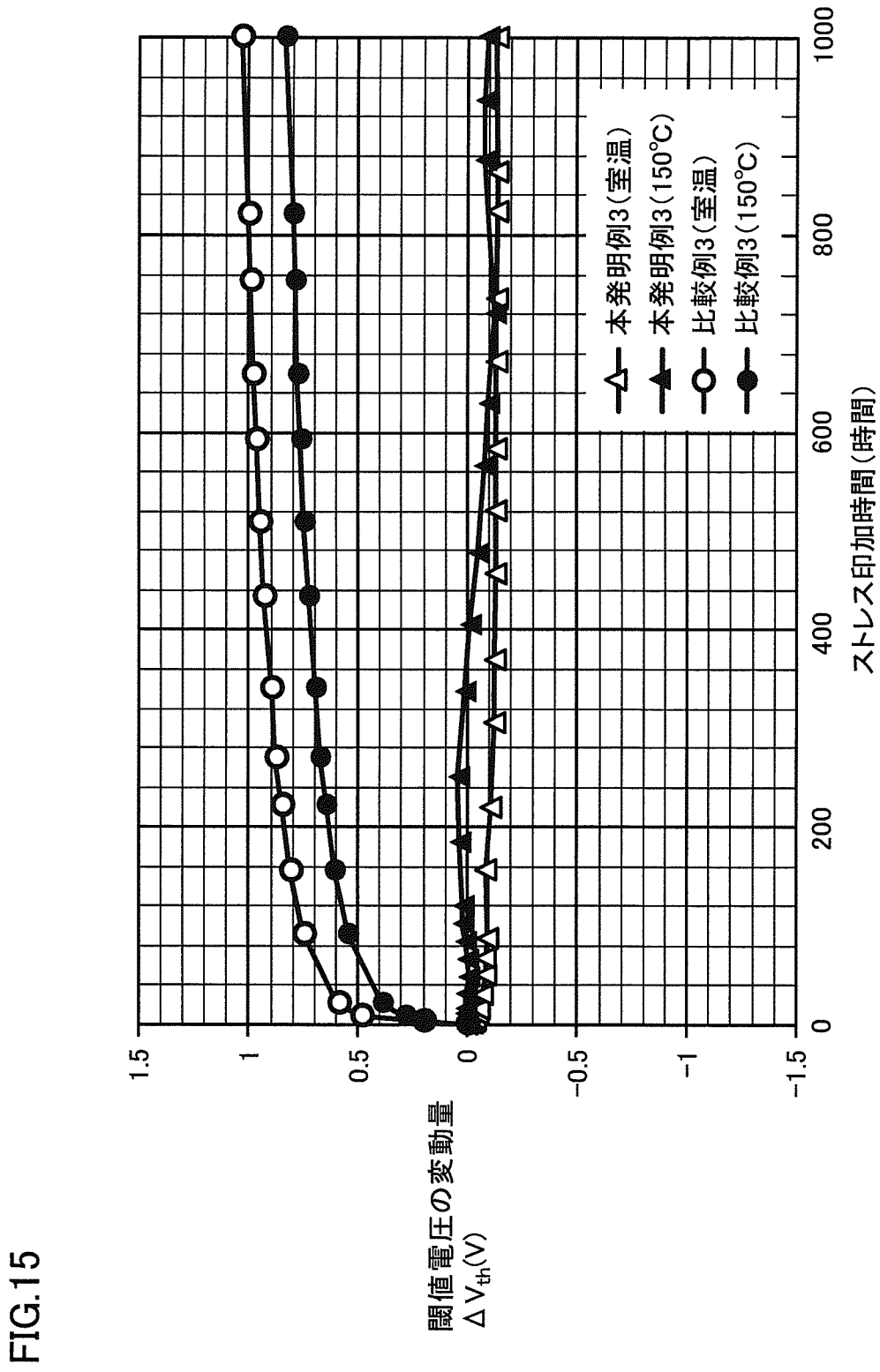
FIG.13



[図14]



[図15]



**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2013/066704

**A. CLASSIFICATION OF SUBJECT MATTER**  
*H01L21/316(2006.01)i, H01L21/324(2006.01)i, H01L21/336(2006.01)i, H01L29/12(2006.01)i, H01L29/78(2006.01)i*

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
 H01L21/316, H01L21/324, H01L21/336, H01L29/12, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)  
 JSTPlus/JMEDPlus/JST7580(JDreamIII), Science Direct, IEEE Xplore

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X <u>Y</u>	JP 2012-049491 A (Sumitomo Electric Industries, Ltd.), 08 March 2012 (08.03.2012), paragraphs [0077] to [0086]; fig. 1 to 7 & US 2012/0018743 A1 & EP 2600402 A1 & WO 2012/014617 A1 & TW 201210025 A & CA 2796857 A & CN 103168361 A	1-3, 5, 6, 8-11 <u>1-11</u>
X <u>Y</u>	JP 2012-146798 A (Sumitomo Electric Industries, Ltd.), 02 August 2012 (02.08.2012), paragraphs [0059] to [0061]; fig. 1, 2 & US 2012/0175638 A1	1-3, 5, 6, 8-11 <u>1-11</u>

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 02 September, 2013 (02.09.13)	Date of mailing of the international search report 17 September, 2013 (17.09.13)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/066704

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-509338 A (Cree Inc.), 05 March 2009 (05.03.2009), paragraphs [0034], [0042], [0058] & US 2008/0233285 A1 & US 2010/0221924 A1 & EP 1938363 A1 & WO 2007/035304 A1 & CN 101283439 A	1-11
Y	JP 2005-116893 A (Mitsubishi Electric Corp.), 28 April 2005 (28.04.2005), paragraph [0026]; fig. 9 to 11 (Family: none)	4
Y	Dai Okamoto, Hiroshi Yano, Kenji Hirata, Tomoaki Hatayama, and Takashi Fuyuki, Improved Inversion Channel Mobility in 4H-SiC MOSFETs on Si Face Utilizing Phosphorus-Doped Gate Oxide, Electron Device Letters, IEEE, 2010.07, Volume: 31, Issue: 7, 710-712	7

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L21/316(2006.01)i, H01L21/324(2006.01)i, H01L21/336(2006.01)i, H01L29/12(2006.01)i, H01L29/78(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L21/316, H01L21/324, H01L21/336, H01L29/12, H01L29/78		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2013年 日本国実用新案登録公報 1996-2013年 日本国登録実用新案公報 1994-2013年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語) JSTPlus/JMEDPlus/JST7580(JDreamIII) Science Direct IEEE Xplore		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X <u>Y</u>	JP 2012-049491 A (住友電気工業株式会社) 2012.03.08, 【0077】 - 【0086】、図1-7 & US 2012/0018743 A1 & EP 2600402 A1 & WO 2012/014617 A1 & TW 201210025 A & CA 2796857 A & CN 103168361 A	1-3, 5, 6, 8-11 <u>1-11</u>
X <u>Y</u>	JP 2012-146798 A (住友電気工業株式会社) 2012.08.02, 【0059】 - 【0061】、図1, 2 & US 2012/0175638 A1	1-3, 5, 6, 8-11 <u>1-11</u>
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 02.09.2013	国際調査報告の発送日 17.09.2013	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 大塚 徹 電話番号 03-3581-1101 内線 3471	4R 3949

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-509338 A (クリー インコーポレイテッド) 2009.03.05, 【0034】、【0042】、【0058】 & US 2008/0233285 A1 & US 2010/0221924 A1 & EP 1938363 A1 & WO 2007/035304 A1 & CN 101283439 A	1-11
Y	JP 2005-116893 A (三菱電機株式会社) 2005.04.28, 【0026】、 図9-11 (ファミリーなし)	4
Y	Dai Okamoto, Hiroshi Yano, Kenji Hirata, Tomoaki Hatayama, and Takashi Fuyuki, Improved Inversion Channel Mobility in 4H-SiC MOSFETs on Si Face Utilizing Phosphorus-Doped Gate Oxide, Electron Device Letters, IEEE, 2010.07, Volume: 31, Issue: 7, 710-712	7