

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-123210

(P2010-123210A)

(43) 公開日 平成22年6月3日(2010.6.3)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 1 1 F	5 B 1 2 5
G 1 1 C 16/06 (2006.01)	G 1 1 C 17/00 6 1 1 E	
	G 1 1 C 17/00 6 1 1 G	
	G 1 1 C 17/00 6 3 4 G	
	G 1 1 C 17/00 6 4 1	

審査請求 未請求 請求項の数 7 O L (全 39 頁)

(21) 出願番号 特願2008-296864 (P2008-296864)
 (22) 出願日 平成20年11月20日 (2008.11.20)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100058479
 弁理士 鈴江 武彦
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100109830
 弁理士 福原 淑弘
 (74) 代理人 100075672
 弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

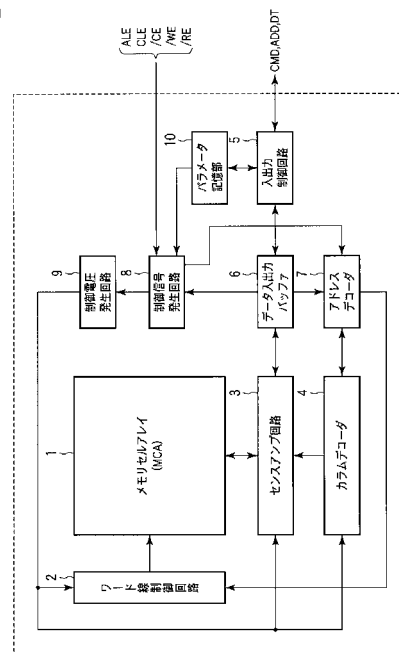
(57) 【要約】

【課題】隣接セルの容量結合によるメモリセルの閾値分布のシフトを補償でき、高速な書き込みが可能な半導体記憶装置を提供する。

【解決手段】メモリセルアレイ1は、ワード線、及びビット線に接続され、1つのメモリセルに、n値(nは2以上の自然数)のうちの1値を記憶する複数のメモリセルMCがマトリクス状に配置されて構成されている。制御回路8, 9は、入力データに応じてワード線、ビット線の電位を制御し、メモリセルにデータを書き込む。制御回路8, 9は、メモリセルアレイの第1メモリセルに書き込むとき、第1メモリセルに隣接する第2メモリセルに書き込む書き込みデータに基づき、書き込みレベルを変える。

【選択図】 図1

図1



【特許請求の範囲】

【請求項 1】

ワード線、及びビット線に接続され、1つのメモリセルに、 n 値 (n は 2 以上の自然数) のうちの 1 値を記憶する複数のメモリセルがマトリックス状に配置されて構成されたメモリセルアレイと、

入力データに応じて前記ワード線、ビット線の電位を制御し、前記メモリセルにデータを書き込む制御回路とを具備し、

前記制御回路は、前記メモリセルアレイの第 1 メモリセルに書き込むとき、前記第 1 メモリセルに隣接する第 2 メモリセルに書き込む書き込みデータに基づき、書き込みレベルを変えることを特徴とする半導体記憶装置。

10

【請求項 2】

前記半導体記憶装置は、前記第 1 メモリセルの書き込みデータを保持する第 1 データラッチと、前記第 2 メモリセルの書き込みデータを保持する第 2 データラッチを有することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】

前記第 1 及び第 2 メモリセルは、“0”レベル(消去レベル)、“1”レベル～“($n - 1$)”レベルの n 値 (“0”レベル < “($n - 1$)”レベル) のうち 1 つのレベルによりデータを記憶し、前記第 1 メモリセルに“ k ”レベル (k は 0 ~ ($n - 1$)) を書き込む時、第 2 メモリセルの書き込みデータが“0”レベル(消去レベル)の場合、“ k_0 ”レベル、“1”レベルの場合、“ k_1 ”レベル、... “($n - 1$)”レベルの場合、“ $k_{(n - 1)}$ ”レベル (“ k_0 ”レベル = > “ k_1 ”レベル = > ... = > “ $k_{(n - 1)}$ ”レベル) に書き込まれることを特徴とする請求項 1 記載の半導体記憶装置。

20

【請求項 4】

前記第 1 メモリセルに“ k ”レベル (k は 0 ~ ($n - 1$)) を書き込んだ後、“ k_h ”レベル (h は、0 ~ ($n - 1$)) でベリファイされ、“ k_h ”レベル以外への書き込みは、“ k_h ”レベル (h は、0 ~ ($n - 1$)) を超えた後、第 2 メモリセルのデータに基づいた回数、書き込み電圧を印加することにより“ k_{h+1} ”レベル、“ k_{h+2} ”レベル... “ $k_{(n - 1)}$ ”レベルに書き込むことを特徴とする請求項 3 記載の半導体記憶装置。

【請求項 5】

前記第 1 メモリセルの“ k ”レベル (k は 0 ~ ($n - 1$)) への書き込み後、“ k_h ”レベル (h は、0 ~ ($n - 1$)) でベリファイされ、“ k_{h+1} ”レベル、“ k_{h+2} ”レベル... “ k_i ”レベル (i は、0 ~ ($n - 1$)) への書き込みは、“ k_h ”レベルを超えた後、第 2 メモリセルのデータに基づいた回数、書き込み電圧を印加することを特徴とする請求項 3 記載の半導体記憶装置。

30

【請求項 6】

前記第 1 メモリセルにデータを書き込むとき、前記第 2 メモリセルに書き込むデータが定まっていない場合、前記第 1 メモリセルの“ k ”レベル (k は 0 ~ ($n - 1$)) への書き込み時、“ $k_{(n - 1)}$ ”レベルに書き込むことを特徴とする請求項 3 記載の半導体記憶装置。

40

【請求項 7】

前記第 1 メモリセルにデータを書き込むとき、前記第 2 メモリセルに書き込むデータが定まっていない場合、前記第 1 メモリセルの“ k ”レベル (k は 0 ~ ($n - 1$)) への書き込み時、“ k_i ”レベル (i は 0、1、... ($n - 1$) のいずれか) に書き込むことを特徴とする請求項 3 記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置に係わり、例えば 1 つのメモリセルに複数ビットを記憶する NAND フラッシュメモリに関する。

50

【背景技術】

【0002】

NANDフラッシュメモリは、ソース線とビット線の間には複数のメモリセルが直列接続されてNANDユニットが構成されている。NANDフラッシュメモリは、ソース線に近いメモリセルから順次書き込まれる。このため、既書き込まれたメモリセルよりビット線側に位置するメモリセルの書き込みを行う際、容量結合により既書き込まれたメモリセルの閾値電圧がシフトしてしまう。

【0003】

この容量結合の影響は、1つのワード線に接続された複数のメモリセルにおいても生じる。すなわち、1つのワード線に接続された例えば3つのメモリセルに注目した場合において、2つのメモリセルの間のメモリセルにデータを書き込む場合、2つのメモリセルの閾値電圧により、書き込みセルの閾値電圧がシフトする。

10

【0004】

上記隣接セルの書き込みによる閾値電圧のシフトは、素子の微細化による容量結合の増加により顕著となっている。この容量結合を補償するために最初にラフに書き込みを行ったのち、細かく書き込む手法などが用いられている（例えば特許文献1）。しかし、ラフに書き込んだ状態を検知する読み出しなどにより書き込み時間の増大を招いている。したがって、隣接セルの容量結合によるメモリセルの閾値分布のシフトを補償でき、高速な書き込みが可能な半導体記憶装置が望まれている。

【特許文献1】特開2007-323731号公報

20

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明は、隣接セルの容量結合によるメモリセルの閾値分布のシフトを補償でき、高速な書き込みが可能な半導体記憶装置を提供しようとするものである。

【課題を解決するための手段】

【0006】

本発明の半導体記憶装置の態様は、ワード線、及びビット線に接続され、1つのメモリセルに、 n 値（ n は2以上の自然数）のうち1値を記憶する複数のメモリセルがマトリックス状に配置されて構成されたメモリセルアレイと、入力データに応じて前記ワード線、ビット線の電位を制御し、前記メモリセルにデータを書き込む制御回路とを具備し、前記制御回路は、前記メモリセルアレイの第1メモリセルに書き込むとき、前記第1メモリセルに隣接する第2メモリセルに書き込む書き込みデータに基づき、書き込みレベルを変えることを特徴とする。

30

【発明の効果】

【0007】

本発明によれば、隣接セルの容量結合によるメモリセルの閾値分布のシフトを補償でき、高速な書き込みが可能な半導体記憶装置を提供できる。

【発明を実施するための最良の形態】

【0008】

以下、本発明の実施の形態について、図面を参照して説明する。

40

【0009】

図1は、本発明の実施形態に係る半導体記憶装置の概略構成を示している。

【0010】

図1において、メモリセルアレイ1は、1つのメモリセルに例えば2ビットのデータを記憶することが可能なNAND型フラッシュメモリにより構成されている。すなわち、メモリセルアレイ1は、後述するように、複数のビット線と複数のワード線と共通ソース線、及び電氣的にデータを書き換え可能でロウ方向、カラム方向に配置された例えばEEPROMセルからなる複数のメモリセルを含んでいる。ロウデコーダとしてのワード線制御回路2は、メモリセルアレイ1のワード線に接続され、ワード線の選択及び駆動を行う。

50

センスアンプ回路 3 は、メモリセルアレイ 1 のビット線に接続され、後述するように、データの読み出し、書き込み機能、及び書き込みデータを残りの書き込み回数に変換する機能を有している。カラムデコーダ 4 は、アドレスデコーダ 7 の出力信号に応じて、メモリセルアレイ 1 のビット線を選択するカラム選択信号を出力する。

【 0 0 1 1 】

入出力制御回路 5 は、外部から供給される各種コマンド、アドレス信号、及び書き込みデータを受ける。データ書き込み時、書き込みデータは、入出力制御回路 5 からデータ入出力バッファ 6 を介してセンスアンプ回路 3 に供給される。データ読み出し時、センスアンプ回路 3 に読み出されたデータは、データ入出力バッファ 6 を介して、入出力制御回路 5 に供給され、入出力制御回路 5 から外部に出力される。

10

【 0 0 1 2 】

入出力制御回路 5 からデータ入出力バッファ 6 に供給されたアドレス信号は、アドレスデコーダ 7 に供給される。このアドレスデコーダ 7 によりデコードされた信号は、ワード線制御回路 2、及びカラムデコーダ 4 に供給される。

【 0 0 1 3 】

また、入出力制御回路 5 からデータ入出力バッファ 6 に供給されたコマンドは、制御信号発生回路 8 に供給される。制御信号発生回路 8 には、外部からチップイネーブル信号 / C E、書き込みイネーブル信号 / W E、読み出しイネーブル信号 / R E、アドレスラッチイネーブル信号 A L E、コマンドラッチイネーブル信号 C L E 等の外部制御信号が供給される。制御信号発生回路 8 は、動作モードに応じて供給される外部制御信号及びコマンドに基づいて、データ書き込み及び消去のシーケンスを制御する制御信号、及びデータの読み出しを制御する制御信号を発生する。この制御信号は、制御電圧発生回路 9、アドレスデコーダ 7 に供給される。

20

【 0 0 1 4 】

制御電圧生成回路 9 は、制御信号生成回路 8 から供給される各種制御信号に応じて、読み出し電圧、書き込み電圧、ベリファイ電圧、消去電圧など、メモリセルアレイやセンスアンプ回路 3、カラムデコーダ 4 の各種動作に必要な電圧を生成する。

【 0 0 1 5 】

パラメータ記憶部 10 は、入出力制御回路 5、制御信号発生回路 8 に接続され、テスト工程で決定されたチップの品質に適したパラメータを記憶する。

30

【 0 0 1 6 】

図 2 は、図 1 に示すメモリセルアレイ 1 とセンスアンプ回路 3 の構成例を示している。メモリセルアレイ 1 は、破線で示すように複数のブロック B L K を含んでいる。これらブロックは消去単位を構成する。各ブロック B L K には複数の N A N D セルが配置されている。1 つの N A N D セルは、直列接続された例えば 3 2 個の E E P R O M からなるメモリセル M C と、選択ゲートトランジスタ S 1、S 2 とにより構成されている。選択ゲートトランジスタ S 1 はビット線 B L 0 に接続され、選択ゲート S 2 はソース線 S R C に接続されている。各ロウに配置されたメモリセル M C の制御ゲートはワード線 W L 0、W L 1、W L 2 ~ W L 3 1 に共通接続されている。また、選択ゲートトランジスタ S 1 はセレクト線 S G D に共通接続され、選択ゲートトランジスタ S 2 はセレクト線 S G S に共通接続されている。

40

【 0 0 1 7 】

センスアンプ回路 3 は、複数のセンスアンプユニット (S A U) 3 a と、複数のデータ制御ユニット (D C U) 3 b を有している。各センスアンプユニット 3 a は、ビット線 B L 0、B L 1、B L 2 ~ B L n に接続されている。各データ制御ユニット 3 b は各センスアンプユニット 3 a に接続されている。各センスアンプユニット 3 a は、データの読み出し時、メモリセルからビット線に読み出されたデータを検知し、保持する。各データ制御ユニット 3 b は、カラム選択信号 S E L 0 ~ S E L n に従って動作するトランジスタを介してデータ入出力バッファに接続されている。

【 0 0 1 8 】

50

書き込み動作（プログラム動作とも呼ぶ）、読み出し動作、及びプログラムベリファイ動作（ベリファイ動作とも呼ぶ）において、センスアンプユニット 3 a に接続されているビット線が選択されるとともに、1本のワード線が選択される。この選択されたワード線に接続されている全てのメモリセルに、書き込み、又は読み出し電圧を印加することにより一斉に書き込み、又は読み出し動作が行われる。

【0019】

また、データ制御ユニット 3 b は、外部から供給された書き込みデータを保持するとともに、センスアンプユニット 3 a から読み出されたデータを保持する。さらに、データの書き込み時、書き込みデータを、書き込み電圧の印加回数に対応したデータに変換する操作を行う。

10

【0020】

尚、図 2 において、センスアンプユニット 3 a は、各ビット線に接続されているが、これに限定されるものではなく、例えば 2 つのビット線に 1 つ設けてもよい。また、データ制御回路 3 b は、各センスアンプユニット 3 a に接続されているが、これに限定されるものではなく、例えば 8 つのセンスアンプに対して 1 つのデータ制御回路 3 b を設け、このデータ制御回路 3 b をセンスアンプユニット 3 a に選択的に接続するような構成とすることも可能である。

【0021】

図 3 は、センスアンプユニット (SAU) 3 a の一例を示している。センスアンプユニット 3 a は、複数の P チャネル MOS トランジスタ (以下、PMOS と称す) 20、21、22、23 と、複数の N チャネル MOS トランジスタ (以下、NMOS と称す) 31、32、33、34、35、36、37 と、例えばクロックインバータ回路により構成されラッチ回路 LAT1 とにより構成されている。

20

【0022】

PMOS 20 のソースは電源 V_{dd} が供給されるノードに接続され、ドレインは PMOS 21、NMOS 31、32 を介してデータ制御ユニット (DCU) 3 b に接続される。PMOS 20 のゲートは、後述するラッチ回路 LAT1 のノード INV に接続されている。PMOS 21 のゲートには信号 BLC1 が供給され、NMOS 31、32 のゲートには信号 BLC2、BLC3 がそれぞれ供給されている。NMOS 31 と NMOS 32 の接続ノードは、ビット線 BL に接続されるとともに、NMOS 33、34 を介して接地されている。NMOS 33 のゲートは、ラッチ回路 LAT1 のノード INV に接続され、NMOS 33 は、ラッチ回路 LAT1 に保持されたデータにより制御される。さらに、NMOS 34 のゲートには、信号 DIS が供給されている。

30

【0023】

また、PMOS 22 のソースは電源 V_{dd} が供給されるノードに接続され、ドレインは PMOS 23、NMOS 36、NMOS 37 を介してデータ制御ユニット 3 b に接続される。PMOS 22 のゲートには信号 BLC4 が供給され、PMOS 23 のゲートは NMOS 35 を介して PMOS 21 と NMOS 31 の接続ノードに接続されている。NMOS 35 のゲートには信号 XXL が供給され、NMOS 36 のゲートにはリセット信号 RST が供給されている。NMOS 37 のゲートには信号 BLC5 が供給されている。ラッチ回路 LAT1 は、NMOS 36 に並列接続されている。

40

【0024】

上記センスアンプユニットの動作について概略的に説明する。

【0025】

(書き込み動作)

メモリセルにデータを書き込む場合、先ず、リセット信号 RST が一旦ハイレベル (以下、Hレベルと記す) とされ、ラッチ回路 LAT1 がリセットされる。すなわち、ラッチ回路 LAT1 のノード INV が Lレベルに設定される。この後、信号 BLC1、BLC4、DIS が Lレベル (以下、Lレベルと記す) とされる。

【0026】

50

この後、信号 B L C 2、B L C 3、X X L が H レベルとされ、信号 B L C 4 が L レベルとされて、データ制御ユニット 3 b からデータが取り込まれる。このデータが書き込みを示す L レベル “ 0 ” である場合、P M O S 2 3 のゲートが L レベルとなり、P M O S 2 3 はオン状態となる。このため、ラッチ回路 L A T 1 には H レベル “ 1 ” がセットされる。また、データが非書き込みを示す H レベル “ 1 ” である場合、P M O S 2 3 がオフ状態となる。このため、ラッチ回路 L A T 1 には L レベル “ 0 ” がセットされる。すなわち、データを書き込む場合、ラッチ回路 L A T 1 のノード I N V は H レベルに設定され、非書き込みの場合、ノード I N V は L レベルに設定される。

【 0 0 2 7 】

次いで、信号 B L C 1、B L C 3、D I S、X X L が L レベル、信号 B L C 2 が H レベルとされ、ビット線 B L が H レベルに充電される。この後、信号 D I S が H レベルに設定される。すると、ラッチ回路 L A T 1 のノード I N V が書き込みを示す H レベルの場合、N M O S 3 3 がオンし、N M O S 3 3、3 4 を介してビット線の電荷が放電される。また、ラッチ回路 L A T 1 のノード I N V が非書き込みを示す L レベルの場合、N M O S 3 3 がオフするため、ビット線の電位は H レベルに保持される。この後、図 2 に示すビット線と N A N D セルとを接続する選択ゲートトランジスタ S 1 のセレクト線 S G D が H レベルとされると、ビット線の電位がメモリセルのチャネルに転送される。これと同時に選択されたメモリセルのワード線に書き込み電圧 V_{pgm} を印加される。このため、書き込みセルの場合、チャネルが L レベル (V_{ss})、ワード線が書き込み電圧 V_{pgm} となり、書き込みが行われる。また、非書き込みセルの場合、チャネルが H レベル ($V_{dd} - V_{th}$: V_{th} は選択ゲートトランジスタの閾値電圧)、ワード線が V_{pgm} となるため、書き込みが行われない。

【 0 0 2 8 】

(読み出し動作)

メモリセルからデータを読み出す場合、先ず、リセット信号 R S T が一旦 H レベルとされ、ラッチ回路 L A T 1 がリセットされる。この後、信号 B L C 1、B L C 3、D I S、X X L が L レベル、信号 B L C 2 が H レベルとされ、ビット線が H レベルに充電される。この後、信号 B L C 2 を L レベルとして選択ワード線に読み出しレベルが供給される。メモリセルの閾値電圧が読み出しレベルより高い場合、メモリセルはオフ状態であり、ビット線は H レベルに保持される。また、メモリセルの閾値電圧が読み出しレベルより低い場合、メモリセルはオン状態となり、ビット線の電荷が放電される。このため、ビット線は L レベルとなる。次いで、信号 B L C 3 が H レベルとされ、ビット線の電位がデータ制御ユニット 3 b に読み出される。

【 0 0 2 9 】

(プログラムベリファイ動作)

書き込み動作後、メモリセルの閾値電圧を検証するプログラムベリファイ動作は、読み出し動作とほぼ同様である。この場合、ビット線を H レベルに充電した後、選択ワード線に所定のベリファイ電圧が供給される。メモリセルの閾値電圧がベリファイ電圧に達している場合、メモリセルはオフ状態となる。このため、ビット線の電位は H レベルに保持される。また、メモリセルの閾値電圧がベリファイ電圧に達していない場合、メモリセルはオン状態となる。このため、ビット線の電位は L レベルとなる。

【 0 0 3 0 】

この状態において、信号 B L C 1、B L C 2、X X L が H レベル、信号 B L C 4、B L C 3、D I S、R S T が L レベルとされ、ビット線 B L の電位がラッチ回路 L A T 1 に保持される。すなわち、メモリセルの閾値電圧がベリファイ電圧に達しており、ビット線 B L の電位が H レベルの場合、P M O S 2 3 がオフ状態となる。このため、ラッチ回路 L A T 1 には L レベルが保持される。また、メモリセルの閾値電圧がベリファイ電圧に達しておらず、ビット線 B L の電位が L レベルの場合、P M O S 2 3 がオン状態となる。このため、ラッチ回路 L A T 1 には H レベルが保持される。すなわち、ベリファイをパスした場合、ラッチ回路 L A T 1 のノード I N V の電位は L レベルとなり、ベリファイをパスしな

10

20

30

40

50

い場合、ノード INV の電位は H レベルとなる。

【0031】

また、ラッチ回路 $LAT1$ の反転ノード INV_n のデータは、信号 $BLC5$ を H レベルとして、 $NMOS37$ をオンした状態において、データ制御ユニット $3b$ に転送される。

【0032】

図4は、データ制御ユニット (DCU) $3b$ の一例を示している。このデータ制御ユニット $3b$ は、例えば5個のデータラッチ回路 $0DL$ 、 $1DL$ 、 $2DL$ 、 $3DL$ 、 $4DL$ と、バス 41 と、データ形成回路 42 を含んでいる。

【0033】

バス 41 の一端部は、センスアンプユニット $3a$ に接続され、他端部はデータ入出力バッファに接続されている。

10

【0034】

データラッチ回路 $0DL$ は、ラッチ回路 $LAT2$ と、トランスファークゲート 43 により構成されている。ラッチ回路 $LAT2$ は、トランスファークゲート 43 を介してバス 41 に接続される。トランスファークゲート 43 は信号 n 及びその反転信号 \bar{n} により制御される。データラッチ回路 $1DL$ 、 $2DL$ 、 $3DL$ 、 $4DL$ は、データラッチ回路 $0DL$ と同一構成であり、トランスファークゲートに供給される信号がそれぞれ相違している。したがって、各データラッチ回路 $0DL$ 、 $1DL$ 、 $2DL$ 、 $3DL$ 、 $4DL$ は、選択的にバス 41 に接続可能とされている。

【0035】

20

データ形成回路 42 は、ラッチ回路 $LAT3$ 、 $PMOS52 \sim 56$ 、 $NMOS61 \sim 70$ 、及びインバータ回路 71 により構成されている。 $PMOS51$ のソースは電源 V_{dd} が供給されるノードに接続されている。この $PMOS51$ のゲートにはセット信号 $SET1$ が供給され、ドレインはラッチ回路 $LAT3$ に接続されている。さらに、 $PMOS51$ のドレインは $NMOS61$ を介して接地されるとともに、 $NMOS62$ 、 63 を介して接地されている。 $NMOS61$ のゲートにはリセット信号 $RST2$ が供給され、 $NMOS62$ のゲートには、信号 $LATH$ が供給されている。 $NMOS63$ のゲートは、入力端がバス 41 に接続されたインバータ回路 71 の出力端に接続されている。さらに、 $PMOS51$ のドレインは、 $NMOS64$ 、 65 を介して接地されている。 $NMOS64$ のゲートには信号 $LATL$ が供給され、 $NMOS65$ のゲートは、バス 41 に接続されている。

30

【0036】

電源 V_{dd} が供給されるノードとバス 41 との間には、 $PMOS52$ 、 53 の直列回路と、 $PMOS54$ 、 55 の直列回路と、 $PMOS56$ が接続されている。

【0037】

$PMOS52$ のゲートには、信号 $BUSH2$ が供給され、 $PMOS53$ のゲートは $LAT3$ のノード LAT_n に接続されている。 $PMOS52$ 、 53 は、信号 $BUSH2$ と $LAT3$ のノード LAT_n の電位に応じてバス 41 を H レベルに充電する回路である。

【0038】

$PMOS54$ のゲートには、信号 $BUSL2$ が供給され、 $PMOS55$ のゲートは $LAT3$ のノード LAT に接続されている。 $PMOS54$ 、 55 は、信号 $BUSL2$ と $LAT3$ のノード LAT の電位に応じてバス 41 を H レベルに充電する回路である。

40

【0039】

$PMOS56$ のゲートには、セット信号 $SET2$ が供給されている。 $PMOS56$ は、セット信号 $SET2$ に応じてバス 41 を H レベルに充電する回路である。

【0040】

バス 41 と接地間には、 $NMOS66$ 、 67 の直列回路と、 $NMOS68$ 、 69 の直列回路と、 $NMOS70$ が接続されている。

【0041】

$NMOS66$ のゲートには、信号 $BUSH1$ が供給され、 $NMOS67$ のゲートは $LAT3$ のノード LAT_n に接続されている。 $NMOS66$ 、 67 は、信号 $BUSH1$ と LAT

50

T 3 のノード L A T n の電位に応じてバス 4 1 を L レベルに放電する回路である。

【 0 0 4 2 】

N M O S 6 8 のゲートには、信号 B U S L 1 が供給され、N M O S 6 9 のゲートは L A T 3 のノード L A T に接続されている。N M O S 6 8、6 9 は、信号 B U S L 1 と L A T 3 のノード L A T の電位に応じてバス 4 1 を L レベルに放電する回路である。

【 0 0 4 3 】

N M O S 7 0 のゲートには、リセット信号 R S T 2 が供給されている。N M O S 7 0 は、リセット信号 R S T 2 に応じてバス 4 1 を L レベルに放電する回路である。

【 0 0 4 4 】

データ制御ユニット 3 b は、データラッチ回路 0 D L、1 D L、2 D L、3 D L、4 D L にデータを保持するとともに、保持したデータを加工することが可能とされている。つまり、データ制御ユニット 3 b は、後述するように、保持したデータの例えば論理積 “ A N D ”、“ N A N D ”、論理和 “ O R ”、反転に相当する動作が可能とされている。

10

【 0 0 4 5 】

(データ制御ユニットの基本動作)

上記データ制御ユニットの基本動作について説明する。データ入出力バッファ 6 から供給された 2 ビットの書き込みデータは、データラッチ回路 1 D L、2 D L に 1 ビットずつラッチされる。ここで、データラッチ回路 1 D L、2 D L は、例えばロワーページ、アッパーページのデータをそれぞれ保持する。データラッチ回路 0 D L は、ベリファイがパスしたことを示すフラグデータを保持するために用いられる。データラッチ回路 0 D L、1 D L、2 D L、3 D L、4 D L のデータは、トランスファージェート 4 3 を介してバス 4 1 に転送可能とされている。

20

【 0 0 4 6 】

バス 4 1 のデータを L A T 3 に取り込む場合、リセット信号 R S T 2 を H レベルとして N M O S 6 1、7 0 をオンさせ、バス 4 1、及びラッチ回路 L A T 3 を L レベルにリセットする。

【 0 0 4 7 】

次いで、セット信号 S E T 1 を L レベルとして P M O S 5 1 をオンさせ、ラッチ回路 L A T 3 を H レベルにセットする。ラッチ回路 L A T 3 にデータを取り込む場合、ラッチ回路 L A T 3 は、先ず、H レベルにセットされる。この後、例えばデータラッチ回路 0 D L ~ 4 D L の何れかより、バス 4 1 にデータを転送する。この状態において、信号 L A T H を H レベルとする。バス 4 1 のデータが H レベルの場合、インバータ回路 7 1 の出力信号がローレベルとなり、N M O S 6 3 はオフ状態のままである。このため、ラッチ回路 L A T 3 は H レベルのままである。

30

【 0 0 4 8 】

また、バス 4 1 が L レベルの場合、インバータ回路 7 1 の出力信号が H レベルとなり、N M O S 6 3 がオンとなる。このため、ラッチ回路 L A T 3 は、N M O S 6 2、6 3 を介して放電され、L レベルとなる。

【 0 0 4 9 】

次に、バス 4 1 のデータを反転してラッチ回路 L A T 3 に取り込む場合の動作について説明する。上記のようにして、ラッチ回路 L A T 3 を H レベルにセットした状態において、バス 4 1 にデータを転送する。この後、信号 L A T L を H レベルとする。バス 4 1 のデータが H レベルの場合、N M O S 6 5 はオンとなる。このため、ラッチ回路 L A T 3 は、N M O S 6 4、6 5 を介して放電され、L レベルとなる。

40

【 0 0 5 0 】

また、バス 4 1 が L レベルの場合、N M O S 6 5 はオフ状態のままである。このため、ラッチ回路 L A T 3 は H レベルのままである。

【 0 0 5 1 】

このようにして、ラッチ回路 L A T 3 に保持されたデータを、データラッチ回路 0 D L ~ 4 D L に転送することにより、データラッチ回路 0 D L ~ 4 D L のデータを操作するこ

50

とができる。

【 0 0 5 2 】

(データラッチ回路に記憶されたデータの反転動作)

データラッチ回路 0 D L ~ 4 D L のデータを反転させる反転動作について説明する。先ず、前述した動作によりバス 4 1 を充電し、データラッチ回路 0 D L ~ 4 D L のいずれかのトランスファークラップゲート 4 3 が開けられる。例えばデータラッチ回路 0 D L のトランスファークラップゲート 4 3 が開けられた場合において、データラッチ回路 0 D L のノード D T が H レベルである場合、データラッチ回路 0 D L のクロックインバータ回路を介してバス 4 1 が放電され、ノード D T の反転データがバス 4 1 へ転送されたこととなる。

【 0 0 5 3 】

次に、上記のようにして、L A T 3 リセットした後、信号 S E T 1 を L レベルとして L A T 3 のノード L A T を H レベルとする。

【 0 0 5 4 】

次に、信号 L A T L を H レベルとすると、バス 4 1 がデータラッチ回路のデータによって放電されている場合、ノード L A T は H レベルを維持し、バス 4 1 が充電状態を維持したままの場合、N M O S 6 5 がオンするため、ノード L A T は L レベルに放電される。

【 0 0 5 5 】

次に、上述したようにバス 4 1 を充電し、信号 B U S H 1 を H レベルにすると、ノード L A T が H レベル (ノード L A T n が L レベル) の場合、バス 4 1 は H レベルを維持し、ノード L A T が L レベル (ノード L A T n が H レベル) の場合、バス 4 1 は L レベルとなる。

【 0 0 5 6 】

最後に、データラッチ回路 0 D L のラッチ回路 L A T 2 をリセットした後、トランスファークラップゲート 4 3 を開けることにより、バス 4 1 のデータがトランスファークラップゲート 4 3 を介してラッチ回路 L A T 2 に取り込まれる。この結果、バス 4 1 のデータが H レベルの場合、ノード D T は L レベルとなり、バス 4 1 のデータが L レベルの場合、ノード D T は H レベルとなる。

【 0 0 5 7 】

上記一連の動作を纏めると、ラッチ回路 L T A 2 のノード D T の反転データがバス 4 1 へ転送され、その反転データがラッチ回路 L T A 1 へ転送される。ラッチ回路 L A T 1 のデータがバス 4 1 に転送され、バス 4 1 の反転データがラッチ回路 L T A 2 に保持される。このようにして、データラッチ回路 0 D L ~ 4 D L のノード D T が反転される。

【 0 0 5 8 】

尚、データ制御ユニット 3 b の基本動作は、これに限定されるものではなく、他の動作によっても可能である。この動作を基本としてデータの “ A N D ” 、 “ N A N D ” 、 “ O R ” 動作を行うことが可能である。

【 0 0 5 9 】

図 5 は、N A N D 型フラッシュメモリの各書き込みデータに対応した閾値電圧分布と隣接容量結合による閾値電圧のシフトの関係を示している。

【 0 0 6 0 】

本実施形態は、1つのメモリセルが2ビットのデータを記憶する場合を示している。2ビットのデータは、同時にメモリセルに書き込まれる。書き込みデータと閾値電圧の間関係は、図5に実線で示す通りである。すなわち、閾値電圧の低い側から高い側へ順にデータ “ 1 1 ” 、データ “ 0 1 ” 、データ “ 1 0 ” 、データ “ 0 0 ” の閾値電圧が所定の間隔を隔てて分布し、これら閾値電圧の1つがメモリセルに設定される。

【 0 0 6 1 】

2ビットのデータを記憶する場合、閾値電圧分布はデータに応じて4つであるが、1つのメモリセルに3ビットのデータを記憶する場合、閾値電圧分布はデータに応じて8つとなり、1つのメモリセルに4ビットのデータを記憶する場合、閾値電圧分布はデータに応じて16個となる。尚、データ “ 1 1 ” の閾値電圧は、ほぼ消去状態の閾値電圧に対応す

10

20

30

40

50

る。

【 0 0 6 2 】

NAND型フラッシュメモリは、ソース線に近いメモリセルより順に書き込まれる。したがって、次の書き込み動作において、現在選択されているワード線よりビット線側に1つ近いワード線に接続されたメモリセルにデータが書き込まれる。また、NAND型フラッシュメモリの特徴として、選択ワード線に接続されたメモリセルにデータを書き込んだ後、次のワード線に接続されたメモリセルにデータを書き込む場合、次のメモリセルに書き込まれるデータに応じて、先に書き込まれたメモリセルと次に書き込まれるメモリセルの隣接結合容量が異なってくる。特に、閾値電圧を高い側に書き込む程、隣接結合容量によるメモリセルの閾値電圧のシフト量が大きくなる。

10

【 0 0 6 3 】

図5に複数の破線で示す閾値分布は、次の書き込み動作において、隣接セルに書き込まれるデータに対応した閾値電圧のシフトの様子を示している。図5から明らかのように、隣接セルに書き込まれる閾値電圧が高い程、閾値電圧のシフトが大きくなる。このため、データの読み出し時、閾値電圧が高めにシフトして読み出される。具体的には、次の書き込みデータが“11”、つまり非書き込みの場合、次のデータによる隣接結合容量はゼロであるため、メモリセルの閾値は正しく読まれる。しかし、次のデータが“11”以外である場合、閾値電圧がデータに応じて3通りの隣接結合容量による影響を受け、閾値電圧が実際よりも高めにシフトして読まれる。

【 0 0 6 4 】

(第1の実施形態)

図6乃至図10は、第1の実施形態を示すものであり、隣接結合容量によるメモリセルのシフトを考慮した書き込み動作の例を示している。

20

【 0 0 6 5 】

第1の実施形態は、図6に示すように、次の書き込みデータを考慮して、現在の書き込みベリファイレベルが設定される。データ“01”を書き込む場合において、ベリファイレベルがA-1に設定され、隣接セルに書き込まれるデータ(次の書き込みデータ)が“00”である場合、ベリファイレベルA-1が設定され、次の書き込みデータが“10”である場合、ベリファイレベルA-1より高いベリファイレベルA-2が設定される。さらに、次の書き込みデータが“01”である場合、ベリファイレベルA-2より高いベリファイレベルA-3が設定され、次の書き込みデータが“11”である場合、ベリファイレベルA-3より高いベリファイレベルA-4が設定される。すなわち、次の書き込みにおいて、最も閾値電圧のシフトが大きいデータ“00”に、閾値電圧が収束するように制御される。

30

【 0 0 6 6 】

図6乃至図10を参照して、書き込み動作について説明する。

【 0 0 6 7 】

まず、図3に示すセンスアンブユニット3aのラッチ回路LAT1が初期化される。すなわち、リセット信号RSTがHレベルとされ、ラッチ回路LAT1がイコライズされる。この後、信号BLC4がLレベルとされて、ノードINVがHレベルに設定される。

40

【 0 0 6 8 】

次に、書き込みデータが、図4に示すデータ入出力バッファからデータラッチ回路1DL、2DLに順次ロードされる。この後、データラッチ回路1DL、2DLに保持されたデータの“AND”が取られる。すなわち、データラッチ回路1DL、2DLのトランスファークローク43が同時に開けられる。データラッチ回路1DL、2DLのデータが“01”“10”“00”である場合、バス41はLレベルとなり、データラッチ回路0DL、1DLのデータが“11”である場合、バス41はHレベルとなる。

【 0 0 6 9 】

バス41のレベルは、前述したようにして、図4に示すラッチ回路LAT3に保持される。データラッチ回路1DL、2DLの論理積がHレベル(非書き込み)の場合、ラッチ

50

回路LAT3にLレベルが保持され、データラッチ回路1DL、2DLの論理積がLレベル（書き込み）の場合、ラッチ回路LAT3にHレベルが保持される。

【0070】

ラッチ回路LAT3に保持されたデータは、バス41を介してセンスアンプユニット3aに転送される。すなわち、先ず、信号BUSL2がLレベルとされる。ラッチ回路LAT3のノードLATがLレベルの場合、PMOS52、53がオンし、バス41がHレベルに充電される。この後、信号BUSL1がHレベルとされる。ラッチ回路LAT3のノードLATがLレベルの場合、NMOS68はオン、NMOS69はオフとなる。このため、バス41はHレベルとなる。

【0071】

また、信号BUSL2がLレベルとされ、ラッチ回路LAT3のノードLATがHレベルの場合、PMOS52がオンし、PMOS53がオフする。この後、信号BUSL1がHレベルとされる。ラッチ回路LAT3のノードLATがHレベルの場合、NMOS68、69はオンとなる。このため、バス41はLレベルとなる。

【0072】

センスアンプユニット3aの信号BLC5がHレベルとされ、バス41のレベルがラッチ回路LAT1に保持される。この結果、非書き込みデータの場合、ラッチ回路LAT1のノードINVがLレベルに設定され、書き込みデータの場合、ラッチ回路LAT1のノードINVがHレベルに設定される。この後、前述したように、書き込み動作が実行される。

【0073】

この書き込み動作の間に、次のワード線に接続されたメモリセルに書き込まれるデータが、データラッチ回路3DL、4DLにロードされる。

【0074】

図6に示すように、書き込みベリファイレベルは、それぞれの閾値分布に対して、次の書き込みデータの数だけ用意されている。すなわち、書き込みデータ“01”に対して、ベリファイレベルA-1、A-2、A-3が用意され、書き込みデータ“10”に対して、ベリファイレベルB-1、B-2、B-3が用意され、書き込みデータ“00”に対して、ベリファイレベルC-1、C-2、C-3が用意されている。これらベリファイレベルは、次の書き込みデータに対応して、隣接結合容量の補整値分高く設定されている。これらのベリファイレベルを用いてメモリセルの閾値電圧がベリファイされる。

【0075】

図7は、書き込みデータ“01”に対するベリファイ動作を示し、図8は、書き込みデータ“10”に対するベリファイ動作を示し、図9は、書き込みデータ“00”に対するベリファイ動作を示している。これらベリファイ動作は同様であるため、図7を用いてその動作を説明し、図8、図9において、図7と同一部分には、同一符号に“a”に代わり“b”“c”を付して説明を省略する。

【0076】

図7に示すように、データ“01”に対応するベリファイ動作は、先ず、最も低いベリファイレベルA-1が選択ワード線に供給される。このベリファイレベルA-1を用いて上述したようにベリファイ動作が行われる（S11a）。

【0077】

ベリファイの結果、ベリファイレベルA-1より高い閾値電圧を持っている集合のうち、次のワード線に接続されたメモリセルの書き込みデータが“00”、つまり、最も高い閾値電圧を有するメモリセルかどうか判别される（S12a）。

【0078】

この判别は、前記データラッチ回路3DL、4DLにロードされたデータを用いて行われる。尚、前述したように、ベリファイの結果、“ベリファイパス”である場合、図3に示すセンスアンプユニット3aのラッチ回路LAT1のノードINVがLレベルとなっている。このとき、次のデータが“00”であり、ベリファイパスであることは、例えば次

10

20

30

40

50

の条件により検出される。

【 0 0 7 9 】

$/ 3 D L \& / 4 D L \& L A T 1$

ここで、“ / ”は反転データを示し、“ & ”は論理積“ A N D ”を示している。すなわち、上記の場合、データラッチ回路 2 D L の反転データと、データラッチ回路 3 D L の反転データとラッチ回路 L A T 1 のデータの論理積をとることを意味している。この演算は、上記データ制御ユニット 3 b の基本動作を組み合わせることにより実行される。この演算結果は、ラッチ回路 L A T 3 に保持される。この動作の後、ベリファイパスである場合、L A T 3 に H レベルが保持され、それ以外は L レベルが保持される。

【 0 0 8 0 】

次に、上記条件でベリファイパスした場合、このメモリセルに対して書き込む必要がない。このため、このメモリセルに対応するデータラッチ回路 0 D L 、 1 D L 、 2 D L に非書き込みデータをセットする必要がある。この際、それ以外の条件のメモリセルに対応するデータラッチ回路 0 D L 、 1 D L 、 2 D L に非書き込みデータをセットしてはならないため、それをケアしたセットが必要となる。

【 0 0 8 1 】

すなわち、まず、バス 4 1 にデータラッチ回路 0 D L のデータの反転データがロードされる。次に、信号 B U S L 1 が H レベルとされ、ラッチ回路 L A T 3 のノード L A T が H レベルの場合だけ、放電パスができるようにする。このとき、ノード L A T が H レベルであれば、いかなるデータであっても、バス 4 1 は L レベルに設定される。この反転データ、すなわち、H レベルがデータとしてラッチされる。このため、データラッチ回路 0 D L は、ベリファイパスというデータがセットされる。

【 0 0 8 2 】

一方、まだベリファイパスしていないメモリセル、あるいは判定条件と違うデータは、バス 4 1 に対して放電パスが形成されない。このため、データの反転状態がそのままバス 4 1 に残ることになる。これを反転してロードすることにより、データラッチ回路 0 D L には、元のデータがそのまま保持される。

【 0 0 8 3 】

上記動作により、 $(/ 3 D L \& / 4 D L \& L A T 1) | 0 D L - > 0 D L$ という動作が完了したこととなる。ここで、“ | ”は、論理和“ O R ”を示している。すなわち、 $(/ 3 D L \& / 4 D L \& L A T 1)$ 又は 0 D L のデータが 0 D L に保持される。

【 0 0 8 4 】

データラッチ回路 1 D L と 2 D L についても、データラッチ回路 0 D L と同様の動作が実行される。

【 0 0 8 5 】

$(/ 3 D L \& / 4 D L \& L A T 1) | 1 D L - > 1 D L$

$(/ 3 D L \& / 4 D L \& L A T 1) | 2 D L - > 2 D L$

すなわち、 $(/ 3 D L \& / 4 D L \& L A T 1)$ 又は 1 D L のデータが 1 D L に保持され、 $(/ 3 D L \& / 4 D L \& L A T 1)$ 又は 2 D L のデータが 2 D L に保持される。

【 0 0 8 6 】

全ての動作が完了すると、ベリファイがパスしたメモリセルに対応するデータラッチ回路 0 D L ~ 2 D L は全て H レベルとなり、書き込みが完了したこととなる。

【 0 0 8 7 】

上記判別の結果、次の書き込みデータが“ 0 0 ”ではない場合、及びベリファイレベル A - 1 の結果が採用された場合、ベリファイレベル A - 2 によるベリファイ動作が行われる (S 1 4 a)。すなわち、ベリファイレベル A - 2 が選択ワード線に供給され、ベリファイ動作が行われる。この後、上述したようにして、次の書き込みデータが“ 1 0 ”であるかどうか判別され (S 1 5 a)、“ 1 0 ”である場合、ベリファイレベル A - 2 の結果が採用される (S 1 6 a)。

【 0 0 8 8 】

10

20

30

40

50

すなわち、次のような動作が行われる。

【0089】

(3DL & / 4DL & LAT1) | 0DL - > 0DL

(3DL & / 4DL & LAT1) | 1DL - > 1DL

(3DL & / 4DL & LAT1) | 2DL - > 2DL

この結果、ベリファイパスであるメモリセルに対応するデータラッチ回路0DL ~ 2DLは全てHレベルとなる。

【0090】

一方、まだベリファイパスしていないメモリセル、あるいは判定条件と違うデータは、バス41に対して放電パスが形成されない。このため、データの反転状態がそのままバス41に残ることになる。これを反転してロードすることにより、データラッチ回路0DL ~ 2DLには、元のデータがそのまま保持される。

10

【0091】

以下、同様にして、ベリファイレベルA - 3、A - 4を用いたベリファイ動作、及び次の書き込みデータ“01”“11”に応じた動作が実行される(S17a ~ S22a)。

【0092】

上記判別の結果、次の書き込みデータが“10”ではない場合、及びベリファイレベルA - 2の結果が採用された場合、ベリファイレベルA - 3によるベリファイ動作が行われる(S17a)。すなわち、ベリファイレベルA - 3が選択ワード線に供給され、ベリファイ動作が行われる。

20

【0093】

この後、次の書き込みデータが“01”であるかどうかを判別される(S18a)。この結果、次の書き込みデータが“01”である場合、ベリファイレベルA - 3のベリファイ結果が採用される(S19a)。

【0094】

上記判別の結果、次の書き込みデータが“01”ではない場合、及びベリファイレベルA - 3の結果が採用された場合、ベリファイレベルA - 4によるベリファイ動作が行われる(S20a)。すなわち、ベリファイレベルA - 4が選択ワード線に供給され、ベリファイ動作が行われる。

30

【0095】

この後、次の書き込みデータが“11”であるかどうかを判別される(S21a)。この結果、次の書き込みデータが“11”である場合、ベリファイレベルA - 4のベリファイ結果が採用される(S22a)。

【0096】

上記のようにして、ベリファイレベルAのベリファイ動作が終了される。

【0097】

次に、ベリファイレベルAと同様にして、図8に示すベリファイレベルBのベリファイ動作が行われ、この後、図9に示すベリファイレベルCのベリファイ動作が実行される。

【0098】

上記各ベリファイレベルA、B、Cを用いたベリファイ動作の結果、ベリファイがパスしない場合、プログラム電圧が僅かに増加されて、再度書き込み動作が行われる。この後、上記各ベリファイレベルA、B、Cを用いたベリファイ動作が実行される。このような動作が、選択された全てのメモリセルがベリファイパスとなるまで繰り返される。

40

【0099】

上記第1の実施形態によれば、書き込み動作中に、次に書き込むデータをデータラッチ回路2DL、3DLにロードし、次に書き込むデータに応じたベリファイレベルを用いたベリファイ動作において、ベリファイ結果が次に書き込むデータと一致している場合、ベリファイをパスとして、ベリファイ結果を採用している。このように、次に書き込むデータが高い閾値電圧に対応する場合、隣接容量結合によるシフトは当然大きいものと考えられる。このため、低めのベリファイレベルでベリファイし、隣接容量結合の高い順に、閾

50

値電圧を低く書き込んでいる。したがって、次のワード線により選択されるメモリセルにデータを書き込んだことによる閾値電圧のシフト分を予め相殺することができる。

【0100】

図10は、第1の実施形態に係る容量結合の補償を行った後の閾値電圧分布を示している。破線で示す各ベリファイレベルにおいて、次の書き込みデータに対応した各閾値電圧分布を合わせることで、次の書き込みデータによる容量結合の依存性を除くことができる。したがって、次の書き込みデータに係わず、各データの閾値電圧分布を破線で示す各ベリファイレベルに揃えることができる。このため、データ“01”“10”“11”の読み出しにおいて、各データに対応した閾値電圧分布と各読み出しレベルマージンを揃えることができる。したがって、読み出し誤りを防止できる。

10

【0101】

(第2の実施形態)

図11、図12、図13、図14は、第2の実施形態を示している。第2の実施形態は、第1の実施形態よりベリファイ回数を削減して、プログラム時間を短縮する手法の例を示している。図11乃至図14において、第1の実施形態と同一部分には同一符号を付し、異なる部分について説明する。

【0102】

第1の実施形態におけるベリファイ手法は、次のワード線に接続されたメモリセルに書き込まれる全てのデータに対応してベリファイを行った。これによるとベリファイ回数が次に書き込まれるデータの数だけ必要となるため、プログラム及びベリファイ時間が長くなり現実的ではない。

20

【0103】

そこで、第2の実施形態は、次のワード線に接続されたメモリセルに書き込まれるデータのうち、隣接容量結合の度合いの大きいペアを纏めてベリファイすることにより、ベリファイ時間を削減する。すなわち、次のワード線に接続されたメモリセルに書き込まれるデータのうち、“11”と“01”、“10”と“00”のペアは、閾値電圧の変動が近い。このため、これらペアに基づき、各データに応じたベリファイレベルを設定し、ベリファイする。

【0104】

具体的には、図11に示すように、本実施形態のビットアサインの場合、“11”と“01”のペアと、“10”と“00”のペアは、ロービット(lower bit)データが“1”と“0”に分けることができる。そこで、第2の実施形態において、例えばデータ“01”を書き込む場合において、先ず、ベリファイレベルA-1を用いてベリファイされ、次いで、ベリファイレベルA-3を用いてベリファイされる。また、データ“10”を書き込む場合において、先ず、ベリファイレベルB-1を用いてベリファイされ、次いで、ベリファイレベルB-3を用いてベリファイされる。さらに、データ“00”を書き込む場合において、先ず、ベリファイレベルC-1を用いてベリファイされ、次いで、ベリファイレベルC-3を用いてベリファイされる。

30

【0105】

図12乃至図14は、第2の実施形態に係るベリファイ動作を示している。第2の実施形態も第1の実施形態と同様に、次のワード線に接続されたメモリセルに書き込まれるデータの隣接結合容量による影響が大きい方がより低く書き込まれる。

40

【0106】

図12、図11に示すように、データ“01”に対応するベリファイ動作は、先ず、最も低いベリファイレベルA-1が選択ワード線に供給される。このベリファイレベルA-1を用いて上述したようにベリファイ動作が行われる(S11a)。

【0107】

ベリファイの結果、ベリファイレベルA-1より高い閾値電圧を持っている集合のうち、次のワード線に接続されたメモリセルの書き込みデータのロービットが“0”かどうか前述したような動作により判別される(S31a)。

50

【0108】

上記条件でベリファイパスした場合、このメモリセルに対して書き込む必要がない。このため、このメモリセルに対応するデータラッチ回路0DL、1DL、2DLに非書き込みデータがセットされる。

【0109】

一方、まだベリファイパスしていないメモリセル、あるいは判定条件と違うデータの場合、データラッチ回路0DL、1DL、2DLには、元のデータがそのまま保持される。

【0110】

上記判別の結果、次の書き込みデータのロワービットが“0”ではない場合、及びベリファイレベルA-1の結果が採用された場合、ベリファイレベルA-3によるベリファイ動作が行われる(S17a)。すなわち、ベリファイレベルA-3が選択ワード線に供給され、ベリファイ動作が行われる。この後、上述したようにして、次の書き込みデータのロワービットが“1”であるかどうかを判別され(S32a)、“1”である場合、ベリファイレベルA-3の結果が採用される(S19a)。

10

【0111】

上記条件でベリファイパスした場合、このメモリセルに対して書き込む必要がない。このため、このメモリセルに対応するデータラッチ回路0DL、1DL、2DLに非書き込みデータがセットされる。

【0112】

一方、まだベリファイパスしていないメモリセル、あるいは判定条件と違うデータの場合、データラッチ回路0DL、1DL、2DLには、元のデータがそのまま保持される。

20

【0113】

上記のようにして、ベリファイレベルAのベリファイ動作が終了される。

【0114】

次に、ベリファイレベルAと同様にして、図13に示すベリファイレベルBのベリファイ動作が行われ、この後、図14に示すベリファイレベルCのベリファイ動作が実行される。

【0115】

上記第2の実施形態によれば、第1の実施形態に比べてベリファイレベルを削減できる。このため、ベリファイ時間を短縮でき、第1の実施形態に比べて高速な書き込みが可能となる。

30

【0116】

(第3の実施形態)

図15乃至図21は、第3の実施形態を示している。第3の実施形態は、第2の実施形態よりさらに高速な書き込みを可能とする隣接結合容量の補償手法である。

【0117】

第3の実施形態は、第1、第2の実施形態のように、各書き込みデータ“01”“10”“00”にそれぞれ対応して複数のベリファイレベルを設定するのではなく、各書き込みデータ“01”“10”“00”に対応して唯一のベリファイレベルを設定する。このベリファイレベルによるベリファイ動作の後、次のワード線に接続されたメモリセルに書き込まれるデータによる隣接結合容量の度合いを“残りのプログラム電圧印加回数”すなわち、“残りの書き込み回数”という概念に変換することで補償する。

40

【0118】

例えば図15に示すように、次のワード線に接続されたメモリセルの書き込みデータが“11”の場合、閾値電圧のシフト無し、次の書き込みデータが“01”の場合、プログラム1回分閾値電圧がシフトするとし、次の書き込みデータが“10”の場合、プログラム2回分閾値電圧がシフトするとし、次の書き込みデータが“00”の場合、プログラム3回分の閾値電圧がシフトとする。

【0119】

この場合、次のワード線に接続されたメモリセルの書き込みデータが“11”の場合、

50

ベリファイ後の残りのプログラム（書き込み）回数が3回と設定され、次の書き込みデータが“01”の場合、残りのプログラム回数が2回と設定され、次の書き込みデータが“10”の場合、残りのプログラム回数が1回と設定され、次の書き込みデータが“00”の場合、残りのプログラム回数が0回と設定される。このように、残りの書き込み回数をコントロールすることにより、それぞれの容量結合に応じた閾値電圧のシフト量を補償することができる。

【0120】

図16(a)(b)は、データ変換動作に伴うデータの意味の変化を示している。図16(a)は、データラッチ回路1DL、2DLに保持された変換前の書き込みデータを示し、図16(b)は、データラッチ回路1DL、2DLに保持された変換後のプログラム回数データを示している。変換後において、データラッチ回路1DL、2DLのデータ“11”は書き込み完了を示し、データラッチ回路1DL、2DLのデータ“10”は残りプログラム回数1回を示し、データラッチ回路1DL、2DLのデータ“01”は残りプログラム回数2回を示し、データラッチ回路のデータ“00”は残りプログラム回数3回を示している。

10

【0121】

図17は、第3の実施形態の書き込みシーケンスの一例を示している。図17を参照して第3の実施形態の書き込みシーケンスについて概略的に説明する。

【0122】

まず、書き込みデータがデータラッチ回路1DL、2DLにロードされる。この後、ロック(Lock)の期間において、データラッチ回路0DLが非書き込み状態を示すデータ“0”に設定されるとともに、データラッチ回路1DL、2DLに保持されたデータが前述したように操作され、センスアンプユニット3aに設定される。次いで、選択ワード線に書き込み電圧(プログラム電圧)が印加され、第1のプログラム動作が実行される。この書き込み動作の期間に、次のワード線に接続されたメモリセルに対する書き込みデータが、データラッチ回路3DL、4DLにロードされる。

20

【0123】

書き込み動作が終了した後、ベリファイレベルAによりベリファイ動作が行われる(Verify A)。次いで、OpAの期間において、データラッチ回路3DL、4DLに保持された次の書き込みデータに基づき、データラッチ回路1DL、2DLの書き込みデータが残りの書き込み回数に変換される。

30

【0124】

この後、ベリファイレベルBによりベリファイ動作が行われる(Verify B)。次いで、OpBの期間において、データラッチ回路3DL、4DLに保持された次の書き込みデータに基づき、データラッチ回路1DL、2DLの書き込みデータが残りの書き込み回数に変換される。

【0125】

さらに、ベリファイレベルCによりベリファイ動作が行われる(Verify C)。次いで、OpCの期間において、データラッチ回路3DL、4DLに保持された次の書き込みデータに基づき、データラッチ回路1DL、2DLの書き込みデータが残りの書き込み回数に変換される。

40

【0126】

このように、データラッチ回路1DL、2DLのデータが残りの書き込み回数に変換された後、Lock期間において、データラッチ回路1DL、2DLのデータがセンスアンプユニットに設定される。

【0127】

この後、選択ワード線に書き込み電圧が印加され、第2のプログラム動作(プログラム2)が実行される。この後、SUB期間において、データラッチ回路1DL、2DLの残り書き込み回数から“1”が減算される。次いで、データラッチ回路1DL、2DLのデータがセンスアンプユニットに設定され、図示せぬ第3のプログラム動作が実行される。

50

このように、プログラム動作が実行される毎に、データラッチ回路1DL、2DLの残り書き込み回数がマイナス“1”される。この動作は、全てのデータラッチ回路1DL、2DLのデータが“11”となるまで繰り返される。

【0128】

次に、図18乃至図21を参照して、第3の実施形態の動作についてさらに説明する。

【0129】

図18は、上記プログラム、ベリファイ動作に伴うデータラッチ回路0DL～4DLのデータの変化の様子を示している。図18は、4つのカラムX、Y、Z、Wを例として示している。ここで、データラッチ回路0DLは、データ変換用フラグを保持するものとする。また、書き込みデータのアップービット（upper bit）はデータラッチ回路2DLに保持され、ロービットは1DLに保持されているとする。次の書き込みデータのアップービットはデータラッチ回路4DLに保持され、ロービットはデータラッチ回路3DLに保持されているとする。

10

【0130】

図18(a)はプログラム前の各データラッチ回路の内容を示している。図18(a)において、各カラムの書き込みデータは全て“01”であり、次の書き込みデータがカラムX、Y、Z、Wに対応して“11”“10”“01”“00”に設定されている。この状態において、前述したように、第1のプログラム動作（プログラム1）が行われ、ベリファイレベルA、B、Cによるベリファイ動作、及びデータ変換動作が行われる。

【0131】

図19は、ベリファイレベルAによるベリファイ及びデータ変換動作を示し、図20は、ベリファイレベルBによるベリファイ及びデータ変換動作を示し、図21は、ベリファイレベルCによるベリファイ及びデータ変換動作を示している。図19乃至図21において、同様の動作部分には同一符号に添え字“a”“b”“c”を付して示している。ここでは、図19に示すベリファイレベルAについての動作を具体的に説明する。

20

【0132】

第1のプログラム動作が終了すると、ベリファイレベルAによるベリファイ動作が実行される（S41a）。ベリファイが完了すると、図18(b)に示すように、全てのデータラッチ回路0DLのデータが“1”とされる。

【0133】

次に、ベリファイレベルAより高い閾値電圧を有する集合に対して、次の書き込みデータが“00”であるかどうか判別される（S42a）。この結果、次の書き込みデータが“00”である場合、データラッチ回路1DL、2DLに保持された書き込みデータが、書き込み完了データに変換される（S43a）。すなわち、データラッチ回路3DL、4DLのデータが反転され、データラッチ回路1DL、2DLにそれぞれラッチされる。具体的には、カラムWのように、次のデータが“00”である場合、このデータ“00”が反転されてデータラッチ回路1DL、2DLにデータ“11”としてラッチされる。データ“11”は、残りのプログラム回数が0回であるため、書き込み完了に変換されたこととなる（S43a）。

30

【0134】

また、次のデータが“10”である場合（S44a）、このデータ“10”が反転されてデータラッチ回路1DL、2DLにデータ“01”としてラッチされる。このため、残りのプログラム回数が1回であることを示すデータに変換されたこととなる（S45a）。

40

【0135】

また、次のデータが“01”である場合（S46a）、このデータ“01”が反転されてデータラッチ回路1DL、2DLにデータ“10”としてラッチされる。このため、残りのプログラム回数が2回であることを示すデータに変換されたこととなる（S47a）。

【0136】

50

また、次のデータが“11”である場合(S48a)、このデータ“11”が反転されてデータラッチ回路1DL、2DLにデータ“00”としてラッチされる。このため、残りのプログラム回数が3回であることを示すデータに変換されたこととなる(S49a)。

【0137】

次に、図20に示すベリファイレベルBに基づくベリファイ動作が、ベリファイレベルAと同様に行われ、この後、データ変換動作が実行される。次いで、図21に示すベリファイレベルCに基づくベリファイ動作が、ベリファイレベルAと同様に行われ、この後、データ変換動作が実行される。

【0138】

上記のようにデータ変換動作が終了した後、変換されたデータラッチ回路1DL、2DLのデータに基づき、図18に示すように、第2回目のプログラム(プログラム2)が行われる。この後、図18(c)に示すように、各データラッチ回路1DL、2DLの残りの書き込み回数から“1”が減算される。この減算動作は、例えばデータラッチ回路3DL、4DLに保持された次の書き込みデータを反転して、データラッチ回路1DL、2DLのデータと論理和をとることにより実現できる。

【0139】

このようにして、残りの書き込み回数が更新された後、第3のプログラム動作(プログラム3)が実行される。この後、図18(d)に示すように、各データラッチ回路1DL、2DLの残りの書き込み回数から“1”が減算される。

【0140】

上記のように、書き込み動作が行われる毎に、残りの書き込み回数が減算され、全てのデータラッチ回路1DL、2DLのデータが“11”となるまで上記動作が繰り返される。

【0141】

上記第3の実施形態によれば、書き込みデータ“01”“10”“00”にそれぞれ対応する3つのベリファイレベルを用いてベリファイし、隣接結合容量の度合いを残りの書き込み回数(書き込み電圧印加回数)に変換し、プログラム動作後、この残りの書き込み回数を減算し、プログラム、ベリファイを制御している。このため、第1、第2の実施形態に比べてさらにベリファイレベルを削減でき、ベリファイ回数を低減できる。したがって、書き込み速度を高速化することが可能である。

【0142】

尚、第3の実施形態において、残りのプログラム回数は、1回、2回、3回というように、整数倍に設定した。しかし、これに限定されるものではなく、例えば書き込み時のビット線の電位を制御することにより、残りのプログラム回数を少数倍に設定することも可能である。このように、少数倍に設定することにより、より高精度のプログラムが可能となる。この具体例については後述する。

【0143】

(第4の実施形態)

図22は、第4の実施形態を示している。第4の実施形態は第3の実施形態を変形したものである。第3の実施形態は、書き込みデータ“01”“10”“00”にそれぞれ対応する3つのベリファイレベルを用いてベリファイした。これに対して、第4の実施形態は、3つの書き込みデータ“01”“10”“00”に対して1つのベリファイレベルを設定してベリファイし、この後、書き込みデータ及び次の書き込みデータに基づき、書き込みデータを残りの書き込み回数に変換する。

【0144】

すなわち、図22に示すように、3つの書き込みデータ“01”“10”“00”に対して1つのベリファイレベルAが設定され、このベリファイレベルAを用いて3つの書き込みデータ“01”“10”“00”に対応する閾値電圧がベリファイされる。書き込みデータ“01”“10”“00”に対して、次の書き込みデータが“11”“01”“1

10

20

30

40

50

0” “00”である場合の閾値電圧のシフトをプログラム回数で示すと、図22に示すようになる。

【0145】

すなわち、書き込みデータ“01”において、次の書き込みデータが“11”の場合、プログラム回数0回分シフトし、次の書き込みデータが“01”の場合、プログラム回数1回分シフトし、次の書き込みデータが“10”の場合、プログラム回数2回分シフトし、次の書き込みデータが“00”の場合、プログラム回数3回分シフトするとする。

【0146】

書き込みデータ“10”において、次の書き込みデータが“11”の場合、プログラム回数6回分シフトし、次の書き込みデータが“01”の場合、プログラム回数7回分シフトし、次の書き込みデータが“10”の場合、プログラム回数8回分シフトし、次の書き込みデータが“00”の場合、プログラム回数9回分シフトするとする。

【0147】

書き込みデータ“00”において、次の書き込みデータが“11”の場合、プログラム回数12回分シフトし、次の書き込みデータが“01”の場合、プログラム回数13回分シフトし、次の書き込みデータが“10”の場合、プログラム回数14回分シフトし、次の書き込みデータが“00”の場合、プログラム回数15回分シフトするとする。

【0148】

上記仮定に基づき、書き込みデータと次の書き込みデータに基づき、書き込みデータと次の書き込みデータが残りの書き込み回数に変換される。

【0149】

図23は、第4の実施形態の書き込みシーケンスの一例を示し、図24は、データ変換動作の一例を示している。

【0150】

第4の実施形態において、非書き込みデータの場合、データラッチ回路0DL～4DLが全て“1”にリセットされる。このため、プログラム動作の前に、書き込みデータや次の書き込みデータが、データラッチ回路1DL～4DLにロードされている必要がある。このデータロード、及び非書き込みデータの場合に対応するデータラッチ回路0DL～4DLを全て“1”にリセットする動作は、Lock期間より前のConv期間において実行される。

【0151】

図24(a)は、Conv期間後のデータラッチ回路0DL～4DLを示している。データラッチ回路1DL、2DLのデータが“11”で、データラッチ回路3DL、4DLのデータが“11”、すなわち、非書き込みの場合、データラッチ回路0DLのデータがベリファイパスを示す“1”に設定される。その他のデータラッチ回路0DL～4DLには、書き込みデータ、及び次の書き込みデータが保持されている。

【0152】

この後、Lock期間において、データラッチ回路1DL、2DLの書き込みデータがセンスアンプユニットに設定される。次に、選択ワード線にプログラム電圧が印加されて第1のプログラム動作(プログラム1)が実行される。

【0153】

次いで、ベリファイレベルAによりベリファイ動作が実行される。ベリファイ動作の結果、ベリファイをパスしたメモリセルのデータは次の書き込みデータに基づいて、残りの書き込み回数(残りの書き込み電圧印加動作の回数)に変換される。

【0154】

すなわち、図24(b)に示すように、先ず、OpAにおいて、書き込みデータ“01”に対して変換動作が行われ、次にOpBにおいて、書き込みデータ“10”に対して変換動作が行われ、最後に、“OpC”において、書き込みデータ“00”に対して変換動作が行われる。この結果、OpCに示すように、データラッチ回路1DL、2DLに保持されたデータと、データラッチ回路3DL、4DLに保持されたデータに基づき、残りの

10

20

30

40

50

書き込み回数がデータラッチ回路 1DL、2DL、3DL、4DL に設定される。すなわち、残り 15 回の書き込み回数が 4 ビットのデータで表されている。

【0155】

このように、データ変換動作が実行された後、Lock 期間において、データラッチ回路 1DL、2DL がセンスアンブユニット 3a に設定され、第 2 のプログラム動作（プログラム 2）が実行される。

【0156】

第 2 のプログラム動作の後、SUB 期間において、上記残りの書き込み回数から“1”が減算される。このプログラム動作と減算動作が、全てのデータラッチ回路 0DL ~ 4DL のデータが“1”となるまで繰り返し実行される。

10

【0157】

上記第 4 の実施形態によれば、ベリファイレベルを 1 つとすることができる。このため、ベリファイ時間を短縮することができ、一層書き込み動作を高速化することが可能である。

【0158】

（第 5 の実施形態）

図 25、図 26、図 27 は、第 5 の実施形態を示している。第 5 の実施形態は、第 3 の実施形態の変形例である。第 3 の実施形態は、1 つのメモリセルに 2 ビットのデータを書き込む場合について説明した。これに対して、第 5 の実施形態は、1 つのメモリセルに 3 ビットのデータを書き込む場合を示している。

20

【0159】

図 25 は、隣接した異なるワード線にそれぞれ接続されたメモリセル“a”“b”“c”“d”に対するデータの書き込み順序を示している。

【0160】

図 25 に示すように、第 5 の実施形態の場合、(1)において、メモリセル“a”に 3 ビットのデータが書き込まれる。その後、(2)において、次のワード線に接続されたメモリセル“b”に 3 ビットのデータが書き込まれる。次いで、(3)において、次のワード線に接続されたメモリセル“c”に 3 ビットのデータを書き込まれる。その後、(4)において、次のワード線に接続されたメモリセル“d”に 3 ビットのデータが書き込まれる。

30

【0161】

図 26 (a) において、(1)は、メモリセル“a”に 3 ビットのデータを書き込んだ場合における閾値電圧分布を示している。VA、VB ~ VG は、それぞれベリファイレベルを示している。

【0162】

図 26 (a) (b) において、(2)は、次のワード線に接続されたメモリセル“b”に 3 ビットのデータを書き込んだ場合における、メモリセル“a”の閾値電圧分布を示している。このように、メモリセル“a”に対して次のワード線に接続されたメモリセルメモリセル“b”にデータが書き込まれることにより、容量結合により、メモリセル“a”の閾値電圧分布が本来のレベルに分布する。

40

【0163】

図 26 (b) は、図 26 (a) の一部を拡大したものである。

【0164】

第 5 の実施形態の場合、8 値のデータを保持するため、7 つのデータラッチ回路を必要とする。また、3 ビットのデータは同時に書き込まれ、データ変換動作により、残りの書き込み回数が最大 7 回設定され、書き込み動作が実行される。

【0165】

図 27 は、第 5 の実施形態の書き込み順序を示しており、図 25 と同一部分には同一符号を付している。図 27 は書き込みデータの順序の推移を示しており、0DL から 5DL に対応した記載された番号、例えば“0” ~ “5b” ~ “e14”は、それぞれ図 25 の

50

ページ番号を意味し、“a”、“b”、“c”などのアルファベットは各セルを意味する。例えば、5DLの最初に格納されているデータ“a0”は、セル“a”の最下位ビット（ページ0）、“a1”は、セル“a”の次のビット（ページ1）ということの意味している。

【0166】

このように、各書き込みデータの閾値電圧分布を最大の容量結合に合わせることにより、次のワード線に接続されたメモリセルにデータが書き込まれることにより、閾値電圧分布を本来のレベルに設定することができる。

【0167】

第5の実施形態によれば、隣接セルの結合容量を補償して3ビットのデータを高精度に書き込むことができる。

10

【0168】

（第6の実施形態）

図28、図29は、第6の実施形態を示している。第6の実施形態は、第5の実施形態の変形例である。第5の実施形態は、隣接するワード線を順次選択してメモリセルに3ビットのデータを1度に書き込んだ。

【0169】

これに対して、第6の実施形態は、図28に示すように、1つのメモリセルに2回に分けて3ビットのデータを書き込んでいる。すなわち、先ず、(1)において、メモリセル“a”に3ビットのデータが書き込まれる。その後、(2)において、次のワード線に接続されたメモリセル“b”に3ビットのデータが書き込まれる。次いで、(3)において、メモリセル“a”に3ビットのデータが再度書き込まれる。その後、(4)において、メモリセル“a”が接続されたワード線から2つ離れたワード線に接続されたメモリセル“c”に3ビットのデータが書き込まれる。その後、(5)において、メモリセル“a”が接続されたワード線の隣のワード線に接続されたメモリセル“b”に3ビットのデータが書き込まれる。

20

【0170】

図29は、メモリセル“a”の閾値電圧分布の変化を示している。(1)において、先ずメモリセル“a”に3ビットのデータが書き込まれる。第5の実施形態において、残りの書き込み回数は、最大7回に設定されたが、第6の実施形態の場合、最大3回に設定される。その後、残りの書き込み動作が実行され、おおよそのレベルに閾値電圧が設定される。

30

【0171】

次に、(2)において、メモリセル“b”が書き込まれると、容量結合により、閾値電圧分布がシフトする。

【0172】

その後(3)において、再度メモリセル“a”に対して3ビットのデータにより書き込み動作が実行される。この場合、前記ベリファイレベル V_A 、 $V_b \dots V_G$ よりそれぞれ若干高いベリファイレベル $V_A + \dots$ 、 $V_b + \dots V_G + \dots$ が用いられる。

【0173】

40

次いで、(4)において、メモリセル“b”に2回目の書き込みが行われると、容量結合により、メモリセル“a”の閾値電圧分布が本来のレベルにシフトする。

【0174】

図30は、第6の実施形態の書き込み順序を示しており、図28と同一部分には同一符号を付している。図30において、各ラッチ回路0DL~5DLに対応して記載された“a0”などの記号の意味は、図27と同様である。

【0175】

また、図31は、1回目のプログラム及びベリファイシーケンスを示し、図32は、2回目のプログラム及びベリファイシーケンスを示している。

【0176】

50

図3 1に示すように、書き込みの初期においては、閾値電圧の高いほうは書かれていないため、高いほうのベリファイは省略されている。書き込みが進むに従って、ベリファイ動作が増加する。また、書き込みの終盤において、閾値電圧の低いほうは、既に書かれているため、低いほうのベリファイが省略されている。

【0177】

図3 2に示す2回目のプログラム及びベリファイシーケンスも同様の動作であるが、最初の書き込み時のみ、全てのベリファイが行われている。

【0178】

上記第6の実施形態によれば、1つのメモリセルに対するデータの書き込みを、隣接セルの容量結合を考慮して2回行っている。このため、メモリセルに各閾値電圧分布を高精度の設定することができる。

10

【0179】

(第7の実施形態)

図3 3、図3 4は、第7の実施形態を示している。第7の実施形態は、第4の実施形態の変形例である。第4の実施形態は、1つのベリファイレベルを用いて2ビットのデータに対応する閾値電圧をベリファイし、この後、書き込みデータと次の書き込みデータを残りの書き込み回数に変換した。

【0180】

これに対して、第7の実施形態は、2つのベリファイレベルを用いて3ビットのデータに対応する閾値電圧をベリファイし、この後、書き込みデータと次の書き込みデータを残りの書き込み回数に変換する。

20

【0181】

また、第7の実施形態は、図3 3に示すように、第6の実施形態と同様に、1つのメモリセルに2回に分けて3ビットのデータを書き込んでいる。すなわち、先ず、(1)において、メモリセル“a”に3ビットのデータが書き込まれる。この後、(2)において、次のワード線に接続されたメモリセル“b”に3ビットのデータが書き込まれる。次いで、(3)において、メモリセル“a”に3ビットのデータが再度書き込まれる。この後、(4)において、メモリセル“a”が接続されたワード線から2つ離れたワード線に接続されたメモリセル“c”に3ビットのデータが書き込まれる。この後、(5)において、メモリセル“a”が接続されたワード線の隣のワード線に接続されたメモリセル“b”に3ビットのデータが書き込まれる。

30

【0182】

図3 4は、メモリセル“a”の閾値電圧分布の変化を示している。(1)において、先ずメモリセル“a”に3ビットのデータが書き込まれる。この後、例えばベリファイレベル V_A 、 V_D を用いてベリファイされる。この結果、ベリファイがパスした場合、書き込みデータ及び次の書き込みデータが残りの書き込み回数に変換される。この場合、残りの書き込み回数は、第6の実施形態と同様に最大3回に設定される。このようにして、残りの書き込み動作が実行され、おおよそのレベルに閾値電圧が設定される。

【0183】

次に、(2)において、メモリセル“b”が書き込まれると、容量結合により、閾値電圧分布がシフトする。

40

【0184】

この後、(3)において、再度メモリセル“a”に3ビットのデータにより書き込み動作が実行される。この場合、前記ベリファイレベル V_A 、 $V_b \dots V_G$ よりそれぞれ若干高いベリファイレベル V_{A+} 、 $V_{b+} \dots V_{G+}$ が用いられる。

【0185】

次いで、(4)において、メモリセル“b”に2回目の書き込みが行われると、容量結合により、メモリセル“a”の閾値電圧分布が本来のレベルにシフトする。

【0186】

上記第7の実施形態によれば、2つのベリファイレベルを用いて3ビットのデータを書

50

き込むことができるため、ベリファイを高速化できる。しかも、残りの書き込み回数を最大3回に設定しているため、書き込み速度を高速化できる。

【0187】

また、1つのメモリセルに対するデータの書き込みを、隣接セルの容量結合を考慮して2回行っている。このため、メモリセルに各閾値電圧分布を高精度の設定することができる。

【0188】

(第8の実施形態)

上記各実施形態は、1つのNANDユニット内において、隣接するワード線に接続されたメモリセルに書き込まれるデータによる容量結合を補償する場合について説明した。これに対して、第8の実施形態は、1つのワード線に接続された隣接セルに書き込まれるデータによる容量結合を補償する場合について説明する。

10

【0189】

尚、1つのメモリセルに書き込まれるデータは2ビットである場合について説明する。しかし、3ビット以上の場合においても適用可能である。

【0190】

図35(a)は、同一のワード線に接続された3つのメモリセルの閾値電圧の関係を示している。例えばメモリセルM_{Cm}にデータを書き込む場合において、このメモリセルM_{Cm}の両隣のメモリセルM_{Cm-1}、M_{Cm+1}が共に消去状態“11”である場合、メモリセルM_{Cm}は、隣接結合容量による閾値電圧のシフトは生じない。

20

【0191】

一方、図35(b)に示すように、メモリセルM_{Cm}の両隣のメモリセルM_{Cm-1}、M_{Cm+1}が共に消去状態より高い閾値電圧、例えば“00”である場合、メモリセルM_{Cm}にデータを書き込む時、隣接結合容量により閾値電圧のシフトが生じる。

【0192】

第8の実施形態は、隣接カラムのメモリセルのデータに応じて、書き込み完了からさらに追加の書き込みを行うことにより、隣接セルの結合容量を補償する。しかし、隣接カラムのデータは、様々であるため、これらデータの関係により追加の書き込み回数が設定される。

【0193】

図36は、隣接カラムのデータと追加書き込み回数の関係を示している。図36に示すように、書き込み対象のメモリセルに隣接する2つのメモリセルのデータが共に“11”である場合、及び一方のメモリセルのデータが“11”で他方のメモリセルのデータが“01”、又は隣接する2つのメモリセルのデータが共に“10”である場合、1回追加書き込みが行われるように制御される。図36において(+1)は、1回追加書き込みを行うことを示し、(0)は追加書き込みを行わないことを示している。

30

【0194】

図37は、追加書き込みが必要なカラムを検出する手法を示している。図37は、一例として、カラム1(col1)からカラム10(col10)のみを示している。

【0195】

まず、各カラムの例えばデータラッチ回路1DL、2DL(ここでは、データ制御ユニットDUCとして示している)に、外部より、それぞれデータがロードされる。すなわち、カラム1のデータラッチ回路にはデータ“01”がロードされ、カラム2のデータラッチ回路にはデータ“10”がロードされる。

40

【0196】

次に、Lowerで示すように、各カラムのロワービットのデータがロードされる。このとき、例えば“(a)col shift+”で示すように、まず、ロワービットのデータが1カラム分、上位のカラム方向にシフトして、例えばデータラッチ回路3DLにロードされる。この際、対応するデータがないカラム1には、データ“1”がセットされる。

50

【0197】

この後、“(b)col shift-”で示すように、ロービットのデータが1カラム分、下位のカラム方向にシフトして、例えばデータラッチ回路4DLにロードされる。このように、1カラム上位、及び1カラム下位にシフトしたデータをロードすることにより、各カラムにそのカラムの両隣のデータを対応させることができる。この際、対応するデータがないカラム10には、データ“1”がセットされる。

【0198】

このように、外部からデータを3回ロードした後、/((a) & (b))で示すように、上位方向にシフトされたデータと下位方向にシフトされたデータの“NAND”が演算される。この演算結果に基づき、追加の書き込みが行われる。すなわち、データ“0”のカラム2、カラム5に対して追加書き込みが行われ、その他のカラムに対しては書き込みが行われない。QPWは、追加書き込みが行われるカラムを示している。

10

【0199】

上記第8の実施形態によれば、1つのワード線に接続された複数のメモリセルにおいて、隣接するメモリセルのデータに基づき追加書き込みの必要なカラムを検出し、必要なカラムに対してのみ追加書き込みを可能としている。このため、ワード線方向に隣接するメモリセルの結合容量に基づく閾値電圧のシフトを補償することができる。

【0200】

尚、上記各実施形態において、残りの書き込み回数は、上記例に限定されるものではない。NAND型フラッシュメモリにおいて、書き込み、消去が繰り返されると、プログラム電圧に対する閾値電圧のシフト量が増加することが知られている。このため、書き込み、消去回数が多いメモリセルに対しては、上記残りの書き込み回数を削減することが望ましい。この制御は、例えば図示せぬコントローラにより、書き込み、消去回数をカウントし、このカウント数が規定値に達した場合、残りの書き込み回数を削減するように制御すればよい。

20

【0201】

(センスアンプユニットの変形例)

上述したように、書き込み時のビット線の電位を制御することにより、残りのプログラム回数を少数倍に設定することができる。この制御は、センスアンプユニットを用いて行われる。

30

【0202】

図38は、図3に示すセンスアンプユニット3aの変形例を示している。図38において図3と同一部分には同一符号を付し、異なる部分についてのみ説明する。

【0203】

図38において、電源電圧Vddが供給されるノードとビット線BLとの間にNMOS80、81が直列接続されている。NMOS80のゲートは、NMOS82を介して電源電圧Vddが供給されるノードに接続されるとともに、キャパシタC1の一端に接続されている。キャパシタC1の他端は接地されている。前記NMOS81には、信号SWAが供給され、NMOS82のゲートには信号SWBが供給されている。

40

【0204】

(キャパシタに加える電荷をアナログ値とする例)

上記各実施形態のプログラム動作において、図3の信号BLC2を中間電位とすることにより、ベリファイレベルを超えたセルに対して、半分の書き込みパルスに相当する0.5回の書き込みを実現することができる。

【0205】

これに対して、図38に示す変形例の場合、キャパシタC1の充電電荷に応じて、必要な電位を発生することができる。すなわち、信号SWBをHレベルとすると、NMOS82がオンし、このNMOS82を介してキャパシタC1に電荷が蓄積される。信号SWBによりNMOS82のオン時間を制御でき、キャパシタC1の充電電荷を制御することができる。

50

【0206】

この状態において、信号SWAをHレベルとすることにより、NMOS81がオンとされる。NMOS80はキャパシタC1に蓄積された電荷に応じてオンとされる。このため、NMOS80、81を介してビット線BLに電位を供給することができる。この電位は、キャパシタC1の充電電荷に応じて制御される。すなわち、キャパシタC1の充電電荷を制御することにより、ビット線BLに必要な中間電位を供給することができる。1未満の回数の書き込みパルスに相当する、最適なパルスをメモリセルに与えることが可能である。

【0207】

(バックパターン補償の例)

10

次に、ブロック内の次に書き込まれるデータに応じて、中間電位を変えるバックパターン補償(Back Pattern compensation)について説明する。

【0208】

上記各実施形態は、ベリファイレベルを超えたセルに対して、隣接するメモリセルに書き込まれるデータに応じて、書き込み完了としたり、数回書き込み電圧パルスを印加してターゲットレベルに書き込んだりすることにより、隣接セルの結合容量の影響を補償した。

【0209】

これに対して、バックパターン補償を行う場合、ブロック内に書き込まれるデータに応じて書き込みを制御する必要がある。すなわち、図2に示すように、あるワード線WL_nに接続されたメモリセルにデータが書き込まれた後、ワード線WL_{n+1}~WL₃₁に接続されたメモリセルにデータが書き込まれる。ここで、データ“00”が書き込まれるセルが多い場合、ベリファイリードやリード時に電流が減少する。このため、先に書き込んだワード線WL_nに接続されたセルの閾値レベルが見かけ上少し高くなってしまふという問題がある。

20

【0210】

そこで、ワード線WL_{n+1}~WL₃₁に接続されたセルに書き込まれるデータが、低いレベルが多く、高いレベルが少ない場合、事前に本来のベリファイレベルより高いレベルに書き込んでおくことで、ブロック内のバックパターンを補正することが可能である。

【0211】

30

具体的には、例えばワード線WL_{n+1}~WL₃₁に書き込まれるデータが“11”である場合3点、“01”の場合2点、“10”の場合1点、“00”の場合0点として、ワード線WL_{n+1}~WL₃₁に書き込むデータの合計点が求められる。この後、合計点がワード線WLの数で割られ、平均点が求められる。この演算は、例えば外部の図示せぬコントローラ(ホスト装置)により行われる。

【0212】

ワード線WL_nに対するデータの書き込み時、コントローラから演算された平均点が半導体記憶装置に送られ、ベリファイレベルに達したメモリセルに対して、平均点に応じて追加の書き込み電圧パルスが印加される。すなわち、平均点が高い場合程多くの書き込み電圧パルスが印加される。この場合、パルス数は簡単のために、例えば、0回、0.5回、1回、1.5回の4パターンなど、数回に減らすことも可能である。

40

【0213】

このように、ブロック内に書き込まれるデータの状態に応じて、先に書き込まれる閾値電圧を補償することにより、ブロック内のバックパターンを補正することができる。

【0214】

尚、各実施形態と同様に、ビット線に中間電位を供給することにより、1回未満の書き込み電圧パルスを印加することができる。

【0215】

(次の書き込みデータがない場合の例)

また、上記各実施形態において、メモリセルにデータを書き込む時、隣接セルに書き込

50

むデータがない場合がある。すなわち、例えば1つのメモリセルに2ビット(2ページ)のデータを書き込む場合において、1ビット目及び2ビット目の両方がない場合、又は2ビット目のデータがない場合がある。あるいは、1つのメモリセルに3ビット(3ページ)のデータを書き込む場合において、3ビットのデータ全てがない場合、又は2ビット目以降のデータがない場合がある。このような場合、半導体記憶装置の外部のコントローラ、例えばホスト装置において、例えばダミーデータが生成され、このダミーデータが半導体記憶装置に供給されて、メモリセルに書き込まれる。このダミーデータは、2ビット(2ページ)以上のデータを例えばオール“1”又はオール“0”に設定したり、2ビット(2ページ)以上のデータを例えば“01”又は“10”のような、任意の値に設定したりすることが可能である。すなわち、書き込み後のデータを消去レベル以上で、最も低いレベル又は最も高い閾値レベル、或いは中間レベルのいずれかに設定すればよい。

10

【0216】

このようにダミーデータを書き込むことにより、隣接セルに書き込みデータがない場合であっても先に書き込まれるメモリセルの閾値レベルを正確に設定することができる。

【0217】

(アプリケーションの例)

次に、上記半導体記憶装置が適用されるアプリケーションについて説明する。

【0218】

図39は、半導体記憶装置が適用されるメモリカードの例を示している。図39において、メモリカード900は、上記実施形態で説明したNAND型フラッシュメモリを含む半導体記憶装置901を有している半導体記憶装置901は、図示せぬ外部装置から所定の制御信号及びデータを受け取る。また、図示せぬ外部装置へ所定の制御信号及びデータを出力する。

20

【0219】

すなわち、メモリカード900に搭載された半導体記憶装置901は、データ、アドレス、若しくは、コマンドを転送する信号線(DAT)、信号線DATにコマンドが転送されている事を示すコマンドラインイネーブル信号線(CLE)、信号線DATにアドレスが転送されている事を示すアドレスラインイネーブル信号線(ALE)、及び、フラッシュメモリ10が動作可能か否かを示すレディービジー信号線(R/B)が接続される。

【0220】

図40は、別のメモリカードの例を示している。このメモリカードは、図40に示したメモリカードと異なり、フラッシュメモリ3を制御し、図示せぬ外部装置と信号を授受するコントローラ910を有している。

30

【0221】

コントローラ910は、例えば図示せぬ外部装置から信号を入力し、若しくは、外部装置へ信号を出力するインターフェース部(I/F)911と、NAND型フラッシュメモリを含む半導体記憶装置901と信号を授受するインターフェース部912と、外部装置から入力された論理アドレスを物理アドレスに変換するなどの計算を行うマイクロプロセッサ(MPU)913と、データを一時的に記憶するバッファとしてのRAM914と、誤り訂正符合を生成する誤り訂正部(ECC)915を有している。また、メモリカード900のインターフェース部911には、コマンド信号線(CMD)、クロック信号線(CLK)、信号線(DAT)が接続されている。

40

【0222】

尚、上記メモリカードにおいて、各種信号線の数、信号線のビット幅、及びコントローラの構成は変形可能である。また、この構成を適用してハードディスクに変わるSSD(Solid State Drive)を構成することも可能である。

【0223】

図41は、別のアプリケーションを示している。図41に示すように、前述したメモリカード900は、カードホルダー920に挿入され、図示せぬ電子機器に接続される。カードホルダー920は、コントローラ910の機能の一部を有していても良い。

50

【0224】

図42は、別のアプリケーションを示している。メモリカード900、若しくは、メモリカード900が挿入されたカードホルダー920は、接続装置1000に挿入される。接続装置1000は接続配線1100、及びインターフェース回路1200を介してボード1300に接続される。ボード1300にはCPU1400やバス1500が搭載される。

【0225】

図43は、別のアプリケーションを示している。メモリカード900、若しくは、メモリカード900が挿入されたカードホルダー920が接続装置1000に挿入される。接続装置1000は接続配線1100を介して、パーソナルコンピュータ2000に接続されている。

10

【0226】

図44、図45は、別のアプリケーションを示している。図44、図45に示すように、ICカード2100は、MCU2200を搭載している。MCU2200は、上記実施形態に従ったNAND型フラッシュメモリを含む半導体記憶装置901と、例えばROM2300、RAM2400、及びCPU2500を備えている。ICカード2100は、図20に示すように、その一表面に露出されたプレーンターミナル(plane terminal)2600を有し、プレーンターミナル2600はMCU2200に接続されている。CPU2500は、演算部2510と、フラッシュメモリ3、ROM2300及びRAM2400に接続された制御部2520を備えている。

20

【0227】

図46は、他のアプリケーションを示すものであり、例えば携帯音楽記録再生装置3000の例を示している。この携帯音楽記録再生装置3000は、例えば本体内に上記実施形態に従ったNAND型フラッシュメモリを含む半導体記憶装置901を内蔵している。さらに、上記NAND型フラッシュメモリを含むメモリカード900が装着可能とされている。

【0228】

図47は、他のアプリケーションを示すものであり、例えば携帯電話等の携帯端末装置4000を示している。携帯端末装置4000は、例えば本体内に上記実施形態に従ったNAND型フラッシュメモリを含む半導体記憶装置901を内蔵している。さらに、上記NAND型フラッシュメモリを含むメモリカード900が装着可能とされている。

30

【0229】

図48は、他のアプリケーションを示すものであり、例えばUSBメモリ5000を示している。USBメモリ5000は、例えば本体内に上記実施形態に従ったNAND型フラッシュメモリを含む半導体記憶装置901を内蔵している。

【0230】

その他、本発明は、上記実施形態に限定されるものではなく、発明の要旨を変えない範囲において種々変形実施可能なことは勿論である。

【図面の簡単な説明】

【0231】

40

【図1】実施形態に係る半導体記憶装置の概略構成図。

【図2】メモリセルアレイとセンスアンプ回路の一例を示す構成図。

【図3】センスアンプユニットの一例を示す回路図。

【図4】データ制御ユニットの一例を示す回路図。

【図5】閾値電圧分布と隣接容量結合による閾値電圧のシフトの関係を示す図。

【図6】第1の実施形態を示すものであり、隣接結合容量によるメモリセルのシフトを考慮した書き込み動作の例を示す図。

【図7】第1の実施形態に係る書き込み動作を示すフローチャート。

【図8】第1の実施形態に係る書き込み動作を示すフローチャート。

【図9】第1の実施形態に係る書き込み動作を示すフローチャート。

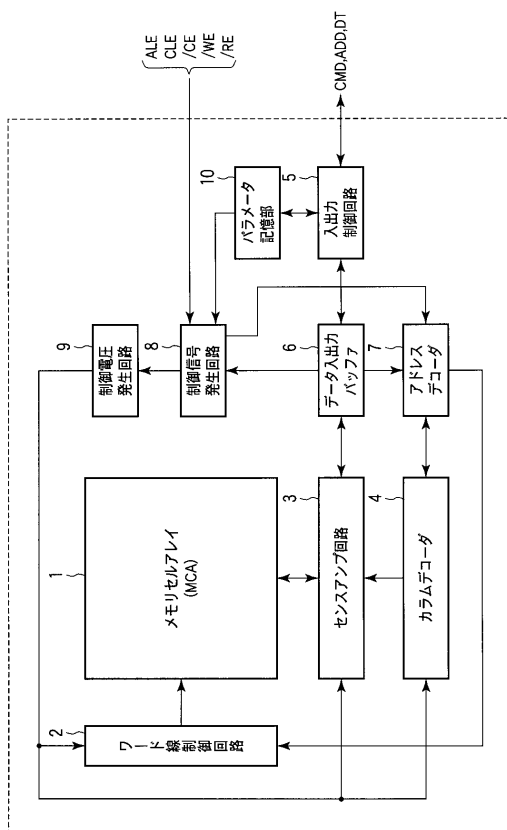
50

- 【図 1 0】第 1 の実施形態に係る容量結合の補償を行った後の閾値電圧分布の例を示す図。
- 【図 1 1】第 2 の実施形態に係るベリファイレベルとデータの関係を示す図。
- 【図 1 2】第 2 の実施形態に係るベリファイ動作の例を示すフローチャート。
- 【図 1 3】第 2 の実施形態に係るベリファイ動作の例を示すフローチャート。
- 【図 1 4】第 2 の実施形態に係るベリファイ動作の例を示すフローチャート。
- 【図 1 5】第 3 の実施形態に係るベリファイレベルとデータの関係を示す図。
- 【図 1 6】第 3 の実施形態に係わり、データ変換動作に伴うデータの意味の変化を示す図。
- 【図 1 7】第 3 の実施形態の書き込みシーケンスの一例を示す図。 10
- 【図 1 8】第 3 の実施形態の書き込み動作の一例を示す図。
- 【図 1 9】第 3 の実施形態のベリファイ及びデータ変換動作の一例を示すフローチャート。
- 【図 2 0】第 3 の実施形態のベリファイ及びデータ変換動作の一例を示すフローチャート。
- 【図 2 1】第 3 の実施形態のベリファイ及びデータ変換動作の一例を示すフローチャート。
- 【図 2 2】第 4 の実施形態の概略動作を示す図。
- 【図 2 3】第 4 の実施形態に係る書き込みシーケンスの一例を示す図。
- 【図 2 4】第 4 の実施形態に係るデータ変換動作の一例を示す図。 20
- 【図 2 5】第 5 の実施形態に係る書き込み順序を示す図。
- 【図 2 6】図 2 6 (a) (b) は、第 5 の実施形態に係る書き込み動作の一例を示す図。
- 【図 2 7】第 5 の実施形態に係る書き込み動作の一例を示す図。
- 【図 2 8】第 6 の実施形態に係る書き込み順序を示す図。
- 【図 2 9】第 6 の実施形態に係る書き込み動作の一例を示す図。
- 【図 3 0】第 6 の実施形態に係る書き込み動作の一例を示す図。
- 【図 3 1】第 6 の実施形態に係るプログラム、ベリファイ動作の一例を示す図。
- 【図 3 2】第 6 の実施形態に係るプログラム、ベリファイ動作の一例を示す図。
- 【図 3 3】第 7 の実施形態に係る書き込み順序を示す図。
- 【図 3 4】第 7 の実施形態に係る書き込み動作の一例を示す図。 30
- 【図 3 5】図 3 5 (a) (b) は、第 8 の実施形態に係り、隣接カラムのデータの関係を示す図。
- 【図 3 6】第 8 の実施形態に係り、隣接カラムのデータと追加書き込み回数関係を示す図。
- 【図 3 7】第 8 の実施形態に係り、データ変換動作の一例を示す図。
- 【図 3 8】センスアンプユニットの変形例を示す回路図。
- 【図 3 9】実施形態に係る半導体記憶装置が適用されるアプリケーションを示す構成図。
- 【図 4 0】他のアプリケーションの例を示す構成図。
- 【図 4 1】他のアプリケーションの例を示す構成図。
- 【図 4 2】他のアプリケーションの例を示す構成図。 40
- 【図 4 3】他のアプリケーションの例を示す構成図。
- 【図 4 4】他のアプリケーションの例を示す構成図。
- 【図 4 5】他のアプリケーションの例を示す構成図。
- 【図 4 6】他のアプリケーションの例を示す構成図。
- 【図 4 7】他のアプリケーションの例を示す構成図。
- 【図 4 8】他のアプリケーションの例を示す構成図。
- 【符号の説明】
- 【 0 2 3 2 】
- 1 ... メモリセルアレイ、 2 ... ワード線制御回路、 3 ... センスアンプ回路、 3 a ... センスアンプユニット、 3 b ... データ制御ユニット、 0 D L ~ 4 D L ... データラッチ回路、 8 ...

制御信号発生回路、9...制御電圧発生回路。

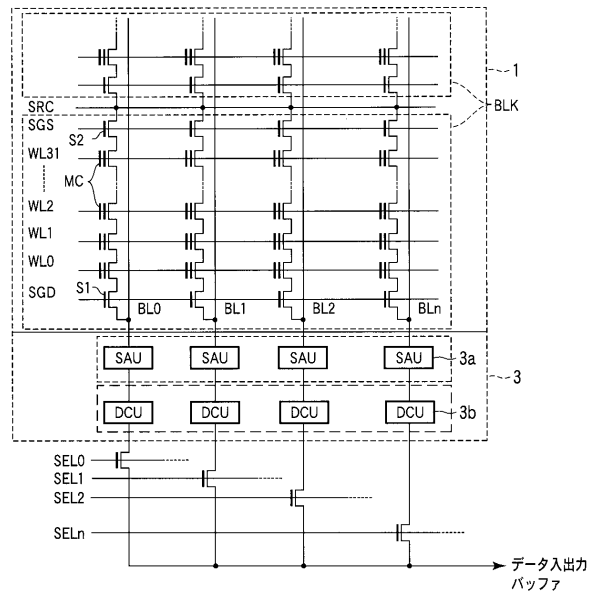
【図1】

図1

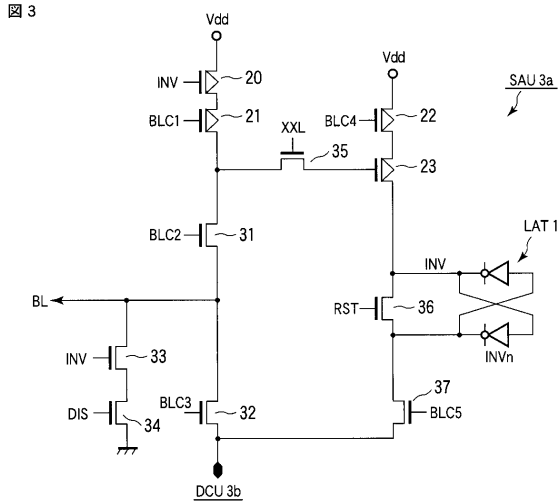


【図2】

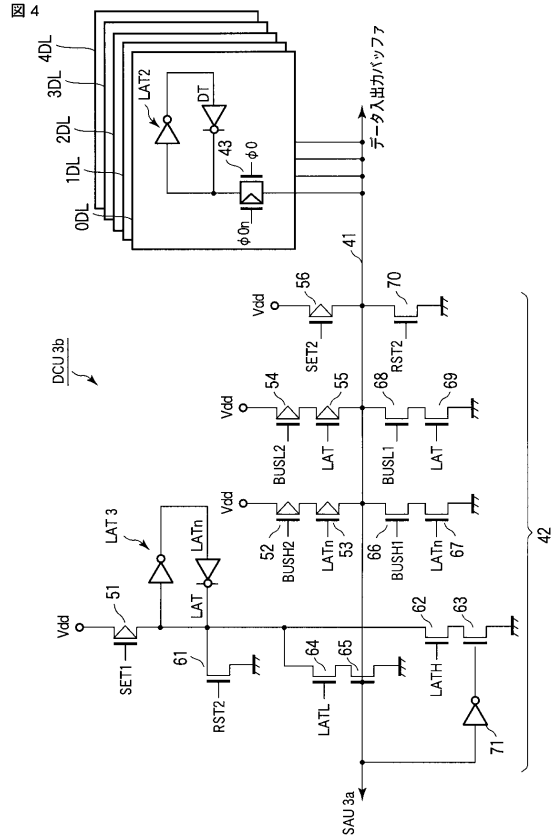
図2



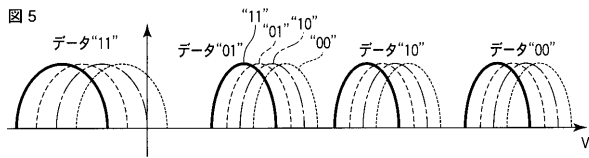
【 図 3 】



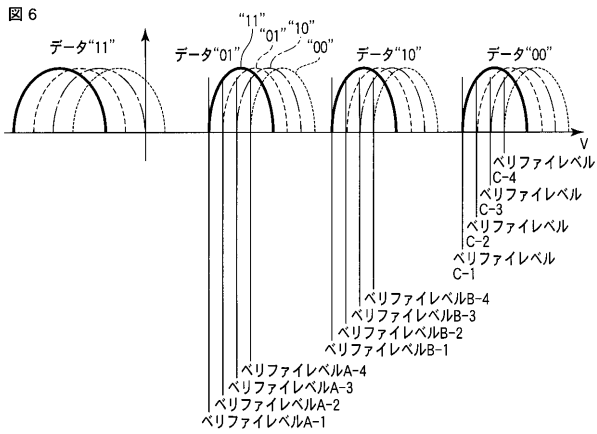
【 図 4 】



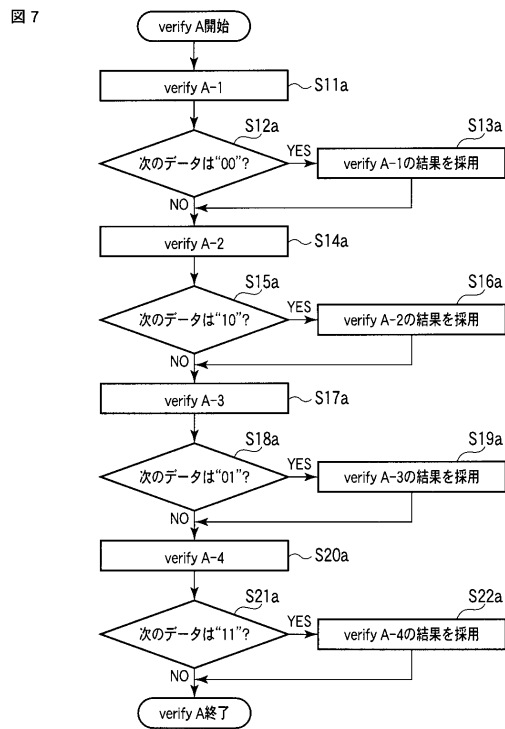
【 図 5 】



【 図 6 】

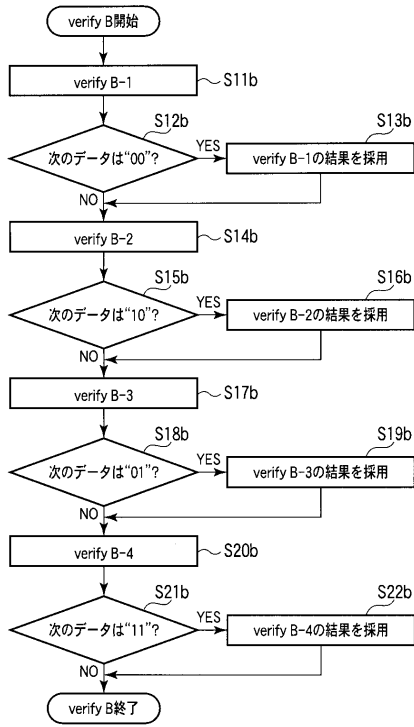


【 図 7 】



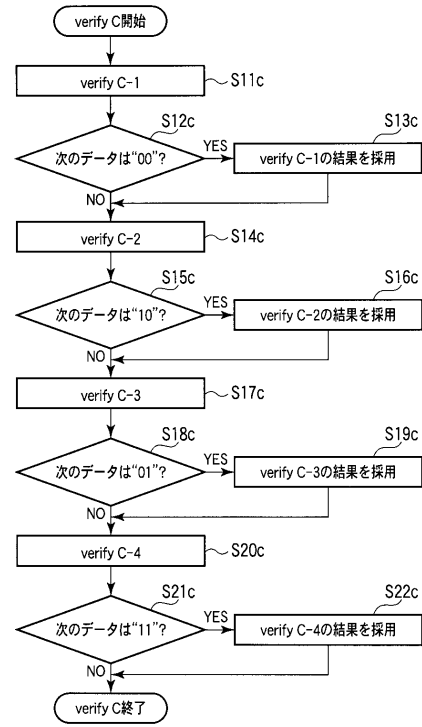
【 図 8 】

図 8



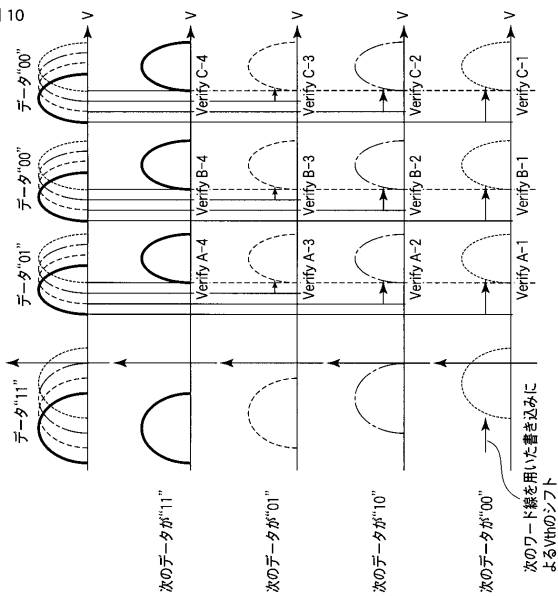
【 図 9 】

図 9



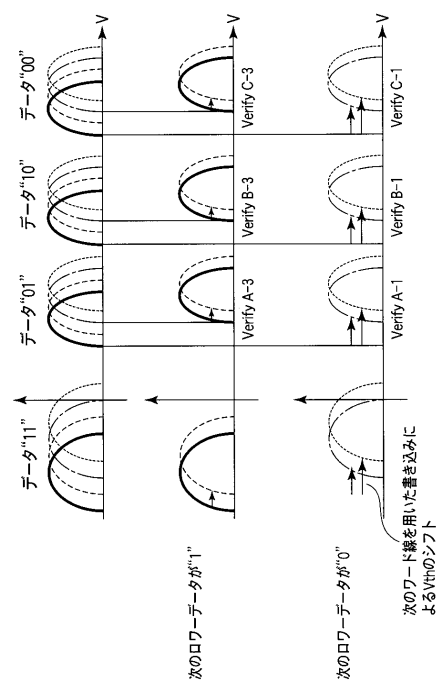
【 図 10 】

図 10



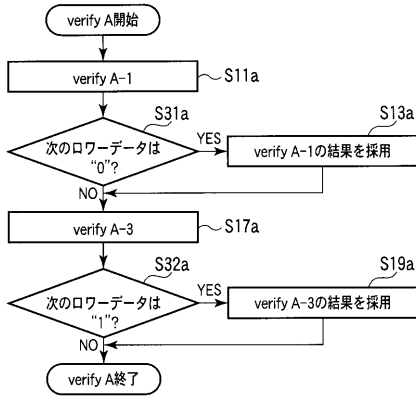
【 図 11 】

図 11



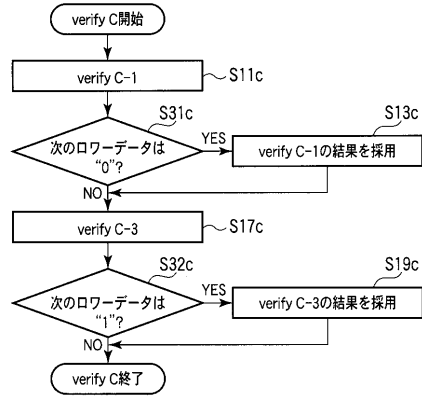
【 図 1 2 】

図 12



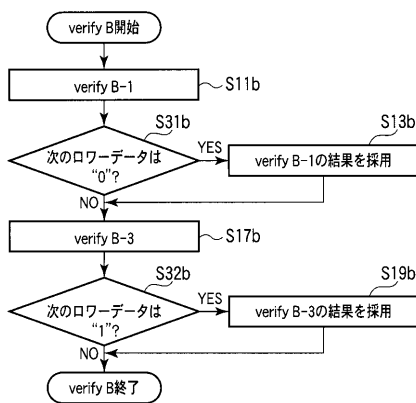
【 図 1 4 】

図 14



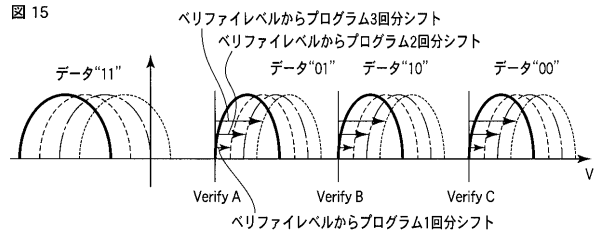
【 図 1 3 】

図 13



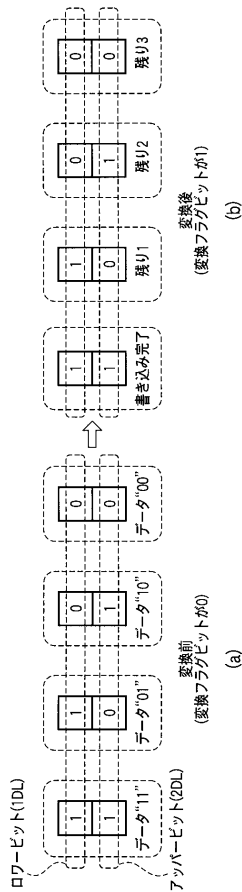
【 図 1 5 】

図 15



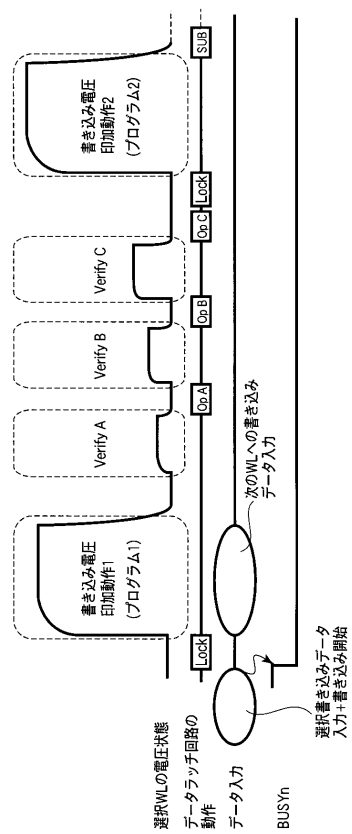
【 図 1 6 】

図 16



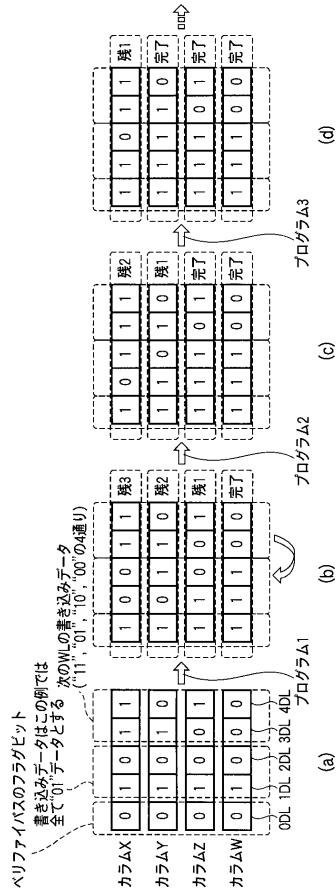
【 図 1 7 】

図 17



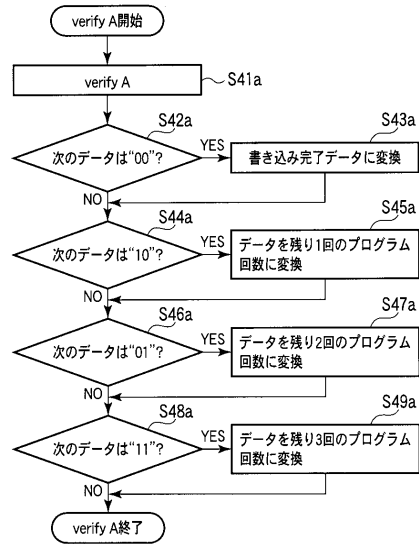
【 図 1 8 】

図 18



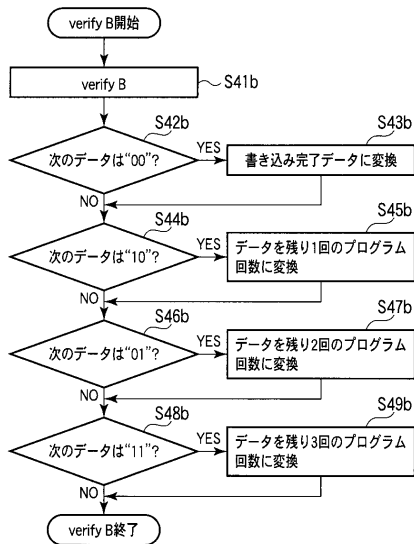
【 図 1 9 】

図 19



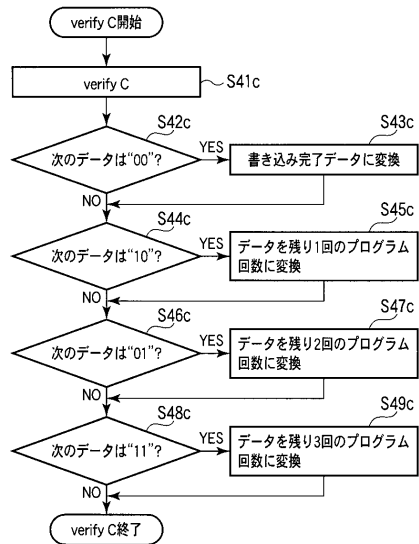
【 図 2 0 】

図 20



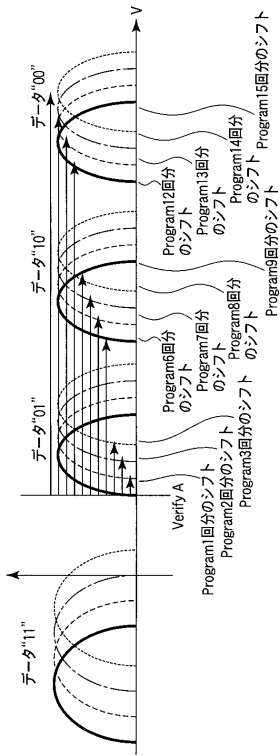
【 図 2 1 】

図 21



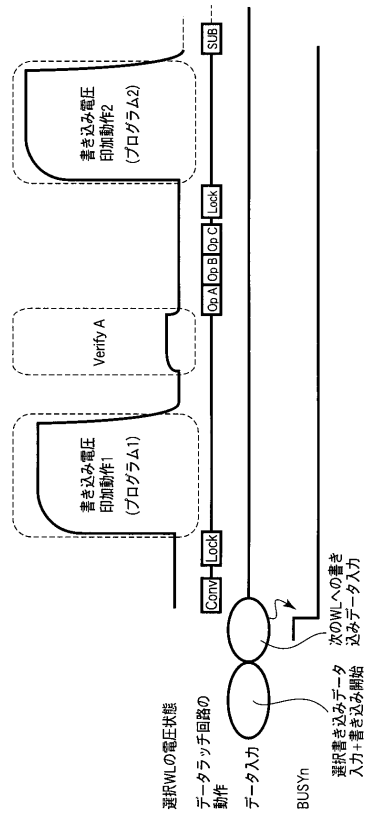
【 図 2 2 】

図 22



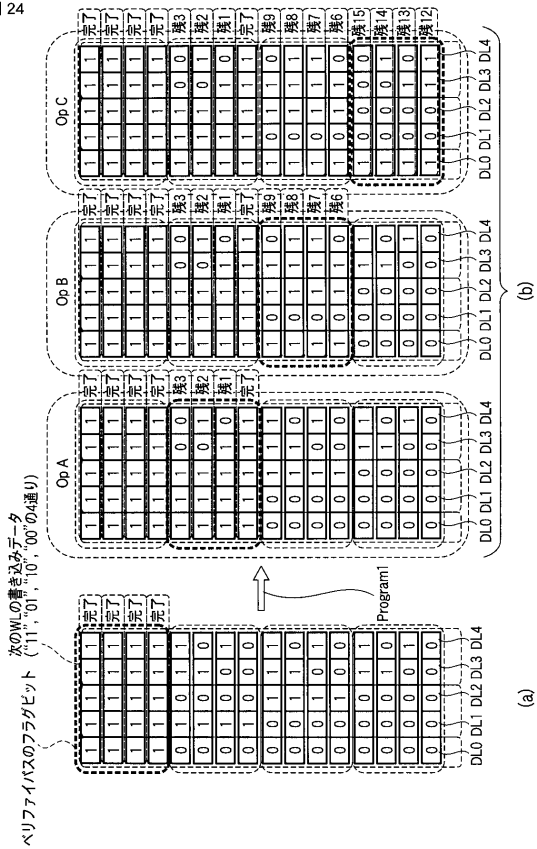
【 図 2 3 】

図 23



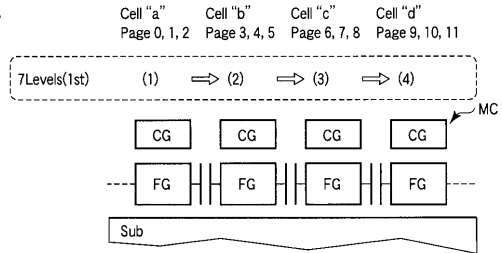
【 図 2 4 】

図 24



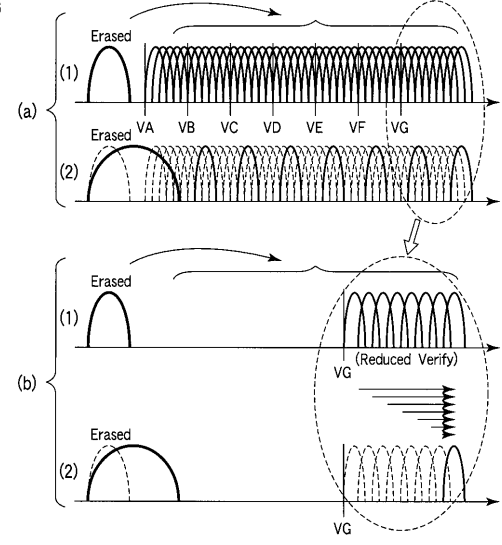
【 図 2 5 】

図 25



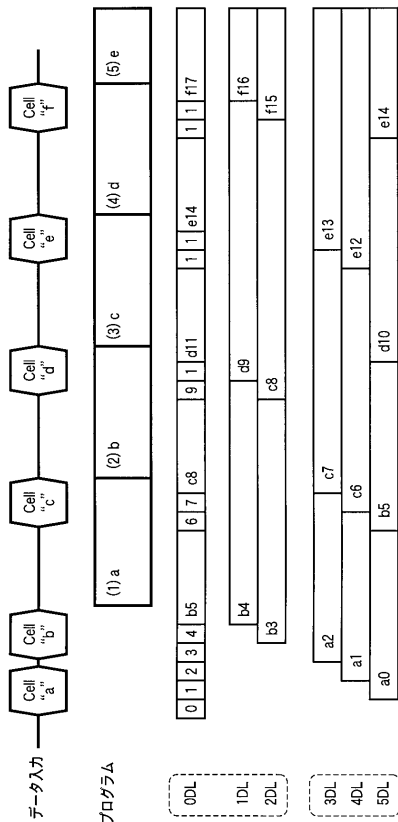
【 図 2 6 】

図 26



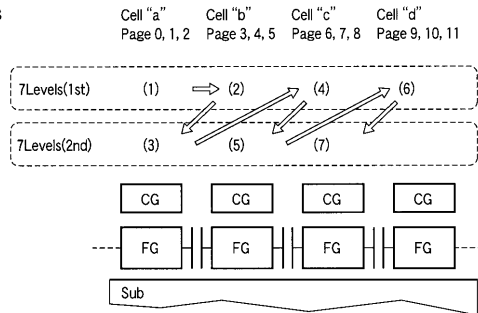
【 図 27 】

図 27



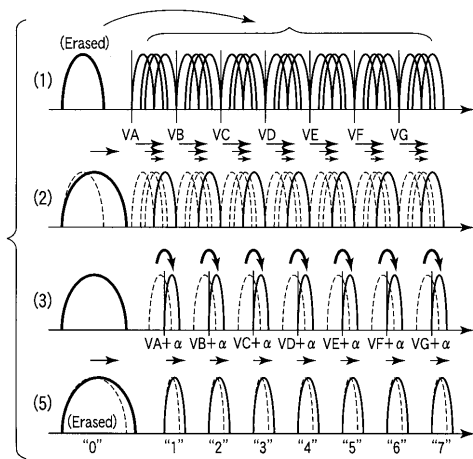
【 図 28 】

図 28



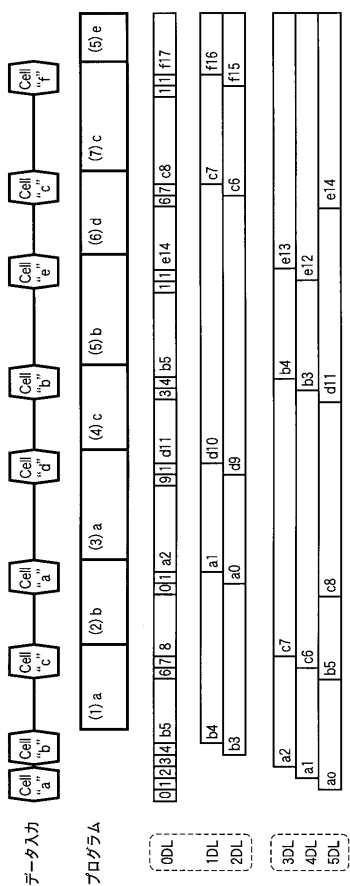
【 図 29 】

図 29



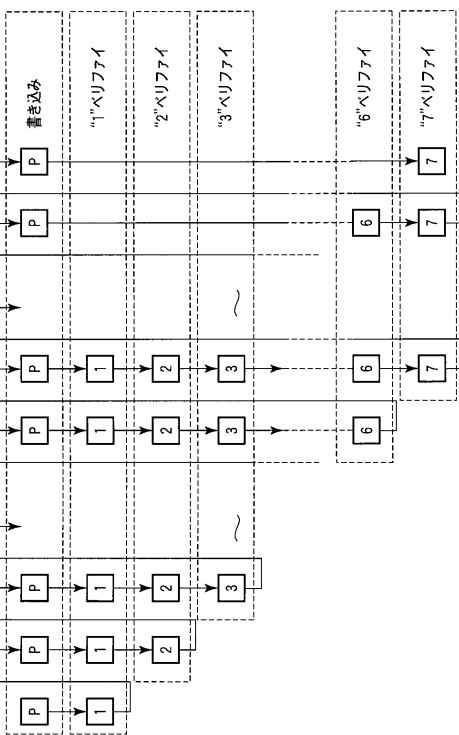
【 図 30 】

図 30

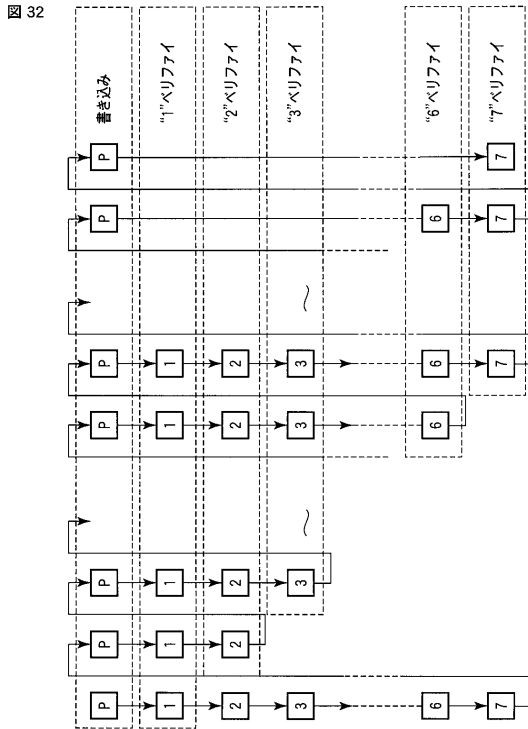


【 図 31 】

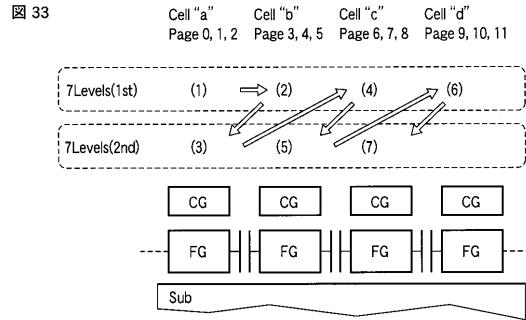
図 31



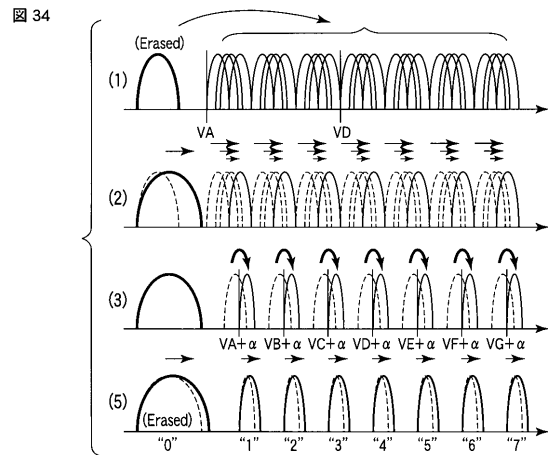
【 図 3 2 】



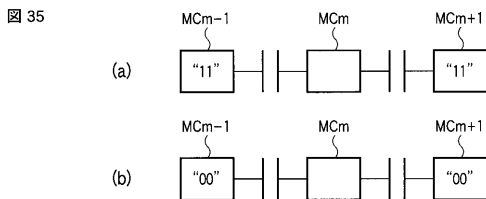
【 図 3 3 】



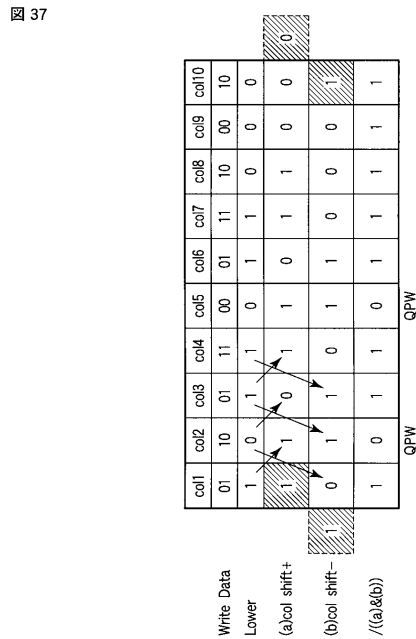
【 図 3 4 】



【 図 3 5 】



【 図 3 7 】

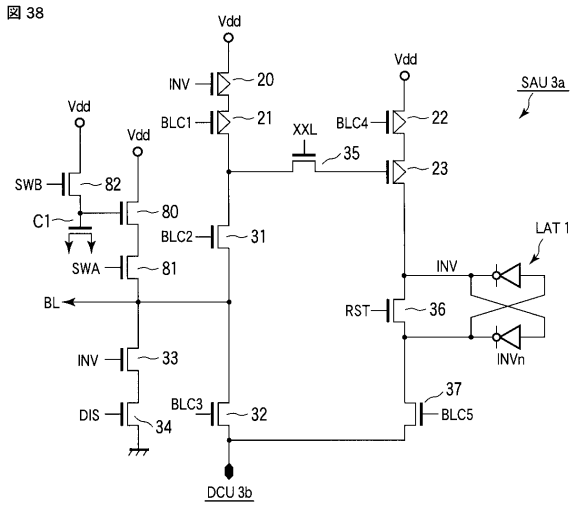


【 図 3 6 】

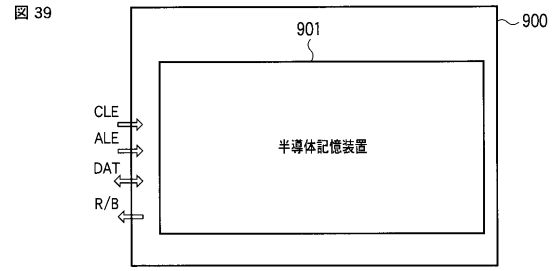
図 36

col m-1	col m	col m+1
11	(+1)	11
11	(+1)	01
11	(0)	10
11	(0)	00
01	(+1)	11
01	(+1)	01
01	(0)	10
01	(0)	00
10	(0)	11
10	(0)	01
10	(0)	10
10	(0)	00
00	(0)	11
00	(0)	01
00	(0)	10
00	(0)	00

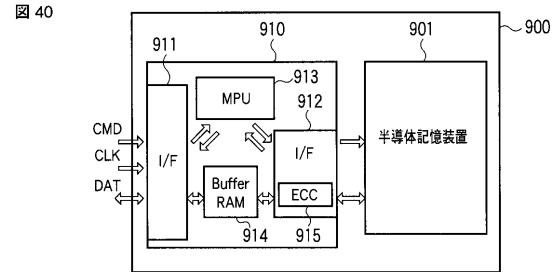
【 図 3 8 】



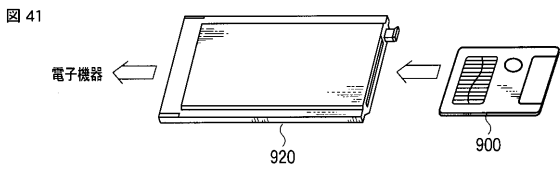
【 図 3 9 】



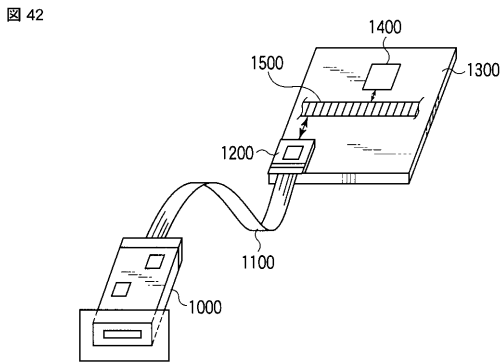
【 図 4 0 】



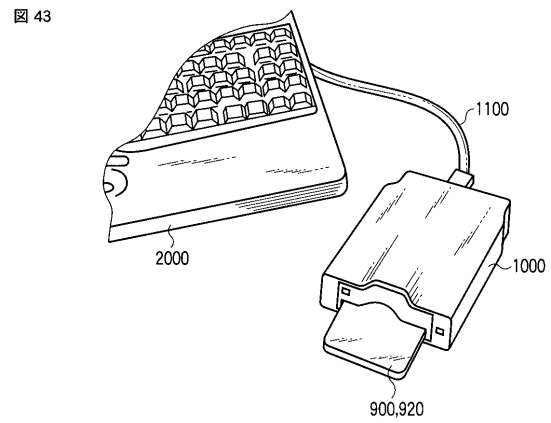
【 図 4 1 】



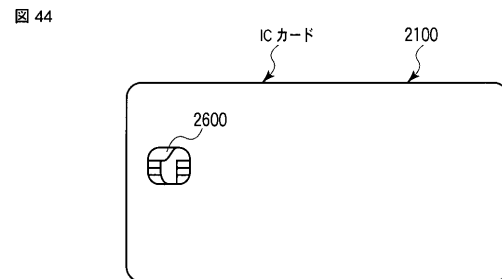
【 図 4 2 】



【 図 4 3 】

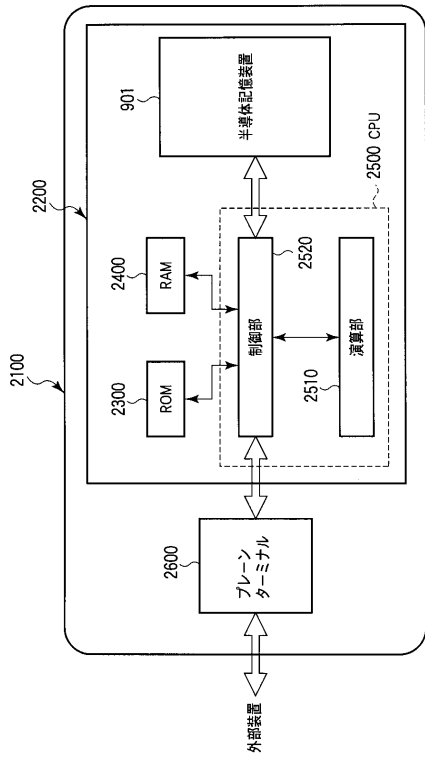


【 図 4 4 】



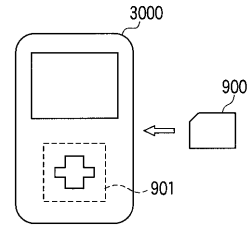
【 図 4 5 】

図 45



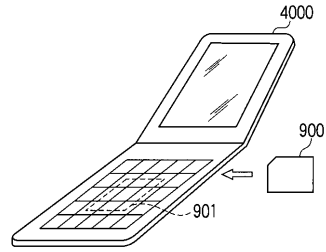
【 図 4 6 】

図 46



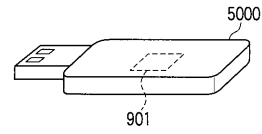
【 図 4 7 】

図 47



【 図 4 8 】

図 48



フロントページの続き

- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100100952
弁理士 風間 鉄也
- (74)代理人 100101812
弁理士 勝村 紘
- (74)代理人 100070437
弁理士 河井 将次
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (74)代理人 100127144
弁理士 市原 卓三
- (74)代理人 100141933
弁理士 山下 元
- (72)発明者 本間 充祥
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 柴田 昇
東京都港区芝浦一丁目1番1号 株式会社東芝内
- Fターム(参考) 5B125 BA02 BA19 CA01 CA19 DB06 DB08 DB12 DB14 DB17 DC03
DE13 EA05 EB10 ED04 ED07 ED09 ED10 EE04 EE12 EE14
EE15 EH04 EJ02 EK02 FA01 FA02 FA06 FA10