

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 2 月 22 日 (22.02.2024)



(10) 国际公布号
WO 2024/036743 A1

(51) 国际专利分类号:
G05F 1/567 (2006.01)

(21) 国际申请号: PCT/CN2022/126372

(22) 国际申请日: 2022 年 10 月 20 日 (20.10.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202210977603.1 2022 年 8 月 15 日 (15.08.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(72) 发明人: 秦建勇 (QIN, Jianyong); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。 尚为兵 (SHANG, Weibing); 中

国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(74) 代理人: 北京律智知识产权代理有限公司 (BEIJING INTELLEGAL INTELLECTUAL PROPERTY AGENT LTD.); 中国北京市朝阳区慧忠路 5 号 B1605、B1606、B1607, Beijing 100101 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(54) Title: POWER SUPPLY CIRCUIT AND CHIP

(54) 发明名称: 电源电路与芯片

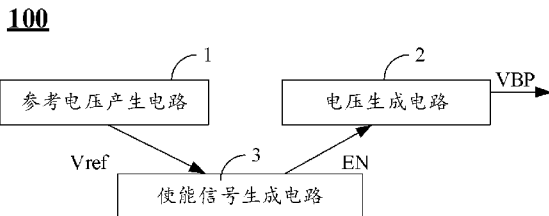


图 1

- 1 Reference voltage generation circuit
2 Voltage generation circuit
3 Enable signal generation circuit

(57) Abstract: A power supply circuit and a chip using the power supply circuit. The power supply circuit comprises: a reference voltage generation circuit (1) used for generating a substrate reference voltage (V_{ref}) of a positive temperature coefficient; a voltage generation circuit (2) used for boosting a substrate voltage (V_{BP}) according to an enable signal (EN); and an enable signal generation circuit (3) connected to the reference voltage generation circuit (1) and the voltage generation circuit (2), and used for outputting the enable signal (EN) to the voltage generation circuit (2) when the substrate reference voltage (V_{ref}) is greater than the product of the substrate voltage (V_{BP}) and a preset coefficient. The substrate voltage of a transistor can be boosted when the temperature is increased, such that the power consumption of the chip is reduced.

(57) 摘要: 一种电源电路以及应用该电源电路的芯片。电源电路包括: 参考电压产生电路 (1), 用于生成正温度系数的衬底参考电压 (V_{ref}); 电压生成电路 (2), 用于根据使能信号 (EN) 抬升衬底电压 (V_{BP}); 使能信号生成电路 (3), 连接参考电压产生电路 (1) 和电压生成电路 (2), 用于在衬底参考电压 (V_{ref}) 大于衬底电压 (V_{BP}) 与预设系数的乘积时, 向电压生成电路 (2) 输出使能信号 (EN)。可以在温度升高时抬升晶体管的衬底电压, 降低芯片功耗。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

电源电路与芯片

交叉引用

本公开要求于 2022 年 8 月 15 日提交的申请号为 202210977603.1、名称为“电源电路
5 与芯片”的中国专利申请的优先权，该中国专利申请的全部内容通过引用全部并入本文。

技术领域

本公开涉及集成电路技术领域，具体而言，涉及一种电源电路以及应用该电源电路的
10 芯片。

背景技术

随着科技发展，对集成电路的低功耗需求日益提升。相关技术通常对集成电路在信号
传输过程中和信号处理过程中的功耗进行优化，但是在集成电路的待机或者休眠过程中，
几乎没有信号传输和信号处理，因此集成电路的功耗存在进一步降低的可能。
15 需要说明的是，在上述背景技术部分公开的信息仅用于加强对本公开的背景的理解，
因此可以包括不构成对本领域普通技术人员已知的现有技术的信息。

发明内容

本公开的目的在于提供一种电源电路以及应用该电源电路的芯片，用于至少在一定程
20 度上进一步降低集成电路的功耗。

根据本公开的第一方面，提供一种电源电路，包括：参考电压产生电路，用于生成正
温度系数的衬底参考电压；电压生成电路，用于根据使能信号抬升衬底电压；使能信号生
成电路，连接所述参考电压产生电路和所述电压生成电路，用于在所述衬底参考电压大于
所述衬底电压与预设系数的乘积时，向所述电压生成电路输出所述使能信号。

25 在本公开的一种示例性实施例中，所述电压生成电路包括：振荡模块，输入端用于接
收所述使能信号，输出端用于输出振荡信号，所述振荡模块用于根据所述使能信号生成所
述振荡信号；电荷泵模块，输入端连接所述振荡模块，输出端用于输出所述衬底电压，所
述电荷泵模块用于根据所述振荡信号抬升所述衬底电压。

在本公开的一种示例性实施例中，所述电荷泵模块包括：第一电容，所述第一电容的
30 第一端耦接所述振荡模块的输出端；第一二极管，正极连接电源电压，负极连接所述第一
电容的第二端；第二二极管，正极连接所述第一电容的第二端，负极用于输出所述衬底电压。

在本公开的一种示例性实施例中，所述电荷泵模块还包括连接于所述振荡模块的输出
端和所述第一电容的第一端之间的驱动电路，所述驱动电路用于增加所述振荡信号的振
幅。

35 在本公开的一种示例性实施例中，所述电荷泵模块还包括第二电容，所述第二电容的

第一端连接所述第二二极管的负极，所述第二电容的第二端接地，所述第二电容用于维持所述电荷泵模块的输出电压。

在本公开的一种示例性实施例中，所述使能信号生成电路包括：比较器，所述比较器的反相输入端用于接收所述衬底参考电压；反相器，所述反相器的输入端连接所述比较器的输出端，所述反相器的输出端连接所述电压生成电路，用于输出所述使能信号；第一分压电阻单元，第一端连接所述电荷泵模块的输出端，用于接收所述衬底电压，第二端连接所述比较器的同相输入端；第二分压电阻单元，第一端连接所述比较器的同相输入端，第二端接地；其中，所述第一分压电阻单元和所述第二分压电阻单元的阻值之比为 $K-1$ ， K 为所述预设系数。

在本公开的一种示例性实施例中，所述第一分压电阻单元的阻值可调。

在本公开的一种示例性实施例中，所述第一分压电阻包括串联的多个电阻子单元，每个所述电阻子单元包括一或多个子电阻，每个所述电阻子单元并联一个电阻调节开关管，每个所述电阻调节开关管的控制端均用于接收控制信号。

在本公开的一种示例性实施例中，每个所述子电阻的阻值均相等。

在本公开的一种示例性实施例中，所述参考电压产生电路包括：恒定电流生成模块，用于生成正温度系数的第一电流和负温度系数的第二电流，并根据所述第一电流和所述第二电流生成恒定电流；衬底参考电压生成模块，包括晶体管，所述电压生产模块耦接所述恒定电流产生模块并用于根据所述恒定电流以及晶体管特性生成正温度系数的所述衬底参考电压。

在本公开的一种示例性实施例中，所述恒定电流生成模块包括：正温度系数电流生成单元，用于生成所述第一电流；负温度系数电流生成单元，连接所述正温度系数电流生成单元，用于生成所述第二电流。

在本公开的一种示例性实施例中，所述正温度系数电流生成单元包括：第一放大器；第一反馈晶体管，所述第一反馈晶体管的源极连接电源电压，栅极连接所述第一放大器的输出端，漏极连接第一节点；第一桥臂，所述第一桥臂包括串联的第一电阻和多个并联的第一 PN 结单元，所述第一电阻的第一端连接所述第一节点，第二端连接所述第一放大器的反相输入端，所述第一 PN 结单元的正极连接所述第一放大器的反相输入端，负极接地；第二桥臂，所述第二桥臂包括串联的第二电阻、第三电阻和多个并联的第二 PN 结单元，所述第二电阻的第一端连接所述第一节点，第二端连接所述第一放大器的同相输入端；所述第三电阻的第一端连接所述第一放大器的同相输入端，第二端连接所述第二 PN 结单元的正极，所述第二 PN 结单元的负极接地；第一输出晶体管，源极连接所述电源电压，栅极连接所述第一放大器的输出端，漏极用于输出所述第一电流。

在本公开的一种示例性实施例中，所述第一电阻和所述第二电阻的阻值相等。

在本公开的一种示例性实施例中，所述第二 PN 结单元的数量为 N 个， $N = (M+2)^2 - M^2$ ，所述第一 PN 结单元的数量为 M^2 个，其中 M 为大于等于 1 的整数。

在本公开的一种示例性实施例中，所述负温度系数电流生成单元包括：第二放大器，所述第二放大器的反相输入端连接所述第一放大器的反相输入端；第二反馈晶体管，所述第二反馈晶体管的源极连接所述电源电压，栅极连接所述第二放大器的输出端，漏极连接所述第二放大器的同相输入端；第四电阻，一端连接所述第二放大器的同相输入端，另一端接地；第二输出晶体管，源极连接所述电源电压，栅极连接所述第二放大器的输出端，漏极用于输出所述第二电流。

在本公开的一种示例性实施例中，所述第三电阻和所述第四电阻均为可调电阻，所述第三电阻和所述第四电阻的阻值满足 $(kT/q) \cdot \ln Z / R_3 + (kT/q \cdot \ln Z + V_{BE2}) / R_4$ 对温度 T 的导数为零，其中， R_3 是所述第三电阻的阻值， R_4 是所述第四电阻的阻值， K 是玻尔兹曼常数， q 是电子带电量， T 是所述电源电路的工作温度， V_{BE2} 是所述第二 PN 结单元两端的电压差， Z 是所述第二 PN 结单元与所述第一 PN 结单元的数量比。

在本公开的一种示例性实施例中，所述衬底参考电压生成模块包括：第一 N 型晶体管，所述第一 N 型晶体管的漏极和栅极连接于第二节点，所述第二节点连接所述第一输出晶体管的漏极和所述第二输出晶体管的漏极，所述第一 N 型晶体管的源极接地；第二 N 型晶体管，所述第二 N 型晶体管的栅极连接所述第一输出晶体管的漏极和所述第二输出晶体管的漏极，所述第二 N 型晶体管的源极接地，所述第二 N 型晶体管的源极连接第三节点；第一 P 型晶体管，所述第一 P 型晶体管的源极连接电源电压，所述第一 P 型晶体管的栅极和漏极均连接所述第三节点，所述第三节点用于输出所述衬底参考电压。

根据本公开的第二方面，提供一种芯片，包括如上任一项所述的电源电路。

本公开实施例通过提供正温度系数的衬底参考电压以及根据衬底参考电压的升高输出使能信号的使能信号输出模块，可以在温度升高、晶体管漏电流上升时，通过使能信号控制电压输出模块自动升高晶体管的衬底电压，降低晶体管漏电流，从而降低集成电路的功耗。当将该电源电路用于提供 P 型晶体管的衬底电压时，可以自动在温度升高时降低集成电路中的 P 型晶体管的衬底电压，从而降低 P 型晶体管的漏电流、降低集成电路的整体功耗。

应当理解的是，以上的一般描述和后文的细节描述仅是示例性和解释性的，并不能限制本公开。

附图说明

此处的附图被并入说明书中并构成本说明书的一部分，示出了符合本公开的实施例，并与说明书一起用于解释本公开的原理。显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 是本公开示例性实施例中电源电路 100 的示意图。

图 2 是本公开一个实施例中电压生成电路 2 的示意图。

图 3 是本公开另一个实施例中电压生成电路 2 的示意图。

图 4 是本公开一个实施例中使能信号生成电路 3 的示意图。

图 5A 和图 5B 分别是本公开实施例中可调电阻单元的示意图。

图 6 是本公开一个实施例中参考电压产生电路 1 的示意图。

5 图 7 是本公开一个实施例中恒定电流生成模块 11 的示意图。

图 8 是本公开一个实施例中衬底参考电压生成模块 12 的示意图。

具体实施方式

现在将参考附图更全面地描述示例实施方式。然而，示例实施方式能够以多种形式实施，且不应被理解为限于在此阐述的范例；相反，提供这些实施方式使得本公开将更加全面和完整，并将示例实施方式的构思全面地传达给本领域的技术人员。所描述的特征、结构或特性可以以任何合适的方式结合在一个或更多实施方式中。在下面的描述中，提供许多具体细节从而给出对本公开的实施方式的充分理解。然而，本领域技术人员将意识到，可以实践本公开的技术方案而省略所述特定细节中的一个或更多，或者可以采用其它的方法、组元、装置、步骤等。在其它情况下，不详细示出或描述公知技术方案以避免喧宾夺主而使得本公开的各方面变得模糊。

此外，附图仅为本公开的示意性图解，图中相同的附图标记表示相同或类似的部分，因而将省略对它们的重复描述。附图中所示的一些方框图是功能实体，不一定必须与物理或逻辑上独立的实体相对应。可以采用软件形式来实现这些功能实体，或在一个或多个硬件模块或集成电路中实现这些功能实体，或在不同网络和/或处理器装置和/或微控制器装置中实现这些功能实体。

下面结合附图对本公开示例实施方式进行详细说明。

图 1 是本公开示例性实施例中电源电路的示意图。

参考图 1，电源电路 100 可以包括：

25 参考电压产生电路 1，用于生成正温度系数的衬底参考电压 V_{ref} ；

电压生成电路 2，用于根据使能信号 EN 抬升衬底电压 V_{BP} ；

使能信号生成电路 3，连接参考电压产生电路 1 和所述电压生成电路 2，用于在衬底参考电压 V_{ref} 大于衬底电压 V_{BP} 与预设系数的乘积时，向电压生成电路 2 输出使能信号 EN。

30 本公开实施例通过提供正温度系数的衬底参考电压以及根据衬底参考电压的升高输出使能信号的使能信号输出模块，可以在温度升高时，通过使能信号控制电压输出模块自动升高衬底电压，当将该电源电路用于提供 P 型晶体管的衬底电压时，可以自动在温度升高时增加集成电路中的 P 型晶体管的衬底电压，从而降低 P 型晶体管的漏电流、降低集成电路的整体功耗。

35 图 2 是本公开一个实施例中电压生成电路的示意图。

参考图 2，在一个实施例中，电压生成电路 2 可以包括：

振荡模块 21，输入端用于接收使能信号 EN，输出端用于输出振荡信号 OSC，振荡模块 21 用于根据使能信号 EN 生成振荡信号 OSC；

电荷泵模块 22，输入端连接振荡模块 21，输出端用于输出衬底电压 VBP，电荷泵模块 22 用于根据振荡信号 OSC 抬升衬底电压 VBP。

其中，振荡模块 21 可以通过受控的环形振荡器实现，环形振荡器可以包括奇数个输入输出环形串联的具有信号反相功能的元件，例如反相器或者与非门。振荡模块 21 在接收到使能信号 EN 时输出振荡信号 OSC，在未接收到使能信号 EN 时可以停止输出振荡信号 OSC。

电荷泵模块 22 在振荡模块 21 的控制下，能够维持衬底参考电压 Vref 等于衬底电压 VBP 与预设系数的乘积。当温度上升、衬底参考电压 Vref 上升或者衬底电压 VBP 下降，导致衬底参考电压 Vref 大于衬底电压 VBP 与预设系数的乘积时，振荡模块 21 接收到使能信号 EN 并输出振荡信号 OSC，电荷泵模块 22 在接收到振荡信号 OSC 时，可以启动电荷泵功能，提高输出电压，即抬升衬底电压 VBP，使得衬底参考电压 Vref 等于衬底电压 VBP 与预设系数的乘积。

在图 2 所示实施例中，电荷泵模块 22 包括：

第一电容 C1，第一电容 C1 的第一端耦接振荡模块 21 的输出端；

第一二极管 D1，正极连接电源电压 VCC，负极连接第一电容 C1 的第二端；

第二二极管 D2，正极连接第一电容 C1 的第二端，负极用于输出衬底电压 VBP。

电荷泵模块 22 能够根据振荡信号 OSC 从电源电压端 VCC 抽取正电荷至第二二极管 D2 的负极，拉高第二二极管 D2 负极的电位，从而生成衬底电压 VBP。

当振荡模块 21 停止输出振荡信号 OSC 时，电荷泵模块 22 的输出端电压即第二二极管 D2 的负极电压不再增加。

图 3 是本公开另一个实施例中电压生成电路的示意图。

参考图 3，在另一个实施例中，为了调节电荷泵模块 22 的输出电压抬升幅度，电荷泵模块 22 还包括连接于振荡模块 21 的输出端和第一电容 C1 的第一端之间的驱动电路 DR，驱动电路 DR 可以用于增加振荡信号 OSC 的振幅。

此外，电荷泵模块 22 还可以包括第二电容 C2，第二电容 C2 的第一端连接第二二极管 D2 的负极，第二电容 C2 的第二端接地，第二电容 C2 用于维持电荷泵模块 22 的输出电压。第二电容 C2 可以作为滤波电压进一步平滑电荷泵模块 22 的输出电压，维持第二二极管 D2 的负极电压在振荡信号 OSC 输出过程中为接近平稳的直流电压。

图 4 是本公开一个实施例中使能信号生成电路的示意图。

参考图 4，在一个实施例中，使能信号生成电路 3 可以包括：

比较器 COMP，比较器 COMP 的反相输入端用于接收衬底参考电压 Vref；

反相器 OP，反相器 OP 的输入端连接比较器 COMP 的输出端，反相器的输出端连接

电压生成电路 2，用于输出使能信号 EN；

第一分压电阻单元 RZ1，第一端连接电压生成电路 2 的输出端，用于接收衬底电压 VBP，第二端连接比较器 COMP 的同相输入端；

第二分压电阻单元 RZ2，第一端连接比较器 COMP 的同相输入端，第二端接地；

5 其中，第一分压电阻单元 RZ1 和第二分压电阻单元 RZ2 的阻值之比为 K-1，K 为预设系数。

在图 4 所示实施例中，设第二分压电阻单元 RZ2 的阻值为 R，则第一分压电阻单元 RZ1 的阻值为 (K-1) R。

通过分析可得，比较器 COMP 的同相输入端的电压等于 VBP/K 。当衬底参考电压 V_{ref} 10 小于 VBP/K 时，比较器 COMP 输出高电平，反相器 OP 输出低电平，即使能信号 EN 为低电平。当设置使能信号 EN 为高电平有效时，电压生成电路 2 不抬升衬底电压 VBP。当衬底参考电压 V_{ref} 逐渐升高大于 VBP/K 时，比较器 COMP 翻转输出低电平，反相器 OP 输出高电平，使能信号 EN 为高电平，电压生成电路 2 开始抬升衬底电压 VBP。

因此，当正温度系数的衬底参考电压 V_{ref} 应用在对 N 型晶体管的衬底电压控制时， 15 当温度升高，晶体管漏电流升高时，衬底参考电压 V_{ref} 上升。当衬底参考电压 V_{ref} 上升到大于 VBP/K 时，使能信号生成电路 3 输出有效的使能信号 EN，控制电压生成电路 2 开始抬升衬底电压 VBN，进而自动降低晶体管漏电流，温度上升对晶体管功耗的影响。

在一个实施例中，第一分压电阻单元 RZ1 的阻值可调。第一分压电阻单元 RZ1 可以通过图 5A 或图 5B 所示的可调电阻单元实现。

20 图 5A 和图 5B 是本公开实施例中可调电阻单元的示意图。

可调电阻单元可以包括串联的多个电阻子单元，每个电阻子单元包括一或多个子电阻，每个电阻子单元并联一个电阻调节开关管，每个电阻调节开关管的控制端均用于接收控制信号。可以设置每个子电阻的阻值均相等。此时，可调电阻单元可以通过图 5A 所示的电阻串 501 来实现。

25 参考图 5A，电阻串 501 包括多个串联的子电阻 R01、R02、R03、R04、R05、R06，以及连接子电阻第一端或第二端的可控的电阻调节开关管 Con1、Con2、Con3。电阻调节开关管 Con1 的第一端和第二端分别连接子电阻 R01 的两端；电阻调节开关管 Con2 的第一端和第二端分别连接子电阻 R01 的第二端/子电阻 R02 的第一端和子电阻 R03 的第二端/子电阻 R04 的第一端；电阻调节开关管 Con3 的第一端和第二端分别连接子电阻 R03 的 30 第二端/子电阻 R04 的第一端和子电阻 R06 的第二端。从而，子电阻 R01 构成一个电阻子单元，子电路 R02 和 R03 构成一个电阻子单元，子电阻 R04、R05、R06 构成一个电阻子单元。

电阻调节开关管 Con1、Con2、Con3 的控制端均接收控制信号。该控制信号例如来自处理器或者一次性可编程控制器，本公开对此不作特殊限定。

35 在图 5A 所示实施例中，电阻调节开关管通过 N 型晶体管实现，N 型晶体管的栅极作

为控制端。在本公开的其他实施例中，电阻调节开关管也可以由其他元件实现，本公开对此不作特殊限制。

设子电阻 R01、R02、R03、R04、R05、R06 的阻值均为 R0，则电阻串 501 的阻值与电阻调节开关管 Con1、Con2、Con3 的开启状态如表 1 所示：

Con1	Con2	Con3	电阻串 501 的阻值
关闭	关闭	关闭	6R0
开启	关闭	关闭	5R0
开启	开启	关闭	3R0
开启	关闭	开启	2R0
关闭	开启	开启	R0
关闭	开启	关闭	4R0
关闭	关闭	开启	3R0

表 1

上述阻值表根据电阻调节开关管 Con1、Con2、Con3 跨接的电阻数量不同而不同，本领域技术人员可以根据图 5A 所示原理调节子电阻的数量、阻值、开关元件的数量、开关元件与子电阻的连接关系，从而实现多种阻值设置。

此外，还可以通过另一种电阻串以实现可调电阻单元。

参考图 5B，电阻串 502 包括多个串联的子电阻 R01、R02、R03、R04，子电阻 R01 的第一端作为电阻串 502 的第一端，子电阻 R02、R03、R04 的第一端分别连接子电阻 R01、R02、R03 的第二端，子电阻 R01、R02、R03 的第二端分别连接电阻调节开关管 Con1、Con2、Con3 的第二端。

电阻调节开关管 Con1 的第一端和第二端分别连接子电阻 R01 的两端；电阻调节开关管 Con2 的第一端和第二端分别连接电阻串 502 的第一端和子电阻 R02 的第二端；电阻调节开关管 Con3 的第一端和第二端分别连接电阻串 502 的第一端和子电阻 R03 的第二端。

设子电阻 R01、R02、R03、R04 的阻值均为 R，则电阻串 502 的阻值与电阻调节开关管 Con1、Con2、Con3 的开启状态如表 2 所示：

Con1	Con2	Con3	电阻串 502 的阻值
关闭	关闭	关闭	4R
开启	关闭	关闭	3R
关闭	开启	关闭	2R
关闭	关闭	开启	R

表 2

由表 2 可知，在图 5B 所示实施例中最多控制一个开关元件开启，以调节电阻串 502 的阻值。虽然在图 5B 所示实施例中，两个电阻调节开关管的第二端之间仅间隔一个子电

阻,但是在本公开的其他实施例中,两个电阻调节开关管的第二端之间还可以间隔不同数量的子电阻,或者间隔不同阻值的子电阻,或者不同数量、不同阻值的子电阻。需要注意的是,两端跨接最多数量的子电阻的电阻调节开关管,其第二端需要连接一个子电阻,以防止电阻串 502 的阻值为 0。

5 图 6 是本公开一个实施例中参考电压产生电路的示意图。

参考图 6,在一个实施例中,参考电压产生电路 1 包括:

恒定电流生成模块 11,用于生成正温度系数的第一电流 I_1 和负温度系数的第二电流 I_2 ,并根据第一电流 I_1 和第二电流 I_2 生成恒定电流 I ;

10 衬底参考电压生成模块 12,包括晶体管,衬底参考电压生成模块 12 耦接恒定电流产生模块 11 并用于根据恒定电流 I 以及晶体管特性生成正温度系数的衬底参考电压 V_{ref} 。

图 6 所示实施例中生成的衬底参考电压 V_{ref} 与晶体管的温度特性相关。

晶体管的阈值电压与温度相关,N 型晶体管的阈值电压随温度升高而降低,P 型晶体管的阈值电压的绝对值随温度升高而降低,由于 P 型晶体管的阈值电压为负值,因此 P 型晶体管的阈值电压随温度升高而降低。因此,在衬底参考电压生成模块 12,对晶体管
15 输入恒定电流 I 时,晶体管的阈值电压 V_{th} 随温度变化,则最终通过该晶体管输出的电压与电流无关,仅与温度相关。

图 7 是本公开一个实施例中恒定电流生成模块 11 的示意图。

参考图 7,在一个实施例中,恒定电流生成模块 11 可以包括:

正温度系数电流生成单元 111,用于生成第一电流 I_1 ;

20 负温度系数电流生成单元 112,连接正温度系数电流生成单元 111,用于生成第二电流 I_2 。

第一电流 I_1 和第二电流 I_2 共同形成恒定电流 I 。

衬底参考电压生成模块 12 用于根据恒定电流 I 以输出正温度系数的衬底参考电压 V_{ref} 。正温度系数的衬底参考电压 V_{ref} 例如为根据 P 型晶体管的温度特性输出的电压。

25 在图 7 所示实施例中,正温度系数电流生成单元 11 可以包括:

第一放大器 AMP1;

第一反馈晶体管 MB1,第一反馈晶体管 MB1 的源极连接电源电压 V_{CC} ,栅极连接第一放大器 AMP1 的输出端,漏极连接第一节点 N1;

30 第一桥臂 B1,第一桥臂 B1 包括串联的第一电阻 R_1 和多个并联的第一 PN 结单元 J1,第一电阻 R_1 的第一端连接第一节点 N1,第二端连接第一放大器 AMP1 的反相输入端和第一 PN 结单元 J1 的正极,第一 PN 结单元 J1 的负极接地;

第二桥臂 B2,第二桥臂 B2 包括串联的第二电阻 R_2 、第三电阻 R_3 和第二 PN 结单元 J2,第二电阻 R_2 的第一端连接第一节点 N1,第二端连接第一放大器 AMP1 的同相输入端;第三电阻 R_3 的第一端连接第一放大器 AMP1 的同相输入端,第二端连接第二 PN 结
35 单元 J2 的正极,第二 PN 结单元 J2 的负极接地;

第一输出晶体管 MO1，源极连接电源电压 VCC，栅极连接第一放大器 AMP1 的输出端，漏极用于输出第一电流 I1。

其中，第一反馈晶体管 MB1 和第一输出晶体管 MO1 均可以为 P 型晶体管。

第二 PN 结单元 J2 的数量可以为多个。多个第二 PN 结单元 J2 并联，每个第二 PN 结单元的正极均连接第三电阻 R3 的第二端，负极均接地。在一个实施例中，第二 PN 结单元的数量可以为 $N = (M+2)^2 - M^2$ 个，第一 PN 结单元的数量为 M^2 个，其中 M 为大于等于 1 的整数。这样设置可以在制造时使第二 PN 结单元 J2 环绕第一 PN 结单元 J1，形成 $(M+2) * (M+2)$ 的 PN 结单元阵列。

例如，当 $M=1$ 时， $N=3$ ，第一 PN 结单元 J1 的数量为 1 个，第二 PN 结单元 J2 的数量为 $3*3-1=8$ 个，第一 PN 结单元 J1 和第二 PN 结单元 J2 排列成 $3*3$ 阵列。

当 $M=2$ 时， $N=4$ ，第一 PN 结单元 J1 的数量为 4 个，第二 PN 结单元 J2 的数量为 $4*4-4=12$ 个，第一 PN 结单元 J1 和第二 PN 结单元 J2 排列成 $4*4$ 阵列。

当 $M=3$ 时， $N=5$ ，第一 PN 结单元 J1 的数量为 9 个，第二 PN 结单元 J2 的数量为 $5*5-9=16$ 个，第一 PN 结单元 J1 和第二 PN 结单元 J2 排列成 $5*5$ 阵列。以此类推。

在图 7 所示实施例中，为了简化分析，设 $M=1$ ， $N=3$ ，第一 PN 结单元 J1 的数量为 1 个，第二 PN 结单元 J2 的数量为 8 个。

在图 7 所示实施例中，第一电阻 R1 和第二电阻 R2 相同。由于放大器的虚短特性，第一节点 N1 和第一放大器 AMP1 的反相输入端之间的电压差与第一节点 N1 和第一放大器 AMP1 的同相输入端之间的电压差相等，且第一节点 N1 和第一放大器 AMP1 的反相输入端之间的第一电阻 R1 和第一节点 N1 和第一放大器 AMP1 的同相输入端之间的第二电阻 R2 相等，则第一桥臂 B1 和第二桥臂 B2 上的电流相同。

继续推论，第一节点 N1 和第一放大器 AMP1 的反相输入端之间的电压差与第一节点 N1 和第一放大器 AMP1 的同相输入端之间的电压差相等，且第一节点 N1 和第一放大器 AMP1 的反相输入端之间的电压差等于第一 PN 结单元 J1 的 PN 结电压 V_{BE1} ，则第三电阻 R1 的第一端的电压为 V_{BE1} 。设第三电阻 R3 的第二端即第二 PN 结单元 J2 的正极电压为 V_{BE2} ，根据 PN 结 V-I 特性表达式有：

$$I_D = I_s (e^{V_{BE}/nV_T} - 1) \quad (1)$$

其中， I_D 是 PN 结单元的电流， I_s 是 PN 结单元的反向饱和电流（与温度相关，在温度确定时为常量）， V_T 是热电压，有 $V_T = kT/q$ ，K 是玻尔兹曼常数，q 是电子电荷，有 $k = 1.38 \times 10^{-23} \text{J/K}$ （焦耳/开尔文）， $q = 1.6 \times 10^{-19} \text{C}$ （库伦）；T 是绝对温度，单位是开尔文。 V_T 也称温度的电压当量，是指闭合电路中由于两点间存在温差而出现的电位差。当 $T = 300\text{K}$ （常温）时， $V_T = kT/q \approx 0.026\text{V}$ 。n 是发射系数，与 PN 结的尺寸、材料以及通过的电流有关，在 1~2 之间。

由于第一桥臂 B1 和第二桥臂 B2 上的电流相等，并联的 8 个第二 PN 结单元 J2 上的电流与第一 PN 结单元 J1 上的电流相等，设每个第二 PN 结单元 J2 上的电流为 I_0 ，则第

一 PN 结单元 J1 上的电流为 $8I_0$ 。

当第一 PN 结单元 J1 和第二 PN 结单元 J2 的数量为其他值时，设每个第二 PN 结单元 J2 的电流为 I_0 ，则第一 PN 结单元 J1 上的电流为 ZI_0 。Z 为第二 PN 结单元 J2 和第一 PN 结单元 J1 的数量比。

5 当 V_{BE} 远大于 V_T 时，公式 (1) 的括号中的 1 可以忽略，设 $n=1$ ，从而有：

$$8I_0 = I_s (e^{V_{BE1}/V_T} - 1) \quad (2)$$

从而，

$$V_{BE1} = V_T \ln \frac{8I_0}{I_s} \quad (3)$$

同理，得到 V_{BE2} 的公式：

$$10 \quad I_D = I_s (e^{V_{BE2}/V_T} - 1) \quad (4)$$

根据同样的假设和推导，得到：

$$V_{BE2} = V_T \ln \frac{I_0}{I_s} \quad (5)$$

因此，第三电阻 R3 上的电压 $V_{BE1}-V_{BE2}$ 有：

$$V_{BE1} - V_{BE2} = V_T \ln \frac{NI_0}{I_s} - V_T \ln \frac{I_0}{I_s} = V_T \ln 8 \quad (6)$$

15 从而，第二桥臂 B2 上的电流 I_{112} 有：

$$I_{112} = \frac{V_{BE1} - V_{BE2}}{R3} = \frac{V_T \ln 8}{R3} \quad (7)$$

其中，R3 是第三电阻 R3 的阻值。由于在 N 确定的情况下， $V_{BE1} - V_{BE2}$ 与 V_T 成正比， V_T 与温度 T 成正比，因此，第二桥臂 B2 上的电流 I_{112} 与温度 T 成正比，为正温度系数电流。

20 在上述公式中，当第一 PN 结单元 J1 和第二 PN 结单元 J2 的数量为其他值时，公式 (2) ~ (7) 中的数字 8 可以替换为第二 PN 结单元 J2 和第一 PN 结单元 J1 的数量比 Z。

由于第一桥臂 B1 和第二桥臂 B2 上的电流相同，第一反馈晶体管 MB1 的电流等于二倍的第二桥臂 B2 上的电流，为 $2V_T \ln N / R3$ 。

25 第一反馈晶体管 MB1 和第一输出晶体管 MO1 构成电流镜。在一个实施例中，第一反馈晶体管 MB1 和第一输出晶体管 MO1 的沟道宽长比的比值是 2:1，因此，第一输出晶体管 MO1 漏极输出的第一电流 I1 等于二分之一的第一反馈晶体管 MB1 上的电流，等于第二桥臂 B2 上的电流 I_{112} 。

可见，第一输出晶体管 MO1 漏极输出的电流 I1 与第三电阻 R3 的阻值负相关，因此，可以设置第三电阻 R3 为可调电阻，以调节第一电流 I1 的值。

30 在图 7 所示实施例中，第一 PN 结单元 J1 和第二 PN 结单元 J2 通过自偏置晶体管实现，自偏置晶体管为 N 型晶体管，自偏置晶体管的栅极和源极均接地。在本公开的其他实施例中，第一 PN 结单元 J1 和第二 PN 结单元 J2 的实现方式还可以有多种，也可以直

接通过二极管实现，本公开对此不作特殊限制。

继续参考图 7 所示实施例，负温度系数电流生成单元 12 可以包括：

第二放大器 AMP2，第二放大器 AMP2 的反相输入端连接第一放大器 AMP1 的反相输入端；

5 第二反馈晶体管 MB2，第二反馈晶体管 MB2 的源极连接电源电压 VCC，栅极连接第二放大器 AMP2 的输出端，漏极连接第二放大器 AMP2 的同相输入端；

第四电阻 R4，一端连接第二放大器 AMP2 的同相输入端，另一端接地；

第二输出晶体管 MO2，源极连接电源电压 VCC，栅极连接第二放大器 AMP2 的输出端，漏极用于输出第二电流 I2。

10 由分析可知，第二输出晶体管 MO2 与第二反馈晶体管 MB2 构成电流镜。第二放大器 AMP2 的同相输入端和反相输入端电压相等，第四电阻 R4 上的电压等于第一 PN 结单元 J1 的结电压 V_{BE1} ，则第二反馈晶体管 MB2 上的电流等于 $V_{BE1} / R4$ ，设第二反馈晶体管 MB2 和第二输出晶体管 MO2 的沟道宽长比的比值是 1: 1，第二输出晶体管 MO2 的漏极输出的第二电流 I2 有：

$$15 \quad I2 = V_{BE1} / R4 \quad (8)$$

根据公式 (6) 得到：

$$V_{BE1} = V_{BE2} + V_T \ln 8 \quad (9)$$

从而，有：

$$I2 = \frac{V_{BE1}}{R4} = \frac{V_{BE2} + V_T \ln 8}{R4} \quad (10)$$

20 PN 结在有电流流经时产生的压降和正向电流以及温度有关，电流越大、压降越大，温度越高、压降越小。即 PN 结具有负温度系数电压。因此， V_{BE2} 是负温度系数电压，则 I2 是负温度系数电流。

且最终输出的恒定电流 $I = I1 + I2$ ，则得到恒定电流 I 的公式为：

$$I = I1 + I2 = \frac{V_T \ln 8}{R3} + \frac{V_T \ln 8 + V_{BE2}}{R4} \quad (11)$$

25 其中，I1 是正温度系数电流，I2 是负温度系数电流， V_T 和 V_{BE2} 均是温度 T 相关的值，调整第三电阻 R3 和第四电阻 R4 的阻值，当公式 (11) 对温度 T 的导数为零时，恒定电流 I 为零温度系数电流。

在本公开的一种示例性实施例中，第三电阻 R3 和第四电阻 R4 均为可调电阻，均可通过图 5A 或图 5B 所示实施例实现，于此不再赘述。

30 图 8 是本公开一个实施例中衬底参考电压生成模块的示意图。

参考图 8，在一个实施例中，衬底参考电压生成模块 12 可以包括：

第一 N 型晶体管 MN1，第一 N 型晶体管 MN1 的漏极和栅极连接于第二节点 N2，第二节点 N2 连接第一输出晶体管 MO1 的漏极和第二输出晶体管 MO2 的漏极，第一 N 型晶体管 MN1 的源极接地；

第二 N 型晶体管 MN2，第二 N 型晶体管 MN2 的栅极连接第一输出晶体管 MO1 的漏极和第二输出晶体管 MO2 的漏极，第二 N 型晶体管 MN2 的源极接地，第二 N 型晶体管 MN2 的源极连接第三节点 N3；

第一 P 型晶体管 MP1，第一 P 型晶体管 MP1 的源极连接电源电压 VCC，第一 P 型晶体管 MP1 的栅极和漏极均连接第三节点 N3，第三节点 N3 用于输出衬底参考电压 Vref。

通过图 8 所示实施例，衬底参考电压生成模块 12 可以输出正温度系数的衬底参考电压 Vref。

根据前面描述，第一 N 型晶体管 MN1 的阈值电压 (V_{th}) 随温度升高而降低，而流经第一 N 型晶体管 MN1 的电流为恒定电流 I，与第一 N 型晶体管 MN1 的栅源电压 (V_{gs}) 和阈值电压 (V_{th}) 之差成比例关系，因此，在恒定电流 I 不变、源极电压不变且阈值电压 (V_{th}) 降低时，第一 N 型晶体管 MN1 的栅极电压即 V_n 降低。因此， V_n 为负温度系数电压，即温度越高， V_n 越小。

第二 N 型晶体管 MN2 与第一 N 型晶体管 MN1 构成电流镜，第二 N 型晶体管 MN2 的漏极电流与第一 N 型晶体管 MN1 的漏极电流成比例。因此，第一 P 型晶体管 MP1 的漏极电流也为零温度系数的恒定电流。在本公开实施例中，为了简化分析，设置第二 N 型晶体管 MN2 与第一 N 型晶体管 MN1 的沟道宽长比相同，则第一 P 型晶体管 MP1 的漏极电流等于第一 N 型晶体管 MN1 上的恒定电流 I。

正温度系数的衬底参考电压 Vref 仅受恒定电流 I、第一 P 型晶体管 MP1 的特性的影响，且恒定电流 I 与温度无关，因此正温度系数的衬底参考电压 Vref 仅与第一 P 型晶体管 MP1 的特性相关。

P 型晶体管的阈值电压随温度升高而增大，第一 P 型晶体管 MP1 上的电流为恒定电流 I，与第一 P 型晶体管 MP1 的栅源电压 (V_{gs} ，导通时为负值) 和阈值电压 (V_{th} ，为负值) 之差成比例关系。因此，当第一 P 型晶体管 MP1 的阈值电压随温度升高而增大时，第一 P 型晶体管 MP1 的栅源电压 (V_{gs}) 和阈值电压 (V_{th}) 之差不变，第一 P 型晶体管 MP1 的栅源电压 (V_{gs}) 将变大，此时第一 P 型晶体管 MP1 的源极电压不变，第一 P 型晶体管 MP1 的栅极电压将变大，即衬底参考电压 Vref 随温度升高而升高。

因此，衬底参考电压生成模块 12 可以在温度发生变化时自动输出正温度系数的衬底参考电压 Vref。

根据本公开第二方面，提供一种芯片，包括如上任一实施例的电源电路。

在本公开的一个实施例中，可以通过切换电路根据芯片的工作模式切换为晶体管提供衬底电压的电源电路，例如，在芯片正常工作时，控制为晶体管提供衬底电压的电源电路为电源电压 VCC，在芯片进入深度睡眠模式 (Deep Sleep Mode, DSM) 时，切换上述任意实施例的电源电路为芯片提供衬底电压 VBP。

在本公开实施例中，温度例如为芯片的工作温度 (环境温度)。假设在高温环境下，芯片正常工作时使用固定的电源电压 VCC 作为 P 型晶体管的衬底电压，由于正常工作模

式时芯片的衬底电压是不随温度变化的电源电压 VCC，因为此时漏电流造成的功耗相对于芯片的功耗可以忽略不计。在芯片进入 DSM 模式时，漏电流造成的功耗占比更大，所以此时可以通过切换电路控制本公开实施例的电源电路 100 工作，将 P 型晶体管的衬底电压切换为正温度系数的衬底电压 VBP，则衬底电压 VBP 会随环境温度上升或者维持不变，进而能够减小因温度升高而增加的漏电流，从而能够减小芯片在 DSM 模式下的功耗。

在本公开实施例中，可以通过多种方式切换为芯片提供衬底电压的电源电路。例如，可以通过是 DSM 信号控制驱动器 DR 的使能，或者，在振荡模块 21 和电荷泵模块 22 之间做一个控制开关，或者直接用 DSM 信号控制参考电压产生电路 1 的使能，在衬底端做一个用于选择衬底电压来源的选择电路等等。实现衬底电压切换的方式可以有多种，本公开对此不作特殊限制。

应当注意，尽管在上文详细描述中提及了用于动作执行的设备的若干模块或者单元，但是这种划分并非强制性的。实际上，根据本公开的实施方式，上文描述的两个或更多模块或者单元的特征和功能可以在一个模块或者单元中具体化。反之，上文描述的一个模块或者单元的特征和功能可以进一步划分为由多个模块或者单元来具体化。

本领域技术人员在考虑说明书及实践这里公开的发明后，将容易想到本公开的其它实施方案。本申请旨在涵盖本公开的任何变型、用途或者适应性变化，这些变型、用途或者适应性变化遵循本公开的一般性原理并包括本公开未公开的本技术领域中的公知常识或惯用技术手段。说明书和实施例仅被视为示例性的，本公开的真正范围和构思由权利要求指出。

工业实用性

本公开实施例通过提供正温度系数的衬底参考电压以及根据衬底参考电压的升高输出使能信号的使能信号输出模块，可以在温度升高、晶体管漏电流上升时，通过使能信号控制电压输出模块自动升高晶体管的衬底电压，降低晶体管漏电流，从而降低集成电路的功耗。当将该电源电路用于提供 P 型晶体管的衬底电压时，可以自动在温度升高时降低集成电路中的 P 型晶体管的衬底电压，从而降低 P 型晶体管的漏电流、降低集成电路的整体功耗。

权利要求

1.一种电源电路，包括：

参考电压产生电路，用于生成正温度系数的衬底参考电压；

5 电压生成电路，用于根据使能信号抬升衬底电压；

使能信号生成电路，连接所述参考电压产生电路和所述电压生成电路，用于在所述衬底参考电压大于所述衬底电压与预设系数的乘积时，向所述电压生成电路输出所述使能信号。

2.如权利要求1所述的电源电路，其中，所述电压生成电路包括：

10 振荡模块，输入端用于接收所述使能信号，输出端用于输出振荡信号，所述振荡模块用于根据所述使能信号生成所述振荡信号；

电荷泵模块，输入端连接所述振荡模块，输出端用于输出所述衬底电压，所述电荷泵模块用于根据所述振荡信号抬升所述衬底电压。

3.如权利要求1所述的电源电路，其中，所述电荷泵模块包括：

15 第一电容，所述第一电容的第一端耦接所述振荡模块的输出端；

第一二极管，正极连接电源电压，负极连接所述第一电容的第二端；

第二二极管，正极连接所述第一电容的第二端，负极用于输出所述衬底电压。

4.如权利要求3所述的电源电路，其中，所述电荷泵模块还包括连接于所述振荡模块的输出端和所述第一电容的第一端之间的驱动电路，所述驱动电路用于增加所述振荡信号的
20 的振幅。

5.如权利要求3所述的电源电路，其中，所述电荷泵模块还包括第二电容，所述第二电容的第一端连接所述第二二极管的负极，所述第二电容的第二端接地，所述第二电容用于维持所述电荷泵模块的输出电压。

6.如权利要求1所述的电源电路，其中，所述使能信号生成电路包括：

25 比较器，所述比较器的反相输入端用于接收所述衬底参考电压；

反相器，所述反相器的输入端连接所述比较器的输出端，所述反相器的输出端连接所述电压生成电路，用于输出所述使能信号；

第一分压电阻单元，第一端连接所述电荷泵模块的输出端，用于接收所述衬底电压，第二端连接所述比较器的同相输入端；

30 第二分压电阻单元，第一端连接所述比较器的同相输入端，第二端接地；

其中，所述第一分压电阻单元和所述第二分压电阻单元的阻值之比为 $K-1$ ， K 为所述预设系数。

7.如权利要求6所述的电源电路，其中，所述第一分压电阻单元的阻值可调。

8.如权利要求7所述的电源电路，其中，所述第一分压电阻包括串联的多个电阻子单元，
35 每个所述电阻子单元包括一或多个子电阻，每个所述电阻子单元并联一个电阻调节开

关管，每个所述电阻调节开关管的控制端均用于接收控制信号。

9.如权利要求 7 所述的电源电路，其中，每个所述子电阻的阻值均相等。

10.如权利要求 1 所述的电源电路，其中，所述参考电压产生电路包括：

恒定电流生成模块，用于生成正温度系数的第一电流和负温度系数的第二电流，并根据所述第一电流和所述第二电流生成恒定电流；

衬底参考电压生成模块，包括晶体管，所述电压生产模块耦接所述恒定电流产生模块并用于根据所述恒定电流以及晶体管特性生成正温度系数的所述衬底参考电压。

11.如权利要求 10 所述的电源电路，其中，所述恒定电流生成模块包括：

正温度系数电流生成单元，用于生成所述第一电流；

负温度系数电流生成单元，连接所述正温度系数电流生成单元，用于生成所述第二电流。

12.如权利要求 11 所述的电源电路，其中，所述正温度系数电流生成单元包括：

第一放大器；

第一反馈晶体管，所述第一反馈晶体管的源极连接电源电压，栅极连接所述第一放大器的输出端，漏极连接第一节点；

第一桥臂，所述第一桥臂包括串联的第一电阻和多个并联的第一 PN 结单元，所述第一电阻的第一端连接所述第一节点，第二端连接所述第一放大器的反相输入端，所述第一 PN 结单元的正极连接所述第一放大器的反相输入端，负极接地；

第二桥臂，所述第二桥臂包括串联的第二电阻、第三电阻和多个并联的第二 PN 结单元，所述第二电阻的第一端连接所述第一节点，第二端连接所述第一放大器的同相输入端；所述第三电阻的第一端连接所述第一放大器的同相输入端，第二端连接所述第二 PN 结单元的正极，所述第二 PN 结单元的负极接地；

第一输出晶体管，源极连接所述电源电压，栅极连接所述第一放大器的输出端，漏极用于输出所述第一电流。

13.如权利要求 12 所述的电源电路，其中，所述第一电阻和所述第二电阻的阻值相等。

14.如权利要求 13 所述的电源电路，其中，所述第二 PN 结单元的数量为 N 个， $N = (M+2)^2 - M^2$ ，所述第一 PN 结单元的数量为 M^2 个，其中 M 为大于等于 1 的整数。

15.如权利要求 12 所述的电源电路，其中，所述负温度系数电流生成单元包括：

第二放大器，所述第二放大器的反相输入端连接所述第一放大器的反相输入端；

第二反馈晶体管，所述第二反馈晶体管的源极连接所述电源电压，栅极连接所述第二放大器的输出端，漏极连接所述第二放大器的同相输入端；

第四电阻，一端连接所述第二放大器的同相输入端，另一端接地；

第二输出晶体管，源极连接所述电源电压，栅极连接所述第二放大器的输出端，漏极用于输出所述第二电流。

16.如权利要求 15 所述的电源电路，其中，所述第三电阻和所述第四电阻均为可调电

阻,所述第三电阻和所述第四电阻的阻值满足 $(kT/q) \cdot \ln Z / R_3 + (kT/q \cdot \ln Z + V_{BE2}) / R_4$ 对温度 T 的导数为零,其中, R_3 是所述第三电阻的阻值, R_4 是所述第四电阻的阻值, K 是玻尔兹曼常数, q 是电子带电量, T 是所述电源电路的工作温度, V_{BE2} 是所述第二 PN 结单元两端的电压差, Z 是所述第二 PN 结单元与所述第一 PN 结单元的数量比。

5 17.如权利要求 10 所述的电源电路,其中,所述衬底参考电压生成模块包括:

第一 N 型晶体管,所述第一 N 型晶体管的漏极和栅极连接于第二节点,所述第二节点连接所述第一输出晶体管的漏极和所述第二输出晶体管的漏极,所述第一 N 型晶体管的源极接地;

10 第二 N 型晶体管,所述第二 N 型晶体管的栅极连接所述第一输出晶体管的漏极和所述第二输出晶体管的漏极,所述第二 N 型晶体管的源极接地,所述第二 N 型晶体管的源极连接第三节点;

第一 P 型晶体管,所述第一 P 型晶体管的源极连接电源电压,所述第一 P 型晶体管的栅极和漏极均连接所述第三节点,所述第三节点用于输出所述衬底参考电压。

18.一种芯片,包括如权利要求 1~17 任一项所述的电源电路。

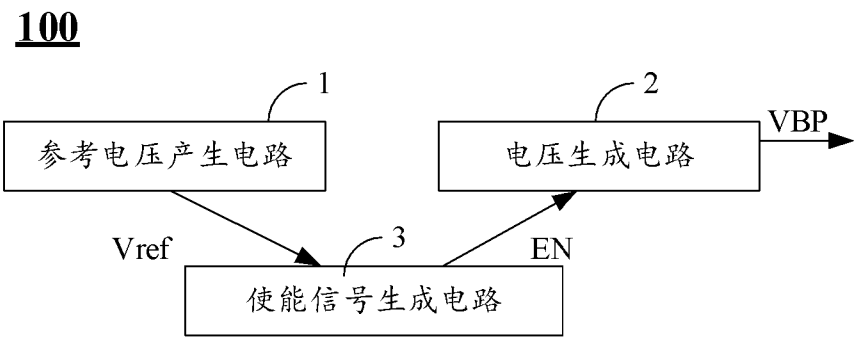


图 1

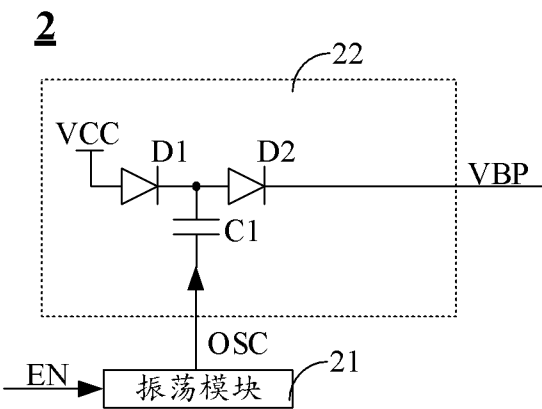


图 2

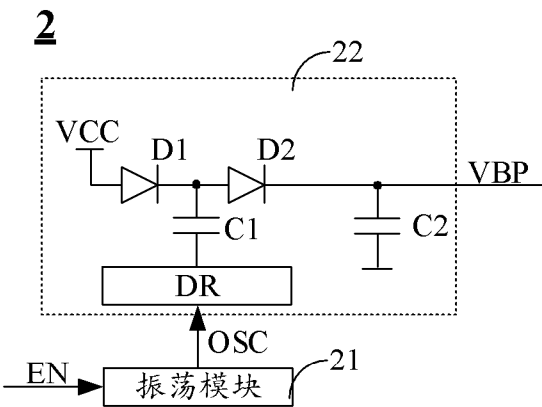


图 3

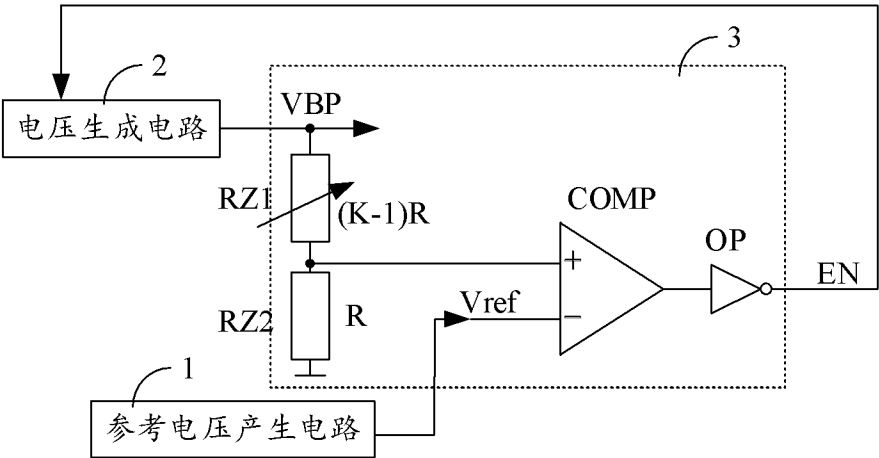


图 4

501

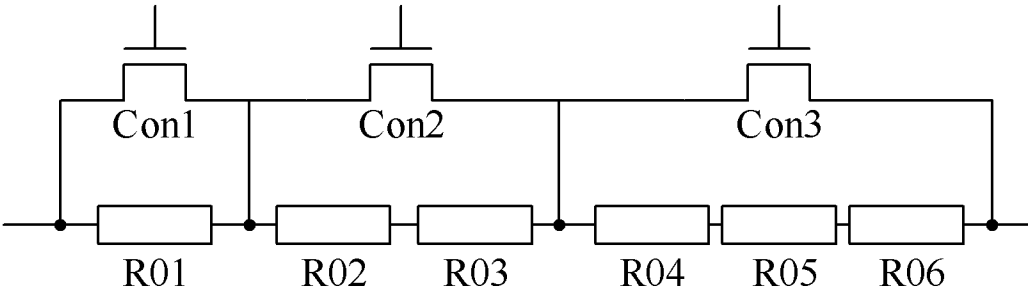


图 5A

502

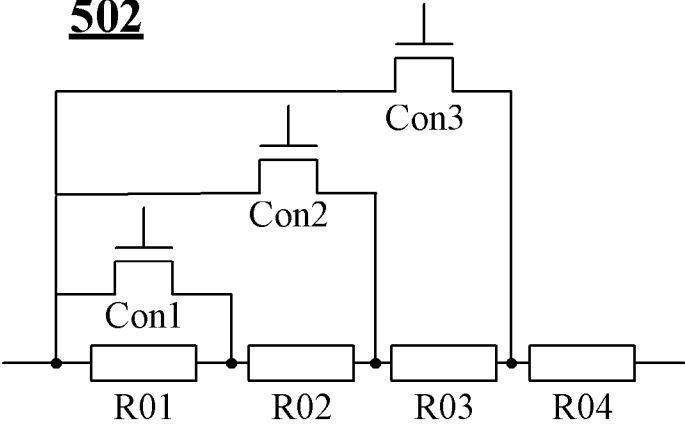


图 5B

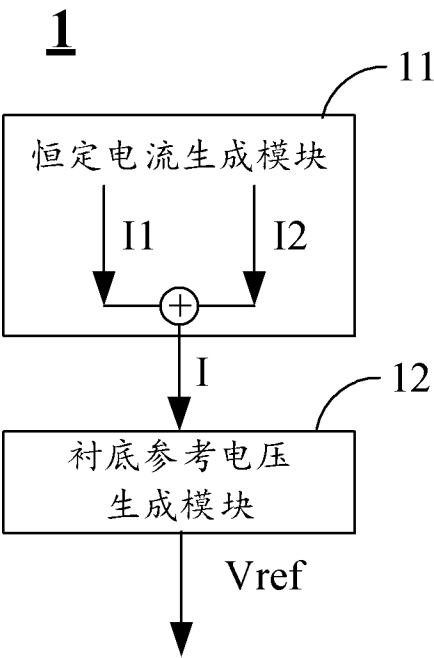


图 6

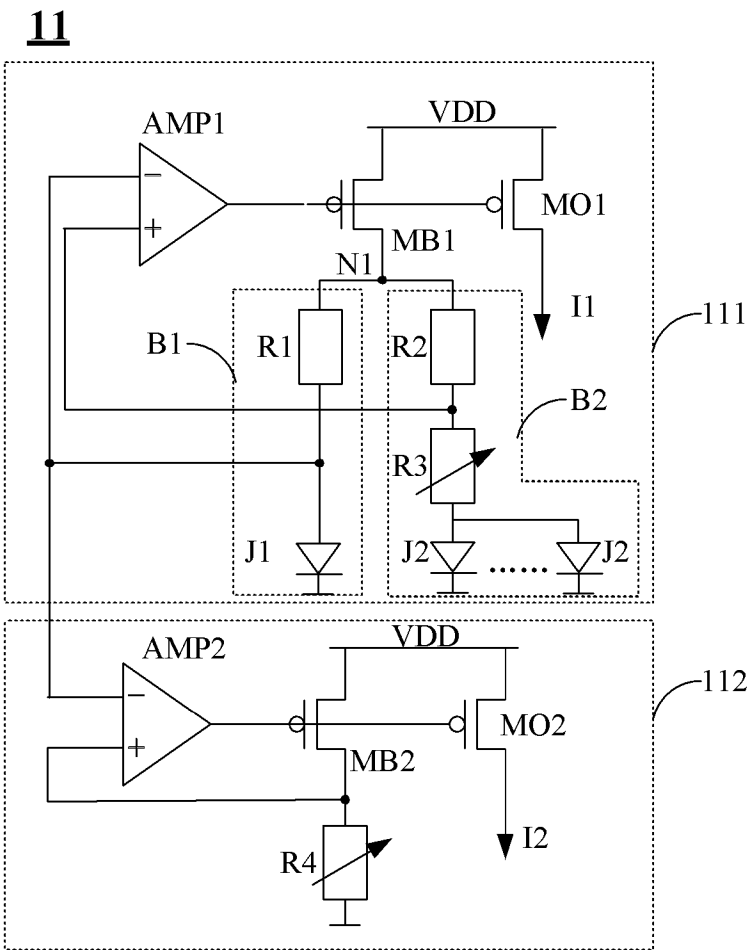


图 7

12

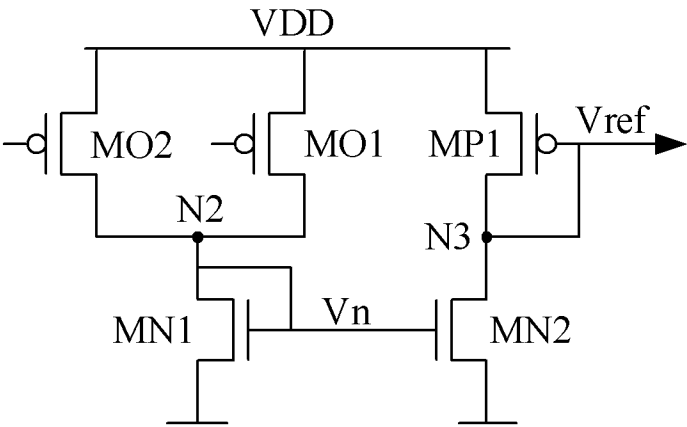


图 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/126372

A. CLASSIFICATION OF SUBJECT MATTER

G05F1/567(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:G05F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNXTX, ENTXTX, WPABSC, CNKI: 长鑫存储技术有限公司, 芯片, 集成电路, 功耗, 衬底, 电压, 参考, 基准, 电源, 信号, 使能, 升高, 抬高, 增大, 增加, 振荡, 电荷泵, 电容, 二极管, 晶体管, 比较器, 反相器, chip, IC, integrated circuit, power consumption, substrate, voltage, reference, power supply, signal, enable, step up, increase, oscillation, charge pump, capacitor, diode, transistor, comparator, inverter

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 1808323 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 26 July 2006 (2006-07-26) description, page 2, paragraph 2-page 15, paragraph 3, and figures 1-8	1-5, 10-11, 17-18
A	CN 1808323 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 26 July 2006 (2006-07-26) description, page 2, paragraph 2-page 15, paragraph 3, and figures 1-8	6-9, 12-16
A	CN 114740938 A (XI'AN AEROSEMI TECHNOLOGY CO., LTD.) 12 July 2022 (2022-07-12) entire document	1-18
A	CN 108037791 A (XIDIAN UNIVERSITY) 15 May 2018 (2018-05-15) entire document	1-18
A	CN 212872583 U (CHIPSEA TECHNOLOGIES (SHENZHEN) CO., LTD.) 02 April 2021 (2021-04-02) entire document	1-18



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “D” document cited by the applicant in the international application
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

08 May 2023

Date of mailing of the international search report

11 May 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/126372

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 111552342 A (SOUTHEAST UNIVERSITY) 18 August 2020 (2020-08-18) entire document	1-18
A	CN 210666511 U (GUANGZHOU UNIVERSITY) 02 June 2020 (2020-06-02) entire document	1-18
A	CN 214311491 U (BEIJING JUXUAN INTELLIGENT TECHNOLOGY CO., LTD.) 28 September 2021 (2021-09-28) entire document	1-18
A	CN 113961031 A (MACRONIX INTERNATIONAL CO., LTD.) 21 January 2022 (2022-01-21) entire document	1-18
A	US 2017115677 A1 (SILICON LABORATORIES, INC.) 27 April 2017 (2017-04-27) entire document	1-18
A	US 2009315525 A1 (FREESCALE SEMICONDUCTOR, INC.) 24 December 2009 (2009-12-24) entire document	1-18
A	US 2007058457 A1 (HYNIX SEMICONDUCTOR INC.) 15 March 2007 (2007-03-15) entire document	1-18

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/126372

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	1808323	A	26 July 2006	TW	200638175	A	01 November 2006
				TWI	278734	B	11 April 2007
				US	7068024	B1	27 June 2006
				US	2006145679	A1	06 July 2006
				CN	100421045	C	24 September 2008
CN	114740938	A	12 July 2022	None			
CN	108037791	A	15 May 2018	None			
CN	212872583	U	02 April 2021	None			
CN	111552342	A	18 August 2020	None			
CN	210666511	U	02 June 2020	None			
CN	214311491	U	28 September 2021	None			
CN	113961031	A	21 January 2022	US	2022019254	A1	20 January 2022
				TW	202217806	A	01 May 2022
				TWI	774386	B	11 August 2022
US	2017115677	A1	27 April 2017	US	10296026	B2	21 May 2019
US	2009315525	A1	24 December 2009	US	8018197	B2	13 September 2011
US	2007058457	A1	15 March 2007	JP	2007081406	A	29 March 2007
				JP	5133545	B2	30 January 2013
				US	2009033406	A1	05 February 2009
				US	7667528	B2	23 February 2010
				KR	20070030474	A	16 March 2007
				KR	100738957	B1	12 July 2007
				US	7417490	B2	26 August 2008
				TW	200713303	A	01 April 2007
				TWI	303829	B	01 December 2008

国际检索报告

国际申请号

PCT/CN2022/126372

A. 主题的分类 G05F1/567 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) IPC: G05F 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNTXT, ENTXTC, WPABSC, CNKI: 长鑫存储技术有限公司, 芯片, 集成电路, 功耗, 衬底, 电压, 参考, 基准, 电源, 信号, 使能, 升高, 抬高, 增大, 增加, 振荡, 电荷泵, 电容, 二极管, 晶体管, 比较器, 反相器, chip, IC, integrated circuit, power consumption, substrate, voltage, reference, power supply, signal, enable, step up, increase, oscillation, charge pump, capacitor, diode, transistor, comparator, inverter		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 1808323 A (中国台湾积体电路制造股份有限公司) 2006年7月26日 (2006 - 07 - 26) 说明书第2页第2段-第15页第3段, 附图1-8	1-5, 10-11, 17-18
A	CN 1808323 A (中国台湾积体电路制造股份有限公司) 2006年7月26日 (2006 - 07 - 26) 说明书第2页第2段-第15页第3段, 附图1-8	6-9, 12-16
A	CN 114740938 A (西安航天民芯科技有限公司) 2022年7月12日 (2022 - 07 - 12) 全文	1-18
A	CN 108037791 A (西安电子科技大学) 2018年5月15日 (2018 - 05 - 15) 全文	1-18
A	CN 212872583 U (芯海科技 (深圳) 股份有限公司) 2021年4月2日 (2021 - 04 - 02) 全文	1-18
A	CN 111552342 A (东南大学) 2020年8月18日 (2020 - 08 - 18) 全文	1-18
☒ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2023年5月8日		国际检索报告邮寄日期 2023年5月11日
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088		授权官员 杨彬 电话号码 (+86) 010-53962434

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 210666511 U (广州大学) 2020年6月2日 (2020 - 06 - 02) 全文	1-18
A	CN 214311491 U (北京炬玄智能科技有限公司) 2021年9月28日 (2021 - 09 - 28) 全文	1-18
A	CN 113961031 A (旺宏电子股份有限公司) 2022年1月21日 (2022 - 01 - 21) 全文	1-18
A	US 2017115677 A1 (SILICON LAB. INC.) 2017年4月27日 (2017 - 04 - 27) 全文	1-18
A	US 2009315525 A1 (FREESCALE SEMICONDUCTOR INC.) 2009年12月24日 (2009 - 12 - 24) 全文	1-18
A	US 2007058457 A1 (HYNIX SEMICONDUCTOR INC.) 2007年3月15日 (2007 - 03 - 15) 全文	1-18

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/126372

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	1808323	A	2006年7月26日	TW	200638175	A	2006年11月1日
				TWI	278734	B	2007年4月11日
				US	7068024	B1	2006年6月27日
				US	2006145679	A1	2006年7月6日
				CN	100421045	C	2008年9月24日
CN	114740938	A	2022年7月12日	无			
CN	108037791	A	2018年5月15日	无			
CN	212872583	U	2021年4月2日	无			
CN	111552342	A	2020年8月18日	无			
CN	210666511	U	2020年6月2日	无			
CN	214311491	U	2021年9月28日	无			
CN	113961031	A	2022年1月21日	US	2022019254	A1	2022年1月20日
				TW	202217806	A	2022年5月1日
				TWI	774386	B	2022年8月11日
US	2017115677	A1	2017年4月27日	US	10296026	B2	2019年5月21日
US	2009315525	A1	2009年12月24日	US	8018197	B2	2011年9月13日
US	2007058457	A1	2007年3月15日	JP	2007081406	A	2007年3月29日
				JP	5133545	B2	2013年1月30日
				US	2009033406	A1	2009年2月5日
				US	7667528	B2	2010年2月23日
				KR	20070030474	A	2007年3月16日
				KR	100738957	B1	2007年7月12日
				US	7417490	B2	2008年8月26日
				TW	200713303	A	2007年4月1日
				TWI	303829	B	2008年12月1日