(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
G06F 12/02

(45) 공고일자 2003년12월31일
(11) 등록번호 10-0413133
(24) 등록일자 2003년12월16일

(21) 출원번호 10-2000-0000860
(22) 출원일자 2000년01월10일

(65) 공개번호 특2000-0071233
(43) 공개일자 2000년11월25일

(30) 우선권주장 09/229,184 1999년01월13일 미국(US)

(73) 특허권자 루센트 테크놀러지스 인크
미합중국 뉴저지 머레이 힐 마운틴 애비뉴 600 (우편번호 : 07974-0636)

(72) 발명자 에반스도널드에이
미국펜실바니아18104앨런타운다니엘스트리트427

(74) 대리인 이병호

심사관 : 박영복

(54) 열 먹싱을 갖는 콘텐트 어드레서블 메모리 아키텍쳐

요약

콘텐트-어드레서블 메모리(CAM)는 열 먹싱을 사용하여 재구성되므로, 예를 들면 2:1 열 먹싱에 대해, 종래의 셀 어레이에서 수직으로 인접하는 셀의 각 쌍은 본 발명의 셀 어레이에서 수평으로 인접하는 셀의 쌍으로서 재구성된다. 이러한 재구성은 주어진 사이즈를 갖는 CAM 메모리의 셀 어레이에서의 열 수를 배로 증가시키나, 계수 2 만큼 행 수를 감소시킨다. 이러한 행 수의 2배 감소는 계수 2만큼 비트 라인 로딩을 감소시키므로, CAM 성능을 개선시킨다. 또한, 셀 어레이에서의 열 사이의 탐색 데이터 라인의 공유는 열 지원 회로가 2-열 피치 내에 놓이도록 하고, 2-열 피치는 열 지원 회로가 1-열 피치 내에 놓이는 종래의 CAM 메모리에 비해 이러한 회로의 보다 효율적인 레이아웃을 제공한다. 또, 탐색 데이터 라인의 공유는 셀 어레이에 대해 더욱 효율적인 레이아웃을 허용하므로, 20%이상의 어레이 레이아웃 감소를 가져온다. 더욱이, 열 디코더는 열 지원 회로에 필요로 되는 센스 증폭기의 수를 절반으로 만들도록 사용될 수 있으므로, 이와 같은 회로에 대한 레이아웃을 더욱 감소시킨다.

대표도

도 3

색인어

콘텐트-어드레서블 메모리(CAM), 열 먹싱, 탐색 데이터 라인

명세서

도면의 간단한 설명

도 1은 1024 72-비트 데이터 워드를 지원하는 종래의 CAM 메모리의 레이아웃의 개략도.
도 2는 도 1의 CAM 메모리의 셀 아키텍쳐의 개략도.

도 3은 본 발명의 일 실시예에 따른, 1024 72-비트 데이터 워드를 지원하는 CAM 메모리의 레이아웃의 개략도.
도 4는 도 3의 CAM 메모리의 셀 아키텍쳐의 개략도.
도 5는 도 3의 CAM 메모리에 있는 셀의 2개의 인접 열에서의 한 쌍의 셀 사이의 로컬 및 광역 탐색 데이터 라인을 도시한 개략도.
도 6은 도 3의 CAM 메모리에 있는 셀의 각 열 쌍을 위한 2개의 열 지원 회로의 블록도.
* 도면의 주요 부분에 대한 부호의 설명 *
300 : CAM 메모리 302 : 2차원 어레이 셀
306 : 행 지원 회로 402 : SRAM 코어 셀
404 : XOR 로직

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

발명의 분야 본 발명은 컴퓨터 메모리 아키텍쳐에 관한 것으로, 특히 콘텐트-어드레서블 메모리의 아키텍쳐에 관한 것이다.
관련 기술의 설명 콘텐트-어드레서블 메모리(CAM)는 표준 RAM과 같이 기록 및 판독될 수 있지만, 특정 콘텐트를 탐색(search)할 수 있는 랜덤 액세스 메모리(RAM)의 특정 형태이다. 특히, CAM 메모리는 데이터 값들의 특정 스트링을 가지는 연속 CAM 셀들의 세트에 대해 탐색될 수 있다. 통상적으로, 탐색 스트링의 사이즈는 CAM 메모리의 워드 길이에 대응하고, 그 탐색은 스트링이 발견되면 스트링이 존재하는 CAM 워드의 어드레스를 출력하기 위해 모든 데이터 워드들에 대해 병렬로 수행된다. 통상의 CAM 설계에 있어서, 스트링이 2 또는 그 이상의 CAM 워드들에 존재하면, 탐색은 이들 중 단 하나만(즉, 가장 하위의 어드레스를 갖는 것)을 식별한다.
도 1은 1024-72-비트 데이터 워드들을 지원하는 종래의 CAM 메모리(100)의 레이아웃의 개략도를 나타낸다. CAM 메모리(100)는 CAM 셀들의 72 열들 및 1024 행들의 2차원 어레이로 구성된다. 이 어레이 셀들의 각 열에 있어서, CAM 메모리(100)도 열 지원 회로(104) 세트를 가진다. 유사하게, 이 어레이 셀들의 각 행에 있어서, CAM 메모리(100)는 행 지원 회로(106)의 세트를 가진다. 이 기술분야에서 숙련된 사람은 열 및 행 지원 회로는 센스 증폭기들, 입력 래치들, 출력 드라이버들 및 셀들의 어레이를 액세스하는 데 필요한 다른 구성요소들을 포함한다는 것을 이해할 것이다.
도 2는 도 1의 CAM 메모리(100)의 셀 아키텍쳐의 개략도를 나타낸다. 특히, 도 2는 도 1의 CAM 메모리(100)의 어레이 열들 중 하나로부터 2개의 수직으로 인접하는 CAM 셀들(102)을 나타낸다. 각 CAM 셀은 6개의 트랜지스터들, 즉 래치 소자로서 2개의 교차 결합된 인버터들과 판독 및 기록을 위한 2개의 액세스 트랜지스터들을 갖는 통상의 스태틱 RAM(SRAM) 코어 셀(202)을 포함한다. 또한, 각 CAM 셀은 콘텐트 탐색 기능을 지원하는 4개의 추가 장치들(즉, n-FETS)을 포함하는 XOR 로직(204)을 가진다.
각 개개의 셀(102)로의 액세스는 대응하는 워드 라인 WL, 매치 라인 ML, 진실 및 보수 비트 라인들(BLT, BLC) 및 진실 및 보수 탐색 데이터 라인들(MT, MC)을 통해 제공되고, 여기서 각 라인은 특정 설계에 의존하여, 프리-차지드 하이 및 액티브 로 또는 프리-차지드 로 및 액티브 하이 중 하나이다.
도 1 및 도 2에 도시된 것과 같이, 각 수평 워드 라인 WL 및 각 매치 라인 ML은 대응하는 행에 있는 셀들 모두에 의해 공유된다. 마찬가지로, 각 수직 비트 라인 BLT/BLC와 각 탐색 데이터 라인 MT/MC는 대응하는 열에 있는 셀들 모두에 의해 공유된다.
데이터 비트들은 적당한 행에 대응하는 워드 라인 WL을 활성화시키고 각 열을 위한 적당한 비트 라인 BLT 또는 BLC에 펄스를 가함으로써 병렬로 워드의 각 셀들에 기록된다. 비트 라인 BLT에 펄스를 가함으로써 대응하는 셀에 1을 저장하고, 한편 비트 라인 BLC에 펄스를 가함으로써 0을 저장한다.
마찬가지로, 데이터 비트들은 적당한 행에 대응하는 워드 라인 WL을 활성화시켜, 병렬로 워드의 개개의 셀들로부터 판독된다. 이후 상기 행의 각 셀은 셀에 저장된 값에 의존하여 BLT 비트 라인 또는 BLC 비트 라인 중 하나를 구동한다. 저장된 비트 값이 1이면, 이 때 셀은 BLT 비트 라인을 구동하고, 그렇지 않으면 셀은 저장된 비트 값 0을 나타내는 BLC 비트 라인을 구동할 것이다.
콘텐트 탐색은 매치 라인들 ML과 탐색 데이터 라인들 MT 및 MC을 사용하여 달성된다. 특히, 하나의 탐색 데이터 라인은 탐색 스트링내의 대응하는 데이터 비트에 의존하여 어레이에 있는 각 열에 대해 활성화하여 구동된다. 탐색 스트링에 있는 대응하는 데이터 비트가 1이면, 이 때 참 탐색 데이터 라인 MT이 구동되고, 그렇지 않으면, 보수 탐색 데이터 라인 MC가 0의 데이터 비트에 대응하여 구동된다. 워드에 있는 임의의 셀이 그 탐색 입력 비트와 일치하지 않으면, 이 때 대응하는 매치 라인 ML은 그 워드에 대한 매치가 존재하지 않음을 표시할 것이다. 그러나, 탐색 스트링에 있는 각 비트가 어레이의 특정 행에 있는 각 대응하는 비트와 일치하면, 이 때 대응하는 매치 라인 ML은 매치가 그 워드에서 발견되었다고 표시할 것이다. 특정 설계에 의존하여, 각 매치 라인의 프리-차지 상태는 매치 상태 또는 비매치(no-match) 상태 중 하나에 대응할 것이다. 양자의 경우에, 각 매치 라인은 상기 워드에 대한 적당한 탐색 결과를 표시하기에 필요한 정도로 구동될 것이다.

발명이 이루고자 하는 기술적 과제

도 1에 도시된 것과 같이, CAM 메모리(100)는 CAM 셀들(102)의 각 행에 대해 단지 2개의 수평 라인들(즉, 워드 라인 WL 및 매치 라인 ML)을 필요로 하지만, 어레이에 있는 CAM 셀들(102)의 각 열에 대해서는 4개의 수직 라인들(즉, 비트 라인 들(BLT, BLC) 및 탐색 데이터 라인들(MT, MC))을 필요로 한다. 도 1에 지시된 것과 같이, 4개의 상이한 수직 라인들에 대해 열 지원 회로를 제공하고 이 열 지원 회로에 대한 레이아웃의 피치를 셀들의 피치와 매치하도록 하기 위해, 이 레이아웃 영역의 높이는 통상적으로 비교적 커야 한다. 이용 가능한 피치의 협소도(narrowness)는 이 열 지원 회로에 대해 상대적으로 비효율적인 레이아웃의 결과가 된다.
도 1 및 도 2의 CAM 메모리(100)와 같은 종래의 CAM 아키텍쳐가 갖는 다른 문제점은 비트-라인 로딩과 관련되어 있다. CAM 메모리 장치에서의 각 행은, 개개의 셀들로부터 및 개개의 셀들에 데이터 비트들을 판독 및 기록하기 위해 사용되는 비트 라인들에 용량 및 저항을 기여하며, 이 증가된 임피던스는 다음으로 이 데이터 액세스의 속도를 감소시킨다. CAM 메모리가 상당히 많은 수의 워드들, 예를 들면 CAM 메모리(100)의 1024 워드들을 가질 경우, 상기 임피던스 모두로부터 기인하는 비트 라인 로딩은 허용할 수 없는 낮은 CAM 성능을 초래한다. 몇 가지 응용들을 위해, CAM 성능 요건들은 CAM 셀 어레이의 사이즈를 1024 행들(즉 최대 512 행들) 보다 낮게 제한한다. 그 결과, CAM 메모리의 사이즈는, 지원되는 워드 수들과 관련하여, 이와 같은 응용들에 대해 제한될 수 있다.

발명의 구성 및 작용

<u>발명의 요약</u> 본 발명은 개선된 아키텍쳐를 가진 콘텐트-어드레서블 메모리(CAM)에 관한 것이다. 특히, 본 발명의 CAM 메모리는 열 먹싱(column muxing)을 사용하여 더욱 효율적인 레이아웃과 감소된 비트 라인 로딩 모두를 제공한다. 그 결과, 본 발명의 CAM 메모리는 동일한 데이터 양을 지원하는 비교되는 종래의 CAM 메모리보다 더욱 작은 레이아웃 사이즈와 더욱 양호한 성능을 가진다.
일 실시예에 있어서, 본 발명은 CAM을 갖는 집적 회로이며, CAM은 (a) k가 1보다 큰 정수로서, 어레이를 통한 비트 슬라이스가 어레이의 k 열들에 대응하고 어레이의 각 행이 k 워드들에 대응하도록 열 먹싱을 사용하여 구성된 CAM 셀들의 어레이와, (b) 어레이의 각 행을 위한 행 지원 회로 세트와, (c) 어레이의 각 k 열들을 위한 열 지원 회로 세트를 포함한다. 바람직한 실시예에 있어서, k는 2이고 CAM 셀들의 어레이는 2:1 열 먹싱을 사용하여 구성된다.
<u>상세한 설명</u> 본 발명의 다른 양태, 특징 및 이점은 다음의 상세한 설명, 특허청구범위 및 첨부 도면으로부터 더욱 명백하게 될 것이다.
도 3은 본 발명의 일 실시예에 따른 CAM 메모리(300)의 레이아웃의 개략도를 나타낸다. 도 1의 CAM 메모리(100)와 같이, CAM 메모리(300)는 1024 72-비트 데이터 워드를 지원한다. 그러나, 셀의 72 열과 1024 행의 2차원 어레이를 갖는 CAM 메모리(100)와는 달리, CAM 메모리(300)의 2차원 어레이 셀(302)은 144 열, 512 행만을 가진다. 이러한 어레이 구성은 CAM 메모리(100)의 수직으로 적층된 셀의 각 쌍이 CAM 메모리(300)에 2개의 수평으로 배치된 셀로서 재구성되는 2:1 열 먹싱(muxing)을 사용하여 달성된다. 이와 같이, 어레이의 각 비트 슬라이스는 2열의 어레이 셀을 포함하지만, 어레이는 모든 2개의 데이터 워드에 대해 단지 하나의 행 셀을 가진다. CAM 메모리(100)의 셀 어레이가 N 열과 E 행을 가지는 경우, 비교 되는 CAM 메모리(300)의 셀 어레이는 2N 열과 E/2 행을 가진다.
CAM 메모리(100)를 갖는 경우가 그러하였듯이, 어레이에서의 셀들의 각 행에 대해, CAM 메모리(300)는 행 지원 회로(306) 세트를 가진다. 그러나, 어레이에서의 셀의 각 열 쌍에 대해, CAM 메모리(300)는 2개의 열 지원 회로(304) 세트를 가진다. 이것은 셀 어레이에서 각 열에 대해 다른 회로 세트를 가졌던 CAM 메모리(100)와는 다르다.
도 4는 도 3의 CAM 메모리(300)의 셀 아키텍쳐의 개략도를 나타낸다. 특히, 도 4는 CAM 메모리(300) 어레이의 행 중 하나로부터 2개의 수평으로 인접하는 CAM 셀(302)을 나타낸다. 도 4의 CAM 셀은 본 발명의 2:1 열 먹싱에 따라 재구성된 도 2의 CAM 셀에 대응한다. 2:1 열 먹싱의 결과, 도 4에 도시된 2개의 CAM 셀은 이들이 어레이의 동일 셀 행에 놓일지라도 CAM 메모리(300)에서의 2개의 상이한 데이터 워드에 대응한다. 도 2의 CAM 셀에서와 같이, 각 CAM 셀(302)은 판독 및 기록 데이터에 대해 통상 6-트랜지스터 SRAM 코어 셀(402)을 포함한다. 또한, 각 CAM 셀(302)은 콘텐트 탐색 기능을 지원할 수 있도록 4개의 추가의 장치(예를 들면 n-FETS)를 포함하는 XOR 로직(404)을 가진다.
도 4에 도시된 것과 같이, 수평으로 인접하는 CAM 셀(302)의 각 쌍으로의 액세스는 워드 라인 WL, 매치 라인 ML0 및 ML1, 비트 라인 BLT0, BLC0, BLT1 및 BLC1, 로컬 탐색-데이터 라인 MT 및 MC, 광역 탐색-데이터 라인 MDLT 및 MDLC를 통해 제공되고, 여기서 각 라인은 특정 설계에 의존하여, 프리-차지드 하이(pre-charged high) 및 활성 행 또는 프리-차지드 로(pre-charged low) 및 활성 하이 중 하나이다. 수평 워드 라인 WL 및 매치 라인 ML0/ML1은 대응하는 행에서 셀의 각 쌍 및 모든 쌍에 의해 공유된다. 마찬가지로, 수직 비트 라인 BLT0/BLC0/BLC1은 대응하는 열에서 셀의 각 쌍 및 모든 쌍에 의해 공유된다.
데이터 비트는 적당한 행에 대응하는 워드 라인 WL을 활성화시키고 각 열에 대해 적당한 비트 라인 BLT0/1 또는 BLC0/1에 펄스를 보냄으로써, 병렬로 워드의 개개 셀에 기록된다. 비트 라인 BLT0/1에 펄스를 보내는 것에 의해 대응하는 셀에 1을 저장하고, 한편 비트 라인 BLC0/1에 펄스를 보내는 것에 의해 0을 저장한다.
마찬가지로, 데이터 비트는 적당한 행에 대응하는 워드 라인 WL을 활성화시킴으로써 병렬로 워드의 개개의 셀로부터 판독된다. 상기 행의 각 셀은 이후 셀에 저장된 값에 의존하여 BLT0/1 라인 또는 BLC0/1 비트 라인 중 하나를 구동한다. 이 값이 1이면, 이 때 셀은 BLT0/1을 구동하고, 그렇지 않으면 셀은 0의 비트 값을 나타내는 BLC0/1 비트 라인을 구동한다.

도 5는 도 3의 CAM 메모리(300)에 있는 2개의 인접하는 열 셀의 한 쌍의 셀 사이의 로컬 및 광역 탐색 데이터 라인의 공유를 설명하는 개략도이다. 도 5에 나타낸 것과 같이, 도 4에서와 같이, 동일 워드 비트에 대응하는 CAM 메모리(300)에 있는 셀의 인접하는 열의 각 쌍은 셀(302)의 2개 이상의 다른 블록(502)으로 분할된다. 각 블록의 셀은 한쌍의 버퍼(504)를 통해 광역 탐색 데이터 라인 MDLT 및 MDLC에도 접속되어 있는 동일 로컬 탐색 데이터 라인 MT 및 MC를 공유한다. 명료하게 하기 위해, 도 3 및 도 4의 워드, 매치, 비트 라인은 도 5에 도시되어 있지 않다.
도 4에서와 같이, 수평으로 인접하는 셀의 각 쌍 내의 2개의 셀은 동일 로컬 탐색 데이터 라인을 공유하므로, 필요한 수직 금속 채널의 수는 도 2의 종래의 셀에 비해 셀 당 하나로 감소된다. 이러한 여분의 수직 금속 채널은 바람직하게는 광역 탐색 데이터 라인에 사용된다. 광역 탐색 데이터 라인 MDLT/MDLC은 어레이를 수직으로 가로지르는 상이한 진(true)/보수 신호이다. 어레이를 주기적으로 통과함으로써(즉, 도 5에서는 셀 블록 당 1회), 갭 행(gap row)은 N웰 및 기판 콘택트를 포함하여 부가된다. 이러한 갭 행은 수직으로 넓혀져서 광역 탐색 데이터 라인을 로컬 탐색 데이터 라인 MT/MC로 버퍼링하는 인버터를 구비한다. 로컬 탐색 데이터 라인 MT/MC는 각 어레이 셀의 XOR 입력을 구동하는 상이한 진/보수 신호이다. 특정 설계에 따라, 광역 탐색 데이터 라인은 프리-차지드 하이 및 로로 펄스되고, 이후 로컬 탐색 데이터 라인은 광역 탐색 데이터 라인에 대한 로딩을 크게 감소시키므로, 콘텐트 탐색에 대한 CAM 성능을 개선시킨다.
도 3 및 도 4을 참조하면, CAM 메모리(300)에 대한 콘텐트 탐색이 매치 라인들 ML0/ML1, 로컬 탐색 데이터 라인들 MT/MC, 및 광역 탐색 데이터 라인들 MDLT/MDLC를 사용하여 달성된다. 특히, 하나의 광역 탐색 데이터 라인은 어레이의 각 열 쌍에 대해 구동된다. 탐색 스트링에 있는 대응하는 데이터 비트가 1이면, 이때 진(true) 광역 탐색 데이터 라인 MDLT가 구동되고, 그렇지 않으면, 보수 광역 탐색 데이터 라인 MDLC가 0의 대응하는 데이터 비트에 대해 구동된다. 또한 광역 탐색 데이터 라인(MDLT 또는 MDLC)의 구동에 의해 도 5의 셀의 각 블록에 대해 대응하는 로컬 탐색 데이터 라인(MT 도는 MC)을 구동한다.
CAM 메모리(300)에 있는 셀의 각 열은 2개의 상이한 데이터 워드에 대응하고, 콘텐트 탐색을 위해 2개의 다른 매치 라인(ML0, ML1)을 필요로 한다. 따라서, 워드의 어떤 셀이 그 탐색 입력 비트와 일치하지 않으면, 이 후 대응하는 매치 라인(ML0 또는 ML1)은 그 워드에는 일치가 없다고 표시한다. 그러나, 탐색 스트링내의 각 비트가 어레이의 특정 워드에 있는 각 대응하는 비트와 일치하면, 이후 대응하는 매치 라인(ML0 또는 ML1)은 일치가 그 워드에서 발견되었다는 표시가 구동된다. 매치 라인(ML0)은 셀의 행에 있는 각 기수 셀 및 모든 기수 셀이 대응하는 탐색 비트와 일치하면 일치를 표시한다. 마찬가지로, 매치 라인 ML1은 셀의 행에 있는 각각의 우수 셀 및 모든 우수 셀이 대응하는 탐색 비트와 일치하면 일치를 표시한다.
도 3에 도시된 것과 같이, CAM 메모리(300)는 CAM 셀(302)에 대해 3개의 수평 라인(즉, 워드 라인 WL 및 매치 라인 ML0, ML1)을 가진다. CAM 셀의 각 행은 2개의 데이터 워드에 대응하므로, 이것은 CAM 메모리(300)가 데이터 워드의 각 쌍에 대해 4개의 수평 라인이 필요로 되는 도 1의 CAM 메모리(100)에 비해, 데이터 워드의 각 쌍에 대해 단지 3개의 수평 라인을 가지는 것을 의미한다. 더욱이, CAM 메모리(300)는 CAM 셀의 각 열 쌍에 대해 8개의 수직 라인을 필요로 했던 CAM 메모리(100)에 비해, CAM 셀(302)의 각 열 쌍에 대해 6개의 수직 광역 라인(즉, 비트 라인 BLT0, BLC0, BLT1, BLC1 및 광역 탐색 데이터 라인 MDLT 및 MDLC)을 가진다. 또한 CAM 메모리(300)가 각 셀에 대해 2개의 로컬 데이터 라인 MT, MC를 가지지만, 이들은 지지 회로로 확장하는 광역 데이터 라인이 아니다. 그 결과, 2-열 지 원 회로의 각 세트에 필요로 되는 부품의 수는 종래의 CAM 메모리(100)의 열 지원 회로 각각의 2개의 세트에 필요로 되었던 부품 수보다 적다.
도 6은 본 발명의 일 실시예에 따른 CAM 메모리(300)에 있는 셀의 각 열 쌍에 대한 2개의 열 지원 회로(304)의 블록도를 나타낸다. 2개의 열 지원 회로(304)는 (a) 비트 라인 BLT0/BLC0/BLT1/BLC1을 따라 전송하기 위해 기록 데이터를 수신하는 입력 래치(602) 및 기록 데이터 드라이버(604)와, (b) 광역 탐색 데이터 라인 MDLC 및 MDLT를 따라 전송하기 위해 탐색 데이터를 수신하는 입력 래치(606) 및 탐색 데이터 드라이버(608), 및 (c) 출력 데이터로서 전송하기 위한 비트 라인 BLT0/BLC0/BLT1/BLC1으로부터 판독 데이터를 수신하는 2:1 먹스(610), 센스 증폭기(612) 및 출력 래치(614)를 포함한다. CAM 메모리(300)에서 열 디코더로서 동작하는 2:1먹스(610)의 존재는 계수 2에 의해 열 지원 회로에서 센스 증폭기의 수를 더욱 감소시킨다.

발명의 효과

전술한 사항을 고려한 결과, CAM 메모리(300)에 있는 각 행 지원 회로 세트 및 각 열 지원 회로 세트에 필요로 되는 부품의 수는 CAM 메모리(100)에 있는 비교되는 행 및 열 지원 회로 세트에서 필요로 되는 부품 수보다 적으므로, 각 지원 회로 세트의 레이아웃 사이즈를 감소시킨다. 더욱이, CAM 메모리(300)에 있는 2-열 지원 회로의 레이아웃은 셀의 2개의 열 피치와 대응하므로, 각 열 지원 회로 세트에서 부품의 보다 효율적인 레이아웃을 가능하게 한다. 셀 어레이 자체의 사이즈는 본 발명의 수평으로 인접하는 셀 쌍 사이의 탐색 데이터 입력의 보다 나은 에지-콘택트(edge-contact) 공유로 인해, 종래 기술의 2개의 수평으로 인접하는 셀 사이의 탐색 데이터 입력의 구성에 비해 적어도 20%까지 감소될 수 있다.
2:1 열 먹싱을 사용함으로써 계수 2만큼 어레이에 있는 행 수를 감소시킬 수 있다. 그와 같이, 각 열에 있는 셀의 수로 인해 용량 및 저항 비트 라인 로딩의 양도 계수 2만큼 감소될 수 있으므로, 보다 어레이 액세스가 빠르고 CAM 성능이 더욱 양호해진다. 그 결과, 성능 요건이 CAM 메모리의 사이즈를 한정(즉, 512 워드까지)하는 응용이 본 발명에 따라, CAM 성능을 희생시키지 않고 보다 큰 사이즈(즉 1024 워드)를 갖는 CAM 메모리를 사용하여 구현될 수 있다.
이상 본 발명은 광역 및 로컬 탐색 데이터 라인 모두를 갖는 아키텍쳐의 상황에서 기술되었으나, 본 발명의 열 먹싱의 선택 특성임을 이해할 수 있을 것이다. 또한, 본 발명에 따른 CAM 메모리는 종래 기술에서와 같이 광역 탐색 데이터

라인 대신에, 광역 및 로컬 탐색 데이터 라인의 장치 없이 구현될 수 있다. 또한, 본 발명의 열 먹싱은 비트 라인 로딩에서 추가의 감소를 달성하기 위해, 2:1 이상의 비율을 사용하여 구현될 수 있다.
본 발명의 특징을 설명하기 위해 설명 및 예시된 상세한 설명, 재료 및 부품의 배열 변경은 다음의 특허청구범위에 기재된 것과 같이 본 발명의 범위를 이탈하지 않고 이 기술 분야에서 숙련된 사람에 의해 여러 가지로 만들어질 수 있다는 것을 알 수 있을 것이다.

(57) 청구의 범위

청구항 1.
콘텐트-어드레서블 메모리(CAM)를 갖는 집적 회로에 있어서, 상기 CAM은,
(a) k는 1보다 큰 정수로서, 어레이를 통하여 비트 슬라이스(bit slice)가 상기 어레이의 k열들에 대응하고 상기 어레이의 각 행(row)이 k 워드들에 대응하도록 열 먹싱(column muxing)을 사용하여 구성된 CAM 셀들의 어레이와,
(b) 상기 어레이에 있는 각 행을 위한 행 지원 회로의 세트와,
(c) 상기 어레이에 있는 각 k열들을 위한 열 지원 회로 세트를 포함하는 집적 회로.

청구항 2.
삭제

청구항 3.
제 1 항에 있어서, 열 지원 회로의 각 세트를 위한 열 디코더들의 세트를 더 포함하는 집적 회로.

청구항 4.
제 1 항에 있어서, 각 CAM 셀은 콘텐트 탐색을 지원하도록 적응되는 SRAM 코어와 XOR 로직을 포함하는 집적 회로.

청구항 5.
제 1 항에 있어서,
상기 어레이에 있는 각 행을 위한 하나의 워드 라인 및 k 매치 라인들과,
상기 어레이에 있는 각 열을 위한 2비트 라인들, 및
상기 어레이에 있는 k 열들의 각 세트를 위한 2개의 광역 탐색 데이터 라인들을 더 포함하는 집적 회로.

청구항 6.
제 5 항에 있어서, 상기 어레이에 있는 k 열들의 각 세트를 위한 2개의 로컬 탐색 데이터 라인들을 더 포함하고, k 열들의 각 세트에 있는 상기 셀들은 2개 또는 그 이상의 셀들의 블록들로 분할되고 셀들의 각 블록은 각 로컬 탐색 데이터 라인과 대응하는 광역 탐색 데이터 라인 사이에 단일 접속을 가지는 집적 회로.

청구항 7.
제 1 항에 있어서, 열 지원 회로의 각 세트는 k 열 피치(pitch)를 갖는 레이아웃을 가지는 집적 회로.

청구항 8.
제 1 항에 있어서, 상기 CAM 셀들의 상기 어레이는 2:1 열 먹싱을 사용하여 구성되고 k는 2인 집적 회로.

청구항 9.
제 8 항에 있어서, 열 지원 회로의 각 세트를 위한 열 디코더들의 세트를 더 포함하는 집적 회로.

청구항 10.
제 8 항에 있어서, 각 CAM 셀은 콘텐트 탐색을 지원하도록 적응되는 SRAM 코어와 XOR 로직을 포함하는 집적 회로.

청구항 11.
제 8 항에 있어서, 열 지원 회로의 각 세트는 2-열 피치를 갖는 레이아웃을 가지는 집적 회로.

청구항 12.
제 8 항에 있어서,
상기 어레이에 있는 각 행을 위한 하나의 워드 라인 및 2 매치 라인들과,
상기 어레이에 있는 각 열을 위한 2비트 라인들, 및
상기 어레이에 있는 열들의 각 쌍을 위한 2 광역 탐색 데이터 라인들을 더 포함하는 집적 회로.

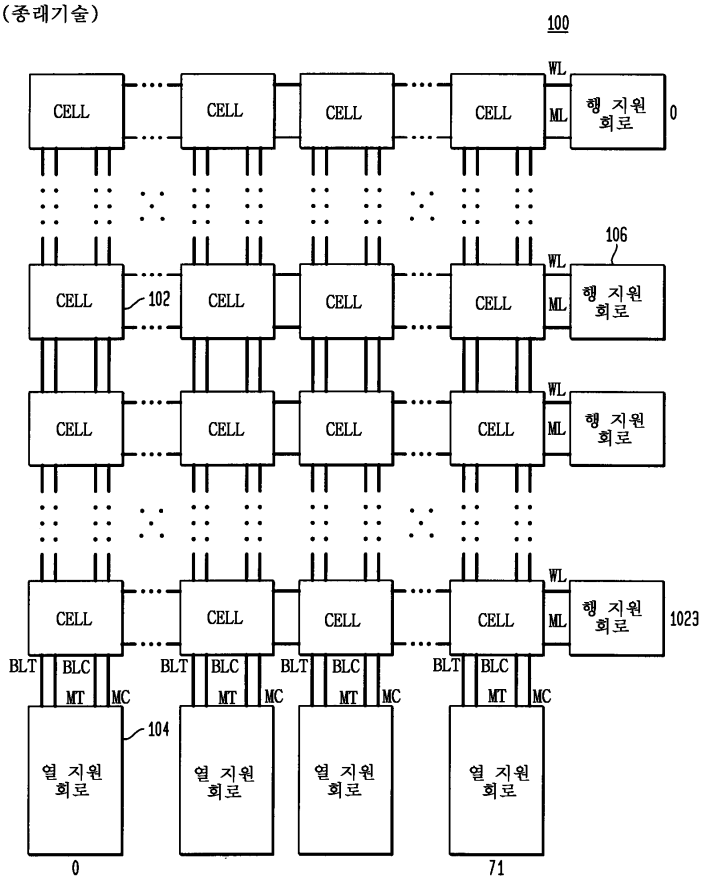
청구항 13.
제 12 항에 있어서, 상기 어레이에 있는 열들의 각 쌍을 위한 2개의 로컬 탐색 데이터 라인들을 더 포함하고, 열들의 각 쌍에 있는 상기 셀들은 2개 또는 그 이상의 셀들의 블록들로 분할되고 셀들의 각 블록은 각 로컬 탐색 데이터 라인과 대응하는 광역 탐색 데이터 라인 사이에 단일 접속을 가지는 집적 회로.

청구항 14.
제 13 항에 있어서, 열 지원 회로의 각 세트를 위한 열 디코더들의 세트를 더 포함하고,
각 CAM 셀은 콘텐트 탐색을 지원하도록 적응되는 SRAM 코어와 XOR 로직을 포함하고,
열 지원 회로의 각 세트는 2-열 피치를 갖는 레이아웃을 가지는 집적 회로.

도면

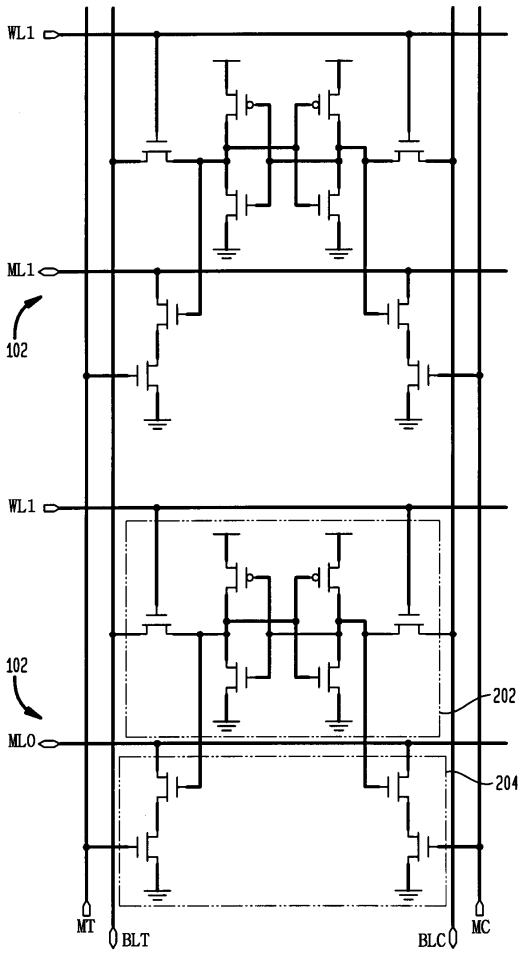
도면1

(종래기술)

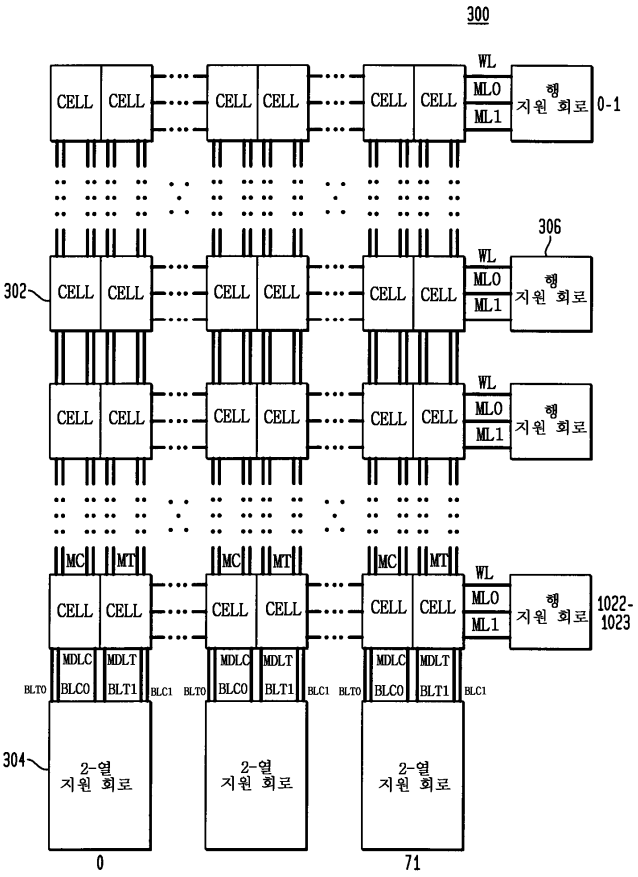


도면2

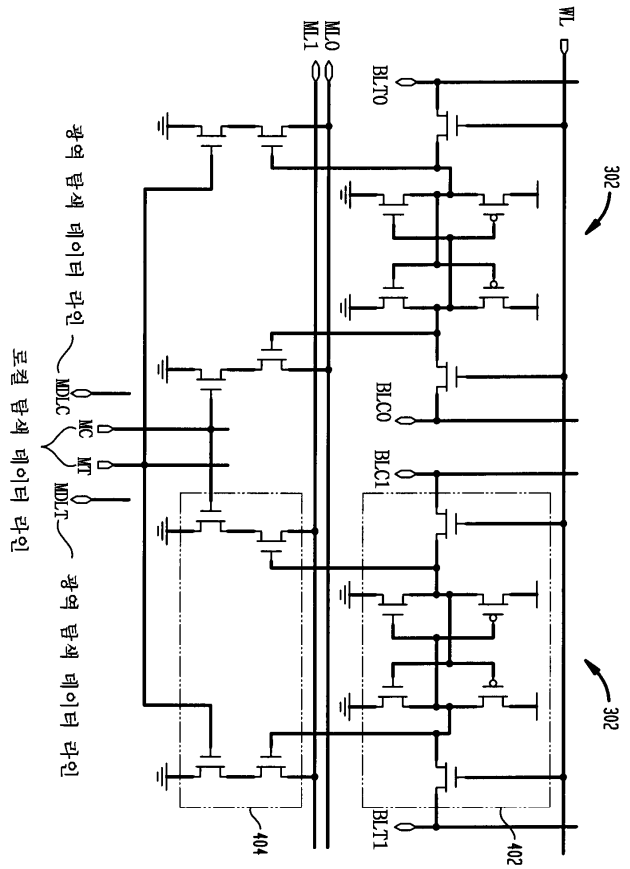
(종래기술)



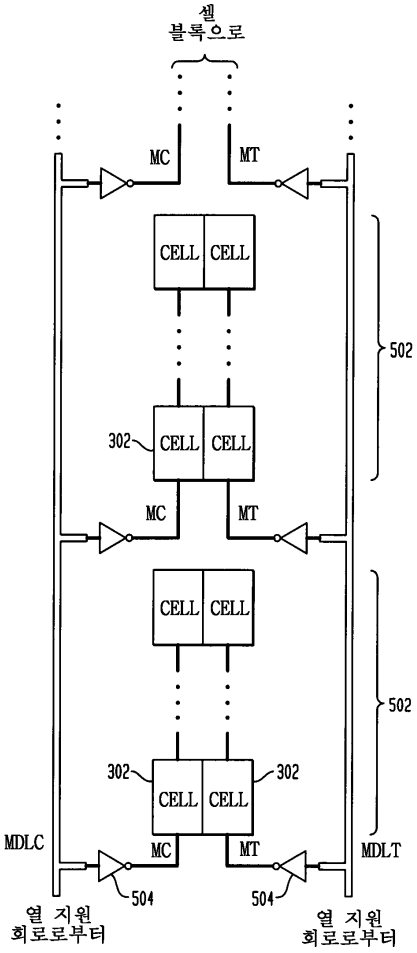
도면3


300
CELL
WL
MLO
ML1
행 지원 회로
0-1
306
302
MC
MT
MDLC
MDLT
BLC0
BLC1
304
2-열 지원 회로
0
71
1022-1023

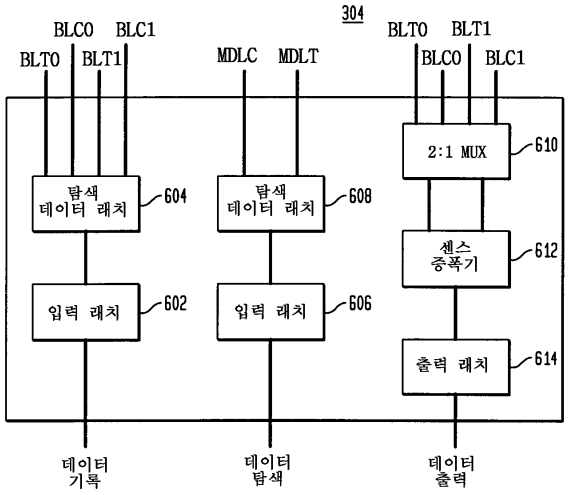
도면4


WL
MLO
ML1
BLT0
BLC0
BLC1
BLT1
302
404
402
로컬 감지 데이터 라인
MDLC
MC
MT
MDLT
로컬 감지 데이터 라인
전역 감지 데이터 라인
전역 감지 데이터 라인

도면5


셀
블록으로
MC
MT
CELL
CELL
502
302
MDLC
MDLT
504
열 지원
회로로부터

도면6


304
BLC0
BLC1
BLT0
BLT1
MDLC
MDLT
탐색
데이터 래치
604
608
입력 래치
602
606
2:1 MUX
610
센스
증폭기
612
출력 래치
614
데이터
기록
데이터
탐색
데이터
출력