

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94112882

※申請日期：94 年 04 月 22 日

※IPC 分類：H01L 21/76

一、發明名稱：

(中) 半導體裝置及該製造方法
(英)

二、申請人：(共 1 人)

1. 姓 名：(中) 瑞薩科技股份有限公司
(英) RENESAS TECHNOLOGY CORP.
代表人：(中) 1. 伊藤達
(英) 1. ITO, SATORU
地 址：(中) 日本國東京都千代田區丸之內二丁目四番一號
(英) 4-1, Marunouchi 2-chome, Chiyoda-ku, Tokyo, Japan
國籍：(中英) 日本 JAPAN

三、發明人：(共 4 人)

1. 姓 名：(中) 石塚典男
(英)
國 籍：(中) 日本
(英) JAPAN

2. 姓 名：(中) 田中順
(英)
國 籍：(中) 日本
(英) JAPAN

3. 姓 名：(中) 岩崎富生
(英)
國 籍：(中) 日本
(英) JAPAN

4. 姓 名：(中) 太田裕之
(英)
國 籍：(中) 日本

(英) JAPAN

四、聲明事項：◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本 ; 2004/05/25 ; 2004-154226 ☒ 有主張優先權

(英) JAPAN

四、聲明事項：◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本 ; 2004/05/25 ; 2004-154226 ☒ 有主張優先權

(1)

九、發明說明

【發明所屬之技術領域】

本發明係關於半導體裝置及半導體裝置的製造方法。

【先前技術】

於 MOS 電晶體之閘極側壁形成有成為側壁之絕緣膜，於其兩端植入不存物，而形成源極和汲極區域。在此源極或汲極區域端部中，常可見到矽基板中產生結晶缺陷，作為防止此結晶缺陷之方法，於日本專利特開平 08-97210 號公報（專利文獻 1）中，揭示有：於閘極之側面和成為側壁之矽氮化膜和其下之基板之間，使氧化膜介於其間，以抑制形成於閘極側面之氮化膜所致應力之影響的形態。

[專利文獻 1]日本專利特開平 08-97210 號公報

【發明內容】

[發明所欲解決之課題]

本發明人於檢討之結果，於包含源極及汲極區域之主動區域的基板所產生之結晶缺陷，會引起作為裝置之特性降低，因此，針對抑制這些結晶缺陷之對策，進行檢討的結果，發現到：結晶缺陷之產生係大受元件分離（Shallow Trench Isolation：淺溝槽絕緣）所致之應力（STI 應力）的影響。在前述專利文獻 1 中，並未針對 STI 所致之應力有所考慮。

因此，本發明之目的在於提供：能解決如前述之不當

(2)

的半導體裝置及製造方法。

[解決課題用手段]

爲了解決前述課題，藉由將本發明之半導體裝置做成能降低依據元件分離區域之外部應力的構造，可以抑制植入有源極汲極不純物之區域附近的半導體基板所產生之結晶缺陷。

例如，爲了解決前述課題，本發明係具備以下形態。

(1) 一種半導體裝置，其特徵爲具有：形成於半導體基板的主面之多數的元件形成區域；位於前述元件形成區域之間，且埋入有元件分離絕緣膜之元件分離溝；及形成於前述元件形成區域之間極絕緣膜，前述元件分離溝係具有形成於前述半導體基板與前述元件分離絕緣膜之間的熱氧化膜，前述元件分離絕緣膜係於內部具備多數的微細空孔，且比前述熱氧化膜更爲多孔質。

藉由如此形成，即使是在形成有藉由源極汲極等之離子植入所致之擴散層時，也可以抑制基板所產生之結晶缺陷等的產生。因此，至少做成比熱氧化膜（溝表面膜）更爲多孔質，可以緩和伴隨溝的氧化之溝側壁的氧化膜成長所致之應力的集中。

另外，其它觀點爲：被埋入於前述元件分離溝之前述元件分離絕緣膜及前述閘極絕緣膜，係具備以氧化矽爲主構成元素之膜，前述元件分離絕緣膜可做成具有比閘極絕緣膜更多孔質之膜。

(3)

或具有：形成於前述元件形成區域之前述閘極絕緣膜與閘極電極與形成於前述閘極電極之上方的多數之配線層，被埋入前述元件分離溝之前述元件分離絕緣膜可以做成比位於前述配線層中之形成於最下層之配線層與前述半導體基板的主面之間的層間絕緣膜更多孔質。

此形態以在前述層間絕緣膜之上層形成有比該層間絕緣膜更多孔質之層間絕緣膜為佳。

另外，前述元件分離膜及前述比較對象之層間絕緣膜，以氧化矽為主構成元素為佳。

此處，所謂主構成元素係可指在構成層之材料中，存在的原子比例最多的材料。所謂多孔質係在對象層內形成有多數之微小空孔之形態。

所謂比前述熱氧化膜更多孔質，係在熱氧化膜具備前述微細空孔時，表示具備比前述微細空孔多的前述微細空孔之元件分離絕緣膜之狀態。另外，在前述熱氧化膜不具備前述微細空孔時，表示元件分離絕緣膜具有前述微細空孔之狀態。

(2) 一種半導體裝置，其特徵為具有：形成於半導體基板的主面之多數的元件形成區域；位於前述元件形成區域之間，且埋入有元件分離絕緣膜之元件分離溝；及形成於前述元件形成區域之閘極絕緣膜與閘極電極與形成於前述閘極電極之上方的多數之配線層，前述元件分離溝係在前述元件分離絕緣膜與前述半導體基板的表面之間具備熱氧化膜，前述元件分離絕緣膜與前述熱氧化膜之間，形

(4)

成或不形成比熱氧化膜薄的氮化膜，前述元件分離絕緣膜係具備：於內部具有多數的微細空孔，於經過形成半導體裝置時之最高升溫溫度後，5nm以下之孔形成比10nm以上之孔多之多孔質膜。

大型的空孔不分散存在時，機械構造特性不會提升，因此，以具備充分小的空孔為佳。充分小之空孔例可以做成如前述之程度。

針對前述之氮化膜，由藉由氮化膜來充電等之觀點而言，以實質上不形成為佳。

另外，合適之形態可設為前述平均孔徑為1.0nm至比1.3nm小之範圍。

另外，進而前述元件分離絕緣膜之楊氏係數，在經過形成裝置之最高升溫溫度後，係比70GPa小之值。更好為在35GPa以下。

(3) 一種半導體裝置，其形成於半導體基板的主面之多數的元件形成區域；位於前述元件形成區域之間，且埋入有元件分離絕緣膜之元件分離溝；及形成於前述元件形成區域之閘極絕緣膜與閘極電極與形成於前述閘極電極之上方的多數之配線層，前述元件分離溝係具有形成於前述半導體基板與前述元件分離絕緣膜之間的熱氧化膜；前述元件分離絕緣膜係形成為楊氏係數比前述熱氧化膜低。

具體為：前述元件分離溝之前述元件分離絕緣膜係在經過形成裝置之最高升溫溫度後，具有5nm以下之孔比10nm以上之孔更多數存在之多孔質，而且形成為楊氏係

(5)

數比 70 GPa 小為佳。較佳為楊氏係數在 35 GPa 以下。

另外，其它觀點為：被埋入前述元件分離溝之元件分離絕緣膜及前述閘極絕緣膜，係具備以氧化矽為主構成元素之膜，前述元件分離絕緣膜係做成具有楊氏係數比閘極絕緣膜低之膜。

(4) 一種半導體裝置，其特徵為具有：形成於半導體基板的主面之多數的元件形成區域；位於前述元件形成區域之間，且埋入有元件分離絕緣膜之元件分離溝；及形成於前述元件形成區域之閘極絕緣膜與前述閘極電極與形成於前述閘極電極之上方的多數之配線層，前述元件分離溝係具備：被堆積於基板表面形成有熱氧化膜之前述元件分離溝上之第一元件分離絕緣膜；及被堆積於前述第一元件分離絕緣膜上之第二元件分離絕緣膜，前述第一元件分離絕緣膜係多孔質，前述第一元件分離絕緣膜係比前述第二元件分離絕緣膜更為多孔質。

合適之一例為：第一元件分離膜係具備前述其中之一的微細空孔之多孔質構造，第二元件分離膜可以是實質上不具備該種多孔質構造之形態。

或前述第一元件分離絕緣膜與前述第二元件分離絕緣膜係以氧化矽為主構成元素，前述第一元件分離絕緣膜可將碳當成添加元素而含有。

較好為在前述其中之一形態中，前述元件分離溝係具有形成在前述半導體基板與前述第一元件分離絕緣膜之間的熱氧化膜，前述第一元件分離膜係比前述熱氧化膜更為



(6)

多孔質。

較好為在前述其中之一形態中，前述元件分離溝係具有形成在前述半導體基板與前述元件分離絕緣膜之間的熱氧化膜，前述第一元件分離膜係形成為楊氏係數比前述熱氧化膜低。

(5) 另外，一種半導體裝置，其特徵為：在前述其中一種形態中，元件形成區域係具有：對應前述閘極而於前述半導體基板植入不純物之不純物區域，前述第二元件分離絕緣膜之前述層間絕緣膜側界面與前述第一元件分離膜側之界面，係位於比前述不純物區域之由基板表面起不純物濃度成為最高之深度更深之區域。

在本形態中，使元件分離區域中的埋入氧化膜比元件形成區域之由基板面起更深入。藉此，可以有效地抑制基板的結晶缺陷之產生。

(6) 一種半導體裝置之製造方法，其特徵為具有：於半導體基板的電路形成面形成鉀墊氧化膜，且於前述鉀墊氧化膜上形成氧化防止膜之工程；

將形成於前述半導體基板的電路形成面之所期望位置的前述氧化防止膜與前述鉀墊氧化膜予以去除，在前述去除的區域形成特定深度之溝的工程；

將前述溝予以氧化，而於溝內形成熱氧化膜之工程；

於具備前述熱氧化膜之前述溝埋入元件分離絕緣膜之工程；

將形成於前述氧化防止膜上之前述元件分離絕緣膜予

(7)

以去除，且將形成於前述半導體基板的電路形成面上之前述氧化防止膜予以去除之工程；

將形成於前述半導體基板的電路形成面上之前述銲墊氧化膜予以去除之工程；

於前述銲墊氧化膜已經被去除之前述半導體基板的電路形成面形成閘極絕緣膜及閘極之工程；

於對應前述閘極之位置，將不純物植入前述半導體基板，將具有所植入之不純物的半導體基板予以熱處理而形成擴散層之工程；

覆蓋前述閘極絕緣膜及前述元件分離溝，於比前述閘極之上端更上方堆積具有上面之層間絕緣膜之工程；

於前述層間絕緣膜形成配線層之工程，

於形成前述元件分離絕緣膜後，具有至少在 850°C 以上將前述半導體基板予以熱處理之工程，使經過熱處理製程後之前述元件分離絕緣膜具備多數之微細空孔，且形成爲比前述溝內之前述熱氧化膜更多孔質。

將具備微細空孔之膜在 850°C 以上、較好爲 1000°C 以上予以熱處理，而形成以合適之狀態具備去除了碳成分之微細空孔之氧化矽膜。另外，熱處理後，也可以是含有碳成分之狀態。

另外，關於前述形態，例如以前述之元件分離絕緣膜之材質爲氧化膜爲佳。另外，例如在具備第一元件分離膜及第二元件分離膜時，以都是氧化膜爲佳。或以前述元件分離絕緣膜係以塗佈型所形成之膜爲佳。

(8)

另外，本發明人等針對本發明之技術，調查周知例而抽出以下之先前技術。但是，並無具備本發明之形態而可達成本發明之作用及效果的形態。

日本專利特開平 11-307626 號公報、日本專利特開平 11-186378 號公報、日本專利特開 2003-31650 號公報、日本專利特開 2003-31568 號公報、日本專利特開 2000-114362 號公報、日本專利特開 06-97274 號公報、日本專利特開 05-47918 號公報、日本專利特開 05-114646 號公報。日本專利特開平 10-56058 號公報、日本專利特開 2000-223572 號公報、日本專利特開 2001-144170 號公報、日本專利特開 2001-167411 號公報、日本專利特開 2002-9245 號公報、日本專利特開 2002-289681 號公報。

[發明之效果]

依據本發明，可以提供能有助於前述之不當的解決之半導體裝置及製造方法。

【實施方式】

本發明之發明人針對：於基板上形成有元件分離區域，於元件形成區域形成有閘極構造之情形，進而，以高濃度將砷或磷等不純物植入矽基板之情形，成為容易產生結晶缺陷而進行檢討。其結果查明為：如在基板植入不純物時，在植入有不純物之區域（不純物形成區域）會產生高的應力（不純物起因應力），此不純物起因應力係藉由在

(9)

開極構造或元件分離形成過程所產生的應力（STI 應力）而被拘束，因而產生結晶缺陷。由此，認為藉由降低在元件分離區域的形成過程所產生的應力，而不拘束此不純物應力，可以防止結晶缺陷。

元件分離係於矽基板形成溝，而埋入埋入氧化物。在電晶體形成過程中，存在很多之矽基板氧化製程。成為氧化種之氧氣也通過埋入氧化膜而擴散於溝內部，因此，氧化膜也成長於溝側壁。在由 Si 朝 SiO_2 變化時，產生約 2 倍之體積膨脹。此體積膨脹係藉由所埋入之氧化膜而受到拘束，因此，在矽基板中產生高的壓縮應力。因此，為了降低此壓縮應力，使用埋入之埋入氧化膜的楊氏係數比熱氧化膜或 CVD 氧化膜低之多孔質氧化膜。

如依據本方法，不需要於矽氮化膜下堆積矽氧化膜，可以防止錯位產生。

依據如前述說明之本發明，可以提供有助於前述之不當的解決之半導體裝置及製造方法。藉此，可以抑制基板之源極或汲極區域所產生的缺陷，進而可以提供性能良好之半導體裝置及製造方法。

利用第 1 圖、第 2 圖說明本發明之第一實施例之半導體裝置的製造製程。

第 1 圖係顯示平面佈置圖，第 2 圖係顯示第 1 圖之 A-A' 剖面之構造圖。

(1) 於矽基板 1 堆積厚度 $5 \sim 15 \text{ nm}$ 之鍍墊氧化膜 2 與厚度 150 程度之氮化矽膜 3。將所期望位置之氮化矽膜

(10)

3、鍍墊氧化膜 2 及矽基板 1 的一部份予以蝕刻去除，形成矽基板 1 之表面的側壁對於矽基板 1 為具有特定之角度的淺溝（第 2（a）圖）。

（2）之後，於 $900^{\circ}\text{C} \sim 1150^{\circ}\text{C}$ 範圍之氧化環境中，將矽基板 1 表面予以熱氧化，於溝部份形成厚度數 nm~數十 nm 之元件分離熱氧化膜 4（第 2（b）圖）。以楊氏係數低於 70 GPa 之氧化膜埋入溝內部（以下，埋入絕緣膜 5）。

● 例如，將以氫矽酸鹽（Hydrogen Silsesquioxane）化合物為主成分之塗佈膜予以加熱所獲得之 SiO 當成主成分之絕緣膜。或例如將以甲基氫矽酸鹽（Methyl Silsesquioxane）化合物為主成分之塗佈膜予以加熱所獲得之 SiO 當成主成分之絕緣膜。

之後，於 $900^{\circ}\text{C} \sim 1150^{\circ}\text{C}$ 之氮氣環境或氧化環境中，將矽基板 1 予以退火處理（第 2（c）圖）。

● （3）使用化學機械研磨法（CMP）或乾蝕刻法而回蝕低楊氏係數之埋入絕緣膜 5。在此情形，當成氧化防止膜使用之氮化矽膜 3 係成為蝕刻阻障層，具有防止氮化矽膜 3 下矽基板 1 被蝕刻之作用。回蝕直到前述氮化矽膜 3 露出後，將氮化矽膜 3 及鍍墊氧化膜 2 予以去除，完成於淺溝埋入有氧化膜之淺溝型元件分離構造（第 2（d）圖）。Si 基板露出之區域係成為元件形成區域 19、溝區域成為元件分離區域（STI 區域）20。

（4）將矽基板 1 表面於 900°C 、氧氣環境中予以熱處理，形成約 10 nm 之熱氧化膜，將此膜當成緩衝層而以濃

(11)

度 $1E13$ (個/cm²) 之程度植入硼或磷等之不純物，而形成 well 層 6。之後，藉由稀釋之 HF 而將前述熱氧化膜去除，依序堆積閘極氧化膜 7、8、鎢膜 9、矽氮化膜 10 並予以圖案化，而形成閘極 (第 2 (e) 圖)。

(5) 之後，於 900℃、氧氣環境中予以熱處理，於矽基板表面形成 3~10nm 之厚度的熱氧化膜 11，將此膜當成緩衝層而對矽基板 1 以濃度 $1E13$ (個/cm²) 之程度植入硼 (PMOS 之情形) 或砷 (NMOS 之情形)，形成低濃度層 12 (第 2 (f) 圖)。

(6) 之後，堆積成為絕緣膜之矽氮化膜 13 後，予以圖案化，形成側壁 13a，對露出之矽基板 1 以濃度 $5E14 \sim 3E15$ (個/cm²) 之程度植入硼 (PMOS 之情形) 或砷 (NMOS 之情形)，形成高濃度層 14。以化學氣相法而於基板表面全體堆積層間絕緣膜 15，以 CMP 等使層間絕緣膜 15 平坦化 (第 2 (g) 圖)。

(7) 藉由向異性之乾蝕刻，部份地去除層間絕緣膜 15，而形成接觸區域 16 (第 2 (h) 圖)。

(8) 由矽基板 1 之電極引出關係，將成為電極插塞之多結晶矽 17 堆積於接觸區域 16 (第 2 (i) 圖)。

(9) 於接觸區域上堆積銅或鋁之導電膜 25，並予以圖案化，在其上堆積層間絕緣膜 26，完成電晶體。另外，電極插塞只要是電氣阻抗低者即可，因此，也可以為其它金屬，例如鎢等。

接著，說明本實施形態之作用及效果。結晶缺陷之多

(12)

數，由目前為止之經驗而言，知道為：於基板上形成有元件分離區域，於元件形成區域形成有閘極構造時，進而，對矽基板以高濃度植入砷或磷等不純物之情形下容易發生。此係於矽基板植入不純物時，根據植入之原子，雖然矽基板表面成為非晶質狀態，但是，藉由之後的熱處理，此非晶質層仿照底層之矽基板的原子排列而結晶化。結晶缺陷被認為係在此結晶化時，來自外部之力（應力）作用時，結晶排列紊亂而產生。即認為外部的應力誘發結晶缺陷。因此，如可以降低外部的應力，再結晶化順利進行，認為可以降低結晶缺陷。外部應力係在閘極之應力外，主要認為係 STI 應力。此 STI 應力之機制係如以下所述（參考第 3 圖），依據情形，會有產生數百 MPa 之大應力的情形。在電晶體形成過程中，存在有多數之矽基板氧化製程。因此，成為氧化種之氧氣通過溝內部的埋入氧化膜 18 而擴散，氧化膜也成長於溝側壁。由 Si 往氧化膜（ SiO_2 ）變化時，產生約 2 倍之體積膨脹，此體積膨脹係藉由埋入氧化膜 18 而受到拘束。以藉由此拘束之反作用力的影響，矽基板中產生高的壓縮應力，將此壓縮應力稱為 STI 應力。

STI 應力係氧化時之體積膨脹藉由埋入氧化膜 18 而受到拘束所產生。即如可使埋入氧化膜 18 變柔軟，成為可以降低 STI 應力。在本發明中，習知所使用之 CVD 氧化膜（03-TEOS 膜）或 HDP 膜之 SiO_2 ，係楊氏係數（1000℃ 程度之退火後）至少 70 GPa。與此相比，使用使楊氏係



(13)

數變低（變柔軟）之氧化膜，因此，STI 應力減少，成為可以降低結晶缺陷。

在半導體製造製程中，於膜堆積及不純物之活化時，會施加 1000℃ 程度之熱處理（例如，源極汲極形成時，或 SIT 堆積後之藉由熱處理的緻密化等）。因此，埋入絕緣膜 5 需要在此熱處理後保持低之楊氏係數（低於 70 GPa）。即使進行高溫之熱處理，為了也保持低的楊氏係數，例如，使用將以氫矽酸鹽（Hydrogen Silsesquioxane）化合物、或甲基氫矽酸鹽（Methyl Silsesquioxane）化合物為主成分之塗佈膜予以加熱所獲得之 SiO 當成主成分之絕緣膜。

以氫矽酸鹽（Hydrogen Silsesquioxane）化合物為主成分之塗佈溶液，係將以一般式 $(\text{HSiO}_{1.5})_n$ 所表示之化合物溶解於甲基異丁基酮等之溶媒者。另外，以甲基氫矽酸鹽（Methyl Silsesquioxane）化合物為主成分之塗佈溶液，係將以一般式 $(\text{CH}_3\text{SiO}_{1.5})_n$ 所代表之化合物溶解於甲基異丁基酮等之溶媒者。將這些溶液塗佈於基板，較好以 100～250℃ 程度之溫度予以中間加熱厚，在氧氣環境中，較好為氮氣環境中等非活性氣體環境中，以 350～550℃ 之溫度予以加熱，藉此，Si-O-Si 之結合形成為階梯構造，最終得以形成以 SiO 為主成分之絕緣膜。

在將以氫矽酸鹽（Hydrogen Silsesquioxane）化合物、或甲基氫矽酸鹽（Methyl Silsesquioxane）化合物為主成分之塗佈液予以加熱所獲得之 SiO 當成主成分的絕緣膜

(14)

中，絕緣膜中存在有空孔，由於此空孔存在之幫助，楊氏係數可以降低。

此空孔之直徑的控制手法，例如使矽酸鹽（Silsesquioxane）化合物溶液含有甲基異丁基酮等之溶媒以外的成分，膜中本成分分解之遺跡係形成爲空孔，藉由膜形成溫度而使分解動作改變，可以控制空孔直徑，而可將空孔直徑控制在選擇之範圍內。

如此所形成之膜，即使進行 1000℃、60 分鐘之退火，楊氏係數也在 35 GPa 以下，特別有效。

因此，可以確保在經過製程形成的最高溫度熱處理製程後的強度。例如，最高溫度熱處理製程認爲係閘極氧化膜形成或 STI 之緻密化熱處理。例如，在最高溫度熱處理製程中，進行至少 850℃ 以上之處理。更好爲假定進行 1000℃ 以上之處理而形成之半導體裝置。或在甲基存在之膜中，以元件分離絕緣膜形成後之熱處理溫度爲甲基改變之程度的溫度爲佳。

另外，例如，這些特性可以使用壓痕測試法來進行。

如此形成之元件分離絕緣膜之埋入氧化膜 5 的空孔直徑的平均，在 900～1150℃ 之退火後，成爲 1 nm 至低於 1.3 nm。

第 4 圖係將以本實施例所揭示方法所製作的膜中之空孔直徑藉由 X 射線散射法而求得空孔直徑與其之存在率之空孔直徑分布的結果。例如，可以 X 射線散射測定資料及 X 射線反射測定資料爲基礎，和根據假定爲球狀散射體之

(15)

散射函數之理論散射強度比較，將散射體之直徑分布加以算出而求得。

峰值之空孔直徑為約 0.5 nm 。最大的空孔直徑為 5 nm 。成為並非大的空孔（例如， $10\text{ }\mu\text{ m}$ 以上）多數存在之狀態，至少具備多數之 5 nm 以下之微細空孔之形態。另外進而使藉由 X 射線散射之孔徑的最大分布進入 0.4 nm 至 5 nm 之範圍。另外，平均空孔直徑成為 1 nm 至低於 1.3 nm 。此值之範圍係至少不會使空孔直徑變得太小，而可抑制楊氏係數變大，抑制空孔變大，導致絕緣膜之機械強度或電氣絕緣耐壓降低，由可有效地提升半導體裝置特性之觀點而言，是較為理想。

另外，此種元件分離絕緣膜可以形成為比主要由 SiO_2 所形成之最下層的層間絕緣膜 15 更屬多孔質。

另外，可以形成為比形成在溝表面之元件分離熱氧化膜 4 更屬多孔質。或可以形成為比閘極氧化膜 7 更屬多孔質。可以形成為比此種熱氧化膜更屬多孔質。

或構成楊氏係數比元件分離熱氧化膜 4 低之元件分離絕緣膜。或可以形成為楊氏係數比最下層的層間絕緣膜低。

另外，塗佈前述之絕緣膜形成用的溶液之方法，可以舉：旋轉塗佈或縫隙塗佈或印刷方式。而且，絕緣膜係加熱此塗佈膜而形成，因此，即使在高密度地形成微細溝之情形，與藉由 CVD 法之絕緣膜比較，就階差之被覆性良好，可以解除表面階差之點，較為優異。

(16)

另外，對於 Si 晶圓之大直徑化，於使用 CVD 法而形成絕緣膜之情形，需要大型的薄膜形成裝置，設備成本對元件成本有大影響。對於此，在本發明中，以塗佈、加熱方式來形成絕緣膜，因此，設備成本的大幅降低成為可能，可以期待抑制生產線之投資成本、進而元件成本之大的效果。

假如，以 CVD 法來形成絕緣膜時，也可以以烷基矽烷化合物、烷氧矽烷化合物為主成分而使用為來源氣體，以 ECR (Electron Cyclotron Resonance: 電子迴旋諧振器) 法等，最終形成以 SiO 為主成分之絕緣膜。例如，烷基矽烷化合物可以使用三甲基矽烷或四甲基矽烷。氧烷矽烷化合物例如可以使用：甲氧基矽烷或乙氧基矽烷。

在此情形，作為控制存在於絕緣膜中之空孔的直徑之手法，例如可舉：作為原來氣體而使含有熱分解溫度高的成分，薄膜形成時，藉由 350℃ -450℃ 之加熱，本成分在膜中分解之痕跡形成為空孔之手法。

在此種手法中，藉由選擇種種之熱分解溫度高的成分，可藉由薄膜形成溫度而使分解動作改變，藉此，而控制空孔形成，可將平均空孔直徑範圍控制於選擇的範圍內。

層間絕緣膜 15 雖以化學氣相法 (CVD 法) 所製作，當然也可以使用以目前為止所示之氫矽酸鹽 (Hydrogen Silsesquioxane) 化合物、或甲基氫矽酸鹽 (Methyl Silsesquioxane) 化合物為主成分之塗佈膜。另外，作為配線間之層間絕緣膜，也可以使用前述膜。層間絕緣膜可

(17)

以使用氧化矽等。

本實施例所記載之膜與熱氧化膜比較，有對於 HF 之蝕刻速率大之情形。

利用第 5 圖及第 6 圖來說明本發明之第二實施例。基本構造可以具備和前述第一實施例同樣的形態。在第二實施例中，如第二實施例之說明圖的第 5 圖所示之製程中途的形態般，埋入氧化膜 5 對於矽基板表面在 A 部凹陷，於此凹陷區域形成有閘極材料之多晶矽膜 8，因此，會有導致電氣特性降低的情形。因此，如第 6 圖所示般，在第 2 (c) 圖中堆積絕緣膜 5 後，將所埋入之低楊氏係數之埋入氧化膜 5 由元件形成區域之基板 1 表面回蝕至下側。藉由 CVD 等，於藉此所形成之埋入氧化膜 5 的表面之上，耐 HF 在比埋入氧化膜 5 高的上部埋入氧化膜 18 (例如，與熱氧化膜幾乎相同之 HDP 膜或 O3-TEOS 膜等) 塞住溝上端部。

埋入氧化膜 5 係形成爲楊氏係數比上部埋入氧化膜 18 低。另外，埋入氧化膜 5 係形成爲比上部埋入氧化膜 18 更爲多孔質。

此處，如使 HDP 膜或 O3-TEOS 膜變厚，則應力在 STI 溝上端部變大，因此，此 HDP 膜等之厚度儘可能以薄者爲佳，例如，以 50nm 以下爲佳，較佳爲 30nm 以下。

使 STI 之應力降低的方法，則有：在製程 (1) 之熱氧化膜 2 形成後，於 NO 氣體中進行熱處理，在矽基板與熱氧化膜 2 界面形成氧氮化物之方法，另外，暴露於氮氣



(18)

電漿中，於熱氧化膜 2 表面形成氧氮化物之方法、形成閘極而形成 STI 之方法等。這些方法雖係可抑制氧氣的擴散，或降低氧化量而使 STI 應力降低之方法，但是，無法使 STI 應力完全為零，所以即使進行完這些時，本方法也是有效。即由於 STI 所產生之應力存在時，本方法有效。

另外，第 7 圖及第 8 圖係顯示本發明之第三實施例。

第三實施例係具備與第二實施例基本上相同之形態。

在第三實施例中，元件形成區域係具有對應前述閘極而於前述半導體基板植入不純物之不純物區域，前述第二元件分離絕緣膜之前述層間絕緣膜 15 側界面與前述第一元件分離膜側之界面係形成於位於前述不純物區域之由基板表面起比不純物濃度成為最高之深度更深的區域。因此，至少第一元件分離絕緣膜係在比前述區域更深之區域形成有層間絕緣膜側之表面。

具體為：在有埋入絕緣膜 5 之層間絕緣膜 15 側的表面（第 7 圖）或上部埋入絕緣膜 18 之情形，該膜之層間絕緣膜 15 側的表面（第 8 圖）係位於比前述基板表面更下側。另外，元件分離絕緣膜之端部會有平坦性小之情形，前述比較係比較元件分離絕緣膜的中央部之平坦區域的高度水準。在本形態中，將元件分離區域中的埋入氧化膜作成比元件形成區域的基板面下陷（27）。藉此，可以有效地抑制基板的結晶缺陷之發生。

謀求藉由植入有不純物之區域（不純物形成區域）所產生的高應力（不純物起因應力）所產生之結晶缺陷之對



(19)

策，同時，在電晶體形成過程之多數的矽基板氧化製程中，可以抑制伴隨成為氧化種之氧氣朝溝內部之擴散，構成半導體基板之 Si 往 SiO_2 改變時之體積膨脹而在矽基板中產生高的壓縮應力，能夠有效地抑制特性的劣化。

另外，具體可以採取以下之形態。

如參考觀看對應第 7 圖及第 8 圖之第 1 圖時，在本形態中，元件分離區域係形成為包含：閘極所在之第一元件分離區域的前述埋入絕緣膜之上側的第一端面，係位於比前述閘極膜不存在之第二元件分離區域的前述埋入絕緣膜之第二端面更上方而形成之區域。

前述閘極不存在之第二元件分離區域例如可以是位於前述第一元件分離區域之周圍的區域。作為前述第二元件分離區域而測定之前述絕緣膜的端面可在由元件分離區域之溝側端部起只分開溝深度部份之測定區域中加以測量。假如，前述測定區域不易規定時，可在包含以主動區域所夾住之元件分離區域的中央之區域加以測量（例如，在元件分離區域之基板側端部形成有比元件分離區域低之低下部時，可設為避開此之區域）。

另外，例如前述第一界面係在前述埋入絕緣膜之界面中，與位於其上之閘極相對之區域的界面。另外，例如前述第二界面係在前述埋入絕緣膜的界面中，與形成於其上之層間絕緣膜相對之區域的界面。

另外，第一端面與第二端面之差可以是比前述閘極絕緣膜的厚度更大之形態。

(20)

第 9 圖係顯示本發明之第四實施例。第 9 圖雖可以具備基本上與第一實施例相同之形態，但是，電極起上方之形態，係在閘極絕緣膜 21 之上形成有浮置閘之導電膜 22，在其上形成有閘極絕緣膜 23 及控制閘之導電膜 24。另外，覆蓋這些電極而形成有層間絕緣膜，於其上形成有配線層。

STI 應力在氧化製程多、氧化量也多之快閃記憶體中變大（參考第 9 圖）。因此，本方法在快閃記憶體中特別有效。

另外，如依據發明人等所進行之實驗，前述 STI 應力在 STI 寬（溝寬） $0.2\ \mu\text{m}$ 以下急遽變大，容易產生結晶缺陷。因此，本技術在 STI 寬 $0.2\ \mu\text{m}$ 以下之裝置中特別有效。

進而，塗佈型之膜和 CVD 氧化膜相比，即使是 STI 寬狹窄之區域中，也可以進行埋入。CVD 氧化膜之埋入氧化膜特性在 STI 寬 $0.12\ \mu\text{m}$ 以下會惡化，因此，塗佈型之埋入絕緣膜在 STI 寬為 $0.12\ \mu\text{m}$ 以下之裝置中特別有效。

【圖式簡單說明】

第 1 圖係關於本發明之第一實施例之概要圖。

第 2 (a) 圖係顯示同一第一實施例之製造製程的模型圖。

第 2 (b) 圖係顯示同一第一實施例之下一製造製程的模型圖。

(21)

第 2 (c) 圖係顯示同一第一實施例之下一製造製程的模型圖。

第 2 (d) 圖係顯示同一第一實施例之下一製造製程的模型圖。

第 2 (e) 圖係顯示同一第一實施例之下一製造製程的模型圖。

第 2 (f) 圖係顯示同一第一實施例之下一製造製程的模型圖。

第 2 (g) 圖係顯示同一第一實施例之下一製造製程的模型圖。

第 2 (h) 圖係顯示同一第一實施例之下一製造製程的模型圖。

第 2 (i) 圖係顯示同一第一實施例之下一製造製程的模型圖。

第 2 (j) 圖係顯示同一第一實施例之下一製造製程的模型圖。

第 3 圖係同一第一實施例之補充說明圖。

第 4 圖係同一第一實施例之說明圖。

第 5 圖係本發明之第二實施例之比較說明圖。

第 6 圖係同一第二實施例之說明圖。

第 7 圖係本發明之第三實施例之說明圖。

第 8 圖係同一第三實施例之說明圖。

第 9 圖係本發明之第四實施例之說明圖。

(22)

【主要元件之符號說明】

- 1：矽基板，
- 2：鉍墊氧化膜，
- 3：氮化矽膜，
- 4：元件分離熱氧化膜，
- 5：埋入氧化膜，
- 6：well層，
- 7：閘極氧化膜，
- 8：多晶矽膜，
- 9：鎢膜，
- 10：矽氮化膜，
- 11：熱氧化膜，
- 12：低濃度層，
- 13：矽氮化膜，
- 14：高能度層，
- 15：層間絕緣膜，
- 16：接觸區域，
- 17：多晶矽膜，
- 18：上部埋入絕緣膜，
- 19：元件形成區域，
- 20：元件分離區域，
- 21：閘極絕緣物，
- 22：導電膜，
- 23：閘極絕緣膜，

I282141

(23)

24：導電膜，

25：導電膜，

26：層間絕緣膜

五、中文發明摘要

發明之名稱：半導體裝置及該製造方法

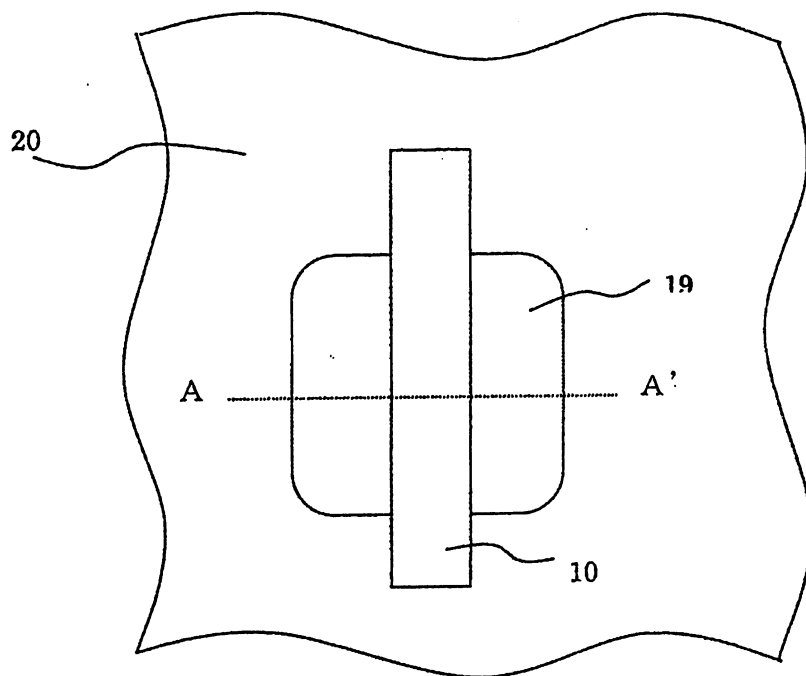
[課題]抑制半導體裝置的閘極端部之基板的錯位產生。

[解決手段]具有：形成於半導體基板的主面之多數的元件形成區域；位於前述元件形成區域之間，且埋入有元件分離絕緣膜之元件分離溝；及形成於前述元件形成區域之閘極絕緣膜和閘極電極及形成於前述閘極之上方的多數之配線層，前述元件分離溝係具有形成於前述半導體基板與前述元件分離絕緣膜之間的熱氧化膜，前述元件分離膜係於內部具備多數的微細空孔，且形成為比前述熱氧化膜更多孔質。

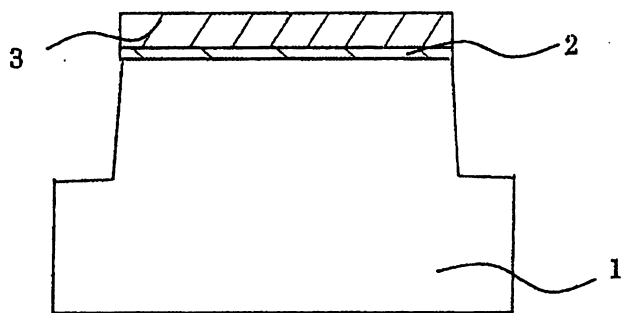
六、英文發明摘要

發明之名稱：

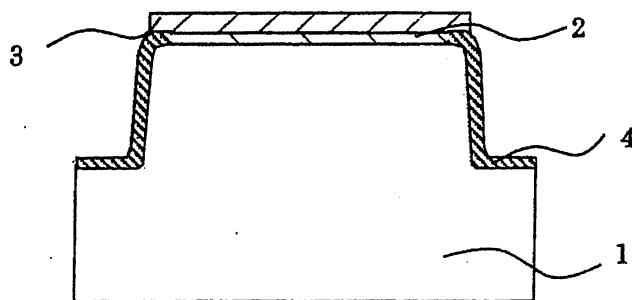
第1圖



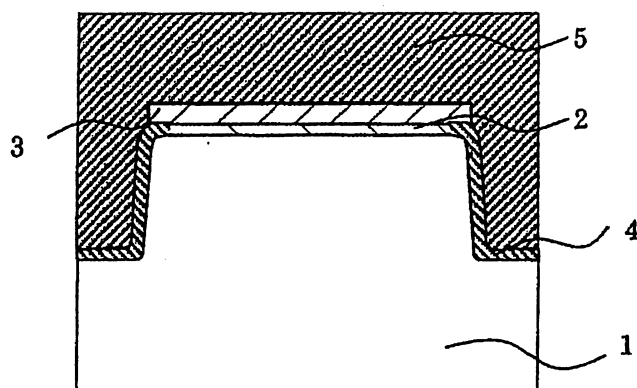
第2(a)圖



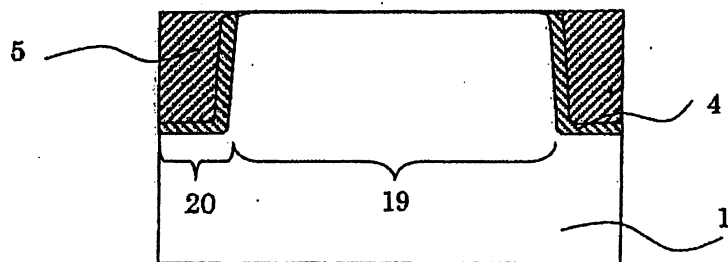
第2(b)圖



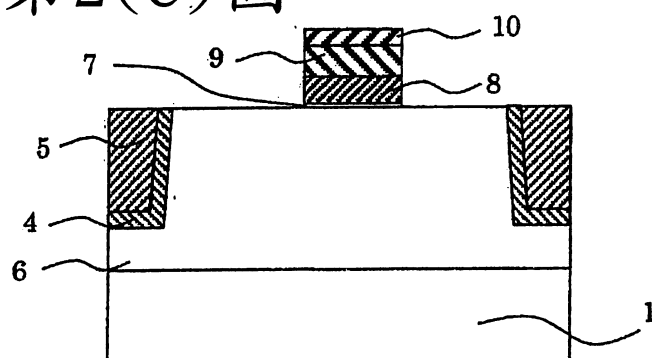
第2(c)圖



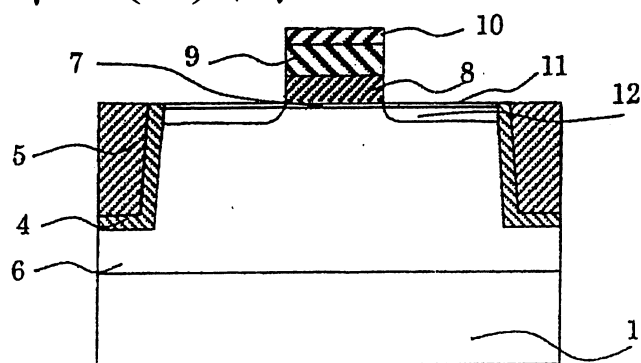
第2(d)圖



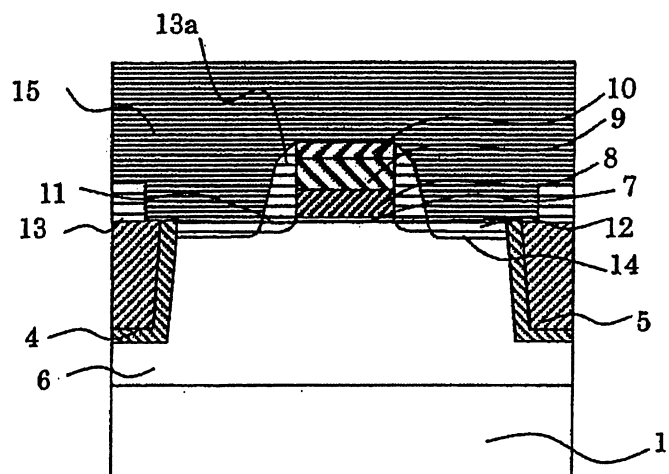
第2(e)圖



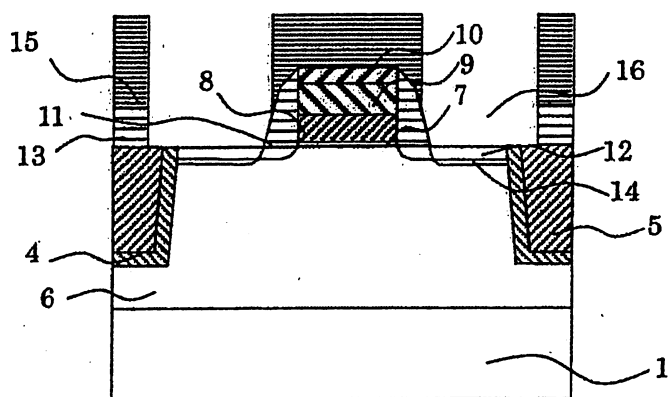
第2(f)圖



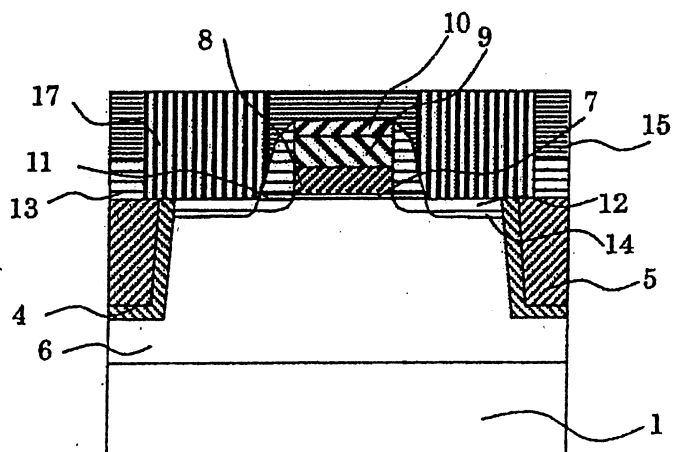
第2(g)圖



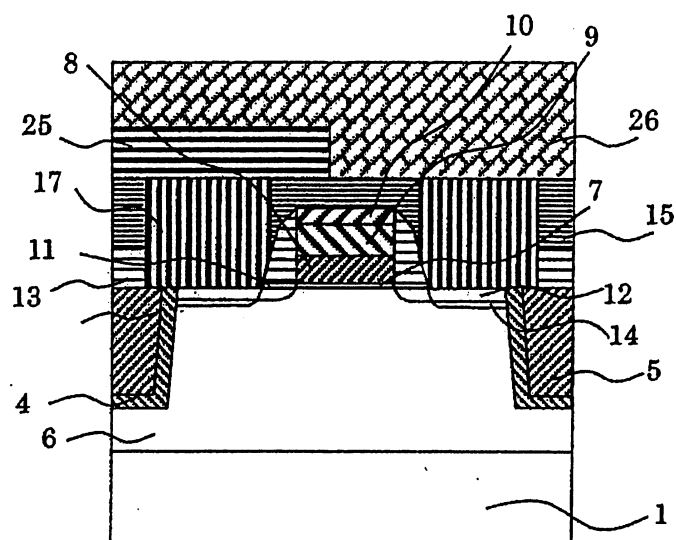
第2(h)圖



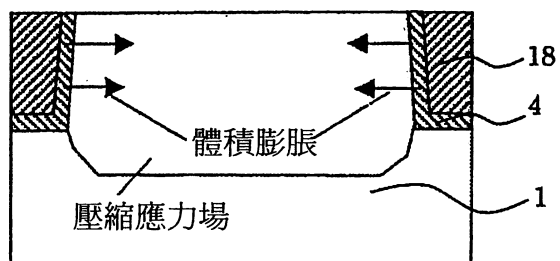
第2(i)圖



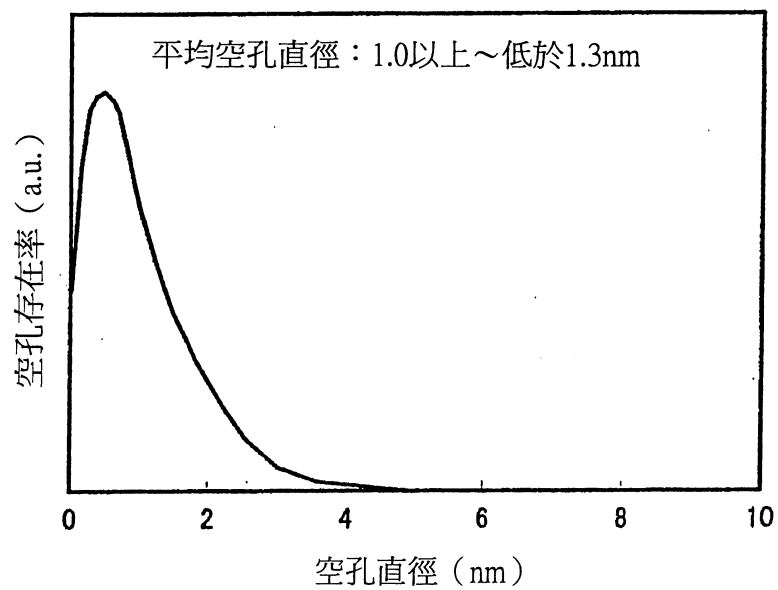
第2(j)圖



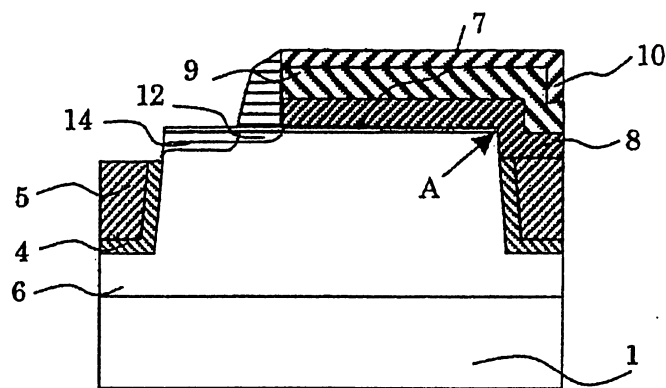
第3圖



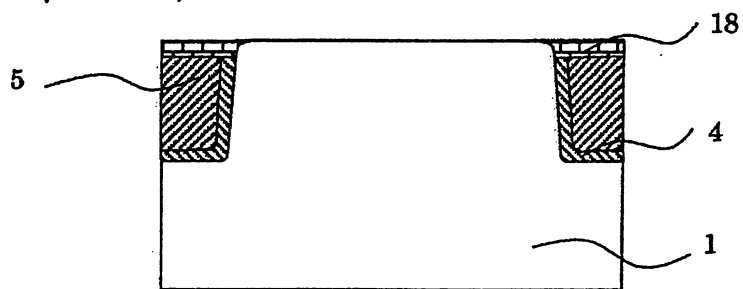
第4圖



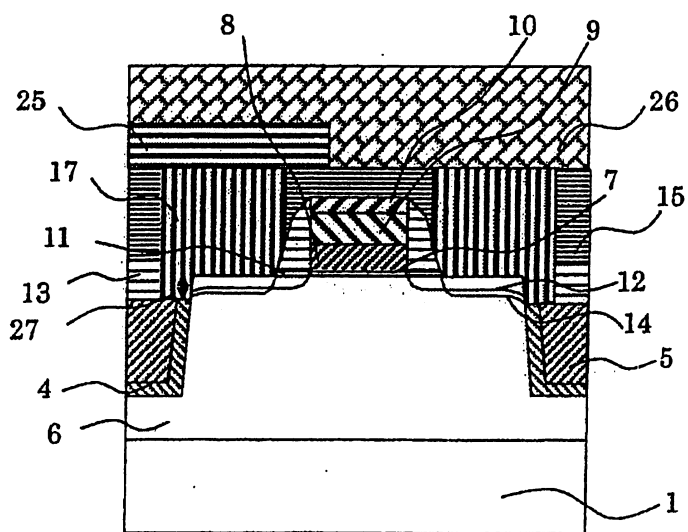
第5圖



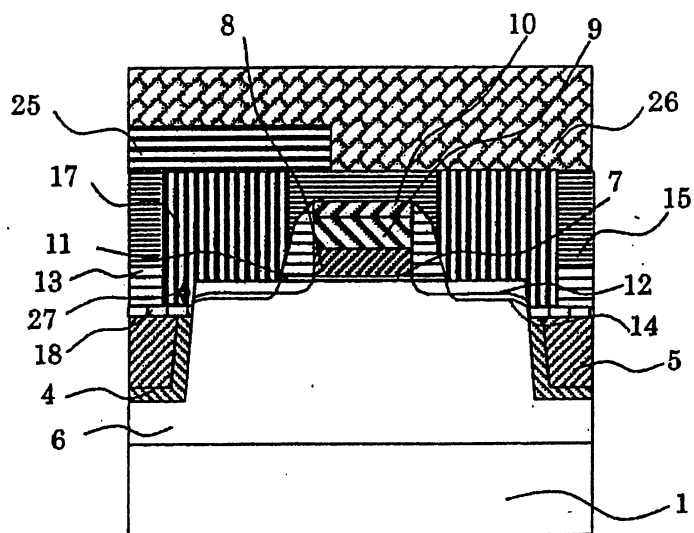
第6圖



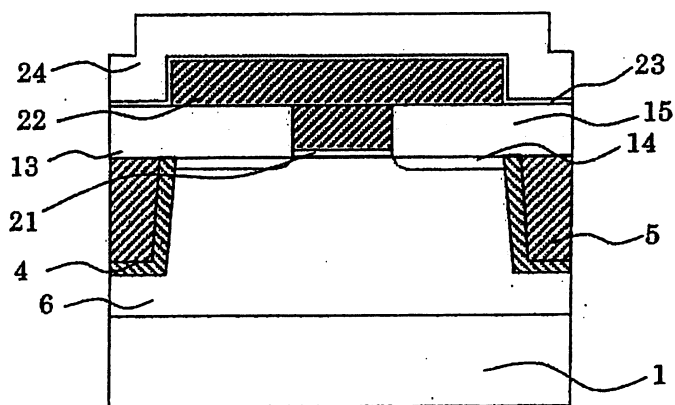
第7圖



第8圖



第9圖



七、指定代表圖：

(一)、本案指定代表圖為：第 (2j) 圖

(二)、本代表圖之元件代表符號簡單說明：

- 1：矽基板，
- 4：元件分離熱氧化膜，
- 5：埋入氧化膜，
- 6：well 層，
- 7：閘極氧化膜，
- 8：多晶矽膜，
- 9：鎢膜，
- 10，13：矽氮化膜，
- 11：熱氧化膜，
- 12：低濃度層，
- 14：高能度層，
- 15：層間絕緣膜，
- 17：多晶矽膜，
- 25：導電膜，
- 26：層間絕緣膜

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

(1)

十、申請專利範圍

第 94112882 號專利申請案

中文申請專利範圍修正本

民國 95 年 7 月 20 日修正

1. 一種半導體裝置，其特徵為：具有
形成於半導體基板的主面之多數的元件形成區域；
位於前述元件形成區域之間，且埋入有元件分離絕緣
膜之元件分離溝；及

形成於前述元件形成區域之間極絕緣膜，

前述元件分離溝係具有形成於前述半導體基板與前述
元件分離絕緣膜之間的熱氧化膜，前述元件分離絕緣膜係
於內部具備多數的微細空孔，且比熱氧化膜更為多孔質。

2. 一種半導體裝置，其特徵為：具有
形成於半導體基板的主面之多數的元件形成區域；
位於前述元件形成區域之間，且埋入有元件分離絕緣
膜之元件分離溝；及

形成於前述元件形成區域之間極絕緣膜，

前述元件分離溝係於前述半導體基板與前述元件分離
絕緣膜之間具有熱氧化膜，前述元件分離絕緣膜與前述熱
氧化膜之間，形成或不形成比熱氧化膜薄的氮化膜，前述
元件分離絕緣膜係具備：於內部具有多數的微細空孔，於
經過形成半導體裝置時之最高升溫溫度後，5nm 以下之孔
形成比 10nm 以上之孔多之多孔質膜。

3. 如申請專利範圍第 1 或 2 項所記載之半導體裝置

(2)

，其中，前述元件分離絕緣膜之楊氏係數，在經過形成裝置之最高升溫溫度後，為比 70 GPa 小之值。

4. 一種半導體裝置，其特徵為：具有
形成於半導體基板的主面之多數的元件形成區域；
位於前述元件形成區域之間，且埋入有元件分離絕緣膜之元件分離溝；及

形成於前述元件形成區域之閘極絕緣膜，

前述元件分離溝係具有形成於前述半導體基板與前述元件分離絕緣膜之間的熱氧化膜，前述元件分離絕緣膜係形成為楊氏係數比前述熱氧化膜低。

5. 如申請專利範圍第 4 項所記載之半導體裝置，其中，前述元件分離溝是被形成前述元件分離絕緣膜具有經過形成裝置之最高升溫溫度後，5 nm 以下之孔比 10 nm 以上之孔更多數存在之多孔質，而且楊氏係數比 70 GPa 小。

6. 一種半導體裝置，其特徵為：具有
形成於半導體基板的主面之多數的元件形成區域；
位於前述元件形成區域之間，且埋入有元件分離絕緣膜之元件分離溝；及

形成於前述元件形成區域之閘極絕緣膜，及閘極電極，及形成於前述閘極電極之上方的多數之配線層，

前述元件分離絕緣膜係具備：被堆積於基板表面形成有熱氧化膜之前述元件分離溝上之第一元件分離絕緣膜；及被堆積於前述第一元件分離絕緣膜上之第二元件分離絕緣膜，且前述第一元件分離絕緣膜比前述第二元件分離絕

(3)

緣膜更爲多孔質。

7. 如申請專利範圍第 6 項所記載之半導體裝置，其中，前述元件分離溝係具有：形成在前述半導體基板與前述第一元件分離絕緣膜之間的熱氧化膜，前述第一元件分離膜係比前述熱氧化膜更爲多孔質。

8. 如申請專利範圍第 6 項所記載之半導體裝置，其中，前述元件分離溝係具有：形成在前述半導體基板與前述元件分離絕緣膜之間的熱氧化膜，前述第一元件分離膜係形成爲楊氏係數比前述熱氧化膜低。

9. 如申請專利範圍第 6 項所記載之半導體裝置，其中，元件形成區域係具有：對應前述閘極而於前述半導體基板植入不純物之不純物區域，前述第二元件分離絕緣膜之層間絕緣膜側界面與前述第一元件分離膜側之界面，係位於比前述不純物區域之由基板表面起不純物濃度成爲最高之深度更深之區域。

10. 如申請專利範圍第 1 項、第 2 項、第 4 項中任一項所記載之半導體裝置，其中，元件形成區域係具有：對應前述閘極而於前述半導體基板植入不純物之不純物區域，前述元件分離絕緣膜之層間絕緣膜側之界面，係位於比前述不純物區域中不純物濃度自基板表面起成爲最高之深度更深之區域。

11. 如申請專利範圍第 1 項、第 2 項、第 4 項、第 6 項中任一項所記載之半導體裝置，其中，前述元件分離絕緣膜係具備以 SiO 爲主成分之絕緣膜，該 SiO 係將以氫矽

(4)

酸鹽（Hydrogen Silsesquioxane）化合物為主成分之塗佈膜予以加熱而獲得。

12. 如申請專利範圍第 1 項、第 2 項、第 4 項、第 6 項中任一項所記載之半導體裝置，其中，前述元件分離絕緣膜係具備以 SiO 為主成分之絕緣膜，該 SiO 係將以甲基氫矽酸鹽（Methyl Silsesquioxane）化合物為主成分之塗佈膜予以加熱而獲得。

13. 一種半導體裝置之製造方法，其特徵為：具有於半導體基板的電路形成面形成鉚墊氧化膜，且於前述鉚墊氧化膜上形成氧化防止膜之工程；

將形成於前述半導體基板的電路形成面之所期望位置的前述氧化防止膜與前述鉚墊氧化膜予以去除，在前述去除的區域形成特定深度之溝的工程；

將前述溝予以氧化，而於溝內形成熱氧化膜之工程；

於具備前述熱氧化膜之前述溝埋入元件分離絕緣膜之工程；

將形成於前述氧化防止膜上之前述元件分離絕緣膜予以去除，且將形成於前述半導體基板的電路形成面上之前述氧化防止膜予以去除之工程；

將形成於前述半導體基板的電路形成面上之前述鉚墊氧化膜予以去除之工程；

於前述鉚墊氧化膜已經被去除之前述半導體基板的電路形成面形成閘極絕緣膜及閘極之工程；

於對應前述閘極之位置，將不純物植入前述半導體基

(5)

板，將具有所植入之不純物的半導體基板予以熱處理而形成擴散層之工程；

覆蓋前述閘極絕緣膜及前述元件分離溝，於比前述閘極之上端更上方堆積具有上面之層間絕緣膜之工程；

於前述層間絕緣膜形成配線層之工程，

於形成前述元件分離絕緣膜後，具有至少在 850°C 以上將前述半導體基板予以熱處理之工程，使經過熱處理工程後之前述元件分離絕緣膜具備多數之微細空孔，且形成爲比前述溝內之前述熱氧化膜更多孔質。