

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3904859号
(P3904859)

(45) 発行日 平成19年4月11日(2007.4.11)

(24) 登録日 平成19年1月19日(2007.1.19)

(51) Int. Cl.

F I

G06F 1/24 (2006.01)

G06F 1/00 351

G06K 19/07 (2006.01)

G06K 19/00 H

H03K 17/22 (2006.01)

G06K 19/00 N

H03K 17/22 B

請求項の数 10 (全 21 頁)

(21) 出願番号 特願2001-230490 (P2001-230490)
 (22) 出願日 平成13年7月30日(2001.7.30)
 (65) 公開番号 特開2003-44176 (P2003-44176A)
 (43) 公開日 平成15年2月14日(2003.2.14)
 審査請求日 平成16年6月18日(2004.6.18)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 110000338
 特許業務法人原謙三国際特許事務所
 (74) 代理人 100080034
 弁理士 原 謙三
 (72) 発明者 重政 晴彦
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内
 (72) 発明者 中尾 佳寛
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内

審査官 前田 浩

最終頁に続く

(54) 【発明の名称】 パワーオンリセット回路およびこれを備えたICカード

(57) 【特許請求の範囲】

【請求項1】

外部の電力供給源から電磁誘導により非接触で電源電圧を取得し、この電源電圧を所定の電圧に変換して、論理演算を行うロジック部に供給するシステムに設けられ、上記システムのリセット状態を制御するリセット信号を生成するパワーオンリセット回路において、

上記ロジック部に供給される電圧の立ち上がりを検出して第1リセット信号を生成する第1リセット回路と、

上記外部の電力供給源から取得した電源電圧を整流する整流回路の出力電圧の立ち上がりを検出して第2リセット信号を生成する第2リセット回路と、

上記所定の電圧の立ち上がりのタイミングが、上記整流回路の出力電圧の立ち上がりのタイミングよりも遅い場合には、上記第1リセット信号から得られる信号を上記リセット信号として出力し、上記整流回路の出力電圧の立ち上がりのタイミングが、上記所定の電圧の立ち上がりのタイミングよりも遅い場合には、上記第2リセット信号から得られる信号を上記リセット信号として出力するリセット信号出力回路とを備えていることを特徴とするパワーオンリセット回路。

【請求項2】

上記第1リセット回路が、電源電圧を整流する整流回路の出力電圧から所定の電圧に変換するレギュレータ回路において用いられる基準電圧と、上記ロジック部に供給される電圧とを比較する第1比較回路を備え、この第1比較回路の出力に基づいて、上記第1リセ

10

20

ット信号を生成することを特徴とする請求項 1 記載のパワーオンリセット回路。

【請求項 3】

上記ロジック部に供給される電圧が、第 1 遅延回路を介して上記第 1 比較回路に入力されることを特徴とする請求項 2 記載のパワーオンリセット回路。

【請求項 4】

上記第 2 リセット回路が、電源電圧を整流する整流回路の出力電圧から所定の電圧に変換するレギュレータ回路において用いられる基準電圧と、上記整流回路の出力電圧とを比較する第 2 比較回路を備え、この第 2 比較回路の出力に基づいて、上記第 2 リセット信号を生成することを特徴とする請求項 1、2、または 3 記載のパワーオンリセット回路。

【請求項 5】

上記整流回路の出力電圧が、第 2 遅延回路を介して上記第 2 比較回路に入力されることを特徴とする請求項 4 記載のパワーオンリセット回路。

【請求項 6】

上記リセット信号出力回路が、上記第 1 リセット信号および上記第 2 リセット信号のうち何れか遅く生成された信号から得られる信号を、上記リセット信号として出力することを特徴とする請求項 1 ないし 5 のいずれか一項に記載のパワーオンリセット回路。

【請求項 7】

上記第 2 リセット回路が、上記整流回路の出力電圧の変動に対してヒステリシス特性を有することを特徴とする請求項 1 ないし 6 のいずれか一項に記載のパワーオンリセット回路。

【請求項 8】

上記システムが、外部の電力供給源から接触型の電力供給をも行うとともに、上記リセット信号出力回路が、上記第 1 リセット信号および上記第 2 リセット信号のうち何れか遅く生成される信号、または上記接触型の電力供給に伴って入力される第 3 リセット信号から得られる信号を上記リセット信号として出力することを特徴とする請求項 1 ないし 7 のいずれか一項に記載のパワーオンリセット回路。

【請求項 9】

上記リセット信号出力回路が、上記第 3 リセット信号が入力されている際には、該第 3 リセット信号から得られる信号を最優先して上記リセット信号として出力することを特徴とする請求項 8 記載のパワーオンリセット回路。

【請求項 10】

請求項 1 ないし 9 のいずれか一項に記載のパワーオンリセット回路を備えたことを特徴とする IC カード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば電磁波などを介して非接触で外部の電力供給源から電力を取得する IC カードなどに用いられるパワーオンリセット回路に関するものである。

【0002】

【従来の技術】

近年、カードに半導体集積回路装置を搭載した IC カードが普及しつつある。IC カードは、外部のリーダライタ装置と、IC カード内に搭載された半導体集積回路装置との間で情報交換を行うことが可能となっている。これにより、半導体集積回路装置が内蔵している不揮発性メモリへ必要な情報を格納したり、逆に不揮発性メモリから情報を読み出したりというような処理を行うことが可能となっている。このような IC カードによれば、従来の磁気カードによって行われている様々な機能を実現することが可能である。

【0003】

この IC カードは、近年の集積技術の進歩によって、より容量の大きい不揮発性メモリを内蔵するようになってきている。よって、複数のアプリケーションを 1 枚の IC カードに収納した多目的 IC カードも普及しつつある。

10

20

30

40

50

【 0 0 0 4 】

また、ＩＣカードに対して、数ＭＨｚ～数１０ＭＨｚ程度のキャリア周波数を用いた電磁波を利用して、非接触で電力を供給するとともに、データ通信をも行う非接触型ＩＣカードシステムが検討されている。非接触型通信を行う場合、接触させるための端子などが不要となるので、このような端子における接点部での破損などが生じることがなくなり、メンテナンスコストの低下や、取り扱いの容易さなどの利点を有することになる。

【 0 0 0 5 】

非接触型ＩＣカードシステムのひとつの大きな特徴は、接触型に比べて、操作が容易かつ迅速に情報交換処理を行うことが可能なシステムを構成することができることである。例えば、鉄道やバスなどの乗車券として非接触型ＩＣカードを用いる場合、改札ゲートに非接触型ＩＣカードをかざしたり（以降、かざし処理と称する）、瞬間的に接触させたり（以降、タッチ＆ゴー処理と称する）するのみで改札処理を行うことが可能となる。

10

【 0 0 0 6 】

このように、非接触型ＩＣカードシステムにおいては、ＩＣカードとリーダライタ装置との間での情報交換の形態としては、様々な方法が考えられる。例を挙げると、（１）リーダライタ装置から数ｃｍ程度以内で離れた空間にＩＣカードをかざす方法（かざし処理）、（２）リーダライタ装置に設置されたカードホルダにＩＣカードを挿入する方法（落とし込み処理）、（３）リーダライタ装置にカードをセットした後、電源スイッチを投入することによって電圧を供給する方法、などが考えられる。

【 0 0 0 7 】

20

これらの方法は、それぞれＩＣカードをリーダライタ装置に接近させる方法が異なっていることになる。よって、リーダライタ装置からＩＣカードに電磁誘導によって給電を行う際にも、ＩＣカード内での電源電圧の発生条件も異なることになる。また、電磁誘導による給電では、大容量の電力を供給することはできず、また供給も不安定であるので、電力供給開始時のパワーオンリセット動作には、高い信頼性が要求されることになる。

【 0 0 0 8 】

以下、従来の非接触型ＩＣカードにおいて、どのようなパワーオンリセットまたはリセット回路の誤動作防止回路が使用されているかについて例示する。

【 0 0 0 9 】

例えば特開平１０－２６９３２７号公報には、非接触型ＩＣカードにおけるパワーオンリセットを行う回路構成について開示されている。ここで開示されている技術では、ロジック回路の動作が保証できないうちは、ロジック回路を用いずに、電源電圧をアナログ方式で検出することによるリセット動作でロジック回路の電源を切るようにしている。これにより、リセット動作時に、マイコンへの入出力回路、およびマイコン回路部に電圧を与えないようにしている。以下、この構成についてより詳細に説明する。

30

【 0 0 1 0 】

図１０は、この回路構成例を示す回路図である。アンテナコイル５１から供給された電圧は、レギュレータ回路としてのＲＥＧ－Ａ５５、ＲＥＧ－Ｂ５６、および基準電圧発生回路としてのＶＲＥＦ５７へ供給された後に各回路部に供給される。ＲＥＧ－Ａ５５からは、マイコン６４およびそのインターフェース部に電圧が供給される。また、ＲＥＧ－Ｂ５６からは、ＣＬＫ再生回路５３、リセット発生回路５４、変調回路としてのＭＯＤ６６、復調回路としてのＤＥＭＯ６７、および比較回路５９の（＋）端子に電圧が供給される。

40

【 0 0 1 1 】

基準電圧発生回路としてのＶＲＥＦ５７からの出力は、ＲＥＧ－Ａ５５およびＲＥＧ－Ｂ５６に供給されるものであるが、電源立ち上げシーケンスを制御するために、ＲＥＧ－Ａ５５への経路にはスイッチ６０が設けられている。また、ＶＲＥＦ５７からの出力は、スイッチ６０のＯＮ／ＯＦＦを制御するための比較回路５８の（＋）端子にも接続されている。

【 0 0 1 2 】

ＲＥＧ－Ａ５５およびＲＥＧ－Ｂ５６の出力電圧は、同電位であっても異なる電位であつ

50

てもよいが、レギュレータの構成自体は、同じ回路構成とするほうが好ましい。

【 0 0 1 3 】

ここで、抵抗 6 1 およびダイオード 6 2 によって構成されるアナログ検出部、VREF 5 7、REG - A 5 5、および REG - B 5 6 における電源立ち上がり時の速さを比較すると、REG - A 5 5 および REG - B 5 6 の立ち上がり速さが最も遅く、VREF 5 7、アナログ検出部の順で立ち上がり速さが速くなっている。この電源立ち上がり速さの違いを利用して、電源立ち上げを次のように制御している。

【 0 0 1 4 】

まず、比較回路 5 9 は、REG - B 5 6 と VREF 5 7 とで、どちらの出力電圧が高いかを判定する。通常の動作時においては、REG - B 5 6 の出力電圧の方が高くなっている。しかしながら、REG - B 5 6 は、上記のように比較的電源立ち上がりの速さが遅いので、非接触型 IC カードをリーダライタ装置にかざした瞬間などは、VREF 5 7 の出力電圧の方が高くなる。

10

【 0 0 1 5 】

このような状態の時は、マイコン 6 4 に与える電源電圧が、安定動作を得るには不十分であるので、マイコン 6 4 をリセット状態にする必要がある。よって、リセット発生回路 5 4 は、比較回路 5 9 における比較結果に基づいてリセット信号を生成する。このリセット信号は、バッファ回路 6 9 D を介してマイコン 6 4 に与えられる。これにより、マイコン 6 4 は、安定な動作に十分な電源電圧が供給されている時のみ、リセット状態が解除されて動作することになる。

20

【 0 0 1 6 】

しかしながら、バッファ回路 6 9 A ~ 6 9 D の出力は、リセット発生回路 5 4 を始めとするロジック回路の動作が安定しないというちは、所期の信号が得られるとは限らない。すなわち、電源電圧の低い間など、REG - A 5 5 の出力がマイコン 6 4 へ与えられないうちに、リセット解除信号が出力されることが起こり得る。この場合、マイコン 6 4 の電源端子よりも他の端子電圧が高くなり、素子の破壊や誤動作を招く原因となる。また、同様のことが、クロックの端子およびデータの端子においても起こり得る。

【 0 0 1 7 】

このことを防ぐために、図 1 0 に示す構成では、まず REG - A 5 5 に与える基準電圧の経路にスイッチ 6 0 を設け、動作に十分な電圧を保証できないというちは経路を切断して、マイコン 6 4 へ電源を与えないようにしている。また、バッファ回路 6 9 A ~ 6 9 D に対して、マイコン 6 4 と同じ電源を接続することによって、マイコン 6 4 の他の端子にも電源端子以上の電圧が印加されないようにしている。

30

【 0 0 1 8 】

また、リセット発生回路 5 4 をはじめとするロジック回路の動作が安定しない期間に誤動作が起きないように、スイッチ 6 0 は、AND 回路 6 3 で発生する論理で切り換え動作が行われる。AND 回路 6 3 は、リセット発生回路 5 4、比較回路 5 9、および比較回路 5 8 の各出力の論理積を出力するものとなっている。このような AND 回路 6 3 は、簡単なトランジスタロジックで実現することができるので、電源電圧が低い状態でも安定に動作することが可能である。

40

【 0 0 1 9 】

比較回路 5 8 は、VREF 5 7 の出力と、ダイオード 6 2 の順方向電圧とを比較している。一般に、抵抗 6 1 からのバイアス電流で得られるダイオード 6 2 の順方向電圧の立ち上がりは速いものであるので、比較回路 5 8 は、VREF 5 7 の出力が立ち上がるまで、AND 回路 6 3 に対して論理 “ L ” を出力することになる。したがって、AND 回路 6 3 からの出力によって、VREF 5 7 の出力が立ち上がるまで、スイッチ 6 0 が確実に GND 側に接続され、REG - A 5 5 が誤って立ち上がらないようになっている。

【 0 0 2 0 】

また、比較回路 5 9 は、REG - B 5 6 と VREF 5 7 との出力を比較している。一般に、VREF 5 7 の立ち上がりは、REG - B 5 6 の立ち上がりよりも速いものであるので

50

、比較回路 59 は、REG - B56 の出力が立ち上がるまで、AND 回路 63 に対して論理 “ L ” を出力することになる。したがって、AND 回路 63 からの出力によって、REG - B56 の出力が立ち上がるまで、スイッチ 60 が確実に GND 側に接続されることになる。

【 0021 】

さらに、リセット信号が十分に論理 “ H ” にならない期間は、スイッチ 60 が GND 側に接続されるように、リセット発生回路 54 の出力が AND 回路 63 に入力されている。

【 0022 】

以上のように、抵抗 61 およびダイオード 62 から構成されるアナログ検出部から、VREF57、REG - A55、および REG - B56 に確実に動作を継続された後に、リセットの解除が行われるので、誤動作が生じないことになる。

10

【 0023 】

一方、近年では、非接触型 IC カードシステムの需要の増加に伴って、従来の接触型 IC カードに、非接触型の機能を含めて、目的に応じて使い分けるという利用形態が考えられる。したがって、非接触型と接触型とを 1 枚の IC カードに収めたコンビネーションカードは、非接触型 IC カードシステムおよび接触型 IC カードシステムの両方に対応することが可能であるので、今後主流となることが予想される。

【 0024 】

なお、非接触型 IC カードシステムは、その通信距離に応じて、近接型、近傍型などがあり、それらは現在、それぞれ ISO / IEC 14443 および ISO / IEC 10536

20

【 0025 】

【 発明が解決しようとする課題 】

上記のように、非接触型 IC カードの利用形態は多様であり、各使用状況によって、非接触リーダライタ装置から供給される電圧の立ち上がり波形が異なることになる。これにより、IC カードに搭載される半導体集積回路装置における電圧検出が難しくなっている。すなわち、パワーオンリセットの条件設定の技術的難易度が高いので、半導体集積回路装置の設計が困難となっている。

【 0026 】

ここで、上記のような使用状況において、リーダライタ装置から給電された電圧の立ち上がり波形、および期待すべきリセット期間について、図 11 および図 12 を参照しながら以下に説明する。これらの図において、REG IN 電圧は、ブリッジダイオードによって整流された電圧を示しており、図 10 に示す構成の例では、ダイオードブリッジ 52 から REG - A55 などへの出力に相当する電圧である。また、VCC2V 電圧は、REG IN 電圧からレギュレータを通じて生成されるロジック系の 2V 電源であり、図 10 に示す構成の例では、REG - A55 の出力電圧に相当する電圧である。

30

【 0027 】

図 11 は、リーダライタ装置のスイッチ動作による電圧の立ち上がり波形を示している。このときの REG IN 電圧の立ち上がり波形は急峻となっており、REG IN 電圧の立ち上がり時間は、アンテナコイル（図 10 ではアンテナコイル 51）、ダイオードブリッジ（図 10 ではダイオードブリッジ 52）、および平滑コンデンサ（図 10 では平滑コンデンサ 68）による整流作用にも影響されている。本動作では、REG IN 電圧の立ち上がり期間を t REG IN 期間と設定する。

40

【 0028 】

このとき、ロジック用電圧 VCC2V を発生させるレギュレータの立ち上がり期間は、REG IN 電圧の立ち上がり期間にほぼ匹敵しており、VCC2V 電圧は、REG IN 電圧より若干遅れて立ち上がり、かつ、立ち上がり波形が急峻となっている。実測では、t REG IN 期間は数 10 μ sec 程度である。このような立ち上がり波形の場合、リセット信号は、VCC2V 電圧の立ち上がりを起点として、システムの初期化に必要な所要期間後に解除されるようにすればよい。

50

【 0 0 2 9 】

図 1 2 は、前記したかざし動作時、落とし込み動作時、およびタッチ & ゴー動作時などにおける電圧立ち上がり波形を示している。このときの R E G I N 電圧の立ち上がり波形は緩やかとなっており、その立ち上がり期間である t R E G I N 期間は、実測で数 1 0 0 m s e c 程度となる。このような場合、レギュレータの設定によっても異なるが、R E G I N 電圧がある一定の電圧レベルに達すると、V C C 2 V 電圧が立ち上がり始める。すなわち、R E G I N 電圧の立ち上がり波形が緩やかな場合、R E G I N 電圧が完全に立ち上がるまでに V C C 2 V 電圧は目標電圧に達することになる。

【 0 0 3 0 】

このような立ち上がり波形の場合、リセット信号は、V C C 2 V 電圧の立ち上がりを起点とすればよいことになるが、主電源となる R E G I N 電圧の立ち上がり以降にリセット信号を解除する必要がある、図 1 1 に示す場合と比較して、非常に長いリセット期間を要することになる。

10

【 0 0 3 1 】

前記した図 1 0 で示した回路では、このように電圧の立ち上がりが緩やかであった場合、V C C 2 V 電圧に相当する R E G - B 5 6 からの出力が過渡的に立ち上がっていく過程で、A N D 6 3 などのゲート出力が不安定となり、スイッチ 6 0 の誤動作を引き起こし、結果的に正常にリセット解除ができなくなる可能性がある。

【 0 0 3 2 】

このように、電圧立ち上がりが急峻な場合と、緩やかである場合とでは、リセット期間が異なってくるので、同一のリセット回路でリセット期間を生成することは困難であるという課題がある。

20

【 0 0 3 3 】

また、従来の非接触型 I C カードシステムで使用される I C カードにおいて、L S I が利用できる消費電流は 1 0 m W 以下となっている。しかしながら、近年の多目的 I C カードにおいては、不揮発性メモリに格納されるアプリケーションの数が増えており、大容量化が要求されているので、L S I に必要とされる消費電流は約 2 0 0 m W 程度に増大している。このことは、上記したように電力の供給能力に制約のある非接触型 I C カードシステムにおいては大きな課題となり、特に大きな電力を消費する不揮発性メモリへの書き込み / 消去時に電源電圧の降下をもたらし可能性が生じることになる。すなわち、このときの電源電圧の変動が、電源電圧の立ち上がりと誤認識される可能性があるという課題が、非接触型 I C カードシステムには存在しており、リセット回路に回路的工夫を施す必要がある。

30

【 0 0 3 4 】

また、リセット回路での更なる消費電流の増大を回避するためには、電源電圧検出に、A / D コンバータや精度の高いアナログ検出回路などを採用することは避けなければならない。このような構成を採用すると、消費電流の増大を招くばかりでなく、回路規模の増大も招く可能性が生じることになる。

【 0 0 3 5 】

本発明は上記の問題点を解決するためになされたもので、その目的は、外部の電力供給源から取得する電力の立ち上がりの変動する場合でも、確実に効果的なリセット信号を出力するパワーオンリセット回路、およびこれを備えた I C カードを提供することにある。

40

【 0 0 3 6 】

【課題を解決するための手段】

上記の課題を解決するために、本発明に係るパワーオンリセット回路は、外部の電力供給源から電磁誘導により非接触で電源電圧を取得し、この電源電圧を所定の電圧に変換して、論理演算を行うロジック部に供給するシステムに設けられ、上記システムのリセット状態を制御するリセット信号を生成するパワーオンリセット回路において、上記ロジック部に供給される電圧の値を検出して第 1 リセット信号を生成する第 1 リセット回路と、上記外部の電力供給源から取得した電源電圧を整流する整流回路の出力電圧を検出して第 2 リ

50

セット信号を生成する第2リセット回路と、上記第1リセット信号および上記第2リセット信号のいずれか一方を上記リセット信号として出力するリセット信号出力回路とを備えていることを特徴としている。

【0037】

外部の電力供給源から電磁誘導によって非接触で電力を取得する場合、状況に応じて電源電圧の発生条件が変化することになる。例えば、電源電圧が急峻に立ち上がる場合や、緩やかに立ち上がる場合などが考えられる。

【0038】

電源電圧が急峻に立ち上がる場合は、整流回路の出力電圧も急峻に立ち上がり、その後、ロジック部に供給される電圧も急峻に立ち上がることになる。この場合、ロジック部に供給される電圧が立ち上がったことが確認できれば、整流回路の出力電圧も立ち上がっていることになる。したがって、リセット信号出力回路が、ロジック部に供給されている電圧を検出する第1リセット回路による第1リセット信号をリセット信号として出力すればよいことになる。

10

【0039】

一方、電源電圧が緩やかに立ち上がる場合は、整流回路の出力電圧、および、ロジック部に供給される電圧も緩やかに立ち上がることになる。ここで、完全に立ち上がった状態での整流回路の出力電圧は、完全に立ち上がった状態でのロジック部に供給される電圧よりも高いものであるので、電源電圧が緩やかに立ち上がる場合には、ロジック部に供給される電圧の立ち上がりの方が早く完了することになる。したがって、リセット信号出力回路が、整流回路の出力電圧を検出する第2リセット回路による第2リセット信号をリセット信号として出力すればよいことになる。

20

【0040】

このように、上記の構成によれば、電源電圧が急峻に立ち上がる場合、および緩やかに立ち上がる場合のどちらにおいても、システムのリセット状態を的確に制御することが可能なパワーオンリセット回路を提供することができる。

【0041】

また、本発明に係るパワーオンリセット回路は、上記の構成において、上記第1リセット回路が、電源電圧を整流する整流回路の出力電圧から所定の電圧に変換するレギュレータ回路において用いられる基準電圧と、上記ロジック部に供給される電圧とを比較する比較回路を備え、この比較回路の出力に基づいて、上記第1リセット信号を生成することを特徴としている。

30

【0042】

上記の構成によれば、第1リセット信号は、レギュレータ回路において用いられる基準電圧と、ロジック部に供給される電圧との比較の結果に基づいて生成されることになる。基準電圧の立ち上がりは、整流回路の出力電圧の立ち上がりにほぼ等しいものであるので、ロジック部に供給される電圧よりも早く立ち上がることになる。したがって、完全に立ち上がった状態での両者の電圧値を適宜調整して比較すれば、ロジック部に供給される電圧が立ち上がっていない状態では、基準電圧の方が電圧値が高く、ロジック部に供給される電圧が十分に立ち上がった時点で、ロジック部に供給される電圧の方が電圧値が高くなることになる。すなわち、上記の構成によれば、ロジック部に供給される電圧の立ち上がりを、比較的簡単な構成によって、的確に検出することが可能となる。

40

【0043】

また、本発明に係るパワーオンリセット回路は、上記の構成において、上記ロジック部に供給される電圧が、遅延回路を介して上記比較回路に入力されることを特徴としている。

【0044】

上記の構成によれば、ロジック部に供給される電圧の立ち上がりは、遅延回路によって遅延された後に比較回路に入力されることになる。したがって、ロジック部に供給される電圧の立ち上がりは、実際の立ち上がりから遅延回路による遅延時間の後に検出されることになる。したがって、この遅延時間を、システムを初期化するのに必要とされる時間が得

50

られるように設定することによって、システムを起動する際の誤動作を防止することが可能となる。なお、システムの初期化に必要とされる時間とは、リセット信号が起動してから各周辺ブロックが初期化されるまでの時間に相当するものである。

【 0 0 4 5 】

また、本発明に係るパワーオンリセット回路は、上記の構成において、上記第2リセット回路が、電源電圧を整流する整流回路の出力電圧から所定の電圧に変換するレギュレータ回路において用いられる基準電圧と、上記整流回路の出力電圧とを比較する比較回路を備え、この比較回路の出力に基づいて、上記第2リセット信号を生成することを特徴としている。

【 0 0 4 6 】

上記の構成によれば、第2リセット信号は、レギュレータ回路において用いられる基準電圧と、整流回路の出力電圧との比較の結果に基づいて生成されることになる。基準電圧の立ち上がりは、整流回路の出力電圧の立ち上がりにはほぼ等しいものである。また、完全に立ち上がった状態では、基準電圧は、整流回路の出力電圧よりも低い値となるものである。したがって、完全に立ち上がった状態での両者の電圧値を適宜調整して比較すれば、整流回路の出力電圧が立ち上がっていない状態では、基準電圧の方が電圧値が高く、整流回路の出力電圧が十分に立ち上がった時点で、整流回路の出力電圧の方が電圧値が高くなることになる。すなわち、上記の構成によれば、整流回路の出力電圧の立ち上がりを、比較的簡単な構成によって、的確に検出することが可能となる。

【 0 0 4 7 】

また、本発明に係るパワーオンリセット回路は、上記の構成において、上記整流回路の出力電圧が、遅延回路を介して上記比較回路に入力されることを特徴としている。

【 0 0 4 8 】

上記の構成によれば、整流回路の出力電圧の立ち上がりは、遅延回路によって遅延された後に比較回路に入力されることになる。したがって、整流回路の出力電圧の立ち上がりは、実際の立ち上がりから遅延回路による遅延時間の後に検出されることになる。したがって、この遅延時間を、システムを初期化するのに必要とされる時間が得られるように設定することによって、システムを起動する際の誤動作を防止することが可能となる。

【 0 0 4 9 】

また、本発明に係るパワーオンリセット回路は、上記の構成において、上記リセット信号出力回路が、上記第1リセット信号および上記第2リセット信号の両方がリセット状態を解除する旨の信号となった時点で、システムのリセット状態を解除する旨のリセット信号を出力することを特徴としている。

【 0 0 5 0 】

上記の構成によれば、電源電圧が急峻に立ち上がる際には、第2リセット信号がリセット状態を解除する旨の信号となるタイミングが、第1リセット信号がリセット状態を解除する旨の信号となるタイミングよりも早くなるので、システムのリセット状態を解除する旨のリセット信号は、第1リセット信号に基づくものとなる。すなわち、電源電圧の立ち上がりが急峻な場合に的確にリセットを解除する第1リセット回路からの第1リセット信号に基づいてリセット解除が行われることになる。

【 0 0 5 1 】

一方、電源電圧が緩やかに立ち上がる際には、第1リセット信号がリセット状態を解除する旨の信号となるタイミングが、第2リセット信号がリセット状態を解除する旨の信号となるタイミングよりも早くなるので、システムのリセット状態を解除する旨のリセット信号は、第2リセット信号に基づくものとなる。すなわち、電源電圧の立ち上がりが緩やかな場合に的確にリセットを解除する第2リセット回路からの第2リセット信号に基づいてリセット解除が行われることになる。

【 0 0 5 2 】

すなわち、上記の構成によれば、電源電圧の立ち上がりが急峻な場合、および緩やかな場合の両方において、システムのリセット状態を的確に制御することが可能なパワーオンリ

10

20

30

40

50

セット回路を提供することができる。

【 0 0 5 3 】

また、本発明に係るパワーオンリセット回路は、上記の構成において、上記第２リセット回路が、上記整流回路の出力電圧の変動に対してヒステリシス特性を有することを特徴としている。

【 0 0 5 4 】

上記の構成によれば、第２リセット回路は、整流回路の出力電圧が変動する方向に応じて、第２リセット信号の生成を変化させることが可能となる。例えば、電源電圧が立ち上がる場合には、確実にリセット状態を維持する一方、例えば大容量のメモリにおける書き込み動作や消去動作が行われるなどによって、一時的に消費電流が増大することによって、整流回路の出力電圧が一時的に降下する場合には、不要にリセットがかかることを防止することが可能となる。

10

【 0 0 5 5 】

詳しく説明すると、電源電圧が立ち上がる場合には、整流回路の出力電圧の変動は上昇方向となる。この場合には、整流回路の出力電圧が完全に立ち上がった時点で、リセット状態を解除する第２リセット信号を出力するようにヒステリシス特性を設定する。一方、電源電圧の立ち上がりが完了し、定常的に電源電圧が供給されている状態で、一時的に消費電流が増大することによって整流回路の出力電圧が一時的に降下する場合には、整流回路の出力電圧の変動は下降方向となる。この場合には、ある程度の電圧の低下であれば、リセット状態への移行が行われなようにヒステリシス特性を設定する。

20

【 0 0 5 6 】

このように、上記の構成によれば、大電流消費による電源電圧降下に伴うリセットの誤動作を防止することが可能となるので、このような大電流を消費する大容量不揮発性メモリを搭載するシステムを構築することが可能となる。

【 0 0 5 7 】

また、本発明に係るパワーオンリセット回路は、上記の構成において、上記システムが、外部の電力供給源から接触型の電力供給をも行うとともに、上記リセット信号出力回路が、上記第１リセット信号、上記第２リセット信号、および、上記接触型の電力供給に伴って入力される第３リセット信号のいずれか一方を上記リセット信号として出力することを特徴としている。

30

【 0 0 5 8 】

上記の構成では、非接触による電力供給とともに、接触型の電力供給が行われるシステムとなっている。そして、リセット信号出力回路は、第１リセット信号および第２リセット信号に加えて、接触型の電力供給に伴って入力される第３リセット信号にも基づいてリセット信号を出力することが可能となっている。これにより、非接触型、および接触型のどちらの方式で電力が供給されても、システムのリセット状態を的確に制御することが可能なパワーオンリセット回路を提供することができる。

【 0 0 5 9 】

また、本発明に係るパワーオンリセット回路は、上記の構成において、上記リセット信号出力回路が、上記第３リセット信号が入力されている際には、該第３リセット信号を最優先してリセット信号として出力することを特徴としている。

40

【 0 0 6 0 】

上記の構成によれば、接触型の電力供給が行われている場合には、リセット動作が、第３リセット信号に即座に 응답して行われることになるので、周囲の電磁波の影響を受けることなく、的確に接触型の電力供給に対応したリセット動作を行うことが可能となる。

【 0 0 6 1 】

また、本発明に係るＩＣカードは、上記のパワーオンリセット回路を備えたことを特徴としている。

【 0 0 6 2 】

上記のようなパワーオンリセット回路をＩＣカードに適用することによって、例えば、外

50

部の電力供給源からの電力供給が安定しない非接触型ＩＣカードにおいても、ＩＣカード内の各種機能ブロックに対して、的確にリセット動作を制御することが可能となる。したがって、安定動作が保証されたＩＣカードを実現することができる。

【００６３】

また、例えば、上記のような非接触型ＩＣカードに、接触型の端子を設けるなどをすれば、非接触型および接触型を兼用したＩＣカードを実現することも可能である。

【００６４】

【発明の実施の形態】

本発明の実施の一形態について図面に基づいて説明すれば、以下のとおりである。

【００６５】

図５は、本実施形態に係る半導体回路装置の概略構成を示すブロック図である。この半導体回路装置は、接触型および非接触型の両方に対応したＩＣカードに内蔵されるものであり、パワーオンリセット回路を採用したものとなっている。

【００６６】

この半導体回路装置は、電磁波を用いた通信を行うＲＦ（Radio Frequency）部１Ａ、各種論理演算を行う論理回路を複数備えたロジック部１Ｂ、不揮発性メモリ部８、電圧制御回路部９などを備えた構成となっている。ロジック部１Ｂは、データ処理用のＣＰＵ（Central Processing Unit）２、暗号を高速処理するためのセキュリティ用プロセッサ３、演算処理における作業領域としてのワークＲＡＭ（Random Access Memory）４、起動時に用いられるブートＲＯＭ（Read Only Memory）５、プロトコル制御回路６、リセット回路７などを備えた構成となっている。

【００６７】

また、ＲＦ部１Ａは、電磁誘導を起動させるアンテナコイル１３、アンテナコイル１３の接続端子およびショットキーダイオードなどから構成される整流回路１４、変調回路１５、復調回路１６、クロック抽出回路１７、およびパワーオンリセット回路１８を備えた構成となっている。

【００６８】

本実施形態に係る半導体回路装置は、以下に詳述するパワーオンリセット回路１８の構成、および、フラッシュメモリに代表される大容量の不揮発性メモリ部８を備えている点を特徴としている。

【００６９】

まず、上記の構成における動作の概要を説明する。電磁誘導によって生じた電力は、整流回路１４によって整流される。整流回路１４によって全波整流された電源電圧であるＲＥＧＩＮ電源は、電圧制御回路部９に入力され、この電圧制御回路部９において各ブロックに最適な電圧が生成され、各ブロックに供給される。また、整流回路１４からの搬送波形がクロック抽出回路１７によって抽出され、クロック信号が生成される。

【００７０】

さらに、変調回路１５および復調回路１６によって、振幅変調によりデータ通信が行われる。受信した信号は、復調回路１６によって復調信号に変換され、セクタ回路１１を介してプロトコル制御回路６に入力され、ＣＰＵ２によって処理される。またＣＰＵ２において送信信号が生成されると、この送信信号がプロトコル制御回路６からセクタ回路１１を介して変調回路１５に入力され、変調回路１５において送信に適した信号に変換した後に、アンテナコイル１３から送信される。

【００７１】

なお、本実施形態において用いられるＩＣカード、およびこのＩＣカードに対応したリーダライタ装置は、ＩＳＯ／ＩＥＣ 14443のtype B規格に準拠するものとしている。また、ＲＦ部１Ａは、リーダライタ装置が送信する13.56MHzのキャリア波を受信し、変調回路１５および復調回路１６は、ＡＳＫ（Amplitude Shift Keying）10％振幅変調によってキャリア波に重畳されたデータを変復調するもの

10

20

30

40

50

としている。

【0072】

次に、図5に示す各構成における動作について詳細に説明していく。リーダライタ装置から送信されたキャリア波は、給電に最適に構成されたアンテナコイル13によって受信される。そして、このアンテナコイル13によって起動される電力は、ショットキーバリアダイオードなどによって構成された整流回路14によって整流される。

【0073】

整流回路14において生成される電氣的信号は、キャリア波からクロック抽出回路17において抽出される13.56MHzのCLK信号と、復調回路16においてASK10%振幅変調されたデータ信号と、整流回路14で全波整流された電源電圧（ここではREGIN電源と称する）との3種類となっている。

10

【0074】

前記したように、非接触型ICカードの磁場への進入の方法は様々であり、電源電圧の立ち上がり方も様々であるが、ここでは、典型的な場合として、次に示す2種類の場合について説明する。

【0075】

1つ目の場合として、非接触型ICカードをリーダライタ装置にセットした後に、リーダライタ装置からICカードに対して電圧を供給する場合を想定する。この場合のREGIN電源の電圧（REGIN電圧）およびVCC2V電圧の波形は、前記したように、図11に示すような波形となる。この場合、REGIN電圧は、電源スイッチを入れてから数10μsecで立ち上がり、その立ち上がり波形は急峻となっている。

20

【0076】

なお、このように電源スイッチを投入して電圧の供給を行う場合、電圧立ち上がりにチャタリングが発生する場合があります、これを考慮してリセット期間を設定する必要がある。

【0077】

VCC2V電圧は、図5にも示すように、ロジック部1Bおよび不揮発性メモリ部8へ供給される電源電圧であり、電圧制御回路部9を構成するレギュレータの出力である。整流回路14から供給されるREGIN電圧が立ち上がった後、電圧制御回路部9内部で構成される基準電圧発生回路で基準電圧VREFが発生される。そして、この基準電圧VREFが十分な電圧に達した際に、レギュレータからVCC2V電圧が発生される。図11において、REGIN電圧の立ち上がりとVCC2V電圧の立ち上がりとの間に時間差が生じているのはこのためである。なお、基準電圧VREFは、GNDレベルから電源電圧レベルの中で、最適な電圧値（例えば1.5V）に設定しておく必要がある。

30

【0078】

2つ目の場合として、かざし動作、落とし込み動作、およびタッチ&ゴー動作などの処理によって、リーダライタ装置からICカードに対して電圧を供給する場合を想定する。この場合のREGIN電圧およびVCC2V電圧の波形は、前記したように、図12に示すような波形となる。この場合、REGIN電圧の立ち上がり期間は数100msとなり、その立ち上がり波形は緩やかになっている。

【0079】

本実施形態に係るパワーオンリセット回路18は、上記のようないずれの電源電圧の立ち上がりの場合でも、リセット信号の出力および解除を確実に行うことが可能となっている。以下、このパワーオンリセット回路18の詳細について、図1に示すブロック図を参照しながら説明する。

40

【0080】

パワーオンリセット回路18は、第1リセット回路21、第2リセット回路22、NOR回路（リセット信号出力回路）23、NAND回路24、およびインバータ25を備えた構成となっている。第1リセット回路21は、REGIN電圧、VCC2V電圧、および基準電圧VREFを入力するとともに、RST1信号（第1リセット信号）を出力するようになっている。第2リセット回路22は、REGIN電圧および基準電圧VREFを入

50

力するとともに、RST2信号（第2リセット信号）を出力するようになっている。

【0081】

NOR回路23は、第1リセット回路21からRST1を入力し、第2リセット回路22からRST2を入力するとともに、そのNOR論理を出力する。また、NAND回路24は、NOR回路23からの出力およびRSTB信号を入力するとともに、そのNAND論理であるP-RSTB信号を出力する。インバータ25は、P-RSTB信号を反転させたパワーオンリセット信号としてのP-RST信号を出力する。なお、RSTB信号、およびNAND回路24については後述する。

【0082】

以上の構成において、第1リセット回路21は、基準電圧VREFを基準として、VCC2V電圧の立ち上がりを検出してRST1信号を出力している。また、第2リセット回路22は、基準電圧VREFを基準として、REGIN電圧の立ち上がりを検出してRST2信号を出力している。これにより、電圧が急峻に立ち上がる場合、および緩やかに立ち上がる場合の両方に対応可能なリセット回路を実現している。以下に、第1リセット回路21および第2リセット回路22について詳細に説明する。

10

【0083】

まず、第1リセット回路21の構成について図2を参照しながら説明する。第1リセット回路21は、REGIN電圧を電源電圧とする比較回路26、およびインバータ27によって構成されている。比較回路26の(+)端子には、VCC2V電圧が抵抗R1と容量C1とからなる直並列回路を介して入力されている。また、比較回路26の(-)端子には、基準電圧VREFが入力されている。このような構成によって、第1リセット回路21は、VCC2V電圧の立ち上がりを検出して出力するようになっている。なお、インバータ27は、リセット信号としてのRST1信号の極性を決めるために設けられているものである。

20

【0084】

ここで、第1リセット回路21から出力されるRST1信号は、出力が開始されてから、抵抗R1と容量C1とからなる直並列回路による時定数R1C1だけ遅延した時間の後に、出力が解除されることになる。したがって、時定数R1C1は、VCC2V電圧が立ち上がってからシステムを初期化するのに必要とされる時間が得られるように設定されることになる。

30

【0085】

すなわち、第1リセット回路21は、図11に示したような、REGIN電圧の立ち上がりが急峻な場合に応答する回路となる。以下にこれについて詳述する。

【0086】

前記したように、REGIN電圧の立ち上がりが急峻な場合、基準電圧VREFの立ち上がりは速く、ほぼREGIN電圧の立ち上がりと等しくなっている。このような基準電圧VREFが、比較回路26の(-)端子に入力されている。一方、VCC2V電圧の立ち上がりは、REGIN電圧の立ち上がりから若干遅れたものとなっている。このようなVCC2V電圧が、直並列回路による時定数R1C1だけ遅延されて比較回路26の(+)端子に入力されている。すなわち、時定数R1C1による遅延時間を与えることによって、リセット期間を確保していることになる。

40

【0087】

REGIN電圧の立ち上がり時には、立ち上がりの速い基準電圧VREFが入力されている比較回路26の(-)端子電圧が、立ち上がりが若干遅いVCC2V電圧が入力されている(+)端子電圧よりも高くなるので、インバータ27を介して出力されるRST1信号は“H”レベルとなる。その後、VCC2V電圧が時定数R1C1による遅延時間の後に電圧が上昇し、これに当たって(+)端子電圧が立ち上がり、(-)端子電圧よりも大きくなった時点でRST1信号は“L”レベルになる。ここで、RST1信号が“H”レベルとなっている期間がリセット期間となる。

【0088】

50

次に、第2リセット回路22の構成について図3を参照しながら説明する。第2リセット回路22は、REGIN電圧を電源電圧とする比較回路28、およびインバータ29によって構成されている。比較回路28の(+)端子には、REGIN電圧を抵抗 $R_3 \cdot R_4$ で分割した電圧が、並列に接続された容量C2を介して入力されている。また、比較回路28の(-)端子には、基準電圧VREFが入力されている。このような構成によって、第2リセット回路22は、REGIN電圧の立ち上がりを検出してリセットを解除する信号を出力するようになっている。なお、インバータ29は、リセット信号としてのRST2信号の極性を決めるために設けられているものである。

【0089】

ここで、第2リセット回路22から出力されるRST2信号は、REGIN電圧が立ち上がってから、分割抵抗 $R_3 \cdot R_4$ および容量C2による時定数 $R_4 R_3 C_2 / (R_4 + R_3)$ だけ遅延した時間の後に、リセット状態を解除する信号として出力されることになる。したがって、時定数 $R_4 R_3 C_2 / (R_4 + R_3)$ は、REGIN電圧が立ち上がってシステムを初期化するのに必要とされる時間が得られるように設定することになる。

【0090】

すなわち、第2リセット回路22は、図12に示したような、REGIN電圧の立ち上がりが緩やかな場合に応答する回路となる。以下にこれについて詳述する。

【0091】

前記したように、REGIN電圧の立ち上がりが緩やかな場合、基準電圧VREFの出力は、REGIN電圧の立ち上がりには追従している。これは、基準電圧VREFの応答が、REGIN電圧の立ち上がりよりも速いからである。

【0092】

基準電圧VREFが所定の電圧に達した場合、電圧制御回路部9の内部で構成されているレギュレータ出力回路からVCC2V電圧が出力される。

【0093】

比較回路28の(+)端子には、REGIN電圧が抵抗分割された電圧が入力されているので、REGIN電圧の立ち上がり当初では、比較回路28の(+)端子の電位は、基準電圧VREFが入力されている(-)端子の電位よりも低くなっている。よって、インバータ29を介して出力されるRST2信号は“H”レベルとなる。

【0094】

その後、基準電圧VREFが、例えば1.5Vで飽和した場合、比較回路28の(+)端子の電位は上昇を継続し、やがては比較回路28の(+)端子の電位が(-)端子の電位を上回るようになる。この時点で、RST2信号は“L”レベルとなる。ここで、REGIN電圧の入力は、時定数 $R_4 R_3 C_2 / (R_4 + R_3)$ による遅延時間分だけ遅延しているため、RST2信号が“L”レベルとなるのは、REGIN電圧が立ち上がってから遅延時間が経過した後になる。

【0095】

そして、パワーオンリセット回路18は、以上のような動作を行う第1リセット回路21および第2リセット回路22を備えた構成となっており、パワーオンリセット信号P-RSTは、それぞれの出力RST1信号およびRST2信号をOR演算した出力によって得られることになる。すなわち、パワーオンリセット回路18は、REGIN電圧が急峻に立ち上がる場合および緩やかに立ち上がる場合のどちらの場合においても、最適なりセット期間を設定することが可能なパワーオンリセット信号P-RSTを出力することが可能となっている。

【0096】

次に、電源電圧が急峻に立ち上がる場合および緩やかに立ち上がる場合について、パワーオンリセット回路18内における各信号の変化について、図6および図7を参照しながら以下に説明する。

【0097】

図6において、REGIN電圧の立ち上がり期間 t_{REGIN} は、数 μsec となってい

10

20

30

40

50

る。すなわち、図 6 は、REGIN 電圧が急峻に立ち上がる場合を示している。前記したように、REGIN 電圧の立ち上がりから VCC2V 電圧の立ち上がりまでには、レギュレータ動作などのために時間差がある。一方、RST1 信号および RST2 信号は、REGIN 電圧の立ち上がりと同様のタイミングで立ち上がっている。

【0098】

まず最初に、REGIN 電圧が立ち上がったことを第 2 リセット回路 22 が検出し、RST2 信号が“L”レベルとなる。REGIN 電圧の立ち上がりが急峻であるほど RST2 信号が“L”レベルとなるのが速くなる。なお、本実施形態では、REGIN 電圧が約 4.0V 程度に立ち上がったときに、RST2 信号が“L”レベルとなるように設定している。

10

【0099】

次に、VCC2V 電圧が立ち上がり、この立ち上がりから時定数 R1C1 による遅延時間によって決定されるリセット期間 tRST1 を経過した後に、RST1 信号が“L”レベルとなる。このときに、P-RST 信号は“H”となり、リセットが解除される。このように、REGIN 電圧の立ち上がりが急峻な場合には、第 1 リセット回路 21 が有効に働いている。

【0100】

図 7 において、REGIN 電圧の立ち上がり期間 tREGIN は、数 100 msec となっている。すなわち、図 7 は、REGIN 電圧が緩やかに立ち上がる場合を示している。前記したように、REGIN 電圧の立ち上がりとともに、基準電圧 VREF も同様に立ち上がり、この基準電圧 VREF が所定の電圧に達した場合に、VCC2V 電圧が出力し始めている。このとき、第 1 リセット回路 21 が、最初に VCC2V 電圧の立ち上がりを検出して、RST1 信号が“L”レベルに確定される。

20

【0101】

次に、RST2 信号は、REGIN 電圧の立ち上がりによって“H”レベルで出力され、REGIN 電圧が所定電圧（例えば約 4.0V）に達した際に、これを検出して、時定数 $R4R3C2 / (R4 + R3)$ による遅延時間が経過した後に“L”レベルに変更される。このときに、P-RST 信号は“H”となり、リセットが解除される。このように、REGIN 電圧の立ち上がりが緩やかな場合には、第 2 リセット回路 22 が有効に働いている。

30

【0102】

なお、本実施形態では、電源電圧の立ち上がりに対して、第 1 リセット回路 21 および第 2 リセット回路 22 の誤動作を起こさないように、それぞれの回路における動作範囲が重なるように設計している。すなわち、第 1 リセット回路 21 は、tREGIN 期間が数 μ sec から数 msec までの範囲で動作し、第 2 リセット回路 22 は、tREGIN 期間が数 100 μ sec から数 100 msec 以上の範囲で動作するように設定している。回路の切り切りは tREGIN 期間が数 100 μ sec から数 msec となる時点とし、その範囲では、両方の回路が動作することになるが、第 2 リセット回路 22 の方を優先するものとしている。

【0103】

次に、図 1 において、NAND 回路 24 に入力される RSTB 信号について説明する。この RSTB 信号（第 3 リセット信号）は、外部から入力されるリセット信号であり、論理“L”をアクティブとする信号である。本実施形態に係る半導体回路装置が、非接触型および接触型を兼用した IC カードであるコンビネーションカードに用いられる場合、RSTB 信号は、接触型の外部端子から入力されるリセット信号に相当することになる。

40

【0104】

本実施形態では、図 1 に示す構成からわかるように、外部からのリセット信号である RSTB 信号が、RST1 信号および RST2 信号よりも優先度が高くなるように設定している。しかしながら、適用する IC カードの仕様に合わせて、これらの信号の優先順位を適宜変更してもよい。この優先順位を変更するには、NAND 回路 24 に相当する回路を変

50

更することによって対応することが可能である。

【 0 1 0 5 】

外部からのリセット信号を最優先とした場合、本実施形態におけるパワーオンリセット回路 1 8 を用いた IC カードとして用いた場合、リセット動作は、外部端子からのリセット信号入力によって即座に応答することになり、リーダライタ装置を含む周辺の電磁波の影響を除外することが可能となる。

【 0 1 0 6 】

次に、前記において課題として挙げている、消費電流の増大に対する対策について説明する。非接触型 IC カードシステムにおいては、IC カードに供給される電源は比較的小さい容量となっている。この場合、消費電流が増大すると、電源電圧レベルが下降する可能性
10 がある。したがって、例えば非接触型の IC カード内に大容量の不揮発性メモリを設け、大きな電力を必要とする書き込みあるいは消去動作を行う場合にも、リセット信号の誤動作を防止する手段が必要となる。

【 0 1 0 7 】

図 4 は、このようなリセット信号の誤動作を防止する手段を備えた第 2 リセット回路 2 2 の構成例を示している。この第 2 リセット回路 2 2 は、図 3 に示す第 2 リセット回路 2 2 の構成と比較して、分割抵抗 $R_3 \cdot R_4$ および容量 C_2 から比較回路 2 8 の (+) 端子までの間に、抵抗 R_5 を挿入するとともに、比較回路 2 8 の出力から (+) 端子に対して抵抗 R_6 による正方向のフィードバックをかけている点で異なっており、その他の構成は同様
20 となっている。このような回路は、ヒステリシスコンパレータと呼ばれるものであり、第 2 リセット回路 2 2 にヒステリシス特性を与えるのに都合がよいものである。

【 0 1 0 8 】

抵抗 $R_5 \cdot R_6$ およびオペアンプから構成されるヒステリシスコンパレータの構成を図 8 (a) に、このヒステリシスコンパレータの動作波形を図 8 (b) にそれぞれ示す。図 8 (a) において、 V_r は、オペアンプの (+) 端子に入力される電圧を示し、 V_{in} は、(-) 端子に入力される電圧を示し、 V_{out} は、オペアンプからの出力を示している。また、図 8 (b) において、横軸は V_{in} を示し、縦軸は V_{out} を示している。

【 0 1 0 9 】

V_{in} の上限電圧 V_H および下限電圧 V_L は、次の式によって示される。

$$V_H = R_5 / (R_5 + R_6) * (V_{outH} - V_r) + V_r \quad (1)$$

$$V_L = R_5 / (R_5 + R_6) * (V_{outL} - V_r) + V_r \quad (2)$$

上式のように、抵抗 $R_5 \cdot R_6$ の設定によって、ヒステリシス動作電圧の上限電圧 V_H および下限電圧 V_L を決定することが可能となる。

【 0 1 1 0 】

図 4 に示す構成のように、このヒステリシスコンパレータを、図 1 に示すパワーオンリセット回路 1 8 において、電源電圧となる REG IN 電圧を直接検出する第 2 リセット回路 2 2 に適用することによって、電源電圧が微小変動する場合に、これに効果的に対応することが
30 できる。

【 0 1 1 1 】

すなわち、図 8 (b) に示すように、このヒステリシスコンパレータは、 V_{in} が上昇している際には、上限電圧 V_H において出力電圧が V_{outH} から V_{outL} に変化する一方、 V_{in} が下降する際には、下限電圧 V_L において出力電圧が V_{outL} から V_{outH} に変化するようになる。つまり、REG IN 電圧の立ち上がり時には、上限電圧 V_H に対応する電圧となった時点で RST 2 信号が “ H ” から “ L ” へ変化する一方、過大な消費電流が生じるなどの理由によって REG IN 電圧が下がった場合は、REG IN 電圧が
40 下限電圧 V_L に対応する電圧となるまで、RST 2 信号は変化しないことになる。

【 0 1 1 2 】

図 9 は、第 2 リセット回路 2 2 を図 4 に示すような構成とした場合の各信号の動作波形を示している。なお、この図 9 は、半導体回路装置内で過大な消費電流が発生した場合のリセット回路動作時の動作例を示している。図中、(1) から (2) の間の期間で過大な消
50

費電流が発生したものとし、これにより、REGIN電圧値が下がっている。

【0113】

ここで、REGIN電圧が立ち上がったことを検出する電圧を4.0Vとしているものとし、上記のREGIN電圧の下降が4.0Vを下回ったとすると、図3に示す第2リセット回路22の場合には、RST2信号が“L”から“H”へ変化する誤作動を起こすことになる。

【0114】

これに対して、図4に示す第2リセット回路22の場合には、オペアンプの入力部にヒステリシスを与えることによってREGIN電圧の変動を吸収することができるので、パワーオンリセット回路18の誤動作を防止することが可能となる。

10

【0115】

このような構成によれば、大電流消費による電源電圧降下に伴うリセット回路の誤動作が防止されるので、半導体回路装置に、大電流を消費する大容量不揮発性メモリを搭載することが可能となり、複数のアプリケーションソフトを格納した多目的ICカードを実現することが可能となる。

【0116】

本実施形態では、非接触型のICカードに対してRF給電を行うための半導体回路装置について説明したが、ICカード以外にも、RF給電を行うシステムであれば、本発明を適用することが可能である。また、荷物に取り付けるタグとの間で、非接触で情報をやり取りする非接触タグシステムなどにも適用することが可能である。

20

【0117】

【発明の効果】

以上のように、本発明に係るパワーオンリセット回路は、外部の電力供給源から電磁誘導により非接触で電源電圧を取得し、この電源電圧を所定の電圧に変換して、論理演算を行うロジック部に供給するシステムに設けられ、上記システムのリセット状態を制御するリセット信号を生成するパワーオンリセット回路において、上記ロジック部に供給される電圧の値を検出して第1リセット信号を生成する第1リセット回路と、上記外部の電力供給源から取得した電源電圧を整流する整流回路の出力電圧を検出して第2リセット信号を生成する第2リセット回路と、上記第1リセット信号および上記第2リセット信号のいずれか一方を上記リセット信号として出力するリセット信号出力回路とを備えている構成である。

30

【0118】

これにより、電源電圧が急峻に立ち上がる場合、および緩やかに立ち上がる場合のどちらにおいても、システムのリセット状態を的確に制御することが可能なパワーオンリセット回路を提供することができるという効果を奏する。

【0119】

また、本発明に係るパワーオンリセット回路は、上記第1リセット回路が、電源電圧を整流する整流回路の出力電圧から所定の電圧に変換するレギュレータ回路において用いられる基準電圧と、上記ロジック部に供給される電圧とを比較する比較回路を備え、この比較回路の出力に基づいて、上記第1リセット信号を生成する構成である。

40

【0120】

これにより、上記の構成による効果に加えて、ロジック部に供給される電圧の立ち上がりを、比較的簡単な構成によって、的確に検出することが可能となるという効果を奏する。

【0121】

また、本発明に係るパワーオンリセット回路は、上記ロジック部に供給される電圧が、遅延回路を介して上記比較回路に入力される構成である。

【0122】

これにより、上記の構成による効果に加えて、ロジック部に供給される電圧の立ち上がりは、実際の立ち上がりから遅延回路による遅延時間の後に検出されることになる。したがって、この遅延時間を、システムを初期化するのに必要とされる時間が得られるように設

50

定することによって、システムを起動する際の誤動作を防止することが可能となるという効果を奏する。

【 0 1 2 3 】

また、本発明に係るパワーオンリセット回路は、上記第2リセット回路が、電源電圧を整流する整流回路の出力電圧から所定の電圧に変換するレギュレータ回路において用いられる基準電圧と、上記整流回路の出力電圧とを比較する比較回路を備え、この比較回路の出力に基づいて、上記第2リセット信号を生成する構成である。

【 0 1 2 4 】

これにより、上記の構成による効果に加えて、整流回路の出力電圧の立ち上がりを、比較的簡単な構成によって、的確に検出することが可能となるという効果を奏する。

10

【 0 1 2 5 】

また、本発明に係るパワーオンリセット回路は、上記整流回路の出力電圧が、遅延回路を介して上記比較回路に入力される構成である。

【 0 1 2 6 】

これにより、上記の構成による効果に加えて、整流回路の出力電圧の立ち上がりは、実際の立ち上がりから遅延回路による遅延時間の後に検出されることになる。したがって、この遅延時間を、システムを初期化するのに必要とされる時間が得られるように設定することによって、システムを起動する際の誤動作を防止することが可能となるという効果を奏する。

【 0 1 2 7 】

20

また、本発明に係るパワーオンリセット回路は、上記リセット信号出力回路が、上記第1リセット信号および上記第2リセット信号の両方がリセット状態を解除する旨の信号となった時点で、システムのリセット状態を解除する旨のリセット信号を出力する構成である。

【 0 1 2 8 】

これにより、上記の構成による効果に加えて、電源電圧の立ち上がりが急峻な場合、および緩やかな場合の両方において、システムのリセット状態を的確に制御することが可能なパワーオンリセット回路を提供することができるという効果を奏する。

【 0 1 2 9 】

また、本発明に係るパワーオンリセット回路は、上記第2リセット回路が、上記整流回路の出力電圧の変動に対してヒステリシス特性を有する構成である。

30

【 0 1 3 0 】

これにより、上記の構成による効果に加えて、大電流消費による電源電圧降下に伴うリセットの誤動作を防止することが可能となるので、このような大電流を消費する大容量不揮発性メモリを搭載するシステムを構築することが可能となるという効果を奏する。

【 0 1 3 1 】

また、本発明に係るパワーオンリセット回路は、上記システムが、外部の電力供給源から接触型の電力供給をも行うとともに、上記リセット信号出力回路が、上記第1リセット信号、上記第2リセット信号、および、上記接触型の電力供給に伴って入力される第3リセット信号のいずれか一方を上記リセット信号として出力する構成である。

40

【 0 1 3 2 】

これにより、上記の構成による効果に加えて、非接触型、および接触型のどちらの方式で電力が供給されても、システムのリセット状態を的確に制御することが可能なパワーオンリセット回路を提供することができるという効果を奏する。

【 0 1 3 3 】

また、本発明に係るパワーオンリセット回路は、上記リセット信号出力回路が、上記第3リセット信号が入力されている際には、該第3リセット信号を最優先してリセット信号として出力する構成である。

【 0 1 3 4 】

これにより、上記の構成による効果に加えて、周囲の電磁波の影響を受けることなく、的

50

確に接触型の電力供給に対応したリセット動作を行うことが可能となるという効果を奏する。

【 0 1 3 5 】

また、本発明に係るＩＣカードは、上記のパワーオンリセット回路を備えた構成である。

【 0 1 3 6 】

これにより、例えば、外部の電力供給源からの電力供給が安定しない非接触型ＩＣカードにおいても、ＩＣカード内の各種機能ブロックに対して、的確にリセット動作を制御することが可能となる。したがって、安定動作が保証されたＩＣカードを実現することができるという効果を奏する。

【図面の簡単な説明】

10

【図 1】本発明の一実施形態に係る半導体回路装置が備えるパワーオンリセット回路の概略構成を示すブロック図である。

【図 2】上記パワーオンリセット回路が備える第 1 リセット回路の概略構成を示すブロック図である。

【図 3】上記パワーオンリセット回路が備える第 2 リセット回路の概略構成を示すブロック図である。

【図 4】上記第 2 リセット回路にヒステリシスコンパレータを適用した場合の概略構成を示すブロック図である。

【図 5】上記半導体回路装置の概略構成を示すブロック図である。

【図 6】ＲＥＧＩＮ電圧が急峻に立ち上がる場合の、各信号の動作波形を示す説明図である。

20

【図 7】ＲＥＧＩＮ電圧が緩やかに立ち上がる場合の、各信号の動作波形を示す説明図である。

【図 8】同図（ a ）は、ヒステリシスコンパレータの概略構成を示す回路図であり、同図（ b ）は、ヒステリシスコンパレータの動作波形を示す説明図である。

【図 9】大電流が消費される場合に、ヒステリシスコンパレータを適用した第 2 リセット回路を用いた場合の、各信号の動作波形を示すブロック図である。

【図 10】従来の半導体装置回路の概略構成を示すブロック図である。

【図 11】ＲＥＧＩＮ電圧が急峻に立ち上がる場合の、ＲＥＧＩＮ電圧およびＶＣＣ２Ｖ電圧の波形を示す説明図である。

30

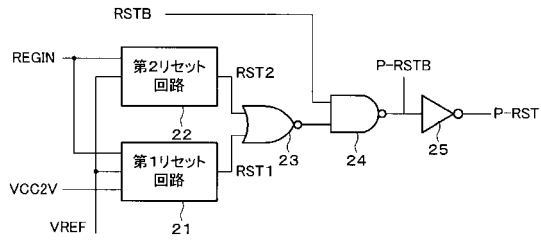
【図 12】ＲＥＧＩＮ電圧が緩やかに立ち上がる場合の、ＲＥＧＩＮ電圧およびＶＣＣ２Ｖ電圧の波形を示す説明図である。

【符号の説明】

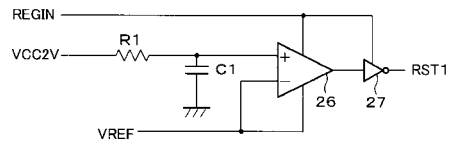
- 1 A R F 部
- 1 B ロジック部
- 2 C P U
- 8 不揮発性メモリ部
- 9 電圧制御回路部
- 1 3 アンテナコイル
- 1 4 整流回路
- 1 5 変調回路
- 1 6 復調回路
- 1 7 クロック抽出回路
- 1 8 パワーオンリセット回路
- 2 1 第 1 リセット回路
- 2 2 第 2 リセット回路
- 2 6 ・ 2 8 比較回路

40

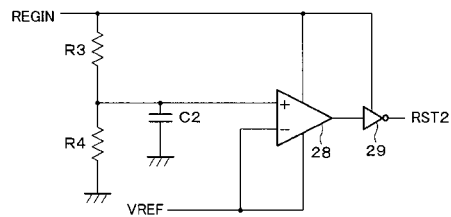
【図 1】



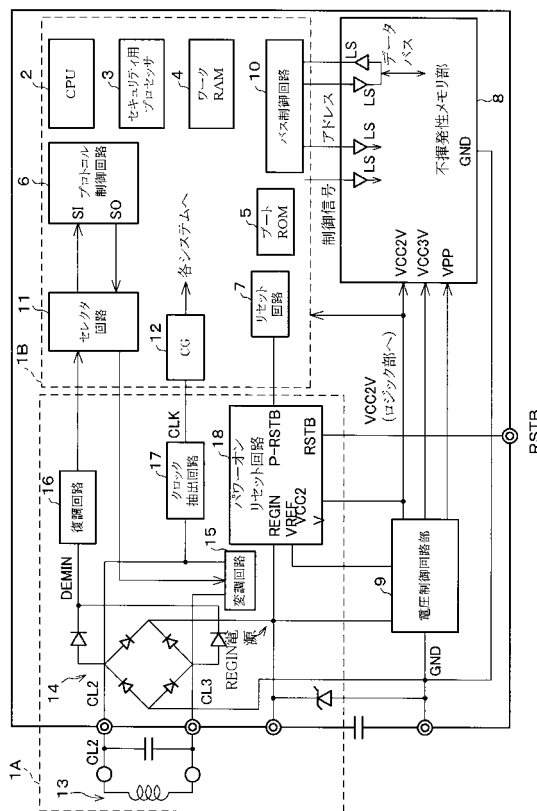
【図 2】



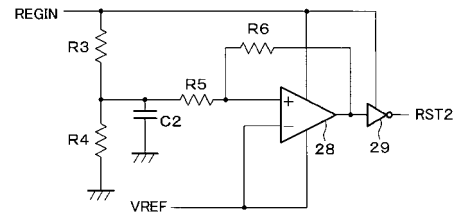
【図 3】



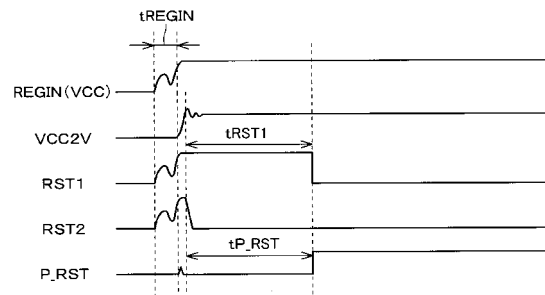
【図 5】



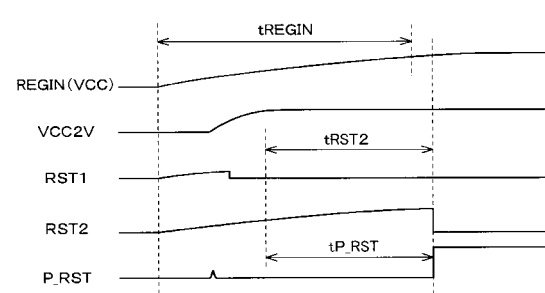
【図 4】



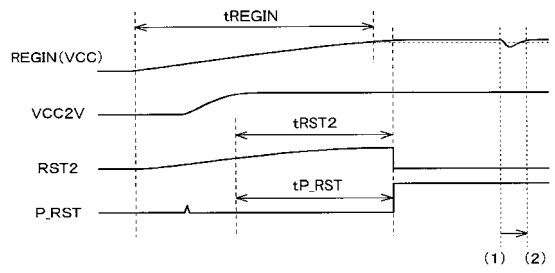
【図 6】



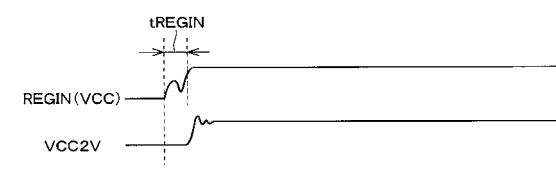
【図 7】



【 図 9 】



【 図 1 1 】



フロントページの続き

- (56)参考文献 特開平06-004181(JP,A)
特開平10-269327(JP,A)
特開平04-265012(JP,A)
特開平10-162108(JP,A)
特開平08-077318(JP,A)
特開平09-305736(JP,A)
特開平10-078834(JP,A)
特開昭64-047125(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G06K 17/00-19/18