(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3565984号
(P3565984)
(45)発行日　平成16年9月15日(2004.9.15)　(24)登録日　平成16年6月18日(2004.6.18)

(51)Int.Cl.[7]	F I		
H03K 3/037	H03K	3/037	Z
H03K 3/356	H03K	3/356	Z

請求項の数 7　(全 29 頁)

(21)出願番号　特願平8-119005
(22)出願日　平成8年5月14日(1996.5.14)
(65)公開番号　特開平9-307409
(43)公開日　平成9年11月28日(1997.11.28)
審査請求日　平成15年1月22日(2003.1.22)

(73)特許権者　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目２番３号
(74)代理人　100089233
弁理士　吉田　茂明
(74)代理人　100088672
弁理士　吉竹　英俊
(74)代理人　100088845
弁理士　有田　貴弘
(72)発明者　上田　公大
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
(72)発明者　森中　浩之
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内

最終頁に続く

(54)【発明の名称】データ保持回路およびバッファ回路

(57)【特許請求の範囲】
【請求項１】
第１および第２の信号入力端子と、
第１および第２のクロック端子と、
第１の導電型であり、自身の制御端子がそれぞれ前記第２のクロック端子に接続され、自身の第１の電流電極がそれぞれ前記第１および第２の信号入力端子に接続された第１および第２のトランジスタと、
前記第１の導電型であり、自身の制御端子がそれぞれ前記第１のクロック端子に接続され、自身の第１の電流電極がそれぞれ前記第１および第２のトランジスタの第２の電流電極に接続された第３および第４のトランジスタと、
前記第２のトランジスタの前記第２の電流電極および前記第３のトランジスタの第２の電流電極に自身の入力端子および出力端子がそれぞれ接続された第１の信号反転回路と、
前記第１のトランジスタの前記第２の電流電極および前記第４のトランジスタの第２の電流電極に自身の入力端子および出力端子がそれぞれ接続された第２の信号反転回路と、
前記第２の信号反転回路の前記入力端子に自身の制御端子が接続され、前記第１の信号反転回路の前記入力端子に自身の第１の電流電極が接続され、第１の定電位端子に自身の第２の電流電極が接続された、第２の導電型の第５のトランジスタと、
前記第１および第２の信号反転回路の前記出力端子にそれぞれ接続された第１および第２の信号出力端子と
を備え、

第１および第２の電位は、２値論理の互いに異なる論理をそれぞれ含みつつ互いに隔離された第１および第２の電位帯にそれぞれ存在し、
前記第１および第２の信号入力端子には前記第１および第２の電位が互いに排他的に与えられ、
前記第１および第２のクロック端子には前記第１および第２の電位帯に存在する電位がそれぞれ互いに排他的に与えられ、
前記第１の導電型であるトランジスタは、自身の前記制御端子に前記第１および第２の電位帯に存在する電位が与えられることによってそれぞれオン，オフし、
前記第２の導電型であるトランジスタは、自身の前記制御端子に前記第１および第２の電位帯に存在する電位が与えられることによってそれぞれオフ，オンし、
前記第１の定電位端子は、前記第２の電位と前記第１の電位との電位差以上の電位差を前記第２の電位との間に有するデータ保持回路。
【請求項２】
上記第１の信号反転回路の上記入力端子に自身の制御端子が接続され、上記第２の信号反転回路の上記入力端子に自身の第１の電流電極が接続され、第２の定電位端子に自身の第２の電流電極が接続された上記第２の導電型の第６のトランジスタ
をさらに備え、
前記第２の定電位端子は、上記第２の電位と上記第１の電位との電位差以上の電位差を前記第２の電位との間に有する、請求項１に記載のデータ保持回路。
【請求項３】
請求項２に記載のデータ保持回路を第１および第２のデータ保持回路として備え、
前記第２のデータ保持回路の上記第１および第２の信号入力端子は、前記第１のデータ保持回路の上記第１および第２の信号出力端子にそれぞれ接続され、
前記第１のデータ保持回路の上記第１のクロック端子と前記第２のデータ保持回路の上記第２のクロック端子とが接続され、該第１のデータ保持回路の上記第２のクロック端子と該第２のデータ保持回路の上記第１のクロック端子とが接続されたデータ保持回路。
【請求項４】
互いに異なることによって２値論理を与える第１および第２の電位のうちのいずれか一方が選択的に与えられる信号入力端子と、
自身の制御端子が前記信号入力端子にそれぞれ接続され、自身のそれぞれの第１の電流電極が互いに接続され、自身の第２の電流電極がそれぞれ前記第１および第２の電位をそれぞれ与える第１および第２の電位端子に接続された、第１の導電型である第１のトランジスタおよび第２の導電型である第２のトランジスタを含んでなる第１のインバータと、
自身の制御端子が前記信号入力端子に接続され、自身の第１の電流電極が抵抗体を介して前記第２の電位を与える第３の電位端子に接続され、自身の第２の電流電極が前記第１の電位を与える第４の電位端子に接続された、前記第２の導電型である第３のトランジスタを含んでなるソースフォロワ回路と、
前記第３のトランジスタの前記第１の電流電極および前記第１のトランジスタの前記第１の電流電極にそれぞれ接続された、第１および第２の信号出力端子とを備え、
前記第１の導電型であるトランジスタは、自身の前記制御端子に前記第１および第２の電位が与えられることによってそれぞれオフ，オンし、
前記第２の導電型であるトランジスタは、自身の前記制御端子に前記第１および第２の電位が与えられることによってそれぞれオン，オフする
バッファ回路。
【請求項５】
上記抵抗体は、
自身の制御端子に上記第１の電位が与えられており、自身の第１の電流電極が上記第３のトランジスタの上記第１の電流電極に接続され、自身の第２の電流電極が上記第３の電位端子に接続された、上記第２の導電型の第４のトランジスタである
請求項４に記載のバッファ回路。

【請求項６】
上記抵抗体は、
自身の制御端子が上記信号入力端子に接続され、自身の第１の電流電極が上記第３のトランジスタの上記第１の電流電極に接続され、自身の第２の電流電極が上記第３の電位端子に接続された、上記第１の導電型の第４のトランジスタである
請求項４に記載のバッファ回路。
【請求項７】
上記第２の信号出力端子に自身の入力端子が接続され、上記第１の信号出力端子に自身の出力端子が接続された第２のインバータをさらに含むことを特徴とする請求項５または６に記載のバッファ回路。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は半導体集積回路に関し、ＭＯＳトランジスタを用いたデータ保持回路である、ラッチ回路およびフリップフロップ回路に関する。さらに本発明は、データ保持回路へ信号を入力するために用いられるバッファ回路に関する。
【０００２】
【従来の技術】
図２４は、従来のラッチ回路を示す回路図である。同図においては、トランスミッションゲートＴＧ１～ＴＧ４、インバータゲートＩＮＶ１，ＩＮＶ２、第１および第２のデータ入力端子ＤＩ，ＤＩＢ、第１および第２のクロック入力端子ＣＫ，ＣＫＢ、ならびに第１および第２のデータ出力端子ＤＯ，ＤＯＢからなるラッチ回路が示されている。
【０００３】
ラッチ回路を構成する素子について説明を行う。トランスミッションゲートＴＧ１～ＴＧ４はそれぞれ、互いに並列に接続されたＰＭＯＳトランジスタとＮＭＯＳトランジスタとからなり、それぞれのトランジスタのソース電極とドレイン電極とがそれぞれ共通に接続されることによって自身の二つの電流電極が構成されている。トランスミッションゲートＴＧ１，ＴＧ２のそれぞれのＰＭＯＳトランジスタのゲート電極およびトランスミッションゲートＴＧ３，ＴＧ４のそれぞれのＮＭＯＳトランジスタのゲート電極は、第１のクロック入力端子ＣＫに共通に接続されている。また、トランスミッションゲートＴＧ１，ＴＧ２のそれぞれのＮＭＯＳトランジスタのゲート電極およびトランスミッションゲートＴＧ３，ＴＧ４のそれぞれのＰＭＯＳトランジスタのゲート電極は、第２のクロック入力端子ＣＫＢに共通に接続されている。
【０００４】
第１のデータ入力端子ＤＩは、トランスミッションゲートＴＧ１の一方の電流電極に接続されている。トランスミッションゲートＴＧ１の他方の電流電極は、インバータゲートＩＮＶ２の入力端子と、トランスミッションゲートＴＧ３を介してインバータゲートＩＮＶ１の出力端子とに接続されている。
【０００５】
同様に、第２のデータ入力端子ＤＩＢは、トランスミッションゲートＴＧ２の一方の電流電極に接続されている。トランスミッションゲートＴＧ２の他方の電流電極は、インバータゲートＩＮＶ１の入力端子と、トランスミッションゲートＴＧ４を介してインバータゲートＩＮＶ２の出力端子とに接続されている。さらに、インバータゲートＩＮＶ１，ＩＮＶ２の出力端子はそれぞれ、第１のデータ出力端子ＤＯおよび第２のデータ出力端子ＤＯＢに接続されている。
【０００６】
次に、ラッチ回路に入力される信号について説明を行う。第１のデータ入力端子ＤＩおよび第２のデータ入力端子ＤＩＢには、Ｈレベル（ハイレベルであり、第１の電源ＶＤＤの電圧レベルである）およびＬレベル（ロウレベルであり、第２の電源ＧＮＤの電圧レベルである）の信号が、互いに排他的に入力される。互いに異なるＨレベルおよびＬレベルの

信号は、二値論理において互いに逆の論理を表す電圧レベルの信号である。

【０００７】

ここで、第１および第２のデータ入力端子ＤＩ，ＤＩＢに入力されるデータ信号が、それぞれＨレベルおよびＬレベルであるデータの組み合わせを、第１のデータＤＡＴＡ１として参照する。同様に、第１および第２のデータ入力端子ＤＩ，ＤＩＢに入力されるデータ信号が、それぞれＬレベルおよびＨレベルであるデータの組み合わせを、第２のデータＤＡＴＡ２として参照する。

【０００８】

同様に、第１のクロック入力端子ＣＫおよび第２のクロック入力端子ＣＫＢにも、Ｈレベルおよびレベルの信号が、互いに排他的に入力される。

【０００９】

ここで、第１および第２のクロック入力端子ＣＫ，ＣＫＢに入力されるクロック信号が、それぞれＨレベルおよびＬレベルであるデータの組み合わせを、第１のクロック入力状態ＣＬＫ１として参照する。同様に、第１および第２のクロック入力端子ＣＫ，ＣＫＢに入力されるクロック信号が、それぞれＬレベルおよびＨレベルであるデータの組み合わせを、第２のクロック入力状態ＣＬＫ２として参照する。

【００１０】

ラッチ回路は上述のように接続されて構成されているので、トランスミッションゲートＴＧ１，ＴＧ２が揃いの一組となり、またトランスミッションゲートＴＧ３，ＴＧ４が揃いの一組となって、互いの組同士で排他的に導通および非導通の状態を採る。

【００１１】

ラッチ回路の一連の回路動作について、以下に説明を行う。ラッチ回路の回路動作（１）～（４）を決定する信号の設定の状態は以下に示されるものである。信号設定の番号と回路動作の番号とがそれぞれ対応している。

【００１２】

信号設定（１）

第１のクロック入力状態ＣＬＫ１であって、第１のデータＤＡＴＡ１が入力される。

【００１３】

信号設定（２）

第２のクロック入力状態ＣＬＫ２であって、第１のデータＤＡＴＡ１が入力される。

【００１４】

信号設定（３）

第１のクロック入力状態ＣＬＫ１であって、第２のデータＤＡＴＡ２が入力される。

【００１５】

信号設定（４）

第２のクロック入力状態ＣＬＫ２であって、第２のデータＤＡＴＡ２が入力される。

【００１６】

図２５（ａ）～（ｃ）は、一連の信号設定（１）～（４）に応ずるラッチ回路の回路動作（１）～（４）のタイミングチャートを示す波形図である。図２５（ａ）は第１および第２のデータ入力端子ＤＩ，ＤＩＢの、図２５（ｂ）は第１および第２のクロック入力端子ＣＫ，ＣＫＢの、図２５（ｃ）は第１および第２のデータ出力端子ＤＯ，ＤＯＢの、それぞれの信号のレベルを示している。これらの図を用いて以下に示されるように、ラッチ回路は、第１および第２のデータ入力端子ＤＩ，ＤＩＢに与えられたデータ信号をクロック信号に同期して取り込み、クロック信号の半周期分だけ位相をずらして出力する機能を持つ。

【００１７】

１．ラッチ回路の回路動作（１）

トランスミッションゲートＴＧ１，ＴＧ２はオフし、トランスミッションゲートＴＧ３，ＴＧ４がオンしている。従って、第１および第２のデータ入力端子ＤＩ，ＤＩＢにそれぞれ入力されるＨ，Ｌレベルのそれぞれの信号は、ラッチ回路の内部には取り込まれない。

【００１８】
２．ラッチ回路の回路動作（２）
トランスミッションゲートＴＧ１，ＴＧ２はオンし、トランスミッションゲートＴＧ３，ＴＧ４はオフしている。
【００１９】
第１のデータ入力端子ＤＩに与えられたＨレベルの信号は、トランスミッションゲートＴＧ１を介してインバータゲートＩＮＶ２に与えられる。これに応じて、インバータゲートＩＮＶ２は第２のデータ出力端子ＤＯＢを介してＬレベルの信号を出力する。同様に、インバータゲートＩＮＶ１は、第２のデータ入力端子ＤＩＢに与えられたＬレベルの信号をトランスミッションゲートＴＧ２を介して受け、第１のデータ出力端子ＤＯを介してＨレベルの信号を出力する。よって第１および第２のデータ出力端子ＤＯ，ＤＯＢは第１のデータＤＡＴＡ１を出力する。
【００２０】
３．ラッチ回路の回路動作（３）
トランスミッションゲートＴＧ１，ＴＧ２はオフし、トランスミッションゲートＴＧ３，ＴＧ４はオンしている。従って、第１および第２のデータ入力端子ＤＩ，ＤＩＢとインバータゲートＩＮＶ2，ＩＮＶ1のそれぞれの入力端子とは、オフしているトランスミッションゲートＴＧ１，ＴＧ２によってそれぞれ隔離される。すなわち、第１および第２のデータ入力端子ＤＩ，ＤＩＢにおいては第２のデータＤＡＴＡ２が入力されている状態にあるが、インバータゲートＩＮＶ１，ＩＮＶ２およびそれぞれオンしているトランスミッションゲートＴＧ３，ＴＧ４によって構成されるループにおいて、インバータゲートＩＮＶ１，ＩＮＶ２のそれぞれの入力端子にＬレベルおよびＨレベルの信号がそれぞれ入力され続けるので、第１のデータＤＡＴＡ１が出力され続ける。
【００２１】
４．ラッチ回路の回路動作（４）
トランスミッションゲートＴＧ１，ＴＧ２がオンし、インバータゲートＩＮＶ１，ＩＮＶ２はそれぞれ、第２および第１のデータ入力端子ＤＩＢ，ＤＩと導通している。インバータゲートＩＮＶ１，ＩＮＶ２はそれぞれ、ＨレベルおよびＬレベルの信号を入力され、第１および第２のデータ出力端子ＤＯ，ＤＯＢを介してＬレベルの信号およびＨレベルの信号を出力する。よって第１および第２のデータ出力端子ＤＯ，ＤＯＢは、第２のデータＤＡＴＡ２を出力する。
【００２２】
以後、同様にして第１および第２のクロック状態ＣＬＫ１，ＣＬＫ２が交互に繰り返されて、第３のデータＤＡＴＡ３もクロック半周期分ずれてラッチ回路を伝達する。
【００２３】
次に、図２４に示されるラッチ回路を２段接続することによって得られる、従来のフリップフロップ回路について説明を行う。図２６は、ＩＥＩＣＥ　ＴＲＡＮＳＡＣＴＩＯＮＳ　ｏｎ　Ｅｌｅｃｔｒｏｎｉｃｓ，ｖｏｌ．Ｅ７８－Ｃ，Ｎｏ．１２，Ｄｅｃｅｍｂｅｒ　１９９５，ｐｐ．１７４６－１７５３に記載されているフリップフロップ回路を示す回路図である。
【００２４】
同図に示されるフリップフロップ回路は、トランスミッションゲートＴＧ１～ＴＧ８、インバータゲートＩＮＶ１～ＩＮＶ４、第１および第２のデータ入力端子ＤＩ，ＤＩＢ、第１および第２のクロック入力端子ＣＫ，ＣＫＢ、ならびに第１および第２のデータ出力端子ＤＯ，ＤＯＢからなる。
【００２５】
２つのラッチ回路を互いに接続する方法について以下に説明を行う。図２６に示されるように、前段のラッチ回路はトランスミッションゲートＴＧ１～ＴＧ４、インバータゲートＩＮＶ１，ＩＮＶ２を含む回路であり、それぞれの素子の接続は図２４に示されるラッチ回路と同一である。また、後段のラッチ回路は、トランスミッションゲートＴＧ５～ＴＧ

８、インバータゲートＩＮＶ３，ＩＮＶ４を含む回路であり、それぞれがトランスミッションゲートＴＧ１～ＴＧ４、インバータゲートＩＮＶ１，ＩＮＶ２に順に対応するように接続されている。

【００２６】

前段のラッチ回路の第１のデータ出力端子および第２のデータ出力端子は、後段のラッチ回路の第１のデータ入力端子および第２のデータ入力端子にそれぞれ接続されている。前段のラッチ回路の第１のデータ入力端子ＤＩおよび第２のデータ入力端子ＤＩＢがそれぞれ、フリップフロップ回路の第１のデータ入力端子ＤＩおよび第２のデータ入力端子ＤＩＢとなっている。

【００２７】

同様に、後段のラッチ回路の第１のデータ出力端子ＤＯおよび第２のデータ出力端子ＤＯＢはそれぞれ、フリップフロップ回路の第１のデータ出力端子ＤＯおよび第２のデータ出力端子ＤＯＢとなっている。

【００２８】

また、前段のラッチ回路の第１のクロック入力端子と後段のラッチ回路の第２のクロック入力端子とは共通に接続され、フリップフロップ回路の第１のクロック入力端子ＣＫとなっている。また、前段のラッチ回路の第２のクロック入力端子と後段のラッチ回路の第１のクロック入力端子とは共通に接続され、フリップフロップ回路の第２のクロック入力端子ＣＫＢとなっている。

【００２９】

フリップフロップ回路は以上のように構成されているので、トランスミッションゲートＴＧ１，ＴＧ２，ＴＧ７，ＴＧ８が同時にオン、オフし、これらとは排他的にトランスミッションゲートＴＧ３～ＴＧ６が同時にオフ、オンする。

【００３０】

次にフリップフロップ回路の動作について、前述の信号設定（１）～（４）を踏まえながら説明を行う。図２７（ａ）～（ｃ）は、フリップフロップ回路のタイミングチャートを示す波形図である。図２７（ａ）～（ｃ）はそれぞれ、図２５（ａ）～（ｃ）が示す信号と同一の信号を示す。

【００３１】

それぞれのクロック入力状態およびこれに対応するデータの入力状態は、それぞれの信号設定毎にラッチ回路においてもフリップフロップ回路においても同一である。よって、当然前段のラッチ回路の回路動作は前述のラッチ回路の回路動作と同一となる。従って、前段のラッチ回路については必要な部分以外の説明を省略し、後段のラッチ回路、および前段と後段とのラッチ回路からなるフリップフロップ回路に対して重点的に説明を行う。

【００３２】

１．フリップフロップ回路の回路動作（１）：信号設定（１）

トランスミッションゲートＴＧ１，ＴＧ２，ＴＧ７，ＴＧ８がオフし、トランスミッションゲートＴＧ３～ＴＧ６がオンしている。トランスミッションゲートＴＧ１，ＴＧ２がオフしているので、後段のラッチ回路には第１および第２のデータ入力端子ＤＩ，ＤＩＢのそれぞれの信号は伝わらない。

【００３３】

２．フリップフロップ回路の回路動作（２）：信号設定（２）

トランスミッションゲートＴＧ１，ＴＧ２，ＴＧ７，ＴＧ８がオンし、トランスミッションゲートＴＧ３～ＴＧ６がオフしている。

【００３４】

第１のデータ入力端子ＤＩに与えられたＨレベルの信号は、トランスミッションゲートＴＧ１を介してインバータゲートＩＮＶ２に与えられる。これに応じて、インバータゲートＩＮＶ２は後段のラッチ回路へとＬレベルの信号を出力する。しかし、トランスミッションゲートＴＧ６がオフしているので、インバータゲートＩＮＶ３の入力端子にはインバータゲートＩＮＶ２の出力信号は入力されない。

【００３５】
同様に、インバータゲートＩＮＶ１は、第２のデータ入力端子ＤＩＢに与えられたＬレベルの信号をトランスミッションゲートＴＧ２を介して受け、Ｈレベルの信号を出力するが、トランスミッションゲートＴＧ５がオフしているので、インバータゲートＩＮＶ４にはインバータゲートＩＮＶ１の出力信号は入力されない。
【００３６】
３．フリップフロップ回路の回路動作（３）：信号設定（３）
トランスミッションゲートＴＧ１，ＴＧ２，ＴＧ７，ＴＧ８はオフし、トランスミッションゲートＴＧ３～ＴＧ６はオンする。すなわち、後段のラッチ回路は、ラッチ回路の回路動作（２）の状態となっている。トランスミッションゲートＴＧ５，ＴＧ６がオンしているので、インバータゲートＩＮＶ１，ＩＮＶ２から出力されるＨレベル、Ｌレベルのそれぞれの信号は、インバータゲートＩＮＶ４，ＩＮＶ３へとそれぞれ入力される。従って、第１および第２のデータ出力端子ＤＯ，ＤＯＢは、第１のデータＤＡＴＡ１を出力する。
【００３７】
ラッチ回路においては、ラッチ回路の第１および第２のデータ出力端子ＤＯ，ＤＯＢの出力はラッチ回路の回路動作（２）において第１のデータＤＡＴＡ１を出力したので、フリップフロップ回路の出力はラッチ回路の出力に比べ、さらにクロック半周期分遅れていることが理解できる。
【００３８】
４．フリップフロップ回路の回路動作（４）：信号設定（４）
トランスミッションゲートＴＧ１，ＴＧ２，ＴＧ７，ＴＧ８がオンし、トランスミッションゲートＴＧ３～ＴＧ６がオフしている。後段のラッチ回路は、ラッチ回路の回路動作（３）の状態となっている。
【００３９】
後段のラッチ回路においては、トランスミッションゲートＴＧ５，ＴＧ６はオフし、トランスミッションゲートＴＧ７，ＴＧ８はオンしている。従って、インバータゲートＩＮＶ２，ＩＮＶ１のそれぞれの出力端子と、インバータゲートＩＮＶ３，ＩＮＶ４のそれぞれの入力端子とは、トランスミッションゲートＴＧ６，ＴＧ５によってそれぞれ隔離されている。
【００４０】
インバータゲートＩＮＶ３，ＩＮＶ４およびオンしているトランスミッションゲートＴＧ７，ＴＧ８によってループが構成される。このループにおいて、インバータゲートＩＮＶ３，ＩＮＶ４のそれぞれの入力端子にＬレベルおよびＨレベルの信号がそれぞれ入力され続けるので、第１および第２のデータ出力端子ＤＯ，ＤＯＢは、第１のデータＤＡＴＡ１を出力し続ける。
【００４１】
以後、同様にして第１および第２のクロック状態ＣＬＫ１，ＣＬＫ２が交互に繰り返されて、第３のデータＤＡＴＡ３もクロック１周期分ずれてフリップフロップ回路を伝達する。つまり、図２７（ｃ）と図２５（ｃ）とを比較して判るように、フリップフロップ回路はデータ入力端子に与えられたデータ信号をクロック信号に同期して取り込み、一時的に保持し、ラッチの回路の動作の２個分の位相をずらして出力する機能を持つ。
【００４２】
換言すると、フリップフロップ回路とラッチ回路とは共にデータ信号をクロック信号に同期して取り込み、位相をずらして出力するという同様の機能を持つ。しかし、フリップフロップ回路とラッチ回路とでは、データ信号を出力する位相がラッチ回路の動作１個分だけずれる。
【００４３】
図２８は、フリップフロップ回路またはラッチ回路にクロック信号またはデータ信号を与えるバッファ回路を示す。同図においては、信号入力端子ＣＩＮと、これに自身の入力端子が接続されたインバータゲートＩＮＶ５と、インバータゲートＩＮＶ５の出力端子にイ

ンバータゲートＩＮＶ６を介して接続された第１の信号出力端子ＣＫＯと、インバータゲートＩＮＶ５の出力端子に接続された第２の信号出力端子ＣＫＯＢとからなるバッファ回路が示されている。

【００４４】

バッファ回路の回路動作について説明を行う。信号入力端子ＣＩＮにＨレベルの信号が与えられたときには、第１の信号出力端子ＣＫＯは２つのインバータゲートＩＮＶ５，ＩＮＶ６を介してＨレベルの信号を、また第２の信号出力端子ＣＫＯＢは１つのインバータゲートＩＮＶ５を介してＬレベルの信号をそれぞれ出力する。同様に、信号入力端子ＣＩＮにＬレベルの信号が与えられたときには、第１の信号出力端子ＣＫＯはＬレベルの信号を、また第２の信号出力端子ＣＫＯＢはＨレベルの信号をそれぞれ出力する。上記バッファ回路はこのように、入力信号に応じつつ互いに反転論理の関係にある二つの信号を生成する。

【００４５】

上述のフリップフロップ回路またはラッチ回路において、第１および第２のデータ入力端子ＤＩ，ＤＩＢ、または第１および第２のクロック入力端子ＣＫ，ＣＫＢにはそれぞれ、バッファ回路を介して信号が与えられる。バッファ回路をクロック信号用であるクロックバッファ回路として用いる場合には、フリップフロップ回路に用いるときには４個のＰＭＯＳトランジスタと４個のＮＭＯＳトランジスタとが、またラッチ回路に用いるときには２個のＰＭＯＳトランジスタと２個のＮＭＯＳトランジスタとが、クロックバッファ回路のそれぞれの出力端子に接続されることになる。

【００４６】

図２９（ａ）～（ｃ）は、バッファ回路のタイミングチャートを示す波形図である。図２９（ａ）～（ｃ）はそれぞれ、信号入力端子ＣＩＮならびに第２および第１の信号出力端子ＣＫＯＢ，ＣＫＯの信号のレベルが示されている。図２９（ｂ）および図２９（ｃ）には、インバータゲートＩＮＶ５のスイッチング遅延ｄ５と、インバータゲートＩＮＶ６のスイッチング遅延ｄ６とが示されている。

【００４７】

これらの図を用いて示されるように、信号入力端子ＣＩＮに信号が入力されてから、第２の信号出力端子ＣＫＯＢはスイッチング遅延ｄ５の後に、また第１の信号出力端子ＣＫＯはスイッチング遅延ｄ５＋ｄ６の後に、それぞれ信号を出力する。

【００４８】

【発明が解決しようとする課題】

従来のラッチ回路は上述したように、それぞれ対となってトランスミッションゲートを構成する４個のＰＭＯＳトランジスタと４個のＮＭＯＳトランジスタとを含んでいた。同様に、従来のフリップフロップ回路は、それぞれ対となってトランスミッションゲートを構成する８個のＰＭＯＳトランジスタと８個のＮＭＯＳトランジスタとを含んでいた。

【００４９】

このような構成によって、従来のラッチ回路およびフリップフロップ回路においては、回路の面積が大きくなるという問題点があった。

【００５０】

また、クロックバッファ回路の第１および第２の信号出力端子ＣＫＯ，ＣＫＯＢには、フリップフロップ回路にクロックバッファ回路がつながれる場合には、それぞれ４個のＰＭＯＳトランジスタと４個のＮＭＯＳトランジスタとが接続された。また、ラッチ回路につながれる場合には、クロックバッファ回路の第１および第２の信号出力端子ＣＫＯ，ＣＫＯＢには、それぞれ２個のＰＭＯＳトランジスタと２個のＮＭＯＳトランジスタとが接続されていた。

【００５１】

このため、クロックバッファ回路の出力端子の負荷容量が大きくなり、負荷容量の充放電の際にクロックバッファ回路が多量の電力を消費するという問題点があった。

【００５２】

さらに、従来のバッファ回路では、第１の信号出力端子ＣＫＯと第２の信号出力端子ＣＫＯＢとでは、信号入力端子ＣＩＮとの間に含まれるインバータゲートの数に違いがあり、それぞれから出力される信号の間で互いに遅延が生ずるという問題点があった。また、第１の信号出力端子ＣＫＯと信号入力端子ＣＩＮとの間には２段のインバータゲートが含まれるのでそれだけ遅延が生じ、これによる信号出力の遅れによってフリップフロップ回路やラッチ回路の動作速度が遅くなるという問題点があった。

【００５３】

本発明は以上の点に鑑み、回路面積が少なく、かつ信頼性も十分高いデータ保持回路を提供することを目的とする。さらに本発明は、出力される信号同士の間の同期がとれていて、出力される信号の遅延が少ないバッファ回路を提供することを目的とする。

【００５４】

【課題を解決するための手段】

請求項１に記載のデータ保持回路は、第１および第２の信号入力端子と、第１および第２のクロック端子と、第１の導電型であり、自身の制御端子がそれぞれ前記第２のクロック端子に接続され、自身の第１の電流電極がそれぞれ前記第１および第２の信号入力端子に接続された第１および第２のトランジスタと、前記第１の導電型であり、自身の制御端子がそれぞれ前記第１のクロック端子に接続され、自身の第１の電流電極がそれぞれ前記第１および第２のトランジスタの第２の電流電極に接続された第３および第４のトランジスタと、前記第２のトランジスタの前記第２の電流電極および前記第３のトランジスタの第２の電流電極に自身の入力端子および出力端子がそれぞれ接続された第１の信号反転回路と、前記第１のトランジスタの前記第２の電流電極および前記第４のトランジスタの第２の電流電極に自身の入力端子および出力端子がそれぞれ接続された第２の信号反転回路と、前記第２の信号反転回路の前記入力端子に自身の制御端子が接続され、前記第１の信号反転回路の前記入力端子に自身の第１の電流電極が接続され、第１の定電位端子に自身の第２の電流電極が接続された、第２の導電型の第５のトランジスタと、前記第１および第２の信号反転回路の前記出力端子にそれぞれ接続された第１および第２の信号出力端子とを備え、第１および第２の電位は、２値論理の互いに異なる論理をそれぞれ含みつつ互いに隔離された第１および第２の電位帯にそれぞれ存在し、前記第１および第２の信号入力端子には前記第１および第２の電位が互いに排他的に与えられ、前記第１および第２のクロック端子には前記第１および第２の電位帯に存在する電位がそれぞれ互いに排他的に与えられ、前記第１の導電型であるトランジスタは、自身の前記制御端子に前記第１および第２の電位帯に存在する電位が与えられることによってそれぞれオン，オフし、前記第２の導電型であるトランジスタは、自身の前記制御端子に前記第１および第２の電位帯に存在する電位が与えられることによってそれぞれオフ，オンし、前記第１の定電位端子は、前記第２の電位と前記第１の電位との電位差以上の電位差を前記第２の電位との間に有する。

【００５５】

請求項２に記載のデータ保持回路は、請求項１に記載のデータ保持回路であり、上記第１の信号反転回路の上記入力端子に自身の制御端子が接続され、上記第２の信号反転回路の上記入力端子に自身の第１の電流電極が接続され、第２の定電位端子に自身の第２の電流電極が接続された上記第２の導電型の第６のトランジスタをさらに備え、前記第２の定電位端子は、上記第２の電位と上記第１の電位との電位差以上の電位差を前記第２の電位との間に有する。

【００５６】

請求項３に記載のデータ保持回路は、請求項２に記載のデータ保持回路を第１および第２のデータ保持回路として備え、前記第２のデータ保持回路の上記第１および第２の信号入力端子は、前記第１のデータ保持回路の上記第１および第２の信号出力端子にそれぞれ接続され、前記第１のデータ保持回路の上記第１のクロック端子と前記第２のデータ保持回路の上記第２のクロック端子とが接続され、該第１のデータ保持回路の上記第２のクロック端子と該第２のデータ保持回路の上記第１のクロック端子とが接続されている。

【００５７】
請求項４に記載のバッファ回路は、互いに異なることによって２値論理を与える第１および第２の電位のうちのいずれか一方が選択的に与えられる信号入力端子と、自身の制御端子が前記信号入力端子にそれぞれ接続され、自身のそれぞれの第１の電流電極が互いに接続され、自身の第２の電流電極がそれぞれ前記第１および第２の電位をそれぞれ与える第１および第２の電位端子に接続された、第１の導電型である第１のトランジスタおよび第２の導電型である第２のトランジスタを含んでなる第１のインバータと、自身の制御端子が前記信号入力端子に接続され、自身の第１の電流電極が抵抗体を介して前記第２の電位を与える第３の電位端子に接続され、自身の第２の電流電極が前記第１の電位を与える第４の電位端子に接続された、前記第２の導電型である第３のトランジスタを含んでなるソースフォロワ回路と、前記第３のトランジスタの前記第１の電流電極および前記第１のトランジスタの前記第１の電流電極にそれぞれ接続された、第１および第２の信号出力端子とを備え、前記第１の導電型であるトランジスタは、自身の前記制御端子に前記第１および第２の電位が与えられることによってそれぞれオフ，オンし、前記第２の導電型であるトランジスタは、自身の前記制御端子に前記第１および第２の電位が与えられることによってそれぞれオン，オフする。
【００５８】
請求項５に記載のバッファ回路は、請求項４に記載のバッファ回路であり、上記抵抗体は、自身の制御端子に上記第１の電位が与えられており、自身の第１の電流電極が上記第３のトランジスタの上記第１の電流電極に接続され、自身の第２の電流電極が上記第３の電位端子に接続された、上記第２の導電型の第４のトランジスタである。
【００５９】
請求項６に記載のバッファ回路は、請求項４に記載のバッファ回路であり、上記抵抗体は、自身の制御端子が上記信号入力端子に接続され、自身の第１の電流電極が上記第３のトランジスタの上記第１の電流電極に接続され、自身の第２の電流電極が上記第３の電位端子に接続された、上記第１の導電型の第４のトランジスタである。
【００６０】
請求項７に記載のバッファ回路は、請求項５または６に記載のバッファ回路であり、上記第２の信号出力端子に自身の入力端子が接続され、上記第１の信号出力端子に自身の出力端子が接続された第２のインバータをさらに含む。
【００６１】
【発明の実施の形態】
実施の形態１．
図１は、本実施の形態のラッチ回路の構造を例示する回路図である。同図においては、ＮＭＯＳトランジスタＭＮ１～ＭＮ４、インバータゲートＩＮＶ１，ＩＮＶ２、第１および第２のデータ入力端子ＤＩ，ＤＩＢ、第１および第２のクロック入力端子ＣＫ，ＣＫＢ、ならびに第１および第２のデータ出力端子ＤＯ，ＤＯＢからなるラッチ回路が例示されている。
【００６２】
ラッチ回路を構成する素子について説明を行う。ＮＭＯＳトランジスタＭＮ３，ＭＮ４のそれぞれのゲート電極は、第１のクロック入力端子ＣＫに共通に接続されている。また、ＮＭＯＳトランジスタＭＮ１，ＭＮ２のそれぞれのゲート電極は、第２のクロック入力端子ＣＫＢに共通に接続されている。
【００６３】
第１のデータ入力端子ＤＩは、ＮＭＯＳトランジスタＭＮ１のドレイン電極に接続されている。ＮＭＯＳトランジスタＭＮ１のソース電極は、インバータゲートＩＮＶ２の入力端子と、ＮＭＯＳトランジスタＭＮ３のドレイン電極およびソース電極を介してインバータゲートＩＮＶ１の出力端子とに接続されている。
【００６４】
同様に、第２のデータ入力端子ＤＩＢは、ＮＭＯＳトランジスタＭＮ２のドレイン電極に

接続されている。ＮＭＯＳトランジスタＭＮ２のソース電極は、インバータゲートＩＮＶ１の入力端子と、ＮＭＯＳトランジスタＭＮ４のドレイン電極およびソース電極を介してインバータゲートＩＮＶ２の出力端子とに接続されている。さらに、インバータゲートＩＮＶ１，ＩＮＶ２の出力端子はそれぞれ、第１および第２のデータ出力端子ＤＯ，ＤＯＢに接続されている。

【００６５】

すなわち、図１に示されるラッチ回路は、図２４に示される従来のラッチ回路からトランスミッションゲートＴＧ１～ＴＧ４を構成するＰＭＯＳトランジスタおよびこれに関する接続線が取り除かれたものである。

【００６６】

図２は、図１のラッチ回路で使用されているインバータゲートＩＮＶ１，ＩＮＶ２の構造を示す回路図である。同図に示されるように、インバータゲートは、第１の電源ＶＤＤと第２の電源ＧＮＤとの間で、互いのドレイン電極が接続されることによって順に直列につながれたＰＭＯＳトランジスタおよびＮＭＯＳトランジスタと、ＰＭＯＳトランジスタおよびＮＭＯＳトランジスタのそれぞれのゲート電極に共通に接続された入力端子ＩＮと、ＰＭＯＳトランジスタおよびＮＭＯＳトランジスタのそれぞれのドレイン電極に共通に接続された出力端子ＯＵＴとからなる。

【００６７】

ＮＭＯＳトランジスタＭＮ１，ＭＮ２のしきい値電圧の絶対値は、電圧Ｖｔｈｎである。従って、ＮＭＯＳトランジスタＭＮ１，ＭＮ２を通過した信号の電位は、電圧Ｖｔｈｎだけ降下する。

【００６８】

第１の電源ＶＤＤは電位ＶＤＤを与え、第２の電源ＧＮＤは電位ＧＮＤを与える。インバータゲートＩＮＶ１，ＩＮＶ２は、入力が自身の論理しきい値電位より低ければＨレベルの信号（電位ＶＤＤ）を、入力が論理しきい値電位より高ければＬレベルの信号（電位ＧＮＤ）を出力する。インバータゲートＩＮＶ１，ＩＮＶ２の論理しきい値電位は一般に、電位ＶＤＤと電位ＧＮＤとの中間である（ＶＤＤ＋ＧＮＤ）／２という電位に設定される。電圧降下が生じた後の電位ＶＤＤ－Ｖｔｈｎがインバータゲートの論理しきい値電位よりも十分高くなるように、あらかじめ種々の条件を設定しておく。

【００６９】

次に、ラッチ回路に入力される信号について説明を行う。第１のデータ入力端子ＤＩおよび第２のデータ入力端子ＤＩＢには、ＨレベルおよびＬレベルの信号が、互いに排他的に入力される。互いに異なるＨレベルおよびＬレベルの信号は、二値論理において互いに逆の論理を表す電圧レベルの信号である。

【００７０】

ここで、第１および第２のデータ入力端子ＤＩ，ＤＩＢに入力されるデータ信号がそれぞれＨレベルおよびＬレベルであるデータの組み合わせを、第１のデータＤＡＴＡ１として参照する。同様に、第１および第２のデータ入力端子ＤＩ，ＤＩＢに入力されるデータ信号がそれぞれＬレベルおよびＨレベルであるデータの組み合わせを、第２のデータＤＡＴＡ２として参照する。

【００７１】

同様に、第１のクロック入力端子ＣＫおよび第２のクロック入力端子ＣＫＢにも、ＨレベルおよびＬレベルの信号が、互いに排他的に入力される。

【００７２】

ここで、第１および第２のクロック入力端子ＣＫ，ＣＫＢに入力されるクロック信号が、それぞれＨレベルおよびＬレベルであるデータの組み合わせを、第１のクロック入力状態ＣＬＫ１として参照する。同様に、第１および第２のクロック入力端子ＣＫ，ＣＫＢに入力されるクロック信号が、それぞれＬレベルおよびＨレベルであるデータの組み合わせを、第２のクロック入力状態ＣＬＫ２として参照する。

【００７３】

ラッチ回路は上述のように接続されて構成されているので、ＮＭＯＳトランジスタＭＮ１，ＭＮ２が揃いの一組となり、またＮＭＯＳトランジスタＭＮ３，ＭＮ４が揃いの一組となって、互いの組同士で排他的に導通および非導通の状態を採る。

【００７４】

ラッチ回路の一連の回路動作について、以下に説明を行う。ラッチ回路の回路動作（１）～（４）を決定する信号の設定の状態は以下に示されるものである。信号設定の番号と回路動作の番号とがそれぞれ対応している。

【００７５】

信号設定（１）

第１のクロック入力状態ＣＬＫ１であって、第１のデータＤＡＴＡ１が入力される。

【００７６】

信号設定（２）

第２のクロック入力状態ＣＬＫ２であって、第１のデータＤＡＴＡ１が入力される。

【００７７】

信号設定（３）

第１のクロック入力状態ＣＬＫ１であって、第２のデータＤＡＴＡ２が入力される。

【００７８】

信号設定（４）

第２のクロック入力状態ＣＬＫ２であって、第２のデータＤＡＴＡ２が入力される。

【００７９】

図３（ａ）～（ｃ）は、一連の信号設定（１）～（４）に応ずるラッチ回路の回路動作（１）～（４）のタイミングチャートを示す波形図である。図３（ａ）は第１および第２のデータ入力端子ＤＩ，ＤＩＢの、図３（ｂ）は第１および第２のクロック入力端子ＣＫ，ＣＫＢの、図３（ｃ）は第１および第２のデータ出力端子ＤＯ，ＤＯＢの、それぞれの信号の電位のレベルを示している。第１のデータ入力端子ＤＩ、第１のクロック入力端子ＣＫおよび第１のデータ出力端子ＤＯはそれぞれ実線で、第２のデータ入力端子ＤＩＢ、第２のクロック入力端子ＣＫＢおよび第２のデータ出力端子ＤＯＢはそれぞれ破線で示されている。

【００８０】

これらの図を用いて以下に示されるように、本実施の形態のラッチ回路は、第１および第２のデータ入力端子ＤＩ，ＤＩＢに与えられたデータ信号をクロック信号に同期して取り込み、クロック信号の半周期分だけ位相をずらして出力するという従来技術と同一の機能を持つ。

【００８１】

１．ラッチ回路の回路動作（１）

ＮＭＯＳトランジスタＭＮ１，ＭＮ２はオフし、ＮＭＯＳトランジスタＭＮ３，ＭＮ４がオンしている。従って、第１および第２のデータ入力端子ＤＩ，ＤＩＢにそれぞれ入力されるＨ，Ｌレベルのそれぞれの信号は、ラッチ回路の内部には取り込まれない。

【００８２】

２．ラッチ回路の回路動作（２）

ＮＭＯＳトランジスタＭＮ１，ＭＮ２はオンし、ＮＭＯＳトランジスタＭＮ３，ＭＮ４はオフしている。

【００８３】

第１のデータ入力端子ＤＩに与えられたＨレベルの信号は、ＮＭＯＳトランジスタＭＮ１を介してインバータゲートＩＮＶ２に与えられる。このとき、ＮＭＯＳトランジスタＭＮ１において電圧Ｖｔｈｎ分の電圧降下が起こり、インバータゲートＩＮＶ２には電位ＶＤＤ－Ｖｔｈｎが与えられる。電位ＶＤＤ－Ｖｔｈｎがインバータゲートの論理しきい値電位よりも十分高くなるようにあらかじめ設定しておくことによって、インバータゲートＩＮＶ２は第２のデータ出力端子ＤＯＢを介してＬレベルの信号を出力する。

【００８４】

一方、インバータゲートＩＮＶ１は、第２のデータ入力端子ＤＩＢに与えられたＬレベルの信号をＮＭＯＳトランジスタＭＮ２を介して受け、第１のデータ出力端子ＤＯを介してＨレベルの信号を出力する。よって、第１および第２のデータ出力端子ＤＯ，ＤＯＢは第１のデータＤＡＴＡ１を出力する。

【００８５】

３．ラッチ回路の回路動作（３）

ＮＭＯＳトランジスタＭＮ１，ＭＮ２はオフし、ＮＭＯＳトランジスタＭＮ３，ＭＮ４はオンしている。従って、第１および第２のデータ入力端子ＤＩ，ＤＩＢとインバータゲートＩＮＶ１，ＩＮＶ２のそれぞれの入力端子とは、オフしているＮＭＯＳトランジスタＭＮ１，ＭＮ２によってそれぞれ隔離される。すなわち、第１および第２のデータ入力端子ＤＩ，ＤＩＢにおいては第２のデータＤＡＴＡ２が入力されている状態にあるが、インバータゲートＩＮＶ１，ＩＮＶ２およびそれぞれオンしているＮＭＯＳトランジスタＭＮ３，ＭＮ４によってループが構成されており、インバータゲートＩＮＶ１，ＩＮＶ２のそれぞれの入力端子にＬレベルおよびＨレベルの信号がそれぞれ入力され続けるので、第１のデータＤＡＴＡ１が出力され続ける。

【００８６】

４．ラッチ回路の回路動作（４）

ＮＭＯＳトランジスタＭＮ１，ＭＮ２がオンし、インバータゲートＩＮＶ１，ＩＮＶ２はそれぞれ、第２および第１のデータ入力端子ＤＩＢ，ＤＩと導通している。インバータゲートＩＮＶ１，ＩＮＶ２にはそれぞれ、ＨレベルおよびＬレベルの信号がＮＭＯＳトランジスタＭＮ２，ＭＮ１を介して入力される。従って、インバータゲートＩＮＶ１の入力端子には、電位ＶＤＤ－Ｖｔｈｎが与えられる。これらの入力状態に応じて、インバータゲートＩＮＶ１，ＩＮＶ２はそれぞれ、第１および第２のデータ出力端子ＤＯ，ＤＯＢを介してＬレベルの信号およびＨレベルの信号を出力する。よって、第１および第２のデータ出力端子ＤＯ，ＤＯＢは、第２のデータＤＡＴＡ２を出力する。

【００８７】

以後、同様にして第１および第２のクロック入力状態ＣＬＫ１，ＣＬＫ２が交互に繰り返されて、第３のデータＤＡＴＡ３もクロック半周期分ずれてラッチ回路を伝達する。

【００８８】

また、以上の一連のラッチ回路の回路動作（１）～（４）の説明においては、第１のデータ入力端子ＤＩに与えられる信号がＨレベルからＬレベルに変化し、第２のデータ入力端子ＤＩＢに与えられる信号がＬレベルからＨレベルに変化するという、第１のデータＤＡＴＡ１から第２のデータＤＡＴＡ２に変化する場合について説明が行われたが、ラッチ回路の回路動作はこのような変化の場合に限られるものではない。

【００８９】

本実施の形態のラッチ回路は、従来のラッチ回路よりも４個のＰＭＯＳトランジスタを削減すること、およびある電流駆動能力を得るのにＰＭＯＳトランジスタよりも小さなトランジスタサイズで足りるＮＭＯＳトランジスタを用いたことによって、回路面積が少ないという特徴をもつ。

【００９０】

次に、図１に示されるラッチ回路を２段接続することによって得られる、本実施の形態のフリップフロップ回路について説明を行う。図４は、本実施の形態のフリップフロップ回路の構造を例示する回路図である。

【００９１】

同図に示されるフリップフロップ回路は、ＮＭＯＳトランジスタＭＮ１～ＭＮ８、インバータゲートＩＮＶ１～ＩＮＶ４、第１および第２のデータ入力端子ＤＩ，ＤＩＢ、第１および第２のクロック入力端子ＣＫ，ＣＫＢ、ならびに第１および第２のデータ出力端子ＤＯ，ＤＯＢからなる。

【００９２】

２つのラッチ回路を互いに接続する方法について以下に説明を行う。図４に示されるよう

に、前段のラッチ回路はＮＭＯＳトランジスタＭＮ１～ＭＮ４、インバータゲートＩＮＶ１，ＩＮＶ２を含む回路であり、それぞれの素子の接続は図１に示されるラッチ回路と同一である。また、後段のラッチ回路は、ＮＭＯＳトランジスタＭＮ５～ＭＮ８、インバータゲートＩＮＶ３，ＩＮＶ４を含む回路であり、それぞれがＮＭＯＳトランジスタＭＮ１～ＭＮ４、インバータゲートＩＮＶ１，ＩＮＶ２に順に対応するように接続されている。

【００９３】

前段のラッチ回路の第１のデータ出力端子および第２のデータ出力端子は、後段のラッチ回路の第１のデータ入力端子および第２のデータ入力端子にそれぞれ接続されている。

【００９４】

前段のラッチ回路の第１のデータ入力端子ＤＩおよび第２のデータ入力端子ＤＩＢがそれぞれ、フリップフロップ回路の第１のデータ入力端子ＤＩおよび第２のデータ入力端子ＤＩＢとなっている。同様に、後段のラッチ回路の第１のデータ出力端子ＤＯおよび第２のデータ出力端子ＤＯＢはそれぞれ、フリップフロップ回路の第１のデータ出力端子ＤＯおよび第２のデータ出力端子ＤＯＢとなっている。

【００９５】

また、前段のラッチ回路の第１のクロック入力端子と後段のラッチ回路の第２のクロック入力端子とは共通に接続され、フリップフロップ回路の第１のクロック入力端子ＣＫとなっている。また、前段のラッチ回路の第２のクロック入力端子と後段のラッチ回路の第１のクロック入力端子とは共通に接続され、フリップフロップ回路の第２のクロック入力端子ＣＫＢとなっている。

【００９６】

すなわち、図４に示されるフリップフロップ回路は、図２６に示されるフリップフロップ回路からトランスミッションゲートＴＧ１～ＴＧ８を構成するＰＭＯＳトランジスタおよびこれに関する接続線が取り除かれたものである。

【００９７】

フリップフロップ回路は以上のように構成されているので、ＮＭＯＳトランジスタＭＮ１，ＭＮ２，ＭＮ７，ＭＮ８が同時にオン、オフし、これらとは排他的にＮＭＯＳトランジスタＭＮ３～ＭＮ６が同時にオフ、オンする。

【００９８】

次にフリップフロップ回路の動作について、前述の信号設定（１）～（４）を踏まえながら説明を行う。図５（ａ）～（ｃ）は、フリップフロップ回路のタイミングチャートを示す波形図である。図５（ａ）～（ｃ）はそれぞれ、図３（ａ）～（ｃ）が示す信号と同一の信号を示す。

【００９９】

それぞれのクロック入力状態およびこれに応ずるデータの入力状態はそれぞれの信号設定毎にラッチ回路においてもフリップフロップ回路においても同一である。従って、当然前段のラッチ回路の回路動作は前述のラッチ回路の回路動作と同一となる。そこで、前段のラッチ回路については必要な部分以外の説明を省略し、後段のラッチ回路、および前段と後段とのラッチ回路からなるフリップフロップ回路全体に対して重点的に説明を行う。

【０１００】

１．フリップフロップ回路の回路動作（１）：信号設定（１）

ＮＭＯＳトランジスタＭＮ１，ＭＮ２，ＭＮ７，ＭＮ８がオフし、ＮＭＯＳトランジスタＭＮ３～ＭＮ６がオンしている。ＮＭＯＳトランジスタＭＮ１，ＭＮ２がオフしているので、後段のラッチ回路には第１および第２のデータ入力端子ＤＩ，ＤＩＢのそれぞれの信号は伝わらない。

【０１０１】

２．フリップフロップ回路の回路動作（２）：信号設定（２）

ＮＭＯＳトランジスタＭＮ１，ＭＮ２，ＭＮ７，ＭＮ８がオンし、ＮＭＯＳトランジスタＭＮ３～ＭＮ６がオフしている。

【０１０２】

第１のデータ入力端子ＤＩに与えられたＨレベルの信号は、ＮＭＯＳトランジスタＭＮ１を介してインバータゲートＩＮＶ２に与えられる。これに応じて、インバータゲートＩＮＶ２は後段のラッチ回路へとＬレベルの信号を出力する。しかし、ＮＭＯＳトランジスタＭＮ６がオフしているので、インバータゲートＩＮＶ３の入力端子にはインバータゲートＩＮＶ２の出力信号は入力されない。

【０１０３】

同様に、インバータゲートＩＮＶ１は、第２のデータ入力端子ＤＩＢに与えられたＬレベルの信号をＮＭＯＳトランジスタＭＮ２を介して受け、Ｈレベルの信号を出力するが、ＮＭＯＳトランジスタＭＮ５がオフしているので、インバータゲートＩＮＶ４にはインバータゲートＩＮＶ１の出力信号は入力されない。

【０１０４】

３．フリップフロップ回路の回路動作（３）：信号設定（３）

ＮＭＯＳトランジスタＭＮ１，ＭＮ２，ＭＮ７，ＭＮ８はオフし、ＮＭＯＳトランジスタＭＮ３～ＭＮ６はオンしている。すなわち、後段のラッチ回路は、ラッチ回路の回路動作（２）の状態となっている。ＮＭＯＳトランジスタＭＮ５，ＭＮ６がオンしているので、インバータゲートＩＮＶ１，ＩＮＶ２から出力されるＨレベル、Ｌレベルのそれぞれの信号は、インバータゲートＩＮＶ４，ＩＮＶ３へとそれぞれ入力される。このとき、ＮＭＯＳトランジスタＭＮ５によって、インバータゲートＩＮＶ４には電位ＶＤＤ－Ｖｔｈｎの信号が入力される。従って、第１および第２のデータ出力端子ＤＯ，ＤＯＢは、第１のデータＤＡＴＡ１を出力する。

【０１０５】

ラッチ回路においては、ラッチ回路の第１および第２のデータ出力端子ＤＯ，ＤＯＢの出力はラッチ回路の回路動作（２）において第１のデータＤＡＴＡ１を出力したので、フリップフロップ回路の出力はラッチ回路の出力に比べ、さらにクロック半周期分遅れていることが理解できる。

【０１０６】

４．フリップフロップ回路の回路動作（４）：信号設定（４）

ＮＭＯＳトランジスタＭＮ１，ＭＮ２，ＭＮ７，ＭＮ８がオンし、ＮＭＯＳトランジスタＭＮ３～ＭＮ６がオフしている。後段のラッチ回路は、ラッチ回路の回路動作（３）の状態となっている。

【０１０７】

後段のラッチ回路においては、ＮＭＯＳトランジスタＭＮ５，ＭＮ６はオフし、ＮＭＯＳトランジスタＭＮ７，ＭＮ８はオンしている。従って、インバータゲートＩＮＶ２，ＩＮＶ１のそれぞれの出力端子と、インバータゲートＩＮＶ３，ＩＮＶ４のそれぞれの入力端子とは、ＮＭＯＳトランジスタＭＮ６，ＭＮ５によってそれぞれ隔離されている。

【０１０８】

インバータゲートＩＮＶ３，ＩＮＶ４およびオンしているＮＭＯＳトランジスタＭＮ７，ＭＮ８によってループが構成される。このループにおいて、インバータゲートＩＮＶ３，ＩＮＶ４のそれぞれの入力端子にＬレベルおよびＨレベルの信号がそれぞれＮＭＯＳトランジスタＭＮ６，ＭＮ５を介して入力され続け、インバータゲートＩＮＶ３，ＩＮＶ４はそれぞれ、第１および第２のデータ出力端子ＤＯ，ＤＯＢを介して、第１のデータＤＡＴＡ１を出力し続ける。

【０１０９】

以後、同様にして第１および第２のクロック状態ＣＬＫ１，ＣＬＫ２が交互に繰り返されて、第３のデータＤＡＴＡ３もクロック１周期分ずれてフリップフロップ回路を伝達する。つまり、図５（ｃ）と図３（ｃ）とを比較して判るように、フリップフロップ回路はデータ入力端子に与えられたデータ信号をクロック信号に同期して取り込み、一時的に保持し、ラッチ回路の動作の２個分の位相をずらして出力する機能を持つ。

【０１１０】

図５（ａ）～（ｃ）に示されるそれぞれの信号の挙動は図２７（ａ）～（ｃ）に示される

ものと同一であることから、本実施の形態のフリップフロップ回路は従来のフリップフロップ回路と同一の回路動作を行うことが理解できる。

【０１１１】

換言すると、フリップフロップ回路とラッチ回路とは共にデータ信号をクロック信号に同期して取り込み、位相をずらして出力するという同じ機能を持つ。しかし、フリップフロップ回路とラッチ回路では、データ信号を出力する位相がラッチ回路の動作１個分だけずれる。

【０１１２】

本実施の形態のフリップフロップ回路においても、従来のフリップフロップ回路を構成するトランスミッションゲートからＰＭＯＳトランジスタが取り除かれるので、従来と同一の回路動作を実現しつつも、回路面積が少なくなる。

【０１１３】

このため、本実施の形態のラッチ回路またはフリップフロップ回路に接続されるバッファ回路の出力端子の負荷容量は従来よりも少なくなり、負荷容量の充放電の際にクロックバッファ回路が消費する電力も抑えられる。

【０１１４】

実施の形態２.

本実施の形態においては、ＮＭＯＳトランジスタによって生ずる電圧降下によって引き起こされる回路の誤動作を回避することが可能である、信頼性の高いラッチ回路およびフリップフロップ回路を開示する。

【０１１５】

図６は、本実施の形態に従うラッチ回路の構造を例示する回路図である。本実施の形態のラッチ回路は、実施の形態１のラッチ回路にＰＭＯＳトランジスタＭＰ１，ＭＰ２がさらに付け加えられた構造を有する。それぞれの相違をふまえつつ説明を以下に行う。

【０１１６】

ＰＭＯＳトランジスタＭＰ１，ＭＰ２のそれぞれのゲート電極は、インバータゲートＩＮＶ１，ＩＮＶ２のそれぞれの入力端子にそれぞれ接続されている。ＰＭＯＳトランジスタＭＰ１，ＭＰ２は、それぞれのドレイン電極がインバータゲートＩＮＶ２，ＩＮＶ１のそれぞれの入力端子にそれぞれ接続され、それぞれのソース電極が第１の電源ＶＤＤにそれぞれ接続されている。

【０１１７】

以上の記述から明らかなように、ＰＭＯＳトランジスタＭＰ１，ＭＰ２は、それらのゲート電極およびドレイン電極に関して互いに対称な接続、すなわちクロスカップルされた接続を施されている。

【０１１８】

以上の構造によって実現される本実施の形態のラッチ回路の回路動作と、実施の形態１のラッチ回路の回路動作との違いについて、以下に説明を行う。

【０１１９】

第１および第２のデータ入力端子ＤＩ，ＤＩＢには互いに排他的にＨレベルおよびＬレベルの信号が与えられるので、ＰＭＯＳトランジスタＭＰ１，ＭＰ２にも互いに排他的にＨレベルおよびＬレベルの信号が与えられる。以下の説明においては、インバータゲートＩＮＶ１，ＩＮＶ２のそれぞれの入力端子にＮＭＯＳトランジスタＭＮ２，ＮＭ１をそれぞれ介してＨレベルおよびＬレベルの信号がそれぞれ与えられた場合を想定する。

【０１２０】

ＮＭＯＳトランジスタＭＮ２を介するので、インバータゲートＩＮＶ１に第２のデータ入力端子ＤＩＢから与えられる信号は、電位ＶＤＤ－Ｖｔｈｎである。

【０１２１】

しかし、インバータゲートＩＮＶ２の入力端子に共通に接続されたＰＭＯＳトランジスタＭＰ２の制御端子にはＮＭＯＳトランジスタＭＮ１を介して第１のデータ入力端子ＤＩからＬレベルの信号が与えられるので、ＰＭＯＳトランジスタＭＰ２はオンする。これによ

って、第１の電源の電位ＶＤＤがＰＭＯＳトランジスタＭＰ２を介してインバータゲートＩＮＶ１に入力される。すなわち、インバータゲートＩＮＶ１に入力される電位は、電位ＶＤＤ－Ｖｔｈｎから電位ＶＤＤにまで引き上げられたことになる。

【０１２２】

このとき、ＰＭＯＳトランジスタＭＰ１は、自身のゲート電極がインバータゲートＩＮＶ１の入力端子に共通に接続されているので、オフしている。従って、インバータゲートＩＮＶ２に入力される電圧はＬレベルのままである。

【０１２３】

逆に、インバータゲートＩＮＶ１，ＩＮＶ２のそれぞれの入力端子にＮＭＯＳトランジスタＭＮ２，ＮＭ１をそれぞれ介してＬレベルおよびＨレベルの信号がそれぞれ与えられた場合にも、同様の効果が得られる。すなわち、インバータゲートＩＮＶ２に入力される電位は、ＰＭＯＳトランジスタＭＰ１がオンすることで電位ＶＤＤ－Ｖｔｈｎから電位ＶＤＤにまで引き上げられ、インバータゲートＩＮＶ１に入力される電圧はＬレベルのままである。

【０１２４】

図７（ａ）～（ｃ）はそれぞれ、本実施の形態のラッチ回路のタイミングチャートを示す波形図である。図７（ａ）～（ｃ）によって明らかなように、図３（ａ）～（ｃ）によって示される実施の形態１のラッチ回路と同一の回路動作が得られることが理解される。

【０１２５】

本実施の形態においては、クロスカップルに配置されたＰＭＯＳトランジスタＭＰ１，ＭＰ２によって、ＮＭＯＳトランジスタＭＮ１，ＭＮ２によって生じるしきい値電圧分の電圧降下を補償することが可能となる。これによって、ＮＭＯＳトランジスタＭＮ２，ＭＮ１の次段にそれぞれ接続されたインバータゲートＩＮＶ１，ＩＮＶ２のＨレベルの入力電圧マージン（入力信号のレベルと論理しきい値電位との差分）が大きくなる。従って、例えばＨレベルの電位とＬレベルの電位とのの差を充分大きく採れない場合にも、安定な回路動作を得ることが可能となる。従って、実施の形態１によって得られる効果に加え、信頼性の高いラッチ回路が実現される。

【０１２６】

もちろん、クロスカップルにＰＭＯＳトランジスタＭＰ１，ＭＰ２を配置しなくても、本実施の形態の効果を得ることは可能である。図８は、図６に示されるラッチ回路からＰＭＯＳトランジスタＭＰ１が取り除かれた回路の構造を示す回路図である。

【０１２７】

このラッチ回路においては、インバータゲートＩＮＶ２に入力される電位を引き上げることは不可能であるが、インバータゲートＩＮＶ１に入力される電位を引き上げることは可能である。従って、実施の形態１のラッチ回路と比較すればラッチ回路の信頼性は高くなる。

【０１２８】

次に、図６に示されるラッチ回路を２段直列に接続することによって得られるフリップフロップ回路について説明を行う。図９は、本実施の形態に従うフリップフロップ回路の構造を例示する回路図である。図４に示される実施の形態１のフリップフロップ回路との違いとは、ＰＭＯＳトランジスタＭＰ１～ＭＰ４が付け加えられている点にある。

【０１２９】

ＰＭＯＳトランジスタＭＰ３，ＭＰ４のインバータゲートＩＮＶ３，ＩＮＶ４および第１の電源ＶＤＤに対する接続の状態は、ＰＭＯＳトランジスタＭＰ１，ＭＰ２のインバータゲートＩＮＶ１，ＩＮＶ２および第１の電源ＶＤＤに対する接続の状態と同様である。ＰＭＯＳトランジスタＭＰ３，ＭＰ４によってインバータゲートＩＮＶ３，ＩＮＶ４に入力される電圧をそれぞれ電位ＶＤＤまで引き上げることが可能となり、フリップフロップ回路の信頼性が高まる。

【０１３０】

図１０（ａ）～（ｃ）はそれぞれ、本実施の形態のフリップフロップ回路のタイミングチ

ャートを示す波形図である。図１０（ａ）～（ｃ）によって明らかなように、図５（ａ）～（ｃ）によって示される実施の形態１のフリップフロップ回路と同一の回路動作が得られることが理解される。

【０１３１】

以上から明らかなように、本実施の形態のフリップフロップ回路においても、本実施の形態のラッチ回路と同様の効果を得ることが可能となる。

【０１３２】

もちろん、図１１に示されるように、トランスミッションゲートを含んでなる従来のラッチ回路と、本実施の形態のラッチ回路とを組み合わせることによって、フリップフロップ回路を構成することも可能である。

【０１３３】

実施の形態３．

本実施の形態においては、自身に備わる二つの出力端子から互いに排他的な論理を表す信号を、ほぼ同期を採りつつ出力するバッファ回路を開示する。

【０１３４】

図１２は、フリップフロップ回路あるいはラッチ回路にクロック信号またはデータ信号を与える、本実施の形態に従うバッファ回路の構造を例示する回路図である。同図においては、信号入力端子ＣＩＮと、これに自身のそれぞれの入力端子が接続されたインバータゲートＩＮＶ５およびソースフォロワ回路と、インバータゲートＩＮＶ５およびソースフォロワ回路の出力端子にそれぞれ接続された第２および第１の信号出力端子ＣＫＯＢ，ＣＫＯとからなるバッファ回路が示されている。

【０１３５】

図１２に示されるソースフォロワ回路は、ＮＭＯＳトランジスタＭＮ９と抵抗Ｒ１とからなっている。ＮＭＯＳトランジスタＭＮ９は、自身のゲート電極が信号入力端子ＣＩＮに接続され、自身のドレイン電極が第１の電源ＶＤＤに接続され、自身のソース電極は第１の信号出力端子ＣＫＯと、抵抗Ｒ１を介して第２の電源ＧＮＤとに接続されている。また、インバータゲートＩＮＶ５は図２に示された構造を有している。

【０１３６】

バッファ回路の回路動作について説明を行う。信号入力端子ＣＩＮにＨレベルの信号が与えられたときには、第２の信号出力端子ＣＫＯＢはインバータゲートＩＮＶ５の機能によってＬレベルの信号を出力する。また、ＮＭＯＳトランジスタＭＮ９がオンすることによって抵抗Ｒ１において電流が流れて電圧降下が生じる。ＮＭＯＳトランジスタＭＮ９においては、しきい値電圧Ｖｔｈｎ分の電圧降下が生じる。従って、電位ＶＤＤ－Ｖｔｈｎである信号が第１の信号出力端子ＣＫＯに与えられる。

【０１３７】

信号入力端子ＣＩＮにＬレベルの信号が与えられたときには、第１の信号出力端子ＣＫＯはＮＭＯＳトランジスタＭＮ９がオフするので抵抗Ｒ１を介して接地されてＬレベルの信号を、また第２の信号出力端子ＣＫＯＢはＨレベルの信号を、それぞれ出力する。

【０１３８】

また、図１３に示されるように、自身のドレイン電極が第２の電源ＧＮＤに接続され、自身のソース電極が抵抗Ｒ２を介して第１の電源ＶＤＤに接続されつつ第１の信号出力端子ＣＫＯにも接続され、自身のゲート電極が信号入力端子ＣＩＮに接続されたＰＭＯＳトランジスタＭＰ５によってソースフォロワ回路を構成しても良い。この場合、信号入力端子ＣＩＮにＬレベルの信号が与えられたときに、ＰＭＯＳトランジスタＭＰ５のしきい値電圧の絶対値である電圧Ｖｔｈｐだけ電位ＧＮＤより高い信号を、ソースフォロワ回路は出力する。

【０１３９】

以上のバッファ回路においては、インバータゲートＩＮＶ５とソースフォロワ回路とのそれぞれの特性によって、第１および第２の信号出力端子ＣＫＯ，ＣＫＯＢからそれぞれ出力される信号の遅延の差が決定される。直列に接続された２つのＭＯＳトランジスタから

なるインバータゲートと、直列に接続された抵抗とＭＯＳトランジスタとからなるソースフォロワ回路とでは、信号出力の時間的な特性は非常に似通ったものとなる。従って、相補的な２つの出力信号の間に遅延の少ないバッファ回路を本実施の形態において得ることが可能である。

【０１４０】

また、従来のバッファ回路では、信号入力端子ＣＩＮに信号が入力されてからインバータゲート２つ分の遅延の後に第１の信号出力端子ＣＫＯから信号が出力された。しかし、本実施の形態においてはインバータゲートＩＮＶ５の１個分程度の遅延が生ずるのみである。従って、バッファ回路に接続されたラッチ回路およびフリップフロップ回路は高速で動作することが可能となる。

【０１４１】

さらに、２つのＭＯＳトランジスタによって構成されたソースフォロワ回路を図１４、図１６に示す。図１４のソースフォロワ回路は、図１２に示されるソースフォロワ回路を構成する抵抗Ｒ１が、第１の電源ＶＤＤに自身のゲート電極が接続されたＮＭＯＳトランジスタＭＮ１０に置き換えられた構造を有している。同様に、図１６のソースフォロワ回路は、図１３に示されるソースフォロワ回路を構成する抵抗Ｒ２が、第２の電源ＧＮＤに自身のゲート電極が接続されたＰＭＯＳトランジスタＭＰ６に置き換えられた構造を有している。

【０１４２】

抵抗Ｒ１，Ｒ２の値またはＮＭＯＳトランジスタＭＮ１０もしくはＰＭＯＳトランジスタＭＰ６のオン抵抗を小さくし過ぎることは望ましくない。さもないと、ＮＭＯＳトランジスタＭＮ９やＰＭＯＳトランジスタＭＰ５がオンすることによって抵抗Ｒ１，Ｒ２、ＮＭＯＳトランジスタＭＮ１０、ＰＭＯＳトランジスタＭＰ６に流れる電流が充分な電圧降下を発生せず、第１の信号出力端子ＣＫＯに与えられる電位がそれだけなまるという不都合が生ずるためである。

【０１４３】

図１５（ａ）～（ｃ）、図１７（ａ）～（ｃ）は、図１４、図１６にそれぞれ示されるバッファ回路のタイミングチャートをそれぞれ示す波形図である。第２の信号出力端子ＣＫＯＢからはインバータゲートＩＮＶ５のスイッチング遅延ｄ５の分だけ信号入力端子ＣＩＮに入力される信号から遅れて信号が出力される。図１５（ｃ）および図１７（ｃ）を用いて示すように、第１の信号出力端子ＣＫＯからは、ソースフォロワ回路のスイッチング遅延ｓ１，ｓ２の分だけそれぞれ遅れて信号が出力されている。

【０１４４】

二つのＭＯＳトランジスタによってそれぞれ構成されているので、インバータゲートとソースフォロワ回路とは互いに時間的な特性が似ている。従って、スイッチング遅延ｓ１，ｓ２，ｄ５は互いにほぼ等しく、第１および第２の信号出力端子ＣＫＯ，ＣＫＯＢからそれぞれ出力される信号は、互いにほぼ同期が採れている。

【０１４５】

定電位源に接続されることによってオンしているＭＯＳトランジスタは抵抗と同様の機能を有するので、図１４、図１６に示されるバッファ回路は、時間的な特性を除き、図１２、図１３に示されるバッファ回路と同様である。但し、抵抗Ｒ１またはＲ２を含むバッファ回路を形成するためには特に抵抗を形成する工程を設けなければならないのに対し、ソースフォロワ回路がＭＯＳトランジスタのみによって構成されるバッファ回路においては、抵抗を形成するための工程を省くことが可能となる。従って、バッファ回路の製造が簡易となる。

【０１４６】

本実施の形態のバッファ回路は以上のように、入力信号に応じつつ、互いに反転論理の関係にある二つの信号を、好適に同期を採りつつ生成する。

【０１４７】

実施の形態４．

本実施の形態においては、互いに排他的にオン、オフする二つのＭＯＳトランジスタからなるソースフォロワ回路によって構成されるバッファ回路を開示する。

【０１４８】

図１８は、本実施の形態のバッファ回路の構造を例示する回路図である。本実施の形態のバッファ回路は、実施の形態３のバッファ回路のソースフォロワ回路が一部置き換えられた構造を有している。

【０１４９】

ソースフォロワ回路は、ドレイン電極がそれぞれ第１および第２の電源ＶＤＤ，ＧＮＤに接続され、それぞれのソース電極が共通に接続されつつ第１の信号出力端子ＣＫＯに接続され、それぞれのゲート電極が共通に接続されつつ信号入力端子ＣＩＮに接続されたＮＭＯＳトランジスタＭＮ９およびＰＭＯＳトランジスタＭＰ５からなる。すなわち、このソースフォロワ回路は、図１２に示されたソースフォロワ回路の抵抗Ｒ１をＰＭＯＳトランジスタＭＰ５で置換したものとみなすことが可能であるし、図１３に示されたソースフォロワ回路の抵抗Ｒ２をＮＭＯＳトランジスタＭＮ９で置換したものとみなすことが可能である。

【０１５０】

ゲート電極が共通に接続されたＮＭＯＳトランジスタＭＮ９およびＰＭＯＳトランジスタＭＰ５は互いに排他的にオン、オフする。従って、図１４，図１６に示される実施の形態３のそれぞれのソースフォロワ回路のＮＭＯＳトランジスタＭＮ１０、ＰＭＯＳトランジスタＭＰ６が終始オンしていることによって与えられる影響を、本実施の形態のソースフォロワ回路を備えるバッファ回路では排除することが可能となる。

【０１５１】

実施の形態３のバッファ回路においては、トランジスタを形成する際にＮＭＯＳトランジスタＭＮ１０およびＰＭＯＳトランジスタＭＰ６のオン抵抗が小さくなりすぎないように設計を行う必要がある。これに対して、本実施の形態のバッファ回路においては、ＮＭＯＳトランジスタＭＮ９とＰＭＯＳトランジスタＭＰ５とが互いに排他的にオン、オフするので、そのような設計上の制約がなくなる。

【０１５２】

信号入力端子ＣＩＮにＨレベルの信号が入力されたときにはＰＭＯＳトランジスタＭＰ５はオフするので、第１の信号出力端子ＣＫＯはＮＭＯＳトランジスタＭＮ９を介して電位ＶＤＤ－Ｖｔｈｎを与えられる。同様に、信号入力端子ＣＩＮにＬレベルの信号が入力されたときには、ＮＭＯＳトランジスタＭＮ９はオフするので、第１の信号出力端子ＣＫＯはＰＭＯＳトランジスタＭＰ５を介して電位ＧＮＤ＋Ｖｔｈｐを与えられる。

【０１５３】

図１９（ａ）～（ｃ）は、本実施の形態のバッファ回路のタイミングチャートをそれぞれ示す波形図である。図１９（ｃ）において示されるように、第１の信号出力端子ＣＫＯからは、ソースフォロワ回路のスイッチング遅延ｓ３の分だけ遅れて信号が出力される。遅延ｓ３はインバータゲートＩＮＶ５による遅延ｄ５とほぼ同じであり、二つの出力信号の同期はほぼ採れている。

【０１５４】

なお、図１９（ｃ）に示されるタイミングチャートは、入力信号の信号周期が短い場合のものである。上述したように、ソースフォロワ回路を構成しているＰＭＯＳトランジスタＭＰ５とＮＭＯＳトランジスタＭＮ９のいずれか一方のトランジスタは必ずオフしている。従って、入力信号の信号周期が非常に長い場合には、オンしているいずれか一方のトランジスタを介して第１の信号出力端子ＣＫＯの信号は電位ＶＤＤあるいは電位ＧＮＤになる。

【０１５５】

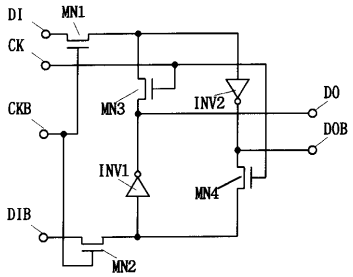
すなわち、充分長い時間が経過すれば、第１の信号出力端子ＣＫＯの信号の電位は電位ＶＤＤ－Ｖｔｈｎから電位ＶＤＤに、あるいは電位ＧＮＤ＋Ｖｔｈｐから電位ＧＮＤになる。

【０１５６】
実施の形態５．
本実施の形態においては、出力信号の電位を完全に引き上げまたは引き下げることが可能なバッファ回路を開示する。
【０１５７】
図２０は、本実施の形態に従うバッファ回路の構造を例示する回路図である。このバッファ回路と図１８に示されるバッファ回路との構造の違いとは、第１の信号出力端子ＣＫＯに出力端子が接続され、第２の信号出力端子ＣＫＯＢに入力端子が接続された、インバータゲートＩＮＶ７が付加されている点である。
【０１５８】
バッファ回路の回路動作について説明を行う。信号入力端子ＣＩＮにＨレベルの信号が入力されたときには、ソースフォロワ回路は第１の信号出力端子ＣＫＯを介して電位ＶＤＤ－Ｖｔｈｎをまず与える。その後、インバータゲートＩＮＶ７の出力がゲート１段分の遅延の後に電位ＶＤＤとなり、これによって第１の信号出力端子ＣＫＯに電位ＶＤＤが与えられる。同様に、信号入力端子ＣＩＮにＬレベルの信号が入力されたときには、第１の信号出力端子ＣＫＯにはまずソースフォロワ回路によって電位ＧＮＤ＋Ｖｔｈｐが与えられ、その後インバータゲートＩＮＶ７によって電位ＧＮＤが与えられる。
【０１５９】
図２１（ａ）～（ｃ）は、本実施の形態のバッファ回路のタイミングチャートをそれぞれ示す波形図である。第１の信号出力端子ＣＫＯから出力される信号は、遅延ｓ３の分だけ遅れているので、第２の信号出力端子ＣＫＯＢから遅延ｄ５の分だけ遅れて出力される信号とほぼ同期が採れている。第１の信号出力端子ＣＫＯから出力される信号は、インバータゲートＩＮＶ７によってＨレベルまたはＬレベルとなることが示されている。
【０１６０】
もちろん、図１４、図１６にそれぞれ示されるバッファ回路にそれぞれ図２２、図２３に示されるようにインバータゲートＩＮＶ７を付加しても、同様の効果が得られる。図２２に示されるバッファ回路においては電位ＶＤＤ－Ｖｔｈｎの信号がＨレベル（電位ＶＤＤ）にまで引き上げられ、図２３に示されるバッファ回路においては電位ＧＮＤ＋Ｖｔｈｐの信号がＬレベル（電位ＧＮＤ）にまで引き下げられる。
【０１６１】
本実施の形態のバッファ回路は、出力される信号の論理を素早く決定しつつもフルスイングでＨレベルおよびＬレベルの信号を与えることが可能であるので、バッファ回路に接続されたラッチ回路またはフリップフロップ回路を確実に動作させることが可能となる。
【０１６２】
【発明の効果】
請求項１に記載の構成によると、信号反転回路を除き回路動作に必要なトランジスタが６個であるので、データ保持回路は従来よりも小面積となる。
【０１６３】
さらに、第１の信号反転回路の入力端に第２の信号入力端子および第２のトランジスタを介して第１の電位が与えられ、第２の信号反転回路の入力端に第１の信号入力端子および第１のトランジスタを介して第２の電位が与えられたときに、第５のトランジスタがオンすることによって定電位が第１の信号反転回路の入力端子に与えられる。これによって、第２のトランジスタにおいてトランジスタのしきい値分の電圧降下が生じても、信号反転回路の論理しきい値よりも十分離れた電位を第１の信号反転回路の入力端子に与えることが可能となる。従って、回路動作に必要なトランジスタ数を従来よりも減らしても、回路動作が安定していて、信頼性の高いデータ保持回路が得られる。
【０１６４】
請求項２に記載の構成によると、請求項１に記載の効果に加え、第２の信号反転回路の入力端子にも第６のトランジスタを介して信号反転回路の論理しきい値よりも十分離れた電位を与えることが可能となる。これによって、回路動作がさらに安定する。

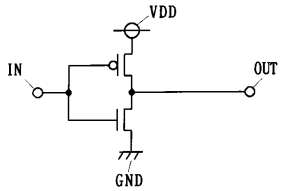
【０１６５】
請求項３に記載の構成によると、請求項２に記載のデータ保持回路を用いることによって、小面積であり回路動作の安定した、信頼性の高いフリップフロップ回路が得られる。
【０１６６】
請求項４に記載の構成によると、信号入力端子と第１および第２の信号出力端子とのそれぞれの間には、ソースフォロワ回路および第１のインバータがそれぞれ含まれる。これによって、第１および第２の信号出力端子からそれぞれ出力される信号同士の間の遅延は、ソースフォロワ回路と第１のインバータとの時間的な出力特性の差によって決定される。ソースフォロワ回路は並列に接続された第３のトランジスタおよび抵抗体からなり、第１のインバータは並列に接続された第１および第２のトランジスタからなるので、ソースフォロワ回路とインバータとのそれぞれの時間的な出力特性は非常に似通っている。従って、第１および第２の信号出力端子から出力されるそれぞれの信号は互いにほぼ同期を採っている。
【０１６７】
特に、請求項４に記載の構成の第１および第２の信号出力端子を請求項１～３に記載の構成の第１および第２のクロック端子にそれぞれ接続することによって、請求項１～３に記載の構成にクロック信号を与えることが可能となる。
【０１６８】
請求項５および６に記載の構成によると、ソースフォロワ回路は第３および第４のトランジスタという二つのトランジスタを含んでなるので、トランジスタを形成する工程の際にこれらのトランジスタを同時に形成することが可能となる。従って、バッファ回路の製造工程が簡易となる。
【０１６９】
特に請求項６に記載の構成によると、ソースフォロワ回路において第３のトランジスタと第４のトランジスタとは互いに排他的にオンおよびオフしているので、これらのトランジスタが同時にオンしない。従って、第１の信号出力端子に与えられる電位がなまることがない。これによって、バッファ回路の信頼性が高まる。
【０１７０】
請求項７に記載の構成によると、信号入力端子に第１の電位が与えられたときに、早期にソースフォロワ回路によって第１の信号出力端子は第１の電位に近い電位を与え、その後第２のインバータによって第１の信号出力端子の与える電位は第１の電位となる。
【０１７１】
さらに、請求項７に記載の構成であり特に請求項６にも記載の構成によると、信号入力端子に第２の電位が与えられたときに、同様の原理によって、第１の信号出力端子はまず第２の電位に近い電位を与え、その後第１の信号出力端子の与える電位は第２の電位となる。これらによって、バッファ回路の信頼性がさらに高まる。
【図面の簡単な説明】
【図１】実施の形態１の構造の一例を示す回路図である。
【図２】インバータゲートの構造を示す回路図である。
【図３】図１の構造のタイミングチャートを示す波形図である。
【図４】実施の形態１の構造の他例をしめす回路図である。
【図５】図４の構造のタイミングチャートを示す波形図である。
【図６】実施の形態２の構造の第１の例を示す回路図である。
【図７】図６の構造のタイミングチャートを示す波形図である。
【図８】実施の形態２の構造の第２の例を示す回路図である。
【図９】実施の形態２の構造の第３の例を示す回路図である。
【図１０】図９の構造のタイミングチャートを示す波形図である。
【図１１】実施の形態２の構造の第４の例を示す回路図である。
【図１２】実施の形態３の構造の第１の例を示す回路図である。
【図１３】実施の形態３の構造の第２の例を示す回路図である。

【図１４】実施の形態３の構造の第３の例を示す回路図である。
【図１５】図１４の構造のタイミングチャートを示す波形図である。
【図１６】実施の形態３の構造の第４の例を示す回路図である。
【図１７】図１６の構造のタイミングチャートを示す波形図である。
【図１８】実施の形態４の構造を例示する回路図である。
【図１９】図１８の構造のタイミングチャートを示す波形図である。
【図２０】実施の形態５の構造の第１の例を示す回路図である。
【図２１】図２０の構造のタイミングチャートを示す波形図である。
【図２２】実施の形態５の構造の第２の例を示す回路図である。
【図２３】実施の形態５の構造の第３の例を示す回路図である。
【図２４】従来のラッチ回路を示す回路図である。
【図２５】従来のラッチ回路のタイミングチャートを示す波形図である。
【図２６】従来のフリップフロップ回路を示す回路図である。
【図２７】従来のフリップフロップ回路のタイミングチャートを示す波形図である。
【図２８】従来のバッファ回路を示す回路図である。
【図２９】従来のバッファ回路のタイミングチャートを示す波形図である。
【符号の説明】
ＣＩＮ　信号入力端子、ＣＫ　第１のクロック入力端子、ＣＫＢ　第２のクロック入力端子、ＣＫＯ　第１の信号出力端子、ＣＫＯＢ　第２の信号出力端子、ＣＬＫ１　第１のクロック入力状態、ＣＬＫ２　第２のクロック入力状態、ＤＡＴＡ１，２　第１，２のデータ、ＤＩ　第１のデータ入力端子、ＤＩＢ　第２のデータ入力端子、ＤＯ　第１のデータ出力端子、ＤＯＢ　第２のデータ出力端子、ｄ５　インバータゲートのスイッチング遅延、ＧＮＤ　第２の電源，電位、ＩＮ　インバータゲートの入力端子、ＩＮＶ１～７　インバータゲート、ＭＮ１～１０　ＮＭＯＳトランジスタ、ＭＰ１～６　ＰＭＯＳトランジスタ、ＯＵＴ　インバータゲートの出力端子、Ｒ１，２　抵抗、ｓ１～３　ソースフォロワ回路のスイッチング遅延、ＴＧ１～４　トランスミッションゲート、ＶＤＤ　第１の電源，電位、Ｖｔｈｎ　ＮＭＯＳトランジスタのしきい値電圧の絶対値、Ｖｔｈｐ　ＰＭＯＳトランジスタのしきい値電圧の絶対値。

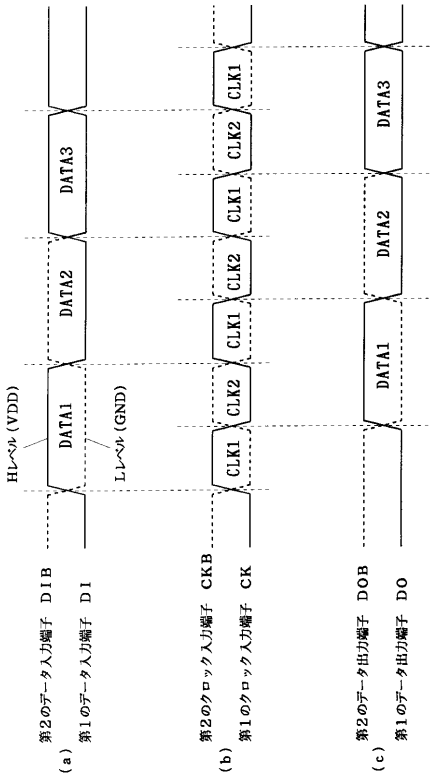
【図１】


DI
MN1
CK
CKB
MN3
INV2
DO
DOB
INV1
MN4
DIB
MN2

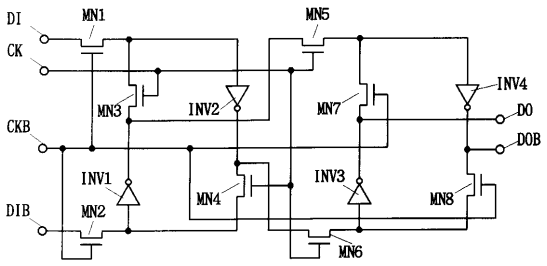
【図２】


VDD
IN
OUT
GND

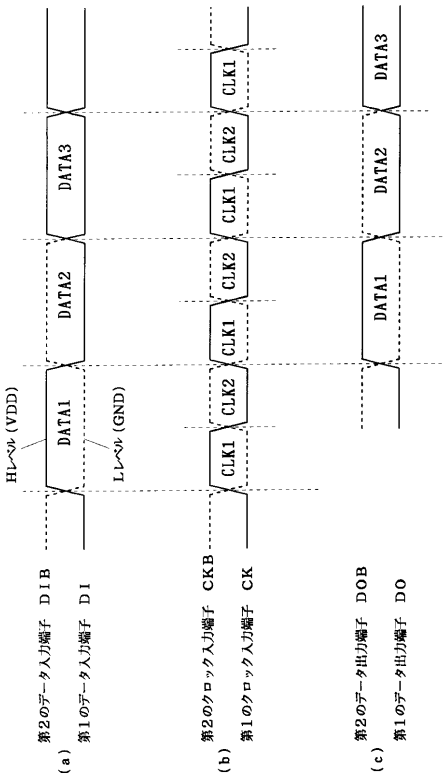
【図３】


Hレベル (VDD)
Lレベル (GND)
DATA1
DATA2
DATA3
CLK1
CLK2
第2のデータ入力端子 DIB
第1のデータ入力端子 DI
第2のクロック入力端子 CKB
第1のクロック入力端子 CK
第2のデータ出力端子 DOB
第1のデータ出力端子 DO
(a)
(b)
(c)

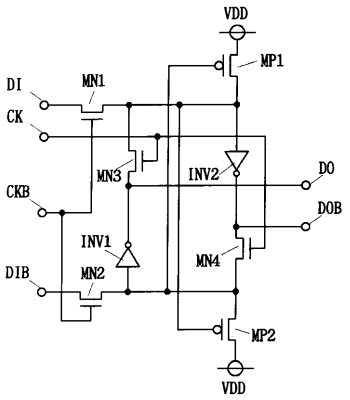
【図４】


DI
MN1
MN5
CK
INV4
MN3
INV2
MN7
DO
CKB
DOB
INV1
INV3
MN4
MN8
DIB
MN2
MN6

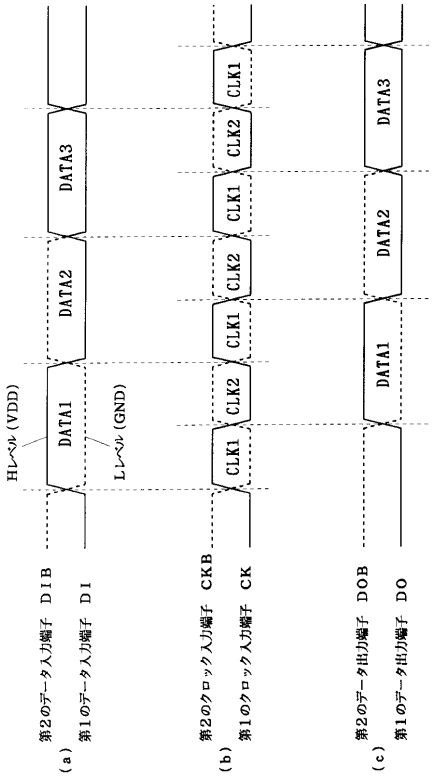
【図５】


Hレベル (VDD)
Lレベル (GND)
DATA1
DATA2
DATA3
CLK1
CLK2
第2のデータ入力端子 DIB
第1のデータ入力端子 DI
第2のクロック入力端子 CKB
第1のクロック入力端子 CK
第2のデータ出力端子 DOB
第1のデータ出力端子 DO
(a)
(b)
(c)

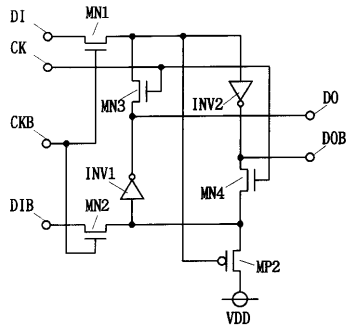
【図６】



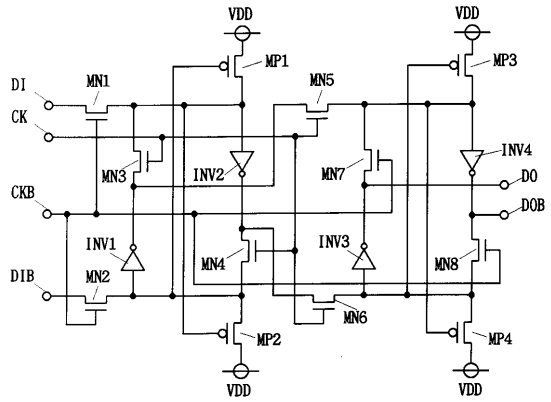
【図７】



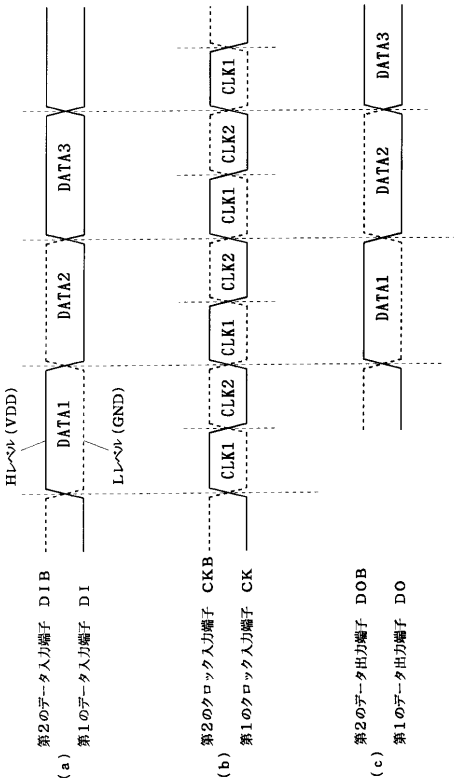
【図８】



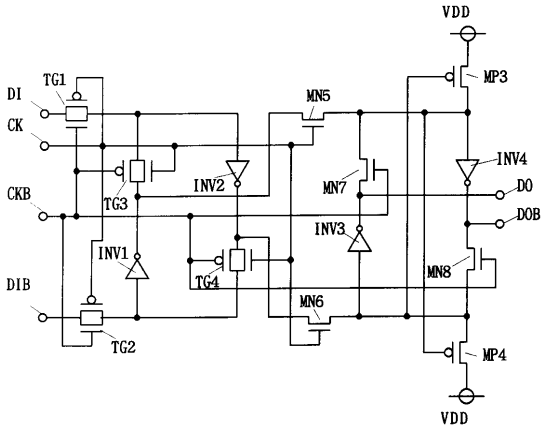
【図９】



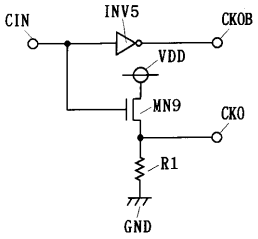
【図１０】



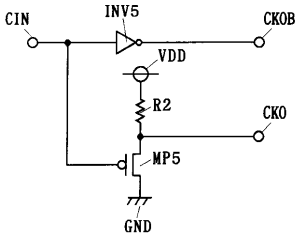
【図１１】



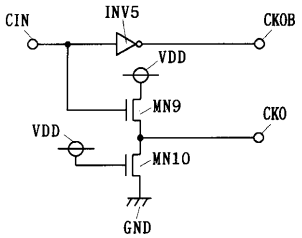
【図１２】



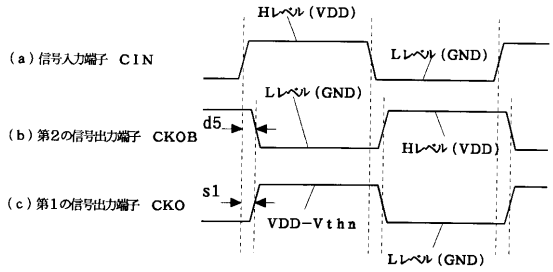
【図１３】



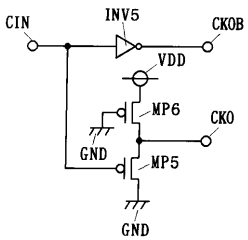
【図１４】



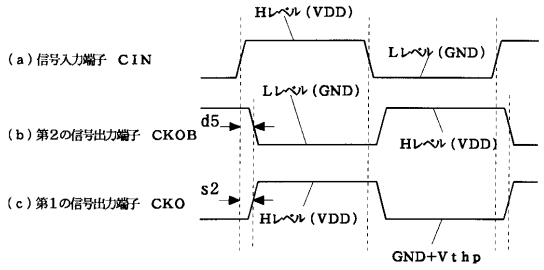
【図１５】



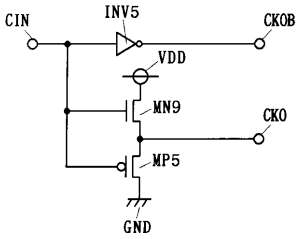
【図１６】



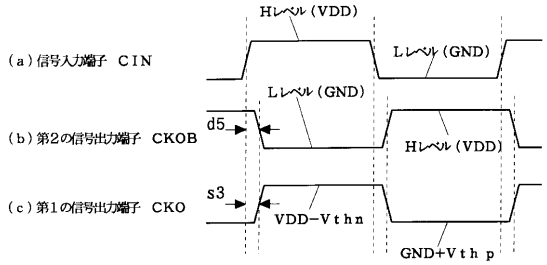
【図１７】



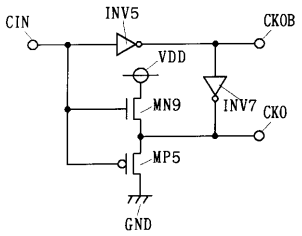
【図１８】



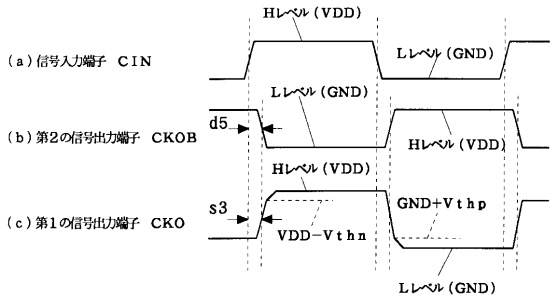
【図１９】



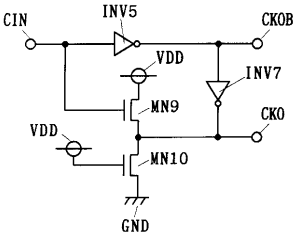
【図２０】



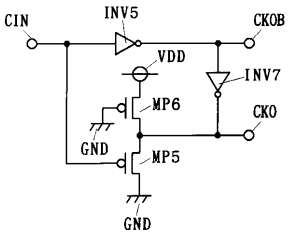
【図２１】



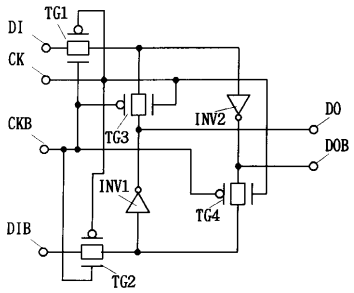
【図２２】



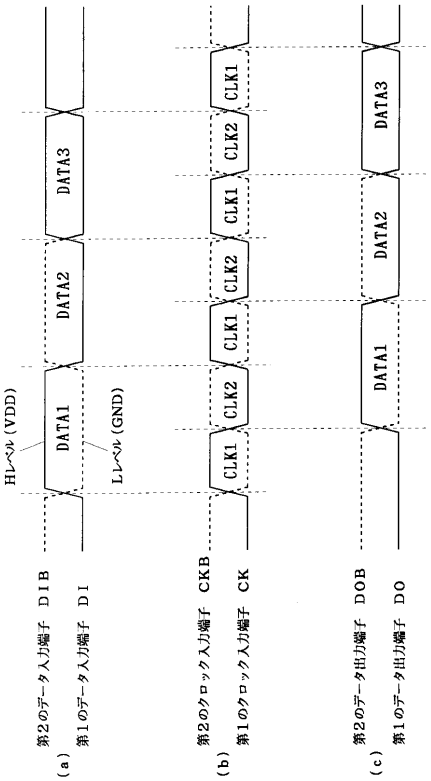
【図２３】



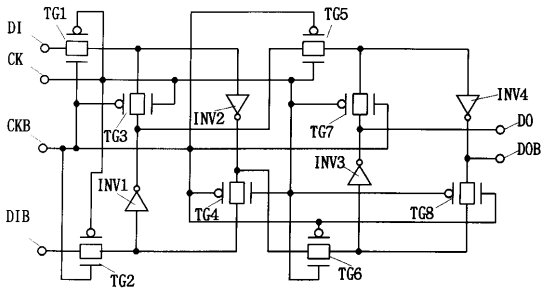
【図２４】



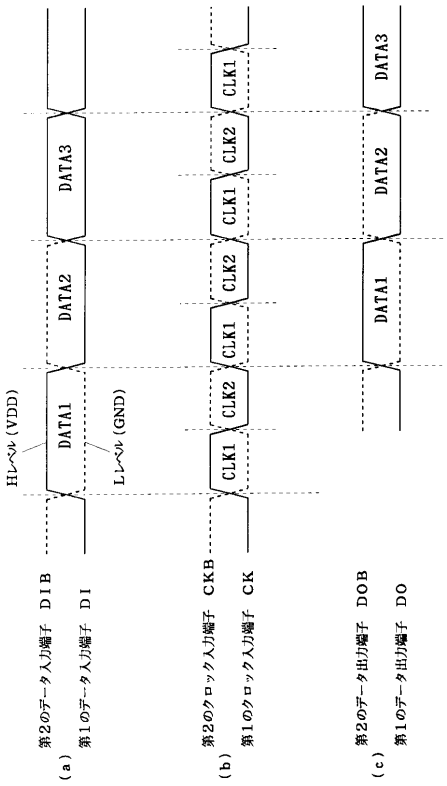
【図２５】



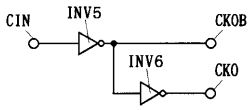
【図２６】



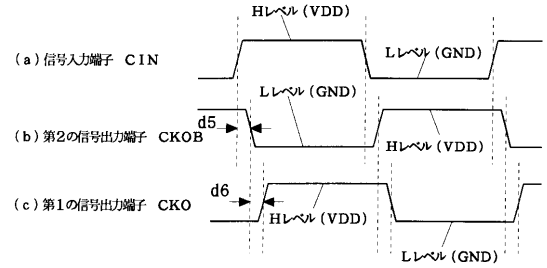
【図２７】



【図２８】



【図２９】



フロントページの続き

(72)発明者　益子　耕一郎
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内

審査官　江嶋　清仁

(58)調査した分野(Int.Cl.[7], ＤＢ名)
H03K 3/00