

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200810040295. X

[51] Int. Cl.

H01L 21/336 (2006.01)

H01L 21/28 (2006.01)

H01L 21/84 (2006.01)

H01L 29/786 (2006.01)

H01L 29/788 (2006.01)

H01L 27/12 (2006.01)

[43] 公开日 2010年1月6日

[11] 公开号 CN 101621008A

[22] 申请日 2008.7.3

[21] 申请号 200810040295. X

[71] 申请人 中芯国际集成电路制造(上海)有限公司

地址 201210 上海市浦东新区张江路18号

[72] 发明人 三重野文健

[74] 专利代理机构 北京集佳知识产权代理有限公司

代理人 刘继富 顾晋伟

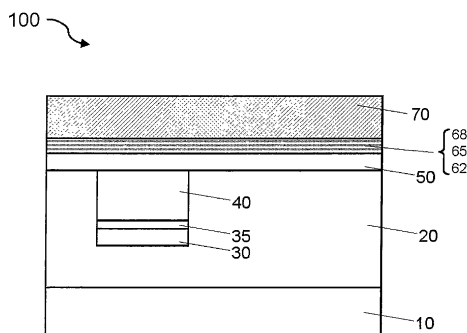
权利要求书4页 说明书14页 附图6页

[54] 发明名称

TFT 浮置栅极存储单元结构

[57] 摘要

本发明提供具有薄膜晶体管(TFT)浮置栅极存储单元结构的器件。该器件包括衬底、在衬底上的介电层和嵌入该介电层的一个或多个源极或漏极区。介电层与第一表面相联。一个或多个源极或漏极区的每个包括在扩散势垒层上的N⁺多晶硅层,所述扩散势垒层在导电层上。该N⁺多晶硅层具有与第一表面基本共面的第二表面。另外,该器件包括覆盖该共面的表面的P⁻多晶硅层和所述P⁻多晶硅层上的浮置栅极。所述浮置栅极是夹在下部氧化物隧道层和上部氧化物阻挡层之间的低压CVD沉积的硅层。此外,所述器件包括由覆盖所述上部氧化物阻挡层的P⁺多晶硅层制成的至少一个控制栅极。本发明提供了制造该存储单元结构的方法,该方法可以重复以三维地集成所述结构。



1.一种制造 TFT 浮置栅极存储单元结构的方法，所述方法包括：
提供衬底；

在所述衬底上形成第一绝缘层；

在所述第一绝缘层上形成一个或多个源极或漏极区，所述一个或多个源极或漏极区的每一个与第一表面相联并包括 N^+ 多晶硅层、势垒层和导电层，所述 N^+ 多晶硅层在所述势垒层上，所述势垒层覆盖所述导电层，所述第一表面由 N^+ 多晶硅构成；

在所述第一绝缘层上形成第二绝缘层，所述第二绝缘层与第二表面相联，所述第二表面与所述第一表面基本共面；

形成覆盖所述第一表面和第二表面的 P 多晶硅层，所述 P 多晶硅层能够形成从所述源极区到所述漏极区的沟道；

形成夹在上部二氧化硅阻挡层和所述 P 多晶硅层上的下部二氧化硅隧道层之间的硅层，所述硅层能够形成浮置栅极；

在所述上部二氧化硅阻挡层上形成 P^+ 多晶硅层；和

通过图案化所述 P^+ 多晶硅层形成至少一个控制栅极。

2.权利要求 1 的方法，其中所述在所述第一绝缘层上形成一个或多个源极或漏极区的方法还包括：

在所述第一绝缘层上形成第一导电层；

在所述导电层上形成势垒层；

在所述势垒层上形成 N^+ 多晶硅层；和

图案化所述 N^+ 多晶硅层、势垒层和导电层以形成包括所述第一表面的一个或多个限制区域。

3.如权利要求 2 的方法，其中所述第一绝缘层包括二氧化硅。

4.如权利要求 2 的方法，其中所述导电层是包括 $TiSi_2$ 的金属硅化物。

5.如权利要求 2 的方法，其中所述势垒层是包括 TiN 的金属氮化物。

6.权利要求 1 的方法，其中所述在所述第一绝缘层上形成第二绝缘

层的方法还包括:

沉积所述第二绝缘层以覆盖所述第一绝缘层上的一个或多个源极或漏极区; 和

进行 CMP 和/或回蚀刻过程以形成所述第二表面, 所述第二表面基本与第一表面共面。

7.如权利要求 6 的方法, 其中所述第二绝缘层包括通过高密度等离子体辅助化学气相沉积所沉积的二氧化硅。

8.如权利要求 6 的方法, 其中所述第二绝缘层包括 TEOS 沉积的二氧化硅。

9.权利要求 1 的方法, 其中所述形成 P 多晶硅层的方法还包括:

在 520-560℃ 下利用以 $\text{SiH}_4/\text{B}_2\text{H}_6$ 为前体的低压 CVD 技术来沉积多晶硅; 和

沉积之后在 520-560℃ 下退火。

10.权利要求 1 的方法, 其中所述形成 P 多晶硅层的方法还包括:

在 420-520℃ 下利用以 $\text{Si}_2\text{H}_6/\text{B}_2\text{H}_6$ 为前体的低压 CVD 技术来沉积多晶硅; 和

沉积之后在 420-520℃ 下退火。

11.权利要求 1 的方法, 其中所述形成硅层的方法还包括:

在 520-560℃ 下利用以 SiH_4 为前体的低压 CVD 技术来沉积多晶硅; 和

沉积之后在 520-560℃ 下退火。

12.权利要求 1 的方法, 其中所述形成硅层的方法还包括:

在 420-520℃ 下利用以 Si_2H_6 为前体的低压 CVD 技术来沉积多晶硅; 和

沉积之后在 420-520℃ 下退火。

13.权利要求 1 的方法, 其中在阻挡层和隧道层中的所述二氧化硅层可以通过使用以 SiH_4 和 O_2 或 O_3 为前体的低压 CVD 技术来形成。

14.权利要求 1 的方法, 其中所述控制栅极置于所述硅浮置栅极和所

述多晶硅 TFT 的沟道上。

15.权利要求 1 的方法,还包括重复所述方法步骤从而三维集成所述存储单元结构。

16.一种具有薄膜晶体管(TFT)浮置栅极存储单元结构的器件,所述器件包括:

衬底;

所述衬底上的介电层,所述介电层与第一表面相联;

嵌入所述介电层的一个或多个源极或漏极区,所述一个或多个源极或漏极区的每个包括 N^+ 多晶硅层、扩散势垒层和第一导电层,所述 N^+ 多晶硅层位于所述扩散势垒层上,所述扩散势垒层覆盖所述第一导电层,所述 N^+ 多晶硅层具有与所述第一表面基本共面的第二表面;

覆盖所述第一表面和第二表面的 P 多晶硅层;

所述 P 多晶硅层上的硅层,所述硅层夹在上部氧化物阻挡层和下部氧化物隧道层之间;

覆盖所述上部氧化物阻挡层上面的第二导电层; 和

由图案化所述第二导电层制造的至少一个控制栅极。

17.权利要求 16 的器件,其中所述介电层包括二氧化硅。

18.权利要求 16 的器件,其中所述第一导电层是包括 $TiSi_2$ 的金属硅化物。

19.权利要求 18 的器件,其中所述金属硅化物层能够与存储阵列位线电连接。

20.如权利要求 16 的器件,其中所述扩散势垒层是包括 TiN 的金属氮化物。

21.权利要求 16 的器件,其中所述覆盖 N^+ 多晶硅源极或漏极区的 P 多晶硅层形成作为存储单元存取器件的多晶硅薄膜晶体管的 p-沟道。

22.权利要求 16 的器件,其中夹在上部阻挡氧化物层和下部隧道氧化物层之间的所述硅层能够形成作为电荷存储元件的浮置栅极。

23.权利要求 22 的器件,其中所述硅层可以使用低压 CVD 由 SiH_4

或 Si_2H_6 前体形成。

24. 权利要求 22 的器件，其中所述氧化物阻挡层和氧化物隧道层可使用低压 CVD 技术由二氧化硅制造。

25. 权利要求 16 的器件，其中所述第二导电层与存储阵列字线电连接。

26. 权利要求 25 的器件，其中所述第二导电层是高度掺杂的 P^+ 多晶硅层。

27. 权利要求 16 的器件，其中所述控制栅极位于至少一个源极区和一个漏极区上。

TFT 浮置栅极存储单元结构

技术领域

本发明涉及集成电路以及制造半导体器件的方法。更具体地，本发明提供制造具有存储单元的半导体器件的方法。仅仅作为举例，本发明已经应用于包括浮置栅极的薄膜晶体管(TFT)存储单元结构以及制造该单元结构和形成三维阵列的方法。但是应认识到本发明具有宽得多的应用范围。例如，本发明可以应用于作为存储元件的具有控制栅极和浮置栅极的器件，比如动态随机存取存储器件、静态随机存取存储器件、快闪存储器件等。

背景技术

集成电路或“IC”已经从在硅单片上制造的少量互连器件发展到几百万个器件。现在的 IC 具有远超过原来设想的性能和复杂性。为了实现复杂性和电路密度（即，能封装到给定芯片面积上的器件数目）的改进，亦称为器件“几何尺寸”的最小器件特征的尺寸随每代 IC 也变得越来越小。现在制造的半导体器件具有横断面小于 1/4 微米的特征。

增加电路密度不仅改善 IC 的复杂性和性能，而且为消费者提供较低成本的部件。IC 制造设备可花费数亿，或甚至数十亿美元。各个制造设备将具有某些晶片生产能力，并且各个晶片会在其上具有若干 IC。因此，通过使得 IC 的单个器件更小，可以在各个晶片上制造更多器件，因此增加制造设备的产出。使器件更小非常具有挑战性，这是因为 IC 构造中使用的每个工艺具有限制。即，给定工艺通常仅能加工小至一定的特征尺寸，然后需要改变工艺或器件布局。

在过去，减小储存器件已经为挑战性任务。举例来说，对于非易失性存储器件，由于不能减小存储单元尺寸同时不降低每单位面积的存储量，因而阻碍了高密度存储器的发展。过去，已经开发了各种的常规方法用于具有减小尺寸的存储单元结构。不幸地，这些常规方法往往还存在不足。

从上可知，需要改善的器件设计和处理半导体器件的技术，特别是三维的（3D）存储单元结构。

发明内容

本发明涉及集成电路以及制造半导体器件的方法。更具体地，本发明提供制造具有存储单元的半导体器件的方法。仅仅作为举例，本发明已经应用于包括浮置栅极的薄膜晶体管(TFT)存储单元结构以及制造该单元结构和形成三维阵列的方法。但是应认识到本发明具有宽得多的应用范围。例如，本发明可以应用于作为存储元件的具有控制栅极和浮置栅极的器件，比如动态随机存取存储器件、静态随机存取存储器件、快闪存储器件等。

在一个具体的实施方案中，本发明提供一种制造 TFT 浮置栅极存储单元结构的方法。该方法包括提供衬底，在衬底上形成第一绝缘层，和在第一绝缘层上形成一个或多个源极或漏极区。一个或多个源极或漏极区的每个与第一表面相联，并包括 N^+ 多晶硅层、势垒层 (barrier layer) 和导电层。该 N^+ 多晶硅层位于覆盖导电层的势垒层上。第一表面由 N^+ 多晶硅组成。另外，该方法包括在所述第一绝缘层上形成第二绝缘层。与第一表面基本共面的第二表面和第二绝缘层相联。该方法另外包括形成覆盖第一表面和第二表面的 P 多晶硅层。该 P 多晶硅层能够形成从源极区到漏极区的沟道。此外，该方法包括形成夹在上部二氧化硅阻挡层和 P 多晶硅层上的下部二氧化硅隧道层之间的硅层。该硅层能够形成浮置栅极。此外，该方法包括在上部二氧化硅阻挡层上形成 P^+ 多晶硅层，并通过图案化该 P^+ 多晶硅层形成至少一个控制栅极。

在另一个具体的实施方案中，本发明提供一种具有薄膜晶体管 (TFT) 浮置栅极存储单元结构的器件。该器件包括衬底和在该衬底上的介电层。介电层与第一表面相联。该器件还包括嵌入该介电层的一个或多个源极或漏极区。一个或多个源极或漏极区的每一个包括 N^+ 多晶硅层、扩散势垒层和第一导电层。该 N^+ 多晶硅层位于覆盖第一导电层的扩散势垒层上。该 N^+ 多晶硅层具有与第一表面基本共面的第二表面。另外，该器件包括覆盖第一表面和第二表面的 P 多晶硅层。该方法还包括 P 多晶硅层上的硅层。该硅层夹在上部氧化物阻挡层和下部氧化物隧道层之间。此外，该器件包括覆盖上部氧化物阻挡层的第二导电层和由

图案化第二导电层制造的至少一个控制栅极。

在又一个具体的实施方案中， N^+ 多晶硅源极区、 P 多晶硅沟道层和随后的 N^+ 多晶硅漏极区的组合能够形成位于电荷存储硅浮置栅极层下的薄膜晶体管 (TFT)。该 TFT 可作为该存储单元的存取器件。在一个实施方案中，通过该方法制造的 TFT 浮置栅极存储单元结构可以三维 (3D) 重复地集成。此外，在另一个实施方案中，整个存储单元结构可以以交叉点 (cross-point) 存储结构的方式实施，其中在硅浮置栅极层之内的各个存储元件可以夹在正交的字线和位线阵列之间。

通过本发明可以实现相对于常规方法的许多优点。根据某些实施方案，本发明结合了以下优点：用于电荷-捕获的 CVD 硅浮置栅极的高可靠性、小的几何单元尺寸和层状结构、使用多晶硅薄膜晶体管作为存取器件的高场效应迁移率、和用于制造和掺杂剂活化的低的热预算在存储单元耐受的溫度范围之内。另外，本发明提供与常规 CMOS 工艺技术相容的方法，其基本上不改变常规设备和工艺。在某些实施方案中，该方法提供形成基于多晶硅的薄膜晶体管的方法，所述多晶硅是使用低温化学气相沉积(LPCVD)和某些满足 3D 存储阵列的可堆叠性和热预算限制的沉积后退火来沉积。基于该实施方案，可以实现一个或多个这些优点。在本发明的整个说明书中会更详细地说明这些及其他优点，特别是下文中。

参考详细说明和之后的附图可以更完整地理解本发明的各种另外的目的，特征和优点。

附图说明

图 1 是根据本发明的一个实施方案的 TFT 浮置栅极存储单元的简化的侧视图；

图 2 是显示根据本发明的一个实施方案，制造 TFT 浮置栅极存储单元结构的方法的简图。

图 3A 是显示根据本发明的一个实施方案，在衬底上形成第一绝缘层以制造 TFT 浮置栅极存储单元结构的方法简图。

图 3B 是显示根据本发明的一个实施方案顺序形成导电层、扩散势垒层、和 N^+ 多晶硅层以制造 TFT 浮置栅极存储单元结构的方法的简图；

图 3C 是显示根据本发明的一个实施方案，形成源极或漏极区以制造 TFT 浮置栅极存储单元结构的方法的简图；

图 3D 是显示根据本发明的一个实施方案，在源极或漏极区周围形成第二绝缘层以制造 TFT 浮置栅极存储单元结构的方法的简图；

图 3E 是显示根据本发明的一个实施方案，形成源极或漏极区和第二绝缘层的共面表面以制造 TFT 浮置栅极存储单元结构的方法的简图；

图 3F 是显示根据本发明的一个实施方案，形成 n-p-n 多晶硅 TFT 以制造 TFT 浮置栅极存储单元结构的方法的简图；

图 3G 是显示根据本发明的一个实施方案，形成浮置栅极以制造 TFT 浮置栅极存储单元结构的方法的简图；

图 3H 是显示根据本发明的一个实施方案，形成控制栅极以制造 TFT 控制栅极存储单元结构的方法的简图；

图 3I 是显示根据本发明的一个实施方案，形成层间电介质以制造 TFT 控制栅极存储单元结构的方法的简图。

具体实施方式

本发明涉及集成电路以及制造半导体器件的方法。更具体地，本发明提供制造具有存储单元的半导体器件的方法。仅仅作为举例，本发明已经应用于包括浮置栅极的薄膜晶体管(TFT)存储单元结构，和制造该单元结构与形成三维阵列的方法。但是应认识到本发明具有宽得多的应用范围。例如，本发明可以应用于作为存储元件的具有控制栅极和浮置栅极的器件，比如动态随机存取存储器件、静态随机存取存储器件、快闪存储器件等。

如以上讨论的，已经有各种常规技术涉及尺寸减小的存储单元。根据该常规方法之一，以堆叠栅极结构来实施存储单元。例如，使用一个或多个沟道热电子对堆叠结构编程，所述沟道热电子通过源极区和沟道

区然后被 Fowler-Norheim 隧道效应消除。

不幸的是，堆叠的栅极单元结构是二维阵列型，通常随单元尺寸缩小而具有较小的单位面积存储量。一个可行解决方案是在含有 CMOS 辅助电路的 Si 衬底上三维地堆叠几个存储阵列层。根据各实施方案，本发明提供三维的存储单元结构。例如，本发明的某些实施方案提供在存储单元中制造可堆叠的存取器件的能力。这要求改善存储单元结构的设计，使所述存储单元结构可满足包括以下属性的一种或多种：堆叠能力、小的几何尺寸、低的漏电流、可双向操作、易于集成为低温后端 CMOS 流 (backend CMOS flow)、成本效益、效率等。因此本发明的各种实施方案提供薄膜-晶体管 (TFT) 浮置栅极存储单元结构。应理解术语“TFT 浮置栅极”指一类存储单元结构并是广义上的。例如，根据图 1 可以说明“TFT 浮置栅极”存储单元结构。

图 1 是具有能够三维地堆叠的 TFT 浮置栅极存储单元结构的半导体器件 100 的简图。这些图仅仅是举例，其不应该不适当地限制本发明中权利要求的范围。本领域技术人员可知道许多变化、替代方案和改变。器件 100 包括以下元件：

1. 硅衬底 10;
2. 介电层 20;
3. 导电层 30;
4. 扩散势垒层 35;
5. 一个或多个 N^+ 多晶硅源极或漏极区 40;
6. P^- 多晶硅沟道层 50;
7. 浮置栅极层 65; 和
8. 控制栅极区 70。

尽管已经利用器件 100 的所选元件组进行了上述描述，但是可有许多替代方案、改变、和变化。例如，一些元件可以扩大和/或组合。其他元件可以插入上述的那些中。基于该实施方案，元件的布置可以互

换、替换。从本发明说明书的整体获悉这些元件的更多细节，尤其是在下文中。

在一个实施方案中，衬底 10 由半导体材料制成。例如，该半导体材料是硅。在另一个例子中，衬底 10 包括多个半导体器件，比如电介质钝化的 TFT 浮置栅极存储阵列。

介电层 20 位于衬底 10 上。在一个实施方案中，至少部分介电层 20 由经过热氧化法在硅衬底上形成的二氧化硅组成。在另一个实施方案中，介电层 20 是通过高密度等离子体(HDP)辅助的化学气相沉积沉积的二氧化硅、或 TEOS 沉积的二氧化硅。

介电层 20 中嵌入有一个或多个限制区域(confined region)。各限制区域含有导电层、扩散势垒层、和半导体源极或漏极区。在如图 1 所示的一个示例性限制区域中，导电层 30 位于底部，并且扩散势垒层 35 覆盖导电层 30，随后是 N^+ 多晶硅层 40。 N^+ 多晶硅层 40 是重掺杂的 n-型多晶硅层并具有与介电层 20 的表面共面的表面。在一个实施方案中， N^+ 多晶硅层 40 能够形成器件 100 的源极或漏极区。n-型源极或漏极区 40 通过扩散势垒层 35 与导电层 30 电连接。在另一个实施方案中，导电层 30 能够与存储器位线（图 1 中未显示）电连接，以进行存储单元的编程或擦除功能。在又一个实施方案中，导电层 30 是含有金属或金属合金材料。例如，所述材料是硅化钛。在另一个例子中，扩散势垒层 35 是氮化钛。

参考图 1， N^+ 多晶硅源极或漏极区 40 含有多晶硅，其位于嵌入介电区域 20 的限制区域之上部的上部。在一个实施方案中，该多晶硅利用电子作为多数载流子传导的 n-型掺杂剂（例如，As、P 等）来重掺杂。如图 1 所示，在另一个实施方案中， N^+ 多晶硅源极或漏极区 40 具有与介电层 20 共面的表面。

再次参考图 1，P-多晶硅层 50 位于 N^+ 多晶硅源极或漏极区 40 和介电层 20 的共面的表面上。P-多晶硅层 50 是轻掺杂的 p-型多晶硅层。在一个例子中，P-多晶硅层利用具有空穴作为多数载流子的 p-型掺杂剂（例如，B、Ga 等）掺杂。在一个实施方案中，P-多晶硅层 50 至少部分地与 N^+ 多晶硅源极或漏极区 40 直接接触。参考图 1，在另一个实施

方案中，覆盖所述限制的 N^+ 多晶硅源极或漏极区 40 的 P 多晶硅层 50 在器件 100 中形成 n-p-n 多晶硅薄膜-晶体管 (TFT) 的 p-沟道。在一个具体的实施方案中，p-沟道 TFT 可以用作器件 100 的存储存取器件。

参考图 1，浮置栅极 65 位于 P 多晶硅层 50 上。在一个实施方案中，浮置栅极 65 夹在下部氧化物层 62 和上部氧化物层 68 之间。在另一个实施方案中，下部氧化物层 62 位于 P 多晶硅层 50 和浮置栅极 65 之间。在又一个实施方案中，上部氧化物层 68 覆盖浮置栅极 65。在一个具体的实施方案中，使用低压化学气相沉积(LPCVD)技术、随后热退火的方法，由硅层制成该浮置栅极。下部氧化物层 62 和上部氧化物层 68 由 CVD-沉积的二氧化硅制成。在另一个实施方案中，下部氧化物层 62 形成高迁移率热载流子的隧道势垒，所述高迁移率热载流子在 p-沟道 TFT 中通过施加的编程电场从漏极区注入到浮置栅极 65。在又一个实施方案中，上部氧化物层 68 形成阻挡介电或栅极绝缘层，用于阻挡从电荷捕获浮置栅极中漏泄出的电荷。在一个例子中，可以精细地调整和控制捕获在 CVD-沉积的硅浮置栅极中的电荷量以每单元存储 4 个以上的位。

再次参考图 1，器件 100 还包括存储单元的至少一个控制栅极区 70。通过图案化覆盖上部氧化物层 68 的 P^+ 多晶硅层形成控制栅极区域 70。图案化的控制栅极区域 70 至少位于一个限制的 N^+ 多晶硅源极或漏极区 40 上，其中通过在一对区域 40 上直接覆盖 P 多晶硅层 50 来形成 p-沟道 TFT。控制栅极区域 70 的图案几何形状没有具体地显示在图 1 中，其仅仅是举例，本领域技术人员会知道控制栅极区域 70 的许多变化、替代方案和改变以及它们的互连。例如，控制栅极区域 70 可以电连接到存储阵列字线(未显示)，其可以正交于连接到导电层 30 的存储位线。在一个实施方案中，其中形成存储单元 100 的控制栅极区域 70 的第二导电层优选是高功函材料，以抑制寄生栅极擦除电流。用于制造控制栅极区域 70 的 P^+ 多晶硅层是重掺杂的 p-型多晶硅层。当然，可以可选择地由选自以下的至少一种材料层形成控制栅极区域 70：钨层、硅锗层、硅锗碳化物层、钼层、硅化钼、钛层、铝层、硅化钛层、和氮化钛层，优选器件 100 由重掺杂为 p-型的多晶硅层形成。

根据本发明的一个实施方案，具有 TFT 浮置栅极存储单元结构的器件 100 可以横向地重复以形成存储阵列。该存储阵列还可以用层间电介

质钝化，所述层间电介质具有与栅极、源极或漏极区的多个金属互连和/或接触。在另一个实施方案中，钝化层可以进一步平坦化，以形成用于堆叠或直接再次制造多个器件 100 的衬底。在又一个实施方案中，本发明提供可以集成为多个层以形成三维存储阵列的 TFT 浮置栅极存储单元结构。

图 2 是显示根据本发明的一个实施方案制造 TFT 浮置栅极存储单元结构的方法的简图。这些图仅仅是举例，其不应该不适当地限制本发明中权利要求的范围。方法 2000 包括以下步骤：

1. 在硅衬底上形成第一绝缘层的步骤 2100；
2. 形成 N^+ 多晶硅源极或漏极区的步骤 2200；
3. 形成 P^- 多晶硅沟道的步骤 2300；
4. 形成浮置栅极的步骤 2400；
5. 形成控制栅极的步骤 2500； 和
6. 形成层间电介质的步骤 2600。

上述序列步骤提供根据本发明的一个实施方案的方法。也可以提供其它的替代方案，其中加入步骤、省去一个或多个步骤，或以不同的序列提供一个或多个步骤，这没有脱离本发明中权利要求所要求保护的范 围。例如，通过方法 2000 制造的具有 TFT 浮置栅极存储单元结构的半导体器件是器件 100。本发明的更多细节可以在整个本发明的说明书中找到，更特别是以下的内容。

在步骤 2100 中，在衬底上形成绝缘层。图 3A 显示根据本发明的一个实施方案形成绝缘层，用于制造具有 TFT 浮置栅极存储单元结构的半导体器件的简化方法。这些图仅仅是举例，其不应该不适当地限制本发明中权利要求的范围。本领域技术人员可知道许多变化、替代方案和改变。

如图 3A 所示，提供起始衬底 110。例如，衬底 110 包括硅。在另一个例子中，衬底 110 包含多个半导体器件，所述半导体器件包括嵌入钝

化的层间电介质中的多个 CMOS 存储器件。在衬底 110 上，形成第一绝缘层 120。在一个实施方案中，第一绝缘层 120 包括二氧化硅。例如，通过热氧化法形成该二氧化硅。在另一个例子中，二氧化硅膜利用高密度等离子体化学气相沉积(HDP-CVD)技术沉积。

参考图 2，在步骤 2200 中，形成一个或多个 N^+ 多晶硅源极或漏极区。图 3B、3C、3D 和 3E 显示根据本发明的一个实施方案，形成一个 N^+ 多晶硅源极或漏极区用于制造具有 TFT 浮置栅极存储单元结构的半导体器件的简化方法。这些图仅仅是举例，其不应该不合理地限制本发明中权利要求的范围。本领域技术人员可知道许多变化，替代方案，和改变。例如，可以实施步骤 2200 以制造器件 100。

如图 3B 所示，在所述第一绝缘层 120 上顺序地形成第一导电层 130、扩散势垒层 135 和 N^+ 多晶硅层 140。在一个实施方案中，第一导电层 130 由金属硅化物材料制成。金属硅化物能够形成电连接的接触垫。在另一个实施方案中，第一导电层 130 可以和沿特定方向嵌入的第一绝缘层 120 的存储阵列位线（未显示）电连接。在一个例子中，导电层 130 是硅化钛($TiSi_2$)。在另一个例子中， $TiSi_2$ 层可以通过各种沉积技术形成，包括蒸发、溅射或 CVD。例如，通过使用 SiH_4 和 $TiCl_4$ 等的气体混合物的热 CVD、随后在 600-800 $^{\circ}C$ 下热退火来形成 $TiSi_2$ 层。

在又一个实施方案中，为减少金属相互扩散问题，在形成多晶硅层之前，沉积覆盖第一导电层 130 的扩散势垒层 135。例如，扩散势垒层 135 由氮化钛(TiN)材料制成。在另一个例子中，用低压化学气相沉积（LPCVD）或物理气相沉积（PVD）沉积 TiN 层。再次参考图 3B，在扩散势垒层 135 上形成 N^+ 多晶硅层 140。在一个例子中，在 400 到 600 摄氏度下，利用 $SiH_4/PH_3/H_2$ 气体混合物流通过低压 CVD 沉积 N^+ 多晶硅层 140，其中磷是 n-型掺杂剂杂质。其它的替代方法比如等离子体增强的 CVD 和原子层沉积（ALD）技术可用于形成 N^+ 多晶硅层 140。显然，本领域技术人员会知道形成包括其掺杂剂型的 N^+ 多晶硅的其它选择。

仍在步骤 2200 中，参考图 3C，根据本发明的一个实施方案，用顺序层 130、135 和 140 进行图案化和蚀刻。在一个实施方案中，通过应用光刻胶层、随后在图案化的光掩模下暴露于紫外光，进行图案化。显

影光刻胶层并剥离清洗暴露的光刻胶材料，产生由部分暴露的 N^+ 多晶硅层 140 和仍被光刻胶层覆盖的一个或多个限制区域组成的表面。此外，进行等离子蚀刻以除去未掩蔽的层 130、135 和 140，直到暴露第一绝缘层 120。刻蚀过程是各向异性的，使得保留由光刻胶层图案覆盖的区域。除去光刻胶层之后，如图 3C 所示形成一个或多个限制区域 150。在一个实施方案中，一个或多个限制区域 150 的每个包括 N^+ 多晶硅层 140a、扩散势垒层 135a 和第一导电层 130a 的限制部分。限制的 N^+ 多晶硅层 140a 位于覆盖限制的第一导电层 130a 的限制的扩散势垒层 135a 上。

另外在步骤 2200 中，加入第二绝缘层 160 以完全覆盖形成的一个或多个限制区域 150 和第一绝缘层 120 的暴露区域，如图 3D 所示。在一个实施方案中，第二绝缘层 160 包括二氧化硅。例如，该二氧化硅用高密度等离子体 (HDP) 化学气相沉积而沉积。在另一个例子中，该二氧化硅是四乙基原硅酸酯 TEOS 沉积的二氧化硅。

参考图 3E，仍在步骤 2200 中，进行化学机械平坦 (CMP) 步骤以除去额外量的第二绝缘层 160，直到暴露限制区域 150 中的 N^+ 多晶硅层 140a 并且形成共面的表面。该 CMP 平坦化的表面包括区域 140a 中的 N^+ 多晶硅层的至少部分第一表面 141 和第二绝缘层 160 的部分第二表面 161。在另一个实施方案中，CMP 方法和干蚀刻方法的组合或单独的干蚀刻方法可用于除去额外量的第二绝缘层 160。在本发明的又一个实施方案中，在限制区域 150 (如图 3C 所示) 的周围沉积第二绝缘层 160，直到第二绝缘层 160 的第二表面 161 与区域 140a 中 N^+ 多晶硅的第一表面 141 基本上共面。在一个或多个限制区域 150 的每一个之内的 N^+ 多晶硅层 140a 嵌入具有共面表面的第二绝缘层 150 中，并且能形成存储器件的源极或漏极区。例如，该存储器件是器件 100。

再次参考图 2，在步骤 2300 中，形成 P^- 多晶硅沟道层。图 3F 显示了根据本发明的一个实施方案，形成 P^- 多晶硅沟道用于制造具有 TFT 浮置栅极存储单元结构的半导体器件的简化方法。这些图仅仅是举例，其不应该不适当地限制本发明中权利要求的范围。本领域技术人员可知道许多变化、替代方案和改变。

如图 3F 所示，形成覆盖限制区域 150 中 N^+ 多晶硅层 140a 的表面 141 和第二绝缘层 160 的表面 161 的 P^- 多晶硅层 170。该 P^- 多晶硅是轻

度掺杂的 p-型多晶硅。该 P 多晶硅层通过使用低压化学气相沉积 (LPCVD), 在 520 摄氏度到 560 摄氏度的温度范围内沉积 $\text{SiH}_4/\text{B}_2\text{H}_6$ 混合物而制备。根据一个实施方案, 在沉积之后, 优选在相同的温度范围进行热退火过程。可选择地, 该 P 多晶硅层通过使用低压化学气相沉积(LPCVD), 在 420 摄氏度到 520 摄氏度的温度范围内沉积 $\text{Si}_2\text{H}_6/\text{B}_2\text{H}_6$ 混合物而制备。在沉积之后, 优选在相同的温度范围进行热退火过程。当然, 本领域技术人员会知道形成包括其掺杂剂类型的 P 多晶硅层的许多其它的选择。在一个实施方案中, P 多晶硅层 170 至少部分地与限制区域 150 中的 N^+ 多晶硅层 140a 的表面 141 接触。在另一个实施方案中, P 多晶硅层能够形成连接 n-型源极区和 n-型漏极区的 p-沟道, 每个源极和漏极区由位于相邻区域 140a 中的 N^+ 多晶硅层制成。在另一个实施方案中, 这些多晶硅 n-p-n 结形成能用作存储单元的存取器件的多晶硅薄膜晶体管。

再次参考图 2, 在步骤 2400 中形成浮置栅极。图 3G 显示根据本发明的一个实施方案, 形成浮置栅极以制造具有 TFT 浮置栅极存储单元结构的半导体器件的简化方法。这些图仅仅是举例, 其不应该不适当地限制本发明中权利要求的范围。本领域技术人员可知道许多变化、替代方案和改变。

参考图 3G, 在 P 多晶硅层 170 上形成浮置栅极 185。浮置栅极 185 是夹在下部氧化物层 182 和上部氧化物层 188 之间的 CVD-沉积的硅层。在一个具体的实施方案中, 使用硅烯 SiH_4 作为前体在 520 摄氏度到 560 摄氏度的温度下, 利用低压 CVD、随后在相同温度下进行热退火过程形成浮置栅极 185。在另一个具体的实施方案中, 用二硅烯 Si_2H_6 作为前体在 420 摄氏度到 520 摄氏度的温度下, 利用低压 CVD、随后在相同温度下进行热退火过程形成的浮置栅极 185 可以用作存储器的电荷捕获层。CVD 方法可以通过调节压力和温度 (通过受控的 LPCVD、或 RTCVD、或 UHVCVD) 改进, 以优化硅层形态、粒度、和缺陷或杂质分布等。因此形成的用于浮置栅极的硅层可具有所需的厚度和可靠的电荷捕获性能。下部氧化物层 182 和上部氧化物层 188 可以为使用 SiH_4 和 O_2 作为前体的 CVD-沉积的二氧化硅。下部氧化物层 182 形成隧道势垒层, 该势垒层将由 CVD 硅层制成的浮置栅极 185 与 P 多晶硅层 170 分离。在 N^+ 多晶硅源和相邻漏极区 140a 之间施加偏压时, 在该 P 多晶

硅沟道层内的高迁移率热电子可以通过编程电场经过该下部氧化物层 182 注入硅浮置栅极 185。上部氧化物层 188 形成阻挡氧化物或栅极绝缘层，为保持储存在浮置栅极 185 内的电荷设立更高的势垒。在一个实施方案中，可以与硅浮置栅极 185 的厚度一起优化上部氧化物层 188 和下部氧化物层 182 的总厚度，以提供降低的等效总氧化物厚度以改善存取时间和电荷保持。

在步骤 2500 中，形成控制栅极。图 3H 显示根据本发明的一个实施方案，形成控制栅极以制造具有 TFT 浮置栅极存储单元结构的半导体器件的简化方法。这些图仅仅是举例，其不应该不适当地限制本发明中权利要求的范围。本领域技术人员可知道许多变化、替代方案和改变。例如，实施本发明方法的步骤 2500 以制造器件 100 的控制栅极。

如图 3H 所示，沉积覆盖上部氧化物层 188 的 P^+ 多晶硅层 190。可以使用 SiH_4/B_2H_6 气体混合物在 400 摄氏度到 600 摄氏度的温度下的低压 CVD 和随后的沉积后退火处理进行 P^+ 多晶硅层的沉积。当然，可有其他的工艺条件的变化、改变和可替代方案。

根据本发明的一个实施方案，可以通过图案化 P^+ 多晶硅层 190 形成控制栅极。在一个实施方案中，图案化的控制栅极位于仅仅由上部氧化物层 188 作为栅极电介质分离的浮置栅极 185 上。在另一个实施方案中，图案化该控制栅极以在步骤 2300 中形成的 n-p-n TFT 的多晶硅 p-沟道上对准，与至少一个 N^+ 多晶硅源极区和一个 N^+ 多晶硅漏极区相联。在另一个实施方案中，可以在各个存储单元内形成双控制栅极。用于形成每个控制栅极的图案化和蚀刻方法包括已知的方法，比如涂敷光刻胶层、掩蔽、曝光、显影光刻胶、剥离暴露的光刻胶残留物、蚀刻多晶硅层和除去光刻胶层等。

在一个具体的实施方案中，每个图案化的控制栅极可以与存储阵列字线电连接。存储阵列字线可以构造为正交于其存储阵列的位线的方向。尽管控制栅极的详细图案几何没有明确地在图 3H 中说明，本领域技术人员会知道栅极结构的许多变化、替代方案和改变，其不应该不适当地限制权利要求的范围。在步骤 2500 结束时，控制栅极的形成完成了 TFT 浮置栅极存储单元结构的形成。例如，器件 100 阵列可通过包括从步骤 2100 到步骤 2500 的顺序步骤的方法 2000 制造。

再次参考图 2, 在步骤 2600 中, 形成层间电介质。图 3I 显示形成层间电介质 200 的简化方法, 该层间电介质 200 覆盖具有在步骤 2500 结束时形成的 TFT 浮置栅极存储单元结构的器件。该图仅仅是示例性的, 其不应该不适当地限制权利要求的范围。本领域技术人员可知道许多变化、替代方案和改变。例如, 在形成层间电介质 200 之前, 可以在步骤 2500 结束时形成多个具有 TFT 浮置栅极存储单元结构的器件。另外, 金属互连 (未显示) 可以嵌入用于存储阵列的位线或者字线的层间电介质 200 之内。在另一个具体的实施方案中, 在步骤 2100 到 2600 中形成的 TFT 浮置栅极存储单元结构是可三维堆叠的。例如, 可以通过 CMP 或回蚀刻方法进一步平坦化该层间电介质。电介质的平坦化表面可以用作衬底。然后可以重复方法 2000 的步骤序列 (2100 到 2500) 以形成另一个具有 TFT 浮置栅极存储单元结构的存储阵列层。

如图 3H 所示, 在一个具体的实施方案中, 本发明提供具有 TFT 浮置栅极存储单元结构的器件。该器件包括衬底、在衬底上的介电层和嵌入该介电层的一个或多个源极或漏极区。一个或多个源极或漏极区的每个包括 N^+ 多晶硅层、扩散势垒层和导电层。具有与介电层共面表面的 N^+ 多晶硅层位于扩散势垒层上。扩散势垒层覆盖该导电层。另外, 该器件包括覆盖 N^+ 多晶硅层和介电层的共面表面的 P 多晶硅层。此外, 该器件包括在 P 多晶硅层上的浮置栅极。该浮置栅极是夹在下部氧化物层和上部氧化物层之间的硅层。该器件还包括覆盖该上部氧化物层的至少一个控制栅极。在一个具体的实施方案中, 该控制栅极用高度掺杂的 P^+ 多晶硅层制成。

如上所述的制造具有 TFT 浮置栅极存储单元结构的半导体器件的方法仅仅是举例, 其不应该不适当地限制本发明中权利要求的范围。对于本领域技术人员, 可以具有许多的替代方案、改变和变化。例如, 一些步骤可以扩大和/或组合。其他步骤可以插入如上所述的那些中。根据一个具体的实施方案, 方法 2000 简明地提供具有相同结构的器件 100 的存储单元的二维阵列。根据另一个具体的实施方案, 方法 2000 可以重复以堆叠多层存储单元结构, 从而形成三维(3D)存储阵列。形成 N^+ 多晶硅源极或漏极区、多晶硅 p-沟道 TFT、和 CVD 硅浮置栅极、随后的多晶硅控制栅极的简单性提供了容易的三维可堆叠性。例如, 具有 TFT 浮置栅极存储单元结构的器件 100 可以三维地嵌入更大的芯片, 在

垂直方向上每单位面积的存储密度增加。

本发明具有多种优点。本发明的一些实施方案提供能 3D 集成的 TFT 浮置栅极存储单元结构。本发明的某些实施方案提供由于高度可靠性和高场效应迁移率而在存储单元中作为存储读取器件的多晶硅 p-沟道 TFT。一些实施方案具有以下优点：CVD 硅浮置栅极电荷存储元件的高可靠性、小的和可放缩（scalable）的几何单元尺寸，用于三维存储阵列的构造和掺杂剂活化的低热预算。本发明的一些实施方案可降低晶体管漏电流并改善存储单元的电荷保持时间。本发明的某些实施方案提供简单的方法，以使用与现有的 CMOS 技术完全兼容的那些方法制造 3D 存储阵列。

也应理解，本发明中记载的实施例和实施方式仅仅是用于说明性的目的，对于本领域技术人员而言，具有各种的改变或变化，这也在本发明的精神和范围之内和所附的权利要求的范围之内。

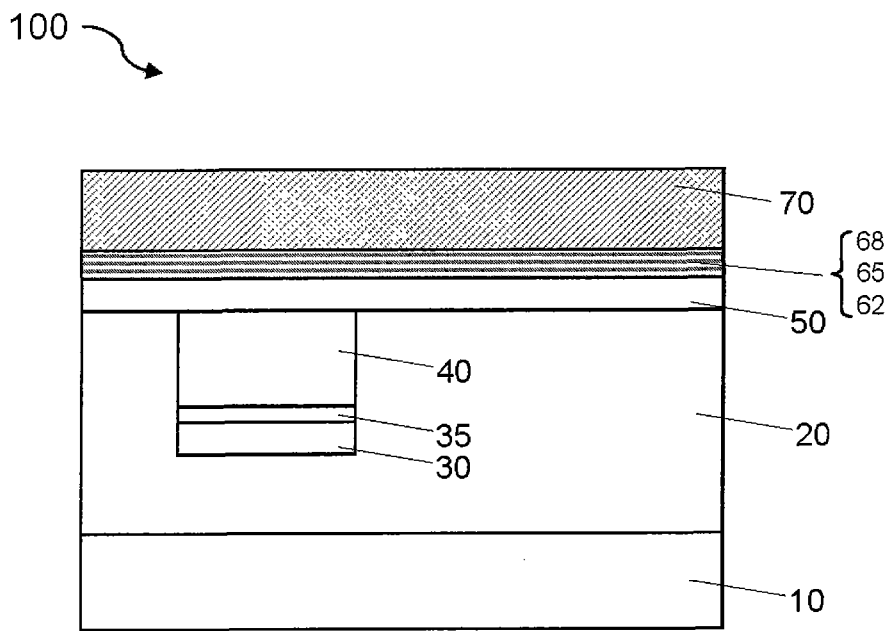


图 1

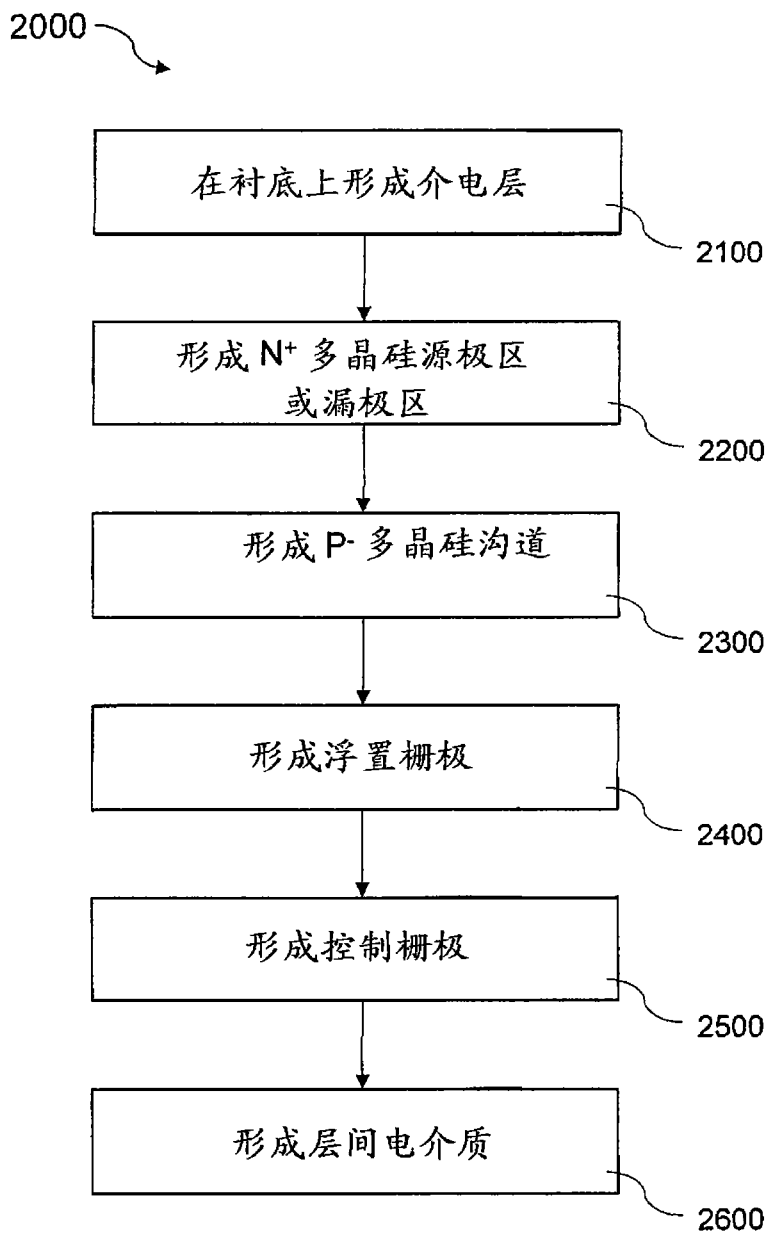


图 2

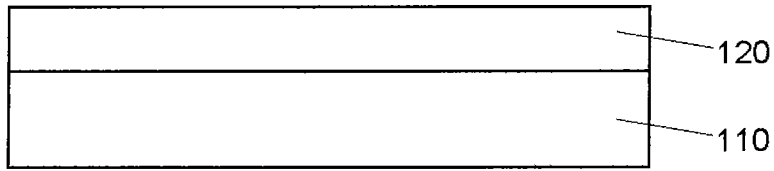


图 3A

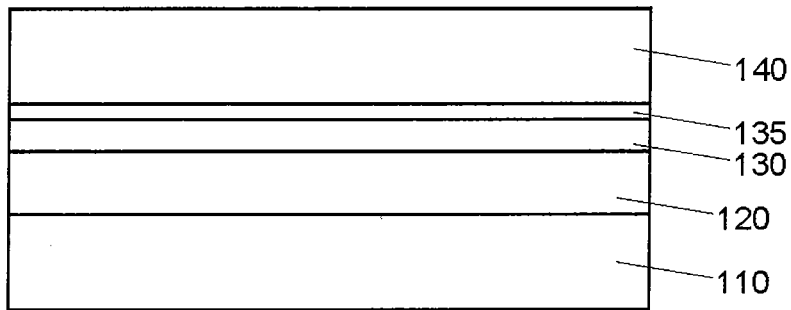


图 3B

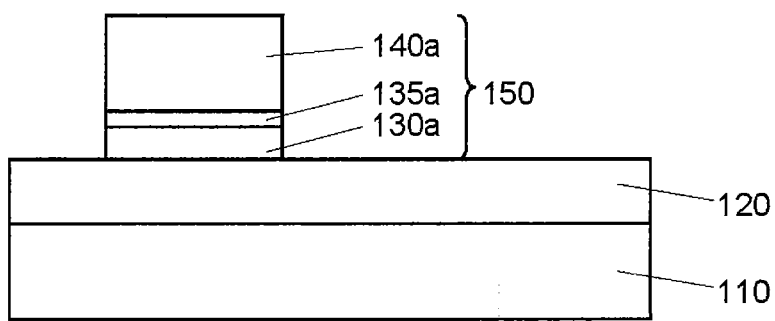


图 3C

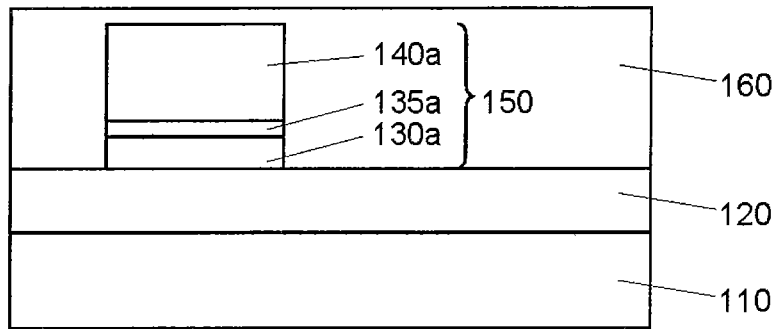


图 3D

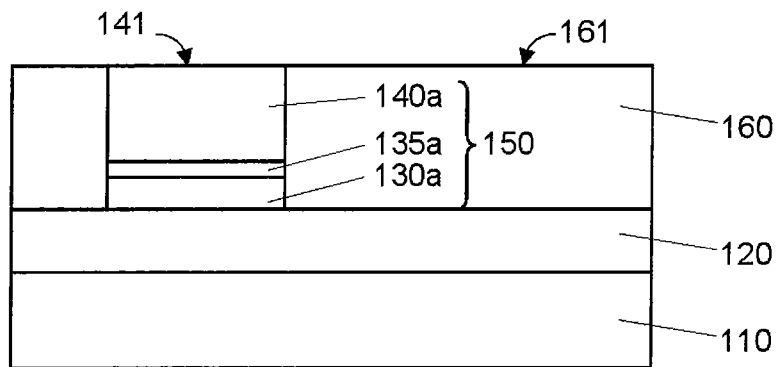


图 3E

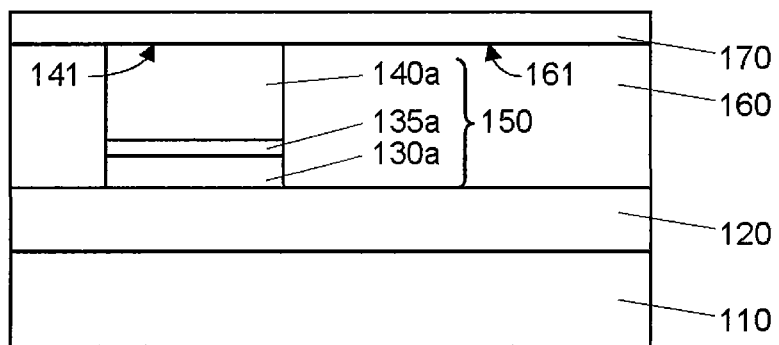


图 3F

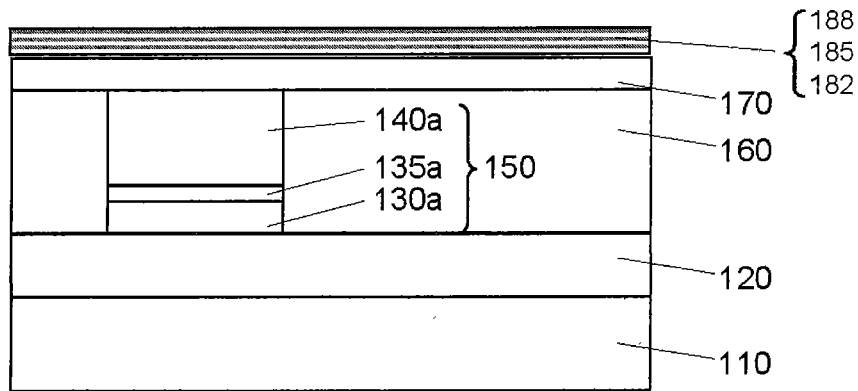


图 3G

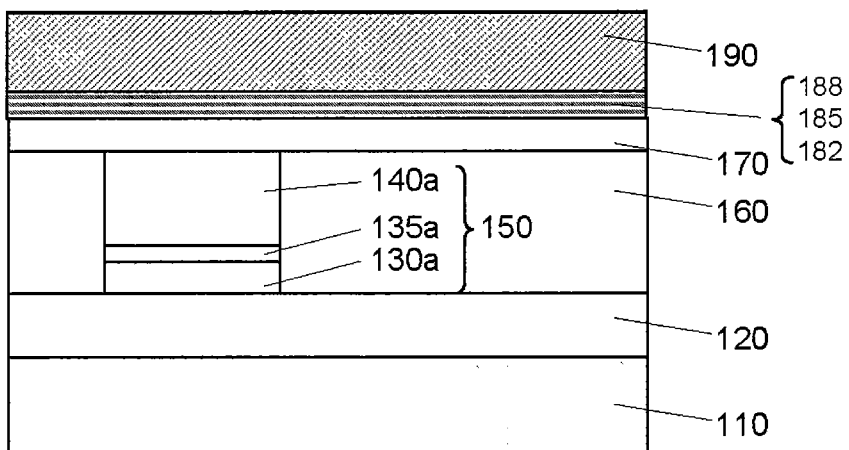


图 3H

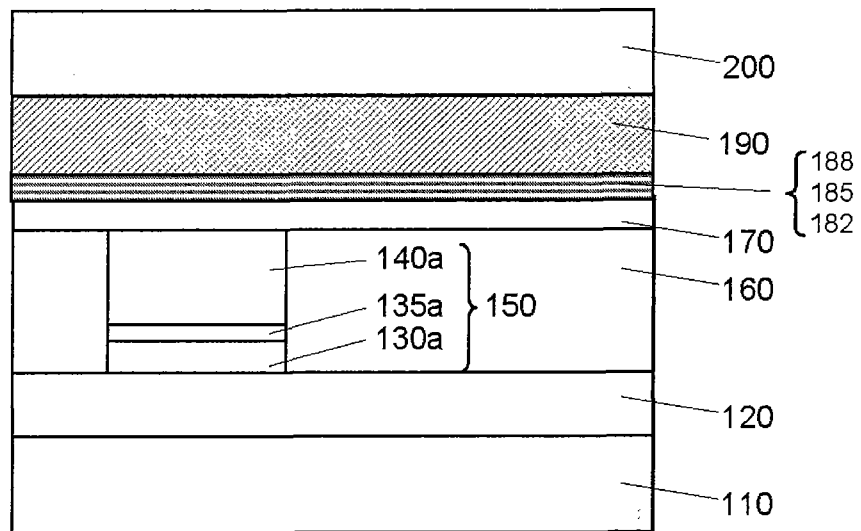


图 3I