

# 公告本

申請日期	90.7.5
案 號	90116490
類 別	H01L21/30

A4  
C4

(以上各欄由本局填註)

558756

## 發明專利說明書

一、發明名稱	中 文	半導體積體電路裝置之製造方法及半導體積體電路裝置
	日 文	半導体集積回路装置の製造方法および半導体集積回路装置
二、發明人	姓 名	1.今井 彰 AKIRA IMAI 2.早野 勝也 KATSUYA HAYANO 3.長谷川 昇雄 NORIO HASEGAWA
	國 籍	均日本
三、申請人	住、居所	均日本國東京都千代田區丸内1丁目5番1號新九大樓 日立製作所(股)公司知的所有權本部内
	姓 名 (名稱)	日商日立製作所股份有限公司 HITACHI, LTD.
三、申請人	國 籍	日本
	住、居所 (事務所)	日本國東京都千代田區神田駿河台四丁目6番地
三、申請人	代 表 人 姓 名	庄山 悦彦 ETSUHIKO SHOYAMA

裝  
訂  
線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權

日本 2000年07月14日 特願2000-215092 有 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明(1)

### 發明之技術領域

本發明係有關半導體積體電路裝置之製造方法及半導體積體電路裝置技術，尤其是有關適用於半導體積體電路裝置製造步驟中之曝光技術的有效技術。

### 發明背景

隨構成半導體積體電路裝置之配線及元件圖案之微細化與高積體化，將該圖案複製到半導體基板上而進行曝光處理時，圖案的重疊要求高度精密，該重疊精度主要有賴曝光裝置的圖案重疊精度(性能)。因此，通常係在確保由曝光裝置之重疊性能所決定之重疊邊緣的狀態下實施圖案布局。

此外，用於確保上述圖案重疊邊緣的其他技術，如特開平10-284700號公報的內容，其中揭示有使圖案形狀改變，以縮小嚴格要求重疊精度的尺寸。此外，如特開平5-19446號公報中揭示有，為求多樣化曝光微細圖案，在一定模式之光罩圖案區域的端部或數個模式之光罩圖案區域的邊界設計指定之校正圖案的移相光罩技術。

### 發明概述

不過，本發明人發現上述圖案重疊技術存在以下的問題：

亦即，上述使圖案形狀改變以縮小其尺寸的技術，於解像度足夠時，雖可在確保有效重疊的狀態下形成圖案，但是，隨圖案尺寸接近曝光裝置的解像臨界，圖案的 formed 控制性趨於惡化，且圖案的 formed 邊緣顯著減少。因而，縱使可以確保圖案的重疊邊緣，有時仍無法形成良好的圖案。

## 五、發明說明(2)

本發明之目的，在提供一種可使圖案重疊邊緣增加的技術。

本發明之上述目的與新特徵，從本說明書之內容及附圖中即可瞭解。

本專利申請所揭示之主要發明的概要簡單說明如下。

亦即，本發明係在夾住配線之一對第一孔圖案上複製第二孔圖案時，縱使夾住該配線之一對第二孔圖案位置偏差，為求與上述第一孔圖案連接，而不連接於配線，於設計階段使用形成在光罩上的光罩圖案，自配線分離的方向偏差配置。

此外，本發明之形成上述光罩圖案的透光圖案雖係配置在與上述配線交叉方向延伸的直線上，不過並非配置在沿著上述配線延伸的直線上，而是彼此偏差。

此外，本發明之沿著上述配線配置之透光圖案的鄰接距離，比沿著與上述配線交叉方向配置之透光圖案的鄰接距離短。

此外，本發明之彼此鄰接的上述透光圖案中，其中一個配置移相器。

此外，本發明具有：數個第一區域的形成步驟，其係形成在半導體基板上；第一絕緣膜的堆積步驟，其係堆積在上述半導體基板上；第一孔圖案的形成步驟，其係在上述第一絕緣膜上分別電性連接於上述數個第一區域；配線的形成步驟，其係在上述第一絕緣膜上，對上述數個第一區域交叉形成，以通過上述第一孔圖案的鄰接間；第二絕緣

## 五、發明說明(3)

膜的堆積步驟，其係覆蓋上述配線；正型光阻膜的堆積步驟，其係堆積在上述第二絕緣膜上；光阻圖案的形成步驟，其係藉由使用光罩，在上述正型光阻膜上實施曝光處理，在上述第二絕緣膜上形成第二孔圖案；及上述第二孔圖案的形成步驟，其係將上述光阻圖案作為蝕刻光罩，藉由實施蝕刻處理，在上述第二絕緣膜上形成上述第二孔圖案，與上述第一孔圖案連接，且不與上述配線連接，

上述第二孔圖案配置成，縱使其位置偏差，為保持與上述第一孔圖案的連接，且與上述配線保持絕緣狀態，與配線接近配置成夾住上述配線的一對第二孔圖案，自被該一對第二孔圖案夾住的配線分離，

上述光罩具有用於複製該第二孔圖案的數個透光圖案，沿著上述配線延伸之第一方向配置的上述數個透光圖案並非配置成一直線，而係在其位置與上述第一方向交叉之第二方向上相互偏差配置，沿著上述第二方向配置之上述數個透光圖案配置成一直線，沿著上述第一方向配置之上述數個透光圖案的鄰接節距，比沿著上述第二方向配置之上述數個透光圖案的鄰接節距短，上述數個透光圖案中，彼此鄰接之透光圖案的其中之一上配置有移相器。

此外，本發明具有：數個第一區域的形成步驟，其係形成在半導體基板上；第一絕緣膜的堆積步驟，其係堆積在上述半導體基板上；第一孔圖案的形成步驟，其係在上述第一絕緣膜上分別電性連接於上述數個第一區域；配線的形成步驟，其係在上述第一絕緣膜上，對上述數個第一區

## 五、發明說明(4)

域交叉形成，以通過上述第一孔圖案的鄰接間；第二絕緣膜的堆積步驟，其係覆蓋上述配線；正型光阻膜的堆積步驟，其係堆積在上述第二絕緣膜上；光阻圖案的形成步驟，其係藉由使用光罩，在上述正型光阻膜上實施曝光處理，在上述第二絕緣膜上形成第二孔圖案；及上述第二孔圖案的形成步驟，其係將上述光阻圖案作為蝕刻光罩，藉由實施蝕刻處理，在上述第二絕緣膜上形成上述第二孔圖案，與上述第一孔圖案連接，且不與上述配線連接，

夾住上述配線，接近配置的一對第二孔圖案配置成，兩者或其中之一中心自上述第一孔圖案的中心偏離，且自被該一對第二孔圖案夾住的配線分離，

上述光罩具有用於複製該第二孔圖案的數個透光圖案，沿著上述配線延伸之第一方向配置的上述數個透光圖案並非配置成一直線，而係在其位置與上述第一方向交叉之第二方向上相互偏差配置，沿著上述第二方向配置之上述數個透光圖案配置成一直線，沿著上述第一方向配置之上述數個透光圖案的鄰接節距，比沿著上述第二方向配置之上述數個透光圖案的鄰接節距短，上述數個透光圖案中，彼此鄰接之透光圖案的其中之一上配置有移相器。

此外，本發明具有：數個第一區域的形成步驟，其係形成在半導體基板上；第一絕緣膜的堆積步驟，其係堆積在上述半導體基板上；第一孔圖案的形成步驟，其係在上述第一絕緣膜上分別電性連接於上述數個第一區域；配線的形成步驟，其係在上述第一絕緣膜上，對上述數個第一區

## 五、發明說明(5)

域交叉形成，以通過上述第一孔圖案的鄰接間；第二絕緣膜的堆積步驟，其係覆蓋上述配線；正型光阻膜的堆積步驟，其係堆積在上述第二絕緣膜上；光阻圖案的形成步驟，其係藉由使用光罩，在上述正型光阻膜上實施曝光處理，在上述第二絕緣膜上形成第二孔圖案；及上述第二孔圖案的形成步驟，其係將上述光阻圖案作為蝕刻光罩，藉由實施蝕刻處理，在上述第二絕緣膜上形成上述第二孔圖案，與上述第一孔圖案連接，且不與上述配線連接，

上述第二孔圖案配置成，縱使其位置偏差，為保持與上述第一孔圖案的連接，且與上述配線保持絕緣狀態，與配線接近配置成夾住上述配線的一對第二孔圖案，自被該一對第二孔圖案夾住的配線分離，

上述光罩具有用於複製該第二孔圖案的數個透光圖案，沿著上述配線延伸之第一方向配置的上述數個透光圖案並非配置成一直線，而係在其位置與上述第一方向交叉之第二方向上相互偏差配置，沿著上述第二方向配置之上述數個透光圖案配置成一直線。

圖式之簡要說明

圖1為本發明一種實施形態之半導體積體電路裝置製造步驟中的重要部分平面圖。

圖2為圖1之A-A線的剖面圖。

圖3為圖1之B-B線的剖面圖。

圖4為圖1之C-C線的剖面圖。

圖5為繼續圖1之半導體積體電路裝置製造步驟中的重要

## 五、發明說明(6)

部分平面圖。

圖6為圖5之A-A線的剖面圖。

圖7為圖5之B-B線的剖面圖。

圖8為繼續圖5之相當於圖1之A-A線部分之半導體積體電路裝置製造步驟中的重要部分剖面圖。

圖9為繼續圖5之相當於圖1之B-B線部分之半導體積體電路裝置製造步驟中的重要部分剖面圖。

圖10為繼續圖5之相當於圖1之C-C線部分之半導體積體電路裝置製造步驟中的重要部分剖面圖。

圖11為繼續圖8~圖10之半導體積體電路裝置製造步驟中的重要部分平面圖。

圖12為圖11之A-A線的剖面圖。

圖13為圖11之B-B線的剖面圖。

圖14為圖11之C-C線的剖面圖。

圖15為繼續圖11之相當於圖1之A-A線部分之半導體積體電路裝置製造步驟中的重要部分剖面圖。

圖16為繼續圖11之相當於圖1之B-B線部分之半導體積體電路裝置製造步驟中的重要部分剖面圖。

圖17為繼續圖15及圖16之半導體積體電路裝置製造步驟中的重要部分平面圖。

圖18為圖17之A-A線的剖面圖。

圖19為圖17之B-B線的剖面圖。

圖20為圖17之C-C線的剖面圖。

圖21為繼續圖17之半導體積體電路裝置製造步驟中的重



## 五、發明說明(7)

要部分平面圖。

圖22為圖21之A-A線的剖面圖。

圖23為圖21之B-B線的剖面圖。

圖24為圖21之C-C線的剖面圖。

圖25為繼續圖21之半導體積體電路裝置製造步驟中的重要部分平面圖。

圖26為圖25之A-A線的剖面圖。

圖27為圖25之B-B線的剖面圖。

圖28為圖25之C-C線的剖面圖。

圖29為繼續圖25之相當於圖1之A-A線部分之半導體積體電路裝置製造步驟中的重要部分剖面圖。

圖30為繼續圖25之相當於圖1之B-B線部分之半導體積體電路裝置製造步驟中的重要部分剖面圖。

圖31為繼續圖25之相當於圖1之C-C線部分之半導體積體電路裝置製造步驟中的重要部分剖面圖。

圖32為繼續圖29~圖31之相當於圖1之A-A線部分之半導體積體電路裝置製造步驟中的重要部分剖面圖。

圖33為與圖32同一步驟時之相當於圖1之C-C線部分之半導體積體電路裝置製造步驟中的重要部分剖面圖。

圖34為繼續圖32及圖33之半導體積體電路裝置製造步驟中的重要部分平面圖。

圖35為圖34之A-A線的剖面圖

圖36為圖34之C-C線的剖面圖。

圖37為繼續圖34之相當於圖1之A-A線部分之半導體積

## 五、發明說明(8)

體電路裝置製造步驟中的重要部分剖面圖。

圖38為本發明一種實施形態之半導體積體電路裝置製造步驟中使用之曝光裝置的說明圖。

圖39為模型顯示圖38之曝光裝置之曝光操作的說明圖。

圖40(a)為用於形成圖1等所示之活性區域之光阻圖案的重要部分平面圖，(b)為(a)之A-A線的剖面圖。

圖41(a)為用於複製圖40所示之光阻圖案之光罩第一光罩圖案的重要部分平面圖，(b)為(a)之A-A線的剖面圖，(c)為(b)之移相器部份的放大剖面圖。

圖42為圖41之光罩圖案之電子線描繪資料的平面圖。

圖43顯示作為晶圓處理上獲得足夠解像特性範圍內大小之階梯狀圖案之光罩圖案布局範例的平面圖。

圖44為在光阻膜上僅複製圖41之光罩圖案時之光阻圖案的重要部分平面圖。

圖45(a)為用於複製圖40所示之光阻圖案之光罩第二光罩圖案的重要部分平面圖，(b)為(a)之A-A線的剖面圖。

圖46(a)為本發明人檢討之光罩的重要部分平面圖，(b)為(a)之A-A線的剖面圖。

圖47(a)為本發明人檢討之光罩的重要部分平面圖，(b)為(a)之A-A線的剖面圖。

圖48為圖45之光罩圖案的說明圖。

圖49為重疊顯示圖41之光罩圖案與圖45之光罩圖案的說明圖。

圖50為本實施形態之半導體積體電路裝置製造步驟中使

## 五、發明說明(9)

用之整個光罩的平面圖。

圖51(a)及(b)顯示一種移相光罩類似例之光罩的重要部分剖面圖。

圖52(a)為用於形成圖11等所示之接觸孔之光阻圖案的重要部分平面圖，(b)為(a)之A-A線的剖面圖。

圖53(a)為用於形成圖11等所示之接觸孔之具有第一光罩圖案之光罩的重要部分平面圖，(b)為(a)之A-A線的剖面圖。

圖54為模型顯示在正型光阻膜上僅曝光圖53之第一光罩圖案時之光阻圖案的重要部分平面圖。

圖55為模型顯示在正型光阻膜上僅曝光圖45之第二光罩圖案時之光阻圖案的重要部分平面圖。

圖56為圖53之第一光罩圖案資料與圖45之第二光罩圖案資料重疊狀態的說明圖。

圖57(a)為形成圖5等所示之字線(閘極)時使用之光罩的重要部分平面圖，(b)為(a)之A-A線的剖面圖。

圖58(a)為形成圖17等所示之資料線用通孔時使用之光罩26的重要部分平面圖，(b)為(a)之A-A線的剖面圖。

圖59(a)為形成上述圖21等所示之資料線DL時使用之光罩26的重要部分平面圖，(b)為(a)之A-A線的剖面圖。

圖60(a)為形成圖25等所示之資訊儲存電容元件用通孔時使用之光罩的重要部分平面圖，(b)為(a)之A-A線的剖面圖。

圖61為本發明人所檢討之光罩的重要部分平面圖。

## 五、發明說明(10)

圖62為顯示光罩之透光圖案的配置偏差量與複製圖案之關係圖。

圖63為顯示光罩之透光圖案的配置偏差量與焦點深度的關係圖。

圖64為本發明人所檢討之光罩的重要部分平面圖。

圖65為具有使用圖64之光罩複製孔圖案之半導體積體電路裝置的重要部分平面圖。

圖66為圖65之A-A線的剖面圖。

圖67為顯示圖65構造之半導體積體電路裝置中，孔圖案被偏差複製時之半導體積體電路裝置的重要部分平面圖。

圖68為圖67之A-A線的剖面圖。

圖69為顯示圖案重疊偏差量與資料線一通孔圖案間距離的關係圖。

圖70(a)為半導體積體電路裝置的重要部分平面圖，(b)為用在(a)之通孔圖案複製上之光罩的重要部分平面圖。

圖71顯示焦點位置與孔尺寸的關係圖。

圖72為顯示圖25等所示之半導體積體電路裝置構造中，孔圖案被偏差複製時之半導體積體電路裝置的重要部分平面圖。

圖73為圖72之A-A線的剖面圖。

圖74(a)為本實施形態之光罩的重要部分平面圖，(b)為具有使用(a)之光罩所複製之通孔之半導體積體電路裝置的重要部分平面圖。

圖75(a)為本發明人所檢討之光罩的重要部分平面圖，

## 五、發明說明(11)

(b)為具有使用(a)之光罩所複製之通孔之半導體積體電路裝置的重要部分平面圖。

圖76(a)為形成圖34等所示之形成孔時使用之光罩的重要部分平面圖，(b)為(a)之A-A線的剖面圖。

圖77(a)為4重極照明的平面圖，(b)為輪帶照明的平面圖。

較佳之具體實施例描述

1. 紫外光：在半導體領域內係指約400 nm至短波長約50 nm以下的電磁波，而比300 nm長之波長稱之為近紫外區，其以下之短波長區域稱之為遠紫外區，將200 nm以下者特稱之為真空紫外區。光源使用水銀弧光燈等i線(波長：365 nm)、KrF準分子雷射(波長：248 nm)、ArF(波長：193 nm)及F<sub>2</sub>(波長：157 nm)準分子雷射等。

2. 掃描曝光：藉由使細縫狀的曝光帶對半導體晶圓與光罩(或標線，本專利申請提及光罩時，係採用也包含標線的廣義概念)，向與細縫長邊方向垂直的方向(亦可使其斜向移動)作相對性連續移動(掃描)，將光罩上之電路圖案複製到半導體晶圓上之指定部分的曝光方法。

3. 步進掃描曝光：係組合上述掃描曝光與步進曝光，將晶圓上應該曝光之整個部分予以曝光的方法，相當於上述掃描曝光的下層概念。

4. 光罩(光學罩)：用於在基板上形成遮住光線的圖案及使光線相位改變的圖案。所謂基板上，包含基板上面、接近基板上面之內部區域或上方區域(亦可配置於接近上面之

## 五、發明說明(12)

其他基板上)。所謂一般光罩(雙面光罩(Binary Mask))，係指以遮蔽光線圖案與穿透光線圖案，在基板上形成光罩圖案的一般光罩。以下將光罩(Photo Mask)簡稱之為光罩(Mask)。

5. 基板溝移位器：為在石英等透明光罩基板本身表面形成凹部的移相器。所謂基板本身的表面，係指包含在基板表面形成與基板材質類似之膜者。

6. 基板上薄膜溝移相器：係指在基板上之遮光膜下，形成適合發揮移相器作用之厚度的移相器膜，利用與底層基板之蝕刻速度差等形成的溝型移相器。

7. 溝移相器：為包含上述基板溝移相器及基板上薄膜溝移相等之上層概念，一般係指在遮光膜下層之透明膜、透明基板等上形成凹部的移相器。而將在遮蔽膜配置移相器膜的方式，稱之為移相器膜上置方式或上置移相器。

8. 微細檐型溝移相器：係指在溝移相器周邊(寬度窄之剖面方向)，遮光膜自石英基板等凹部側壁上端向凹部內側之突出狀(又稱之為檐狀)，突出部分的長度 $P$ 以單色曝光光線的波長 $\lambda$ 為基準時，為40%(將 $P/\lambda = 40\%$ 稱之為「檐長」)以下者。

9. 移相器的深度：移相器部之基板挖掘深度與曝光波長有關，使相位倒置180度的深度 $Z$ ，以 $Z = \lambda / (2(n-1))$ 來表示。其中， $n$ 為基板對指定曝光波長之曝光光線的折射率， $\lambda$ 為曝光波長。

10. 移相器(移相光罩圖案)：係指包含至少具有一個移相

## 五、發明說明(13)

器之光罩孔徑圖案之光罩上的電路圖案。例如，對應於步進曝光之單一照射區域(以單步曝光之範圍)或以掃描曝光之單掃描曝光區域之光罩上的電路圖案群，例如，半導體晶圓上之單位晶片區域或相當於其整數倍之光罩基板上的光罩圖案(電路圖案)等。

11. 輔助透光圖案(輔助光罩圖案)：一般係指投影在半導體晶圓上時，不形成對應於其孔徑圖案之獨立圖像之光罩上的孔徑圖案。

12. 里賓森型移相光罩：亦稱之為空間頻率調變型移相光罩，通常以遮光區域隔開遮光膜，設置相互鄰近之數個孔徑，由彼此倒置其相位之孔徑群構成的移相光罩。大體上區分成線與間隙圖案及交互倒置孔圖案(亦稱之為接觸孔用里賓森圖案)等。

13. 半色調型移相光罩：為一種移相光罩，其兼顧移相器與遮光膜之半色調膜的穿透率為1%以上，40%以下，其與無該部分比較時之移相量為具有使光相位倒置的半色調移相器者。

14. 輔助圖案配置型移相光罩：大體上區分成獨立之線圖案與孔圖案用，前者之代表為實孔徑圖案與設置在其兩側之輔助移相器圖案(該相位倒置圖案亦等效)，後者之代表為支架型孔徑圖案(由中央之實孔徑與設置在其周邊之數個輔助孔徑構成)。但是，由於上述里賓森型移相器光罩之光罩圖案的端部或周邊設有輔助孔徑及輔助移相器，因此，實際的圖案多為兩種方式的混合者。

## 五、發明說明(14)

15. 移相光罩：本專利申請單提及移相光罩時，係指這些的總稱。

16. 所謂半導體晶圓(以下簡稱之為晶圓)或半導體基板，係指使用在半導體積體電路製造上的單結晶矽基板(通常為概略平面圓形)、藍石英基板、玻璃基板及其他絕緣、反絕緣或半導體基板與上述的複合性基板。此外，本專利申請提及半導體積體電路裝置時，不僅為製作在矽晶圓及藍石英基板等半導體或絕緣體基板上者，除特別明示並非如此之外，亦包含製作在薄膜電晶體(TFT; Tin-Film-Transistor)及超扭轉向列(STN; Super-Twisted-Nematic)液晶等之玻璃等其他絕緣基板上者。

17. 提及遮光區域、遮光圖案、遮光膜或遮光時，表示具有使40%以下之照射其區域的曝光光線穿透的光學特性。通常使用數%至30%以下者。另外，提及「透光區域」、「透光圖案」、「透明區域」、「透明膜」或「透明」時，表示具有使60%以上之照射其區域的曝光光線穿透的光學特性。通常使用90%以上者。

18. 光阻圖案：係指藉由光刻方法將感光性有機膜予以圖案化的膜圖案。另外，該圖案包含該部分完全無孔徑的單純光阻膜。

19. 一般照明：即非變形照明，係指光強度分布比較均勻的照明。

20. 變形照明：為降低中央部量度的照明，包含使用斜向照明、輪帶照明、四重極照明、五重極照明等多重極照明



## 五、發明說明(15)

或與其等效之瞳濾光器的超解像技術。

21. 解像度：圖案尺寸可以投影透鏡之孔徑數NA(數值孔徑(Numerical Aperture))與曝光波長 $\lambda$ 規格化來表示。本實施形態之曝光波長為248 nm之KrF準分子雷射光主要使用投影透鏡之NA為0.68者。因此，使用不同波長與不同透鏡NA時，因解像度R為 $R = K1 \cdot \lambda / NA$ (K1視處理來決定的常數)，因此只須換算使用即可。但是，因焦點深度D為 $D = K2 \cdot \lambda / (NA)^2$ (K2視處理來決定的常數)，因此焦點深度不同。

22. 複製圖案：為藉由光罩複製到晶圓上的圖案，具體而言，係指上述光阻圖案及將光阻圖案作為光罩，實際所形成之晶圓上的圖案。

23. 孔圖案：為晶圓上具有與曝光波長概等或其以下之平面尺寸的接觸孔、通孔等微細圖案。通常在光罩上為正方形或接近其之長方形或八角形等形狀，不過晶圓上多為接近圓形者。

24. 線圖案：係指向特定方向延伸的帶狀圖案。

以下的實施形態中，有必要時，區分成數個部分或實施形態來說明，不過除特別明示之外，相互間並非無關係，彼此為其中一個為另一個之一部分或全部之類似例、詳細、補充說明等的關係。

此外，以下實施形態中，提及要素的數量等(包含個數、數值、量、範圍等)時，除特別明示時及原理上顯然限定於特定數量等之外，並不限定於該特定數量，亦可為特定數

## 五、發明說明(16)

以上或以下。

再者，以下實施形態中，其構成要素(亦包含要素步驟等)，除特別明示時及認為原理上顯然是必須之外，當然並非為必須者。

同樣的，以下實施形態中，提及構成要素等的形狀、位置關係等時，除特別明示時及認為原理上顯然並非如此等之外，實際上包含近似或類似於其形狀者等。關於此，上述數值及範圍亦同。

此外，用於說明本實施形態的全部圖式中，具有相同功能者註記相同符號，並省略其重複說明。

此外，本實施形態所使用的圖式中，雖為模型顯示光罩或其資料的平面圖，為求便於參照圖式，而在遮光圖案及移相圖案上附加陰影線。

### (第一種實施形態)

本實施形態說明將本發明應用在一種最小設計尺寸約為130 nm之1G(Giga)位元動態隨機存取記憶體(DRAM; Dynamic Random Access Memory)級的大型積體電路元件製造步驟上。

首先，說明該DRAM的一種製造方法。另外，以下說明DRAM製造步驟中的主要構造，而用於形成該構造之曝光技術(包含上述光罩的構造)則於後述。此外，此處使用之平面圖中，將左右水平方向作為X方向，將與其相對之垂直的上下垂直方向作為Y方向來說明。而在該X方向延伸之假想軸稱之為X軸，將在Y方向延伸之假想軸稱之為Y軸。

## 五、發明說明 (17 )

此外，記憶體單元圖案係舉例顯示1個交叉點記憶體單元型(或開放位元線型)的圖案布局。

圖1顯示該DRAM製造步驟中之記憶體陣列的重要部分平面圖。此外，圖2~圖4分別顯示圖1之A-A線、B-B線及C-C線的剖面圖。構成品圓1W的半導體基板(以下簡稱之為基板)1如由p型單結晶矽構成。基板1主面的分離區域上形成有如溝型分離部(Trench Isolation)2。該分離部2以在基板1上挖掘之溝內埋入絕緣膜來形成。此外，基板1上以該分離部2形成有數個活性區域L。如圖1所示，各活性區域L之周圍被分離部2包圍，對圖1之左右上下(水平垂直：XY)方向傾斜的方向上形成細長延伸之平面島狀的圖案。各活性區域L上，以共用各源極、汲極之一個的狀態，形成有兩個記憶體單元選擇用MIS·FET。

活性區域L之Y方向的配置節距(節距：對象圖案之中心至中心的距離) $Dy1$ 約為420 nm(晶圓上換算)。此外，活性區域L之X方向的配置節距 $Dx1$ 約為520 nm(晶圓上換算)。活性區域L之Y方向每一列距X方向的尺寸 $Dx2$ 約為260 nm(晶圓上換算)。此外，活性區域L之短方向(寬度方向：與長度方向垂直的方向)之配置節距 $D1$ 約為250 nm(晶圓上換算)。再者，活性區域L之長度方向配置間隔(間隔：對象圖案相對之端至端的距離) $D2$ 約為160~180 nm(晶圓上換算)。活性區域L之長度方向的鄰接節距約為252 nm(晶圓上換算)。此外，活性區域L之長度方向尺寸約為126 nm(晶圓上換算)。

## 五、發明說明(18)

上述溝型分離部2的形成方法如下：首先，在基板1的主面上形成活性區域形成用的光阻圖案。該光阻圖案覆蓋上述活性區域L的形成區域，其他區域被露出來形成圖案。該光阻圖案將在以後詳細說明。繼續將該光阻圖案作為蝕刻光罩，藉由對基板1實施蝕刻處理，蝕刻除去自光阻圖案漏出之基板1的部分。藉此，在基板1上形成如深度約為300~400 nm的溝(複製圖案)。之後，在包含該溝內部的基板1上，以化學汽相沉積(CVD; Chemical Vapor Deposition)法，堆積厚度約600 nm之由氧化矽膜構成的絕緣膜2a。該絕緣膜2a以使用在來源氣體之電漿CVD法堆積如氧氣(或臭氧)與四乙氧基矽烷(TEOS: Tetraethoxysilane)後，進行約1000°C的乾氧化，使膜緻密化(Densify)而形成。之後，以化學機械研磨(Chemical Mechanical Polishing; CMP)法研磨(Polish Back)該絕緣膜2a。此時，將溝內部之絕緣膜2a的表面平坦化成與活性區域L的表面概略同高。如此，形成溝型分離部2。

之後，藉由在基板1上離子注入硼(B)，形成p型井3，繼續，以氟酸(HF)系清潔液清洗p型井3的表面後，藉由熱氧化基板1，在p型井3之活性區域L的表面形成氧化矽系之潔淨的閘極絕緣膜4。閘極絕緣膜4的厚度，換算成二氧化矽膜厚，約為6 nm。另外，閘極絕緣膜4亦可採用介電常數高於氧化矽系絕緣膜的氮化矽系絕緣膜及金屬氧化物系絕緣膜(氧化鉬膜、氧化鈦膜等)。這些絕緣膜以CVD法及濺射法在基板1上形成膜。

## 五、發明說明(19)

後續步驟如圖5~圖7所示。圖5顯示上述DRAM之製造步驟中與圖1相同位置的重要部分平面圖，圖6及圖7分別顯示圖5之A-A線及B-B線的剖面圖。該步驟中，於基板1的主面上形成數條字線WL(閘極5)。亦即，在基板1的主面上依序堆積如摻雜磷(P)等之n型多結晶矽膜(膜厚約70 nm)、氮化鎢(WN)或氮化鈦(TiN)構成之阻擋金屬膜(膜厚約5 nm~10 nm)、鎢(W)膜(膜厚約100 nm)及帽(Cap)絕緣膜6(膜厚約150 nm)後，將字線形成用的光阻圖案作為光罩，藉由乾式蝕刻這些膜，形成字線WL(閘極5)。多結晶矽膜及帽絕緣膜6以CVD法堆積，阻擋金屬膜及W膜以濺射法堆積。帽絕緣膜6如由氮化矽膜構成。

如圖5所示，該字線WL以沿著圖5Y方向延伸之平面帶狀的圖案形成，並沿著圖5X方向，以指定間隔相互平行配置數條。該字線WL與上述活性區域L配置成彼此斜交。字線WL中，與活性區域L平面重疊的部分構成記憶體單元選擇用MIS·FET的閘極5。此外，活性區域中，字線WL重疊區域作為記憶體單元選擇用MIS·FET的通道區域。由於上述各活性區域L上配置有兩個記憶體單元選擇用MIS·FET，因此，各活性區域L上，兩條字線WL係平面性重疊。此外，該構造的DRAM中，上述活性區域L之長度方向的配置間隔D2僅為配置有一條字線WL部分的尺寸。字線WL的線寬須具有用於獲得記憶體單元選擇用MIS·FET之臨限值電壓的所需線寬，此處約為100 nm(晶圓上換算)。此外，鄰接字線WL的節距約為260 nm(晶圓上換算)。

## 五、發明說明(20)

後續步驟如圖8~圖10所示，圖8~圖10分別顯示相當於該步驟之上述圖1之A-A線、B-B線及C-C線部分的剖面圖。該步驟中，於p型井3內離子注入砷(As)或磷(P)，在閘極5之兩側的p型井3內形成n型半導體區域7(源極、汲極)。迨至該步驟為止，記憶體單元選擇用MIS·FETQs概略完成。繼續，以CVD法等基板1上堆積膜厚約50 nm的氮化矽等構成的絕緣膜8。另外，絕緣膜8並非埋入鄰接字線WL間，而是薄薄的覆蓋在字線WL的表面。

後續步驟如圖11~圖14所示。圖11顯示該步驟之與圖1相同位置的重要部分平面圖，圖12~圖14分別顯示圖11之A-A線、B-B線及C-C線的剖面圖。該步驟中，於基板1上堆積絕緣膜9後，在該絕緣膜9上形成n型半導體區域7自底面漏出之平面概略圓形的接觸孔(第一孔圖案)10a及接觸孔(第二孔圖案)10b。亦即，首先，以CVD法等基板1上堆積膜厚約600 nm之由氧化矽膜等構成的絕緣膜9後，以化學機械研磨法等將該絕緣膜9予以平坦化。繼續，在絕緣膜9上形成用於形成接觸孔的光阻圖案。該光阻圖案為接觸孔形成區域被露出，其他區域被覆蓋的圖案。有關該光阻圖案將於後面詳細說明。之後，將該光阻圖案作為蝕刻光罩，藉由實施乾式蝕刻處理，蝕刻除去自該光阻圖案露出的絕緣膜9，8部分。藉此，形成記憶體單元選擇用MIS·FETQs之n型半導體區域7(源極、汲極)自底面露出的接觸孔10a, 10b。進行該蝕刻處理時，由氧化矽等構成之絕緣膜9的蝕刻，係在對氮化矽膜之選擇比大的條件下進行，由

## 五、發明說明(21)

氮化矽等構成之絕緣膜8的蝕刻，係在對矽及氧化矽膜之蝕刻選擇比大的條件下進行。藉此，可對閘極5(字線WL)自動對準(Self Align)形成接觸孔10a, 10b。

接觸孔10a, 10b中，配置於活性區域L中央的接觸孔10a，為用於電性連接n型半導體區域7與資料線的孔圖案(複製圖案)。此外，配置於活性區域L兩端的接觸孔(第一孔圖案)10b，為用於電性連接n型半導體區域7與資訊儲存用電容元件之下部電極(儲存電極)的孔圖案(複製圖案)。

接觸孔10a, 10b如密集配置成蜂巢狀。接觸孔10a, 10b的直徑約為240 nm(晶圓上換算)。此外，接觸孔10a, 10b之Y方向的配置節距Dy2約為280 nm(晶圓上換算)。此外，接觸孔10a, 10b在X方向各列距Y方向的尺寸Dy3約為140 nm(晶圓上換算)。接觸孔10a, 10b之X方向的配置節距Dx3約為260 nm(晶圓上換算)。

此外，接觸孔10a, 10a之Y方向的配置節距Dy4約為420 nm(晶圓上換算)。接觸孔10a, 10a之X方向的配置節距Dx4約為520 nm(晶圓上換算)。

此外，接觸孔10b, 10b之Y方向的配置節距Dy5約為280 nm(晶圓上換算)。接觸孔10b, 10b之Y方向的配置節距Dy6約為420 nm(晶圓上換算)。再者，接觸孔10b, 10b之X方向的配置節距Dx5約為520 nm(晶圓上換算)。

後續步驟如圖15及圖16所示，圖15及圖16顯示相當於該步驟之上述圖1之A-A線及B-B線部分的剖面圖。該步驟中，如圖15及圖16所示，在接觸孔10a, 10b內部形成插腳

## 五、發明說明(22)

11a, 11b。形成插腳11a, 11b時，藉由CVD法在絕緣膜9上堆積摻雜磷(P)之n型多結晶矽膜，在接觸孔10a, 10b的內部埋入該n型多結晶矽膜後，以化學機械研磨法或回蝕法除去接觸孔10a, 10b外部的n型多結晶矽膜。

後續步驟如圖17~圖20所示。圖17顯示該步驟之與上述圖1相同位置的重要部分平面圖，圖18~圖20分別顯示圖17之A-A線、B-B線及C-C線的剖面圖。該步驟中，於基板1上堆積絕緣膜12後，在該絕緣膜12上形成插腳11a之一部分自底面漏出之平面概略圓形的通孔13。亦即，首先，在基板1上(絕緣膜9及插腳11a, 11b的上面上)，以CVD法等堆積膜厚約50 nm之由氧化矽等構成的絕緣膜12後，在該絕緣膜12上形成用於形成資料線用通孔的光阻圖案。該光阻圖案為用於連接資料線與插腳11a之通孔形成區域被露出，其他區域被覆蓋的圖案。繼續，如圖17、圖19及圖20所示，將該光阻圖案作為蝕刻光罩，藉由蝕刻除去自此露出的絕緣膜12部分，形成通孔13。通孔13的平面配置節距比上述接觸孔10a, 10b之平面配置節距為寬。因此，用於形成該通孔13之光阻圖案可以半色調型移相光罩，在提高照明光之干擾性之相關性( $\sigma$ ) = 0.3的曝光條件(或移相法之一般曝光條件)下形成。通孔13的直徑約為200 nm(晶圓上換算)。

後續步驟如圖21~圖24所示。圖21顯示該步驟之與上述圖1相同位置的重要部分平面圖，圖22~圖24分別顯示圖21之A-A線、B-B線及C-C線的剖面圖。該步驟中，在上



## 五、發明說明 (23)

述通孔13內形成插腳14後，形成連接其之資料線DL。首先，於形成插腳14時，如以濺射法在絕緣膜12上堆積由鈦(Ti)膜與氮化鈦(TiN)膜之疊層膜構成的阻擋金屬膜，繼續在阻擋金屬膜上，藉由以CVD法等堆積鎢(W)膜，在通孔13內部埋入這些膜後，以化學機械研磨法除去通孔13外部的這些膜。繼續，形成資料線DL時，如以濺射法在絕緣膜12上堆積氮化鈦(TiN)膜(膜厚約10 nm)，繼續以CVD法等氮化鈦(TiN)膜上堆積鎢(W)膜(膜厚約50 nm)後，將光阻圖案作為光罩，乾式蝕刻這些膜。

資料線DL通過插腳14及其下層之插腳11a，與記憶體單元選擇MISQs之源極、汲極用的其中一個n型半導體區域7電性連接。資料線DL的線寬約為80 nm(晶圓上換算)。此外，鄰接之資料線DL間的距離約為430 nm(晶圓上換算)。

後續步驟如圖25~圖28所示。圖25顯示該步驟之與上述圖1相同位置的重要部分平面圖，圖26~圖28分別顯示圖25之A-A線、B-B線及C-C線的剖面圖。該步驟中，於基板1上堆積絕緣膜15及絕緣膜16後，在該絕緣膜15, 16及絕緣膜12上形成插腳11b之一部分自底面漏出之平面概略圓形的通孔(第二孔圖案)17。

亦即，首先，以CVD法等基板1上(絕緣膜12之上面及資料線DL表面上)堆積厚度約為300 nm之如氧化矽等構成的絕緣膜15，繼續以化學機械研磨法將其表面予以平坦化。繼續，在該絕緣膜15上，以CVD法等堆積膜厚約50 nm之如由氮化矽構成的絕緣膜16後，以CVD法等在其上堆積

## 五、發明說明(24)

如多結晶矽膜。之後，在該多結晶矽膜上形成用於形成資訊儲存用電容元件用之通孔的光阻圖案後，將其作為蝕刻光罩，在多結晶矽膜中，藉由開設孔徑，在通孔形成區域內形成硬掩膜18。該光阻圖案為用於連接資訊儲存用電容元件之下部電極與插腳11b之通孔形成區域被露出，其他區域被覆蓋的圖案。此時之通孔的平面配置節距比上述接觸孔10a, 10b之平面配置節距為寬，因此，該光阻圖案可以使用里賓森型移相光罩，在移相法之一般曝光條件下形成。形成硬掩膜18後，以CVD法等再於基板1上堆積多結晶矽膜，藉由各向異性乾式蝕刻法等將其回蝕，在硬掩膜18的孔內側形成側壁18a。之後，如圖25、圖26及圖28所示，將該硬掩膜18及側壁18a作為蝕刻光罩，藉由蝕刻除去自其露出的絕緣膜16, 15, 12部分，來形成通孔17。

通孔17的孔徑形成小於其下部之接觸孔10b的孔徑。此外，通孔17的中心比其下部之接觸孔10b中心更偏離資料線DL。如此，藉由通孔17之孔徑小於其下部之接觸孔10b的孔徑，且其中心更偏離資料線DL，縱使縮小記憶體單元尺寸時，亦可不使用自動對準接觸(Self Align Contact; SAC)技術，防止通孔17(之埋入內部的插腳)與資料線DL短路。此外，縱使通孔17之孔徑小於其下部接觸孔10b的孔徑，偏離兩者中心，亦可確保兩者足夠的接觸面積。該通孔17不需要全部形成在下層的插腳11b上，至少一部分與插腳11b接觸即可。亦即，形成允許所謂"孔徑空隙"的構造。該通孔17的直徑約為170 nm(晶圓上換算)。此外，自通孔17

## 五、發明說明(25)

端至接近其相對之資料線DL端為止的距離約為40 nm(晶圓上換算)。

後續步驟如圖29~圖31所示。圖29~圖31顯示該步驟之相當於上述圖1之A-A線、B-B線及C-C線部分的剖面圖。該步驟中，以乾式蝕刻除去硬掩膜18及側壁18a後之通孔17內部形成插腳19，再於插腳19的表面形成阻擋金屬膜20。形成插腳19及阻擋金屬膜20時，首先，藉由以CVD法在絕緣膜16的上部堆積摻雜磷(P)之n型多結晶矽膜，在通孔17的內部埋入n型多結晶矽膜後，以化學機械研磨法(或回蝕)除去通孔17外部的n型多結晶矽膜。此外，此時藉由過分研磨(過分蝕刻)通孔17內部的n型多結晶矽膜，使插腳19的表面比絕緣膜16的表面更向下方後退，在插腳19的上部確保埋入阻擋金屬膜20的空間。其次，藉由以濺射法在絕緣膜16的上部堆積TiN膜，在插腳19上部的通孔17內埋入TiN膜後，以化學機械研磨法(或回蝕)除去通孔17外部的TiN膜。此種阻擋金屬材料，除TiN之外，亦可使用矽化鈦(Ru)及鈦(Ti)-鋁(Al)-矽(Si)合金等。

後續步驟如圖32及圖33所示。圖32及圖33顯示該步驟之相當於上述圖1之A-A線及C-C線部分的剖面圖。該步驟中，以CVD法在絕緣膜16及阻擋金屬膜20上堆積如氧化矽等構成的絕緣膜21後，在其上自旋式塗敷防反射膜及光阻膜，將其形成在電容器孔形成的光阻圖案22。

構成DRAM之記憶體單元之資訊儲存用電容元件的下部電極，在以下步驟中，形成在該絕緣膜21上所形成之孔(凹部

## 五、發明說明(26)

)的內部。因此，由於絕緣膜21的膜厚成為該下部電極的高度，為求擴大下部電極的表面積，增加電荷儲存量，需要以厚的膜厚(約0.8  $\mu\text{m}$ )來堆積絕緣膜21。絕緣膜21可以電漿CVD法堆積，該CVD法係將氧氣與四乙氧基矽烷(TEOS)作為氣體源實施，之後，視需要以化學機械研磨法使其表面平坦化。

此外，光阻圖案22由防反射膜及其上之光阻膜構成。因該光阻膜係蝕刻厚膜厚的絕緣膜21，考慮到蝕刻過程中的膜損耗，其膜厚設定在約480 nm。下層的防反射膜藉由將光阻膜曝光顯像予以圖案化後，將該光阻圖案作為蝕刻光罩，實施乾式蝕刻處理，予以圖案化。絕緣膜21的膜厚約為0.8  $\mu\text{m}$ 時，雖可以遮光罩進行蝕刻，不過絕緣膜膜厚大於上述值時，則需要複製鎢等構成的硬掩膜來作為蝕刻光罩。

後續步驟如圖34~圖36所示。圖34顯示該步驟之與上述圖1相同位置的重要部分平面圖，圖35及圖36分別顯示圖34之A-A線及C-C線的剖面圖。該步驟中，藉由將光阻圖案22作為光罩，藉由乾式蝕刻其下層的絕緣膜21，在其底面形成通孔17內之阻擋金屬膜20表面露出的深孔(凹部)23。孔23係由矩形的平面圖案所構成，在字元線WL之延長方向具有長邊，且在資料線DL的延長方向具有短邊，長邊方向的直徑約為220 nm，短邊方向的直徑約為130 nm。此外，與鄰接長邊方向之孔23的間隔及與鄰接短邊方向之孔23的間隔分別為130 nm。

## 五、發明說明(27)

圖37顯示於孔23內形成資訊儲存用電容元件24時的剖面圖。資訊儲存用電容元件24具有下部電極24a、形成在其表面的電容絕緣膜24b及板極24c。下部電極24a如由摻雜多晶矽膜構成，並通過插腳19及其下層的插腳11b，與記憶體單元選擇MISQs之源極、汲極用的其中一個n型半導體區域7電性連接。電容絕緣膜24b如由氮化矽膜、氮化矽膜與氧化矽膜之疊層膜或氧化鉬( $TaO_5$ )等構成。板極24c具有埋入電容器孔23的摻雜多晶矽膜與堆積其上之鎢等金屬膜。板極24c中，藉由在電容器孔23內部分埋入性良好之摻雜多晶矽膜，可有效埋入縱橫比高的電容器孔23內。

電容絕緣膜24b除上述材料之外，也可以由包含BST膜、 $BaTiO_3$ (鈦酸鋇)、 $PbTiO_3$ (鈦酸鉛)、PZT( $PbZrXTi1-XO_3$ )、PLT( $PbLaXTi1-XO_3$ )、PLZT等鈣鈦礦型金屬氧化物的高(強)電介質來構成。此時下部電極24a宜使用鈣等。此外，板極24c宜由在電容絕緣膜24b上堆積氮化鈦及鎢膜來構成。板極24c之鎢膜具有降低板極24c與上層配線之接觸電阻的功能，氮化鈦膜則具有防止因氣體(氧氣及氫氣)自電容絕緣膜24b向鎢膜擴散造成電阻增加的功能。此外，此處係說明資訊儲存用電容元件24為冕(Crown)型者，不過並不限定於此，亦可作各種改變，例如亦可採葉片(Fin)型。

至此步驟，資訊儲存用電容元件24完成，以記憶體單元選擇用MIS·FETQs與串連其上之資訊儲存電容元件24所構成的DRAM記憶體單元則概略完成。之後，在資訊儲存用電容元件24的上部形成夾住層間絕緣膜的約兩層配線，在

## 五、發明說明 (28)

最上層配線上部形成鈍化膜，不過省略這些圖式。

其次，說明本實施形態於上述DRAM製造步驟中採用的曝光技術。

首先，圖38顯示本實施形態之多重曝光處理中採用的一種曝光裝置。曝光裝置25如為縮小比4:1之掃描型縮小投影曝光裝置(以下亦稱掃描器)。曝光裝置25的曝光條件如下：亦即，曝光光線如使用KrF準分子雷射光(曝光波長 $\lambda = 248 \text{ nm}$ )，光學透鏡的孔徑數 $NA = 0.68$ ，為求獲得更高移相效果，採用提高曝光光線干擾性之照明條件為相關( $\sigma = \text{sigma}$ )值 $= 0.3$ 的條件。但是，曝光光線並不限定於上述者，亦可作各種改變，例如，亦可使用波長為 $193 \text{ nm}$ 之ArF準分子雷射極波長為 $157 \text{ nm}$ 之F<sub>2</sub>雷射。

自曝光光源25a射出的光線，經由複眼透鏡25b、孔徑25c、聚光透鏡25d1, 25d2及反射鏡25e照亮光罩26。光學條件中的相關性，藉由改變孔徑25c之孔徑部的大小來調整。並設置有薄膜27，以防止因光罩26上附著雜質造成圖案複製不良等。描繪在光罩26上的光罩圖案經由投影透鏡25f投影在試劑基板的晶圓1W(基板1)上。另外，光罩26放置在被光罩位置控制手段25g所控制的光罩載物台25h上，其中心與投影透鏡25f之光軸確實對準。

晶圓1W被真空吸附在晶圓載物台25i上。晶圓載物台25i放置在可向投影透鏡25f之光軸方向，亦即Z方向移動的Z載物台25j上，再裝設在XY載物台25k上。Z載物台25j及XY載物台25k因應主控制系統25m發出的控制命令，分別被驅

## 五、發明說明(29)

動手段25n1, 25n2驅動，因此可移動至所需的曝光位置上。該位置作為固定在Z載物台25j上之反射鏡25p的位置，並以雷射測長機25q正確監控。此外，晶圓1W(基板1)的表面位置被具有一般曝光裝置之焦點位置檢測手段測量。藉由因應測量結果使Z載物台25j驅動，可使晶圓1W的表面隨時與投影透鏡25f的成像面一致。

使光罩26上之電路圖案與形成在晶圓1W上之電路圖案重複曝光時，使用對準檢測光學系統25r檢測形成在晶圓1W上的符號圖案位置，根據該檢測結果將晶圓予以定位來重疊複製。主控制系統25m與網路裝置25s電性連接，可遠距監視曝光裝置25的狀態。

圖39模型顯示上述曝光裝置1的曝光操作。由於光罩26與晶圓1W為鏡面對稱關係，因此，曝光處理時，光罩26的掃描(Scan)方向與晶圓1W的掃描(Scan)方向相反。放置在光罩載物台25h上之光罩26與放置在晶圓載物台25i上之晶圓1W以指定之驅動比率正確同步被掃描驅動。由於掃描器之縮小比主要為4:1，因此，對晶圓1W之驅動距離=1，光罩26之驅動距離=4。曝光光線EP經由縫隙SL而形成之縫隙狀曝光區域，藉由光罩26的掃描操作，掃描光罩26上，將光罩26上之光罩圖案曝光在晶圓1W的主面上來進行複製(上述掃描曝光)。

不過，經由成像光學系統在基板上複製光罩圖案時，因光學系統誤差的像差影響，而產生複製圖案形狀惡化及複製位置移動(偏差)等的影響。成像光學系統之像差分布存

## 五、發明說明 (30 )

在於曝光場內。該像差量可以 Zernike 像差函數來表示，各像差成分的大小對應於各項係數。像差中，如三次彗形像差、五次像差之 Trefoil 像差，即會產生複製圖案的形狀惡化及位置偏差。

採用上述掃描時，如在上述縫隙狀曝光區域的寬度(短)方向上掃描來複製圖案時，透鏡像差基本上僅分布在縫隙狀曝光區域的長度方向。因此，在光罩 26 上，沿著上述縫隙狀曝光區域的寬度方向(亦即掃描方向)配置數個圖案，對其多重曝光時，複製在基板上相同位置的圖案間，各圖案受到影響之透鏡像差量相同。亦即，若複製圖案相同時，因像差造成複製圖案對上述掃描方向的位置偏差相同。因此，可以減少或消除上述的形狀惡化及位置偏差等。

複製圖案的複製位置移動量，除像差量之外，也隨圖案配置而改變。例如，複製位置的移動量隨配置節距而改變，而在掃描器上，對上述縫隙狀曝光區域的長度方向則成一維移動量分布。因而，光罩圖案的位置校正只須進行線性校正即可，比步進機校正方便。

此外，採用掃描器時，與步進機的 22 mm 角比較，其最大曝光場尺寸如大至 25 × 33 mm 時，具有可使更之大半導體晶片放置在 1 片光罩 26 上的優點。藉此，可裝設在 1 片光罩 26 上之雙重曝光用最大晶片尺寸大於逐次移動型縮小投影曝光裝置(以下稱步進機)的 22 mm × 11 mm，並可擴大至 25 mm × 16.5 mm。

另外，圖 38 及圖 39 雖僅顯示說明曝光裝置功能的必要部



## 五、發明說明(31)

分，不過其他之一般曝光裝置(掃描器及步進機)上必要的部分，在一般範圍內相同。此外，本發明的技術構想可適用於使用步進機的曝光技術。採用步進機時，例如1次曝光 $22 \times 22$  mm角的曝光晶片，在基板上複製光罩圖案。但是，由於該曝光晶片內分布存在著像差，因此使用步進機時，複製圖案的形狀因曝光晶片內的位置而改變，而被複製在對複製圖案位置無像差時之理想位置的偏差位置上。例如，考慮在同一個光罩上配置兩種光罩圖案，使兩者重疊多重曝光時。因基板上對於被多重曝光之各圖案的像差量不同，因而在基板上複製時之複製圖案的位置移動量也不同。以致各圖案間之複製位置的移動量不同，可能因該位置移動量的影響，造成兩種圖案間產生之相對性重疊偏差。

採用步進機時，因像差量在曝光晶片內成二維分布，以致用於校正上述複製圖案位置移動之光罩上的複製圖案位置校正複雜。此外，因在同一光罩基板上配置兩度照射(2 Shot)部分的光罩圖案，以致受到可曝光之晶片尺寸限制，可能隨1片基板之曝光照射次數增加造成通量降低。此外，使用兩片光罩時，基板上被多重複製之圖案受到影響之像差量雖相等，但是如上所述的，因係替換光罩，在同一基板上多重曝光，可能造成通量降低。考慮以上事項，藉由採用掃描器，比雙重曝光處理，可更簡便且高精度的實施。

其次，說明本實施形態中使用的光罩。

首先，說明用於形成於形成上述圖1等所示之活性區域L(溝型分離部2)時使用之光阻圖案的曝光技術。

## 五、發明說明 (32)

圖40(a)顯示用於形成上述圖1等所示之活性區域L之光阻圖案RL的重要部分平面圖，(b)為(a)之A-A線的剖面圖。圖40(a)雖為平面圖，不過為求便於圖式觀察，在光阻圖案RL內劃陰影線。

該光阻圖案RL中，將上述活性區域L之長度方向的鄰接間隔D2設定在極接近160~180 nm(如上述之約可配置一條字線WL的間隔)。亦即，所要求之圖案的配置節距極微小。因而，使用一般光罩的曝光處理時，由於光強度的斜度小，顯像後之光阻圖案的反向量變大，對圖案長度方向極難獲得足夠光強度等因素，在保持上述微細配置節距的狀態下，很難形成圖案。因此，需要採用里賓森型移相光罩作為複製該光阻圖案RL的光罩。

以下採用一般里賓森型移相光罩技術執行時，係考慮使用里賓森型移相光罩，將光阻圖案RL複製到負型光阻膜上。如上所述，採用里賓森型移相光罩時，需要將穿透鄰接透光區域的各光線的相位差設定為180度，不過光阻圖案RL布局時，用於複製其之透光區域被配置成三個以上圖案分別以配置移相器的所需距離鄰近配置，在整個鄰近的透光區域間，無法使穿透光相位差構成180度來配置移相器。亦即，該鄰近之透光區域中，至少有一對的穿透光屬於同相位。

因而，本實施形態於形成用於形成圖1所示之活性區域L之圖案的光阻圖案RL時，係使用正型光阻膜，且採用多重曝光法，將數個光阻圖案重疊在在晶圓1W(基板1)上之正

## 五、發明說明(33)

型光阻膜的同一位置上進行曝光。活性區域L分離時，則分離成斜向延伸之帶狀圖案與分段其指定部分的孔圖案。

圖41顯示用於形成上述活性區域形成用之光阻圖案之光罩26的第一光罩圖案28A，其中(a)為其重要部分平面圖，(b)為(a)之A-A線的剖面圖，(c)為(b)之移相器部份的放大剖面圖。

構成圖41之光罩26的光罩基板26a，如由透明的合成石英玻璃構成，其主面上形成有如圖40(a)所示的光罩圖案28A。該光罩圖案28A為曝光對XY方向斜向延伸之線/間隙圖案的圖案，具有對XY方向斜向(如對X軸方向約傾斜 $28^\circ$ )成帶狀延伸的遮光圖案26b與透光圖案26c。所謂的該遮光圖案26b與透光圖案26c，係指沿著其圖案寬度(短)方向交互配置。其中，在夾住遮光圖案26b，彼此鄰接之透光圖案26c，26c之一上配置有移相器S。藉此，使穿透彼此鄰接之透光圖案26c，26c的各光線產生180度的相位差。亦即，各光線彼此倒置180度。另外，尺寸Dx10則約為520 nm(晶圓上換算)。此外，尺寸Dy10則約為280 nm(晶圓上換算)。

構成光罩圖案28A之遮光圖案26b如由鉻、氧化鉻或其疊層膜等的遮光膜所形成。此外，透光圖案26c係藉由上述遮光膜被除去而形成。如圖41(b)，(c)所示，移相器S係採用溝移相器構成。亦即，移相器S藉由在光罩基板26a挖掘指定深度(上述Z公式)的溝來形成。上述例中，由於係使用曝光波長為248 nm的KrF，因此移相器S的溝深度Z約為245 nm。

## 五、發明說明(34)

此外，此處舉例顯示該溝移相器為上述微細檐型溝移相器。亦即，移相器S之溝周邊(寬度窄的剖面方向)，光罩基板26a向溝寬度方向突出，因而形成朝向移相器S之遮光圖案26b的端部成檐狀突出的構造。該遮光圖案26b突出部分之檐長P的最適切值，視圖案節距及光學條件等而定，在縮小比4:1之掃描器用光罩上約為 $0.15\ \mu\text{m}$ 。藉由此種檐構造，可控制光的波導管效果，亦可控制穿透光之光強度受到移相器S側壁的影響而衰減。因此，進行多重曝光處理時，藉由使用該光罩26，可使複製在晶圓1W上之圖案的尺寸精度提高。

不過，圖41所示之光罩圖案28A為對X軸方向傾斜約28度的線/間隙圖案。因此，以可變矩形光束之向量掃描方式的電子線曝光裝置描繪該圖案時，係以許多矩形分割傾斜圖案，描繪近似傾斜圖案。亦即，圖41所示之光罩圖案布局以電子線描繪資料形成如圖42模型顯示之微小階梯狀的圖案。因此，會產生光罩圖案描繪時之電子線照射次數增加與描繪時間增加的問題。因而，複製此種傾斜圖案之光罩圖案的布局，為求減少光罩圖案描繪時的曝光照射次數，宜布局光罩圖案。圖43為構成以晶圓處理獲得足夠解像特性範圍內大小之階梯狀圖案的一種光罩圖案布局。此時，將透光圖案26c分割成如 $65\ \text{nm}(=D_x11) \times 135\ \text{nm}(D_y11)$ 的數個微細矩形圖案，並在Y方向分別隔開 $35\ \text{nm}(=D_y12)$ ，同時沿著X方向並列來配置該矩形圖案。此時矩形圖案尺寸在光罩上雖變成4倍之 $260\ \text{nm} \times 540\ \text{nm}$ ，不過其大小為以

## 五、發明說明(35)

電子線曝光裝置描繪時，可以1次照射描繪的大小。對Y方向隔開量 $Dy_{12}=35\text{ nm}$ 為節距 $Dy_{10}=280\text{ nm}$ 之 $1/8$ 的值，X方向之矩形大小 $65\text{ nm}$ 為節距 $Dx_{12}=260\text{ nm}$ 之 $1/4$ 的值。X方向的刻度大於Y方向，係因傾斜圖案的角度自X方向起約傾斜28度。另外，使用光柵掃描型電子線(EB)描繪裝置時，因描繪方式不同，因此圖案布局亦可為傾斜方向的圖案。此外，以Cellpudicstane方式的EB描繪裝置時，亦可使用將傾斜圖案的一部分作為一個單元圖形，將其接合描繪的方法等。再者，矩形圖案以外的傾斜圖案(如三角形圖案)亦可使用具有可複製之孔徑部的孔徑來描繪。

圖44模型顯示僅將圖41之光罩圖案28A曝光在正型的光阻膜上。空白者為被曝光光線照射的區域，劃陰影線者為未被曝光光線照射的區域。光阻膜R採用正型者，若進行顯像處理時(實際上係在多重曝光後進行顯像處理)，曝光區域(空白區域)被除去。僅該光罩圖案28A形成有圖44之斜向延伸的帶狀光阻圖案R(亦即線圖案形成用的光阻圖案)，無法形成島狀的光阻圖案。因此，需要除去部分該帶狀光阻圖案R的指定位置，準備用於形成島狀光阻圖案的第二光罩圖案，將其重複曝光。

圖45顯示用於形成該重複曝光上使用之上述活性區域形成用光阻圖案之光罩26的第二光罩圖案28B部分，其中(a)為重要部分平面圖，(b)為(a)之A-A線的剖面圖。

形成在圖45之光罩基板26a主面上的光罩圖案28B，為未經圖41之光罩圖案28A曝光所保留之圖43的帶狀光阻圖案

## 五、發明說明(36)

R中，曝光相當於活性區域L之長度方向鄰接間隔的部分，以形成島狀光阻圖案的圖案。

該光罩圖案28B具有：主透光圖案26c1及配置其周圍的輔助透光圖案26c2。主透光圖案26c1及輔助透光圖案26c2形成平面正方形。主透光圖案26c1的平面尺寸約為 $200 \times 200$  nm(晶圓上換算)。此外，輔助透光圖案26c2之平面尺寸比主透光圖案26c1之平面尺寸相對較小，形成不能複製在光阻膜上的大小，約為 $100 \times 100$  nm(晶圓上換算)。此時，主透光圖案26c1上配置有移相器S。藉此，穿透主透光圖案26c1與輔助透光圖案26c2之各光線產生180度的相位差。移相器S與上述光罩圖案28A同樣的為上述微細檐型溝移相器。移相器S的溝深度與上述光罩圖案28A之移相器S的溝深度相同。

第二光罩圖案28B中，在X方向(第二方向)鄰接之主透光圖案26c1，26c1間的節距 $D_{x13}$ 為圖案之最小接近節距，該距離約為 $2 \times 0.33(\lambda/NA) \sim 2 \times 0.045(\lambda/NA)$  nm，在晶圓上約在120~160 nm的範圍內。此時，在X方向鄰接之主透光圖案26c1的節距 $D_{x13}$ 約為260 nm(晶圓上換算)。在Y方向(第一方向)鄰接之主透光圖案26c1，26c1的鄰接節距比上述在X方向鄰接之主透光圖案26c1，26c1的鄰接節距為長。此時，在Y方向鄰接之主透光圖案26c1之節距 $D_{y13}$ 約為420 nm(晶圓上換算)。在Y方向鄰接之主透光圖案26c1與輔助透光圖案26c2的節距 $D_{y14}$ 約為280 nm(晶圓上換算)。

不過，通常在設計光罩圖案28B時，係考慮僅配置主透光

## 五、發明說明(37)

圖案，並在彼此鄰接之主透光圖案的其中之一上配置移相器。但是，採用該光罩圖案28B時，在X方向鄰接之主透光圖案的節距為最小接近距離，此外，Y方向也由於移相器配置以所需距離被接近配置而狹窄，因此通常無法配置移相器。而本實施形態則是在主透光圖案的周圍配置輔助透光圖案，使穿透其之光線倒置180度，可使解像度提高。此時，輔助透光圖案若任意配置會產生問題，因此需要講求配置的方法。以下說明輔助透光圖案的配置。

如圖46所示，輔助圖案的配置方法，係分別對X方向及Y方向配置在主透光圖案26c1間的中間位置。此時，由於X方向及Y方向上，主透光圖案26c1與輔助透光圖案26c2間的距離稍有差異，以致X方向與Y方向的移相效果亦不同。因而，投影在晶圓1W(基板1)上的光學圖像形成橢圓形，位於圖40之光阻圖案RL長度方向鄰接間部分上下的光阻圖案RL部分，可能因穿透第二光罩圖案28B之主透光圖案26c1的光線影響而縮小。

此外，如圖47所示，另外一種布局方法，係分別對各主透光圖案26c1之上下左右位置概等的距離上配置有4個輔助透光圖案26c2。此時的布局為輔助透光圖案26c2以Y方向上140 nm的節距配置在主透光圖案26c1的周邊。但是此時，由於輔助透光圖案26c2的平面尺寸在晶圓上換算為100 nm邊長的矩形圖案，因此，輔助透光圖案26c2間的空間極小，在晶圓上換算僅為40 nm。因而光罩的製造非常困難。

因此，如圖45所示，本實施形態的光罩圖案28B係使自

## 五、發明說明(38)

各透光圖案26c1中心至其周邊各輔助透光圖案26c2中心的距離概等來配置輔助透光圖案26c2。亦即，輔助透光圖案26c2係配置成，其中心與主透光圖案26c1之中心相同的六角形的角上設置輔助透光圖案26c2的中心。因而，主透光圖案26c1周邊的輔助透光圖案26c2是配置成對通過主透光圖案26c1中心之XY兩軸左右上下對稱。

此外，以另外方式說明如下，亦即，輔助透光圖案26c2雖係配置在通過主透光圖案26c1中心的Y軸(第一方向軸)上，但是未配置在通過主透光圖案26c1中心的X軸(第二方向軸)上，而是配置成自X軸上下隔開Y方向的位置上，以X軸作中心線對稱。

此外，再以另外方式說明如下，亦即，如圖48的雙點線段所示，可以假定內含2個輔助透光圖案26c2的組件單元UC。各組件單元UC內的2個輔助透光圖案26c2配置在通過沿著Y方向所配置之2個主透光圖案26c1中心的Y軸上。此外，這2個輔助透光圖案26c2未配置在通過沿著X方向所配置之2個主透光圖案26c1中心的X軸上，而是配置成將該X軸作為中心線對稱。

此種光罩圖案28B的布局，可使對各主透光圖案26c1之晶圓1W(基板1)上的投影光學圖像形成概略圓形。此外，在圖1之活性區域L之長度方向鄰接間的上下位置上，可儘量抑制光阻圖案的變形。

上述第一光罩圖案28A資料與第二光罩圖案28B資料的重疊狀態，如圖49所示。其中虛線表示第一光罩圖案28A，



## 五、發明說明 (39 )

實線表示第二光罩圖案28B。第一光罩圖案28A的遮光圖案26b上配置有第二光罩圖案28B之主透光圖案26c1及輔助透光圖案26c2。

其次，說明多重曝光處理的相關技術。

首先，本實施形態之上述活性區域複製用的整個光罩平面圖，如圖50所示。此處舉例顯示在一片光罩26的主面(同一面)上配置有兩個複製區域30A, 30B。各複製區域30A, 30B形成平面長方形，各個長邊配置成隔開一定距離彼此平行。各複製區域30A, 30B相當於複製一個半導體晶片的區域。該光罩構造適用於半導體晶片的平面尺寸小，在一片光罩內可以配置兩個半導體晶片複製區域。

複製區域30A之記憶體單元區域內配置有圖41所示的第一光罩圖案38A，複製區域30B之記憶體單元區域內配置有圖45所示之第二光罩圖案38B。進行上述多重曝光處理時，複製區域30A之第一光罩圖案28A與複製區域30B之第二光罩圖案28B被正確定位，複製到晶圓1W(基板1)上的正型光阻膜上。活性區域L(光阻圖案RL)的長度方向尺寸，可藉由主要調整第二光罩圖案28B尺寸及將第二光罩圖案28B曝光在晶圓1W上時的曝光量予以最適化。藉此，可獲得所需之光阻圖案尺寸。

另外，由於記憶體單元區域以外的光罩圖案並非多重曝光，而係以一般曝光來複製，因此，該光罩圖案配置在複製區域30A內。此外，亦可以多重曝光來複製記憶體單元區域以外的光罩圖案。此外，上述複製區域30A, 30B內，除

## 五、發明說明(40)

實際上構成積體電路的圖案之外，還包含如用於重疊的符號圖案、重疊檢查用符號圖案或檢查電特性時使用之符號圖案等實際上不構成積體電路的圖案。此外，在複製區域30A, 30B的外圍遮光區域內，光罩基板26a的一部分被露出，形成有光罩對準符號及測量用符號等其他透光圖案26d。這些透光圖案26d被未複製在光阻膜上的區域，或是曝光時，曝光光線未照射的遮光板所遮蔽。

其次，具體說明多重曝光處理。一種多重曝光方法為，首先，在複製區域30A之圖案未被曝光的遮光(Masking)狀態下，將複製區域30B之圖案曝光在晶圓1W(基板1)主面上的正型光阻膜上後，再度於複製區域30B之圖案未被曝光的遮光(Masking)狀態下，使複製區域30A的圖案重疊在已經被複製(潛像)在晶圓1W上之正型光阻膜上之複製區域30B的圖案上。

此外，另一種多重曝光方法藉由，使複製區域30A與複製區域30B的平面尺寸相等，同時將複製區域30A, 30B複製在晶圓1W上之正型光阻膜後，在Y方向上僅以各複製區域30A, 30B之Y方向尺寸(寬度)部分移動光罩26，在曝光照射重疊一半的狀態下曝光。

前者方法對各複製區域30A, 30B可分別使用最適切曝光量及光學條件曝光。而後者方法，則因複製區域30A, 30B係在相同曝光量與相同光學條件下曝光，雖然光罩圖案需要予以最適化，但是其生產量優於前者的方法。此外，因重複照射2次，造成重疊精度降低。

## 五、發明說明(41)

此外，上述例中，係說明在一片光罩26上配置第一、第二光罩圖案28A, 28B，不過並不限定於此，多重曝光方法亦可使用兩片光罩。亦即，該方法為將第一、第二光罩圖案28A, 28B分別配置在各光罩上，於更換光罩的同時進行多重曝光。此時，由於係替換光罩曝光，因此照射範圍(尺寸)與一般曝光同樣的可擴大至曝光裝置的最大曝光區域(場)。此外，由於可對各圖案設定最適切的曝光條件值，因此可有效設定曝光範圍及曝光條件。該方法特別適用於半導體晶片的平面尺寸大，在一片光罩上無法配置兩個半導體晶片複製區域時。

另外，於此種多重曝光處理完成後，藉由進行一般顯像處理及清洗乾燥處理等一連串處理，形成圖40所示的光阻圖案RL。

上述例中，係說明移相器S為溝移相器(微細檐型溝移相器)時，不過並不限定於此，如圖51(a)所示，亦可使用上述基板上薄膜溝移相器。此時，在光罩基板26a的表面上形成有移相膜26e。移相膜26e以適於發揮移相器作用的厚度(=上述Z的公式)形成，例如，由與光罩基板26a相等或相同程度之透光率及折射率的玻璃上旋轉(SOG; Spin On Glass)等構成。形成移相器S的溝，藉由將自遮光圖案26b露出之指定透光圖案26c(主透光圖案26c1)之移相器膜26e除去至光罩基板26a的表面被露出來形成。此時，於形成移相器S用溝時，提高光罩基板26a與移相器膜26e的蝕刻選擇比，使移相器膜26e的蝕刻速度快於光罩基板26a的蝕刻速度。

## 五、發明說明(42)

亦即，將光罩基板26a作為蝕刻阻擋層(Etching Stopper)，形成移相器S用溝。藉此，可形成極高精度的溝深度(亦即移相器膜26e的厚度)及溝底面的平坦度。因而，由於可大幅減低甚至消除穿透光的相位誤差，因此可使複製在晶圓1W(基板1)上之光阻圖案的尺寸精度大幅提高。

此外，如圖51(b)所示，亦可將透明膜26f作為移相器S，來取代溝。此時，可以上述移相器S用溝的深度Z公式來表示透明膜26f的厚度。

其次，說明用於形成在形成上述圖11等所示之接觸孔10a, 10b圖案時使用之光阻圖案的曝光技術。另外，最小配置節距約為260 nm，最小設計尺寸約為170 nm。

圖52(a)顯示用於形成上述圖11等所示之接觸孔10a, 10b之光阻圖案RC的重要部分平面圖，(b)為(a)之A-A線的剖面圖。圖52(a)為平面圖，不過為求便於觀察圖式，在光阻圖案RC上劃陰影線。

如圖52(a)所示，光阻圖案RC的孔徑部31a, 31b(形成有接觸孔10a, 10b的部分)在平面上成蜂巢狀密集配置。配置節距 $Dx3$ 約為260 nm，配置節距 $Dy2$ 約為280 nm，每1行相隔140 nm(= $Dy2$ )配置圖案。複製此種密集配置的圖案時，需要使用里賓森型移相光罩。但是，如圖52(a)所示的圖案配置，無法配置移相器，使最接近圖案間的相位差全部為180度。因而需要將光罩圖案分割成兩片，以多重曝光來複製圖案。

因此，本實施形態也在形成用於形成圖11所示之接觸孔

## 五、發明說明(43)

10a, 10b圖案的光阻圖案時，使用正型光阻膜，且採用在晶圓1W(基板1)上之正型光阻膜的相同位置重複曝光數個光罩圖案的多重曝光法。

接觸孔10a, 10b分離時，分離成具有可使用里賓森型移相光罩技術之尺寸及光罩圖案布局的第一圖案群、及由第一圖案群以外圖案構成的第二圖案群。具體而言，係將第一圖案群作為資訊儲存用電容元件用之接觸孔10b的圖案群，將第二圖案群作為資料現用接觸孔10a的圖案群。

圖53顯示用於形成上述接觸孔形成用光阻圖案之光罩26的第一光罩圖案28C，其中(a)為其重要部分平面圖，(b)為(a)之A-A線的剖面圖，(c)為(b)之移相器部分的放大剖面圖。

該第一光罩圖案28C為曝光資訊儲存用電容元件用接觸孔10b圖案的圖案，具有平面正方形的數個透光圖案26c3。各透光圖案26c3的平面尺寸約為 $200 \times 200$  nm。透光圖案26c3中，彼此鄰接之其中之一上配置有移相器S，穿透該彼此鄰接之透光圖案26c3的各光線相位倒置180度。沿著Y方向並列配置，且穿透光相位彼此倒置180度的兩個透光圖案26c3，26c3對，僅以在Y方向隔開配置節距 $Dy_{21}$ ，沿著X方向配置。

另外，在X方向鄰接之透光圖案26c3的配置節距 $Dx_{20}$ 約為260 nm(晶圓上換算)，在Y方向鄰接之透光圖案26c3的配置節距 $Dy_{20}$ 約為280 nm(晶圓上換算)，在Y方向上鄰接之透光圖案26c3中，與穿透光同相位者之配置節距 $Dy_{21}$ 約

## 五、發明說明(44)

為420 nm(晶圓上換算)。此外，此時遮光圖案26b、移相器S的構造與上述相同，因此省略其說明。

圖54模型顯示僅將此種第一光罩圖案28C在正型光阻膜上曝光。其中空白者為曝光光線所照射的區域，劃陰影線者為曝光光線未照射的區域。光阻膜採用正型者，若進行顯像處理時(實際上係在多重曝光後進行顯像處理)，曝光區域(空白區域)被除去。僅上述光罩圖案28C形成有僅開設有資訊儲存電容元件用接觸孔10b用孔徑部31b的光阻圖案R(亦即，第一孔圖案形成用的光阻圖案)，無法開設資料線用接觸孔10a用孔徑部31a。因此需要準備用於形成資料線用接觸孔10a之第二光罩圖案，將其重複曝光。另外，在X方向上鄰接之孔徑部31b，31b的配置節距 $Dx21$ ，約為上述配置節距 $Dx20$ 之兩倍的520 nm(晶圓上換算)。

本實施形態之用於形成該資料線用接觸孔10a的第二光罩圖案，係使用與上述圖45所示之第二光罩圖案28B相同者。

使用一般光罩作為該第二光罩圖案時，第二光罩圖案採用僅配置有圖45所示之第二光罩圖案28B之主透光圖案26c1的光罩圖案布局。將使用該第二光罩圖案時之晶圓1W(基板1)上的投影光學圖像與使用圖45所示之第二光罩圖案28B時之投影光學圖像比較，因後者可獲得移相效果，因此可獲得形狀及尺寸精度更佳的光學圖像。

圖55模型顯示僅將此種第二光罩圖案28B在正型光阻膜上曝光。其中空白者為曝光光線所照射的區域，劃陰影線者為曝光光線未照射的區域。光阻膜採用正型者，若進行

## 五、發明說明(45)

顯像處理時(實際上係在多重曝光後進行顯像處理),曝光區域(空白區域)被除去。僅上述第二光罩圖案28B形成有僅開設有資料線用接觸孔10a用孔徑部31a的光阻圖案R(亦即,第二孔圖案形成用的光阻圖案)。另外,在X方向上鄰接之孔徑部31a,31a的配置節距 $Dx22$ ,約為上述配置節距 $Dx3$ 之兩倍的520 nm(晶圓上換算)。

因此,重複曝光上述圖53之第一光罩圖案28C與上述圖45之第二光罩圖案後,藉由實施顯像、清洗、乾燥處理等一連串處理,可形成圖52所示的光阻圖案RC。

上述第一光罩圖案28C資料與第二光罩圖案28B資料的重疊狀態,如圖56所示。其中虛線表示第一光罩圖案28C,實線表示第二光罩圖案28B。第一光罩圖案28A之透光圖案26c3與第二光罩圖案28B之輔助透光圖案26c2重複配置。亦即,第二光罩圖案28B之輔助透光圖案26c2被配置在第一光罩圖案28A之透光圖案26c3內。

因此,作成圖45之第二光罩圖案28B之圖案資料時,如下所述。首先,如接觸孔10a,10b的配置,作成配置透光圖案的圖案資料。此時,接觸孔10a,10b以其他層(資料層)布局。接觸孔10b對應於圖53之光罩圖案28c,接觸孔10a僅對應於圖47之光罩26之光罩圖案中的透光圖案26c1。亦即,以某層(資料層)布局光罩圖案28C,以其他層(資料層)布局光罩圖案28。因而,藉由演算處理該圖53之第一光罩圖案28C的資料,構成上述輔助透光圖案26c2的大小後,合成該資料與如上述接觸孔10a之配置來配置透光圖案的資料

## 五、發明說明(46)

。藉此，作成上述第二光罩圖案28B的圖案資料。

此外，以上述組件單元UC(參照圖48)的觀點來說明以多重曝光處理曝光接觸孔10a, 10b形成用之光阻圖案時的光罩圖案資料分割處理如下。亦即，區分成位於組件單元UC頂點之透光圖案資料與配置在組件單元UC內部的透光圖案資料。將位於組件單元UC頂點的透光圖案資料作為複製到第二光罩圖案28B之晶圓上的透光圖案26c1資料，將含在組件單元UC內之透光圖案資料作為第一光罩圖案28C的資料。

在使用此種第一、第二光罩圖案28C, 28B的多重曝光處理，有關光罩整體構造(參照圖50)及多重曝光處理方法與上述相同，因此省略其說明。

其次，圖57(a)顯示形成上述圖5等所示之字線WL(閘極5)時使用之光罩26的重要部分平面圖，(b)為其A-A線的剖面圖。此時係採用里賓森型移相光罩。該光罩圖案28D具有在圖57(a)之Y方向延伸的帶狀遮光圖案26b及透光圖案26c4。並在彼此鄰接之透光圖案26c4, 26c4之其中之一上配置有移相器S。透光圖案26c4的寬度尺寸 $D_{x30}$ 約為130 nm(晶圓上換算)，合併透光圖案26c4及遮光圖案26b兩者寬度的尺寸 $D_{x31}$ 約為260 nm(晶圓上換算)。另外，曝光裝置及曝光條件與圖38中說明者相同，光阻膜則使用負型的光阻膜。

其次，圖58(a)顯示形成上述圖17等所示之資料線用通孔13時使用之光罩26的重要部分平面圖，(b)為其A-A線的剖面圖。此時係採用半色調型移相光罩。HT表示半色調



## 五、發明說明(47)

膜。該光罩圖案28E具有平面正方形的數個透光圖案26c5。透光圖案26c5的平面尺寸約為 $220 \times 220$  nm(晶圓上換算)。另外，曝光裝置與圖38中說明者相同，曝光光學條件使用 $NA = 0.68$ ， $\sigma = 0.30$ 的條件。光阻膜則使用正型的光阻膜。

圖59(a)顯示形成上述圖21等所示之資料線DL時使用之光罩26的重要部分平面圖，(b)為其A-A線的剖面圖。此時係採用里賓森型移相光罩。該光罩圖案28F具有在圖59(a)之X方向延伸的帶狀遮光圖案26b及透光圖案26c6。並在彼此鄰接之透光圖案26c6，26c6之其中之一上配置有移相器S。透光圖案26c6的寬度尺寸 $Dy30$ 約為170 nm(晶圓上換算)，合併透光圖案26c6及遮光圖案26b兩者寬度的尺寸 $Dy31$ 約為420 nm(晶圓上換算)。另外，曝光裝置與圖38中說明者相同，曝光光學條件使用 $NA = 0.68$ ， $\sigma = 0.30$ 的條件。光阻膜則使用負型的光阻膜。

其次，圖60(a)顯示形成上述圖25等所示之資料儲存電容元件用的通孔17時使用之光罩26的重要部分平面圖，(b)為其A-A線的剖面圖。此時係採用里賓森型移相光罩。該光罩圖案28G具有平面正方形的數個透光圖案26c7。透光圖案26c7雖在Y方向配置成一直線，不過在X方向上並非配置成一直線，而是配置成彼此有些許偏差。該偏差量未達透光圖案26c7沿著Y方向邊的尺寸部分。此外，透光圖案26c7之Y方向的鄰接節距比X方向的鄰接節距長。因而，在彼此鄰接之透光圖案27c7的其中之一上配置有移相器S。移相器S的構造與上述相同，如採用微細檐型溝移相器。透光

## 五、發明說明 (48)

圖案26c7的平面尺寸約為 $200 \times 200$  nm(晶圓上換算)。另外，曝光裝置與圖38中說明者相同，曝光光學條件使用 $NA = 0.68$ ， $\sigma = 0.30$ 的條件。另外，曝光裝置亦可使用步進機或掃描器。光阻膜則使用正型的光阻膜。

有關此時使用的光罩26，說明本發明人所檢討的課題。如圖25所示，通孔17的圖案配置成週期性且高密度(小節距)。因此，該圖案形成時，考慮採用對此種布局有效的里賓森型移相光罩。此處的圖61顯示用於形成孔圖案之光罩圖案的平面圖。該光罩圖案規則性排列配置有平面正方形的數個透光圖案26c7。透光圖案26c7配置在X方向上延伸之數條直線(以單點線段顯示)與Y方向上延伸之數條直線的交叉點上。亦即，透光圖案26c7係並列配置在XY兩方向上延伸的直線上。透光圖案26c7的配置節距在X方向與Y方向上不同，X方向之鄰接配置節距比Y方向之鄰接配置節距短。繼續，在彼此鄰接之透光圖案27c的其中之一上配置移相器S，使穿透各圖案之光線的相位倒置180度。

此時，因在X方向上之透光圖案26c7的鄰接配置節距短，因此顯示良好的移相光罩效果，但是，Y方向則因鄰接配置節距長，因此無法獲得移相光罩的效果。此時所獲得之複製圖案的X，Y方向尺寸如圖62所示。此處顯示將Y方向作為非連續方向，X方向作為連續方向，非連續方向(Y方向)的尺寸為 $0.16 \mu\text{m}$ (晶圓上換算)時所獲得之連續方向(X方向)的尺寸。上述圖61之透光圖案26c7，由於係如上述的配置成一直線，彼此無偏差，因此該配置之配置偏差量為

## 五、發明說明(49)

= 0.0  $\mu\text{m}$ 的條件。因此，如圖62所示，雖然非連續方向之複製圖案的尺寸為0.16  $\mu\text{m}$ ，若連續方向(X方向)之複製圖案的尺寸在0.10  $\mu\text{m}$ 以下時，即變得非常小。此外，此時獲得之焦點深度如圖63所示。上述配置偏差量為0.0  $\mu\text{m}$ 時，焦點深度為0.4  $\mu\text{m}$ ，可知邊緣非常小。

因此，本發明人特別考慮透光圖案26c7的配置，將鄰接之各圖案的位置相對性偏離。此時如圖64所示。該光罩圖案之透光圖案26c7的位置與圖61相比，僅尺寸Dy40的部分在Y方向偏離。此時，僅透光圖案26c7之Y方向邊的長度部分偏離。藉此，可使圖案的形成空間增加。此時，如上述圖62所示，配置偏差量逐次增加至0.075  $\mu\text{m}$ 時，X, Y方向之複製圖案的尺寸差逐漸縮小，配置偏差量約為0.075  $\mu\text{m}$ 時，X, Y方向之複製圖案的尺寸差約為零(亦即，複製圖案之平面形狀概略為正圓形)。若配置偏差量超過0.075  $\mu\text{m}$ ，則結果相反，複製圖案之X方向的尺寸變大。此因，將透光圖案26c7配置成一直線時，對一個透光圖案26c7具有自該X方向的兩方向移相效果，然而，藉由將透光圖案26c7採偏差配置，因鄰接Y方向之透光圖案26c7接近，以致其間也開始產生光的干擾，到達相當程度的距離時，會獲得自三方向的移相效果。因此，將透光圖案26c7的位置偏差相當程度，可促使孔圖案的形狀接近正圓形。此外，焦點深度亦如圖63所示，當配置偏差量約為0.075  $\mu\text{m}$ (上述之圖案形狀概略成圓形的配置偏差量)時最大。亦即，本發明人終於發現，為使圖案形狀在晶圓上儘可能接近圓形，宜

## 五、發明說明(50)

在光罩26上配置透光圖案26c7。

使用該圖64所示之光罩，形成上述通孔17時之記憶體單元區域的重要部分平面圖，如圖65所示。此外，其A-A線的剖面圖，則如圖66所示。另外，此處顯示正確實施通孔17與下層之圖案的對準。

如圖65及圖66所示，通孔17配置成其中心與接觸孔10b的中心，亦即插腳11b的中心一致。此時，通孔17的直徑小於接觸孔10b，且接近資料線DL，兩者重疊邊緣亦小。因此，通孔17的位置偏離時，通孔17在資料線DL上重疊產生短路(Short)不良。圖67顯示圖65及圖66之構造中，通孔17在Y方向偏差約-50 nm時的平面圖。此外，圖68顯示圖67之A-A線的剖面圖。可知通孔17重疊在資料線DL上，形成在通孔17內之插腳19與資料線DL形成短路。

圖69顯示彼此接近之資料線DL與接近其之通孔17的圖案間距離(端與端間的距離)dy與圖案形成時之偏差量的關係。採用圖65等所示的構造時(實線PL)，圖案間距離dy縱使無重疊偏差，僅可保持約20 nm，非常小。亦即，可知各圖案僅約20 nm之位置偏差造成短路。因此可知，採用圖65等所示的構造，雖然要求極高精度的對準，但因目前一般曝光裝置之重疊誤差，其偏差量約為±50 nm，因此無法保持重疊邊緣來形成圖案。亦即，本發明人終於發現光罩26上之透光圖案26c7雖宜如上述的採偏差配置，但若偏差過度又會產生新的問題。

另外方式則是縮小通孔17的直徑，來確保重疊邊緣。如

## 五、發明說明 (51)

圖70(a)所示，若將通孔17的直徑縮小至140 nm(晶圓上換算)時，可以使圖案間距離 $d_y$ 保持在40 nm，曝光裝置的偏差量縱使為 $\pm 50$  nm，也不致短路，可形成圖案。但是，此時用於形成圖案的各種邊緣大幅減少。另外，圖70(b)顯示形成(a)之複製圖按時使用之光罩26的光罩圖案。最接近Y方向之透光圖案26c7的鄰接節距約為290 nm。

圖71顯示以170 nm之孔圖案獲得之焦點深度，與以140 nm之孔圖案獲得之焦點深度的比較圖。此時之圖案的形成條件如下。曝光裝置之縮小投影透鏡的孔徑數NA為0.68，曝光光線使用波長為248 nm之KrF準分子雷射。圖案的配置使用以290 nm節距(晶圓上換算)配置成光柵狀。曝光變動設定 $\pm 5\%$ ，且各尺寸 $\pm 10\%$ 之容許尺寸範圍內所獲得的焦點深度，170 nm的孔圖案約為1.8  $\mu\text{m}$ ，140 nm之孔圖案降低為約0.9  $\mu\text{m}$ 可知比一般所需之焦點深度降低1.0  $\mu\text{m}$ 。亦即，本發明人發現，縮小圖案尺寸雖有助於圖案間的重疊邊緣，但卻無法獲得用於形成圖案所需的處理空間。

因此，形成上述圖案時，通常採用提高曝光裝置之圖案重疊性能，或增加投影透鏡之孔徑數NA，或藉由曝光波長的短波長化，以縮小圖案尺寸等方法。但是，為求提高曝光裝置的性能，需要改變曝光裝置。因設備費用的花費導致半導體積體電路裝置成本提高。此外，隨伴半導體積體電路裝置之圖案微細化與高積體化的快速進步，因不符成本的改變曝光裝置而造成經濟上的問題。此外，投影透鏡之孔徑數NA的增加亦有限度。此外，僅孔徑數NA增加及曝

## 五、發明說明 (52)

光波長短波長化，在經濟上也有上述相同的問題。

因此，本發明係藉由進一步的設計複製圖案的布局，使圖案的重疊精度提高。如上所述，通孔17只須與插腳11b及資訊儲存用電容元件24之下部電極24a電性連接，即可發揮其功能。此外，由於資訊儲存用電容元件24幾乎存在於資料線DL間的寬度內，因此只須在包圍一對資料線DL的區域內配置通孔17即可。再者，考慮與插腳11b電性連接時，通孔17的至少一部分在插腳11b上即可。因此，重一開始即將通孔17布局在遠離重疊邊緣小之資料線DL的方向。藉此，縱使不改變圖案的尺寸，亦可確保圖案間的重疊邊緣。

亦即，形成通孔17時，縱使通孔17一時有偏差，為求確保與插腳11b的電性連接，且與資料線DL確保絕緣狀態，自設計初期即遠離資料線DL來配置通孔17。此時，縱使形成如通孔17無位置偏差的設計，通孔17的中心係偏離插腳11b的中心來配置，通孔17內的插腳19與插腳11b電性連接。(參照圖25、圖28及圖31等)。

該裝置布局，與上述同樣的，使通孔17在Y方向偏離約-50 nm(晶圓上換算)時的平面圖，如圖72所示。此外，圖72之A-A線的剖面圖，如圖73所示。可知縱使此時，通孔17與資料線DL沒有短路。此外，通孔17與下層的插腳11b連接，可獲得足夠的電特性。從本發明可知，圖69所示之通孔17與資料線DL之圖案間距離dy的關係，在約60 nm(晶圓上換算)內無短路。因此，藉由如此改變裝置布局及用

## 五、發明說明 ( 53 )

於形成其之光罩圖案的布局，縱使不改變圖案尺寸(當然，亦可進行可獲得解像度範圍內之尺寸的改變(縮小))，可允許曝光裝置的重疊誤差，並可形成良好的圖案。

上述圖60所示之光罩26的光罩圖案28G係依據上述的技術構想形成。圖74(a)顯示與複製時使用通孔17之圖60相同之光罩26的重要部分平面圖，(b)為使用(a)之光罩圖案時獲得之複製圖案的重要部分平面圖。此外，圖75(a)顯示將透光圖案26c7僅偏差其Y方向邊約一半長度之光罩圖案的重要部分平面圖，(b)顯示與使用(a)之光罩圖案時，實際獲得之複製圖案之重要部分平面圖的比較。採用圖74所示之本實施形態，確認可比圖75擴大複製圖案間的邊緣。使用本發明之光罩圖案28G時，無須變更圖案尺寸，即可徹底確保通孔17與資料線DL的重疊邊緣。此外，與使用圖64構造之光罩圖案時相比，可縮小晶片尺寸約12%。再者，因可確保通孔17與資料線的重疊邊緣，因此，與使用圖64構造的光罩圖案比較，可將製品製造步驟成品率降低至2/3。

其次，說明形成圖34等所示之孔23(形成儲存電容圖案)時的曝光技術。此時進行上述多重曝光處理。第一光罩圖案與上述圖59所示者相同。但是，透光圖案26c6的寬度尺寸約為150 nm(晶圓上換算)。另外，圖76顯示第二光罩圖案28H。圖76(a)為其光罩的重要部分平面圖，(b)為其A-A線的剖面圖。該第二光罩圖案28H使用里賓森型移相光罩技術。該光罩圖案28H具有在圖76(a)之Y方向延伸的帶狀

## 五、發明說明 ( 54 )

遮光圖案 26b 及透光圖案 26c8。並在彼此鄰接之透光圖案 26c8, 26c8 之其中之一上配置有移相器 S。透光圖案 26c8 的寬度尺寸  $D \times 40$  約為 130 nm (晶圓上換算), 合併透光圖案 26c8 及遮光圖案 26b 兩者寬度的尺寸  $D \times 41$  約為 260 nm (晶圓上換算)。另外, 曝光裝置與圖 38 中說明者相同, 曝光光學條件使用  $NA = 0.68$ ,  $\sigma = 0.30$  的條件光阻膜則使用負型的光阻膜。

本實施形態之主要效果說明如下:

(1) 用於形成通孔 17 實施曝光處理時, 藉由使用圖 60 所示之光罩圖案 28G, 可避免造成圖案的形成控制性惡化及圖案形成邊緣減少, 可使通孔 17 與資料線 DL 的重疊邊緣增加。

(2) 用於形成通孔 17 實施曝光處理時, 藉由使用圖 60 所示之光罩圖案 28G, 可抑制圖案的形成控制性惡化及圖案形成邊緣減少。

(3) 藉由上述 (1), (2), 可高密度配置通孔 17 與資料線 DL, 因此可使記憶體單元的積體度提高。

(4) 藉由上述 (3), 可使 DRAM 的性能提高。

(5) 藉由上述 (3), 可以縮小半導體晶片的尺寸, 因此可促進 DRAM 的小型化。

(6) 藉由上述 (1), (2), (5), 可使 DRAM 的製造成品率提高。

(7) 藉由上述 (5), (6), 可使 DRAM 的製造成本降低。

(第二種實施形態)

上述第一種實施形態, 係說明使用上述圖 60 所示之光罩



## 五、發明說明 (55 )

26 進行曝光處理時，係使用一般照明。但是，本發明之技術構想，在曝光光源上並不限定於使用一般照明，亦可在曝光光源上使用變形照明。圖 77(a), (b) 顯示一種變形照明。圖 77(a) 顯示 4 重極照明。此時之四個點狀光源 33 配置成以 X, Y 兩軸作為中心線彼此對稱。此外，圖 77(b) 顯示輪帶照明。此時配置有輪帶狀光源 34。使用此種輪帶照明時，由於解像度高於使用一般照明，因此可以縮小圖案間的節距。因此，可以使半導體積體電路裝置的積體度提高。此外與上述第一種實施形態相同，因此省略其說明。

以上，依據本實施形態具體說明本發明人的發明，不過本發明並不限定於上述的實施形態，只要在不脫離其要旨的範圍內，當然可以作各種改變。

例如，上述第一、二種實施形態所說明之曝光條件、布局節距或尺寸等，亦可視曝光裝置、曝光波長、光阻材料或測定裝置等作各種改變，並不限定於上述者。

此外，上述第一、二種實施形態係說明使用移相光罩作為形成圖 25 等所示之通孔 17 所用的光罩，不過並不限定於此，如使用一般的光罩亦可獲得同樣的效果。

此外，上述第一、二種實施形態係說明將本發明應用在活性區域為對字線等傾斜布局的構造，不過並不限定於此，例如，亦可適用於活性區域對字線垂直(對資料線水平)配置之構造的半導體積體電路裝置。

以上說明主要以應用在構成其背景之使用領域之 DRAM 來說明本發明人的發明，不過並不限定於此，例如亦可適用

## 五、發明說明(56)

於具有靜態隨機存取記憶體(SRAM; Static Random Access Memory)或快閃記憶體(電子可抹除可程式化唯讀記憶體(EEPROM; Electric Erasable Programmable Read Only Memory)等記憶體電路的半導體積體電路裝置、具有微處理器等邏輯電路的半導體積體電路裝置或將記憶體電路與邏輯電路設置在同一半導體基板上之混合型半導體積體電路裝置。

## 後續利益

本專利申請所揭示之主要發明所獲得的效果簡單說明如下：

亦即，在夾住配線之一對第一孔圖案上複製第二孔圖案時，縱使夾住該配線之一對第二孔圖案位置偏差，為求與上述第一孔圖案連接，而不連接於配線，於設計階段，藉由使用形成在光罩上的光罩圖案，自配線分離的方向上偏差配置。藉此，可使圖案重疊邊緣增加。

元件符號之說明

1	半導體基板
1W	半導體晶圓
2	分離部
2a	絕緣膜
3	p型井
4	閘極絕緣膜
5	閘極
6	帽絕緣膜

## 五、發明說明(57)

- |          |            |
|----------|------------|
| 7        | n型半導體區域    |
| 8        | 絕緣膜        |
| 9        | 絕緣膜        |
| 10a      | 接觸孔        |
| 10b      | 接觸孔(第一孔圖案) |
| 11a, 11b | 插腳         |
| 12       | 絕緣膜        |
| 13       | 通孔         |
| 14       | 插腳         |
| 15       | 絕緣膜        |
| 16       | 絕緣膜        |
| 17       | 通孔(第二孔圖案)  |
| 18       | 硬掩膜        |
| 18a      | 側壁         |
| 19       | 插腳         |
| 20       | 阻擋金屬膜      |
| 21       | 絕緣膜        |
| 22       | 光阻圖案       |
| 23       | 孔          |
| 24       | 資訊儲存用電容元件  |
| 24a      | 下部電極       |
| 24b      | 電容絕緣膜      |
| 24c      | 板極         |
| 25       | 曝光裝置       |

## 五、發明說明 (58 )

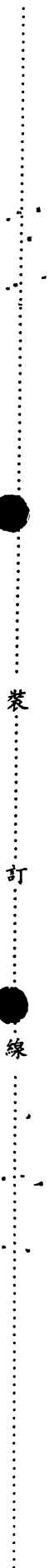
25a	曝光光源
25b	複眼透鏡
25c	孔徑
25d1, 25d2	聚光透鏡
25e	反射鏡
25f	投影透鏡
25g	光罩位置控制手段
25h	光罩載物台
25i	晶圓載物台
25j	Z載物台
25k	XY載物台
25m	主控制系統
25n1, 25n2	驅動手段
25p	反射鏡
25q	雷射測長機
25r	對準檢測光學系統
25s	網路裝置
26	光罩
26a	光罩基板
26b	遮光圖案
26c	透光圖案
26c1	主透光圖案
26c2	輔助透光圖案
26c3	透光圖案

## 五、發明說明 (59 )

26c4~26c8	透光圖案
26d	透光圖案
26e	移相器膜
26f	透明膜
27	薄膜
28A	第一光罩圖案
28B	第二光罩圖案
28C	第一光罩圖案
28D	光罩圖案
28E	光罩圖案
28G	光罩圖案
28H	光罩圖案
30A, 30B	複製區域
31a, 31b	孔徑部
33	點狀光源
34	輪帶狀光源
R	光阻圖案
RL	光阻圖案
RC	光阻圖案
S	移相器
L	活性區域(第一區域)
WL	字線
DL	資料線
SL	縫隙

五、發明說明(60 )

EP	曝光光線
Z	深度
UC	組件單元



裝  
訂  
線

四、中文發明摘要(發明之名稱： 半導體積體電路裝置之製造方法及半導體積體電路裝置 )

本發明係在夾住資料線DL的一對接觸孔10b上複製通孔17時，縱使夾住該資料線DL之一對通孔17的位置偏差，為求與接觸孔10b連接，而不連接於資料線DL，於設計階段，使用形成在光罩上的光罩圖案，在自資料線DL分離的方向上偏差配置。藉此，可使圖案重疊邊緣增加。

日文發明摘要(發明之名稱： 半導体集積回路装置の製造方法および半導体集積回路装置 )

データ線DLを挟む一对のコンタクトホール10b上にスルーホール17を転写する際に、そのデータ線DLを挟む一对のスルーホール17が位置ずれしたとしても、コンタクトホール10bとは接続され、データ線DLには接続されないように、設計の段階においてデータ線DLから離間する方向にずれて配置されるようにフォトマスクに形成されたマスクパターンを用いる。これにより、パターンの重ね合わせマージンを向上させることができる。

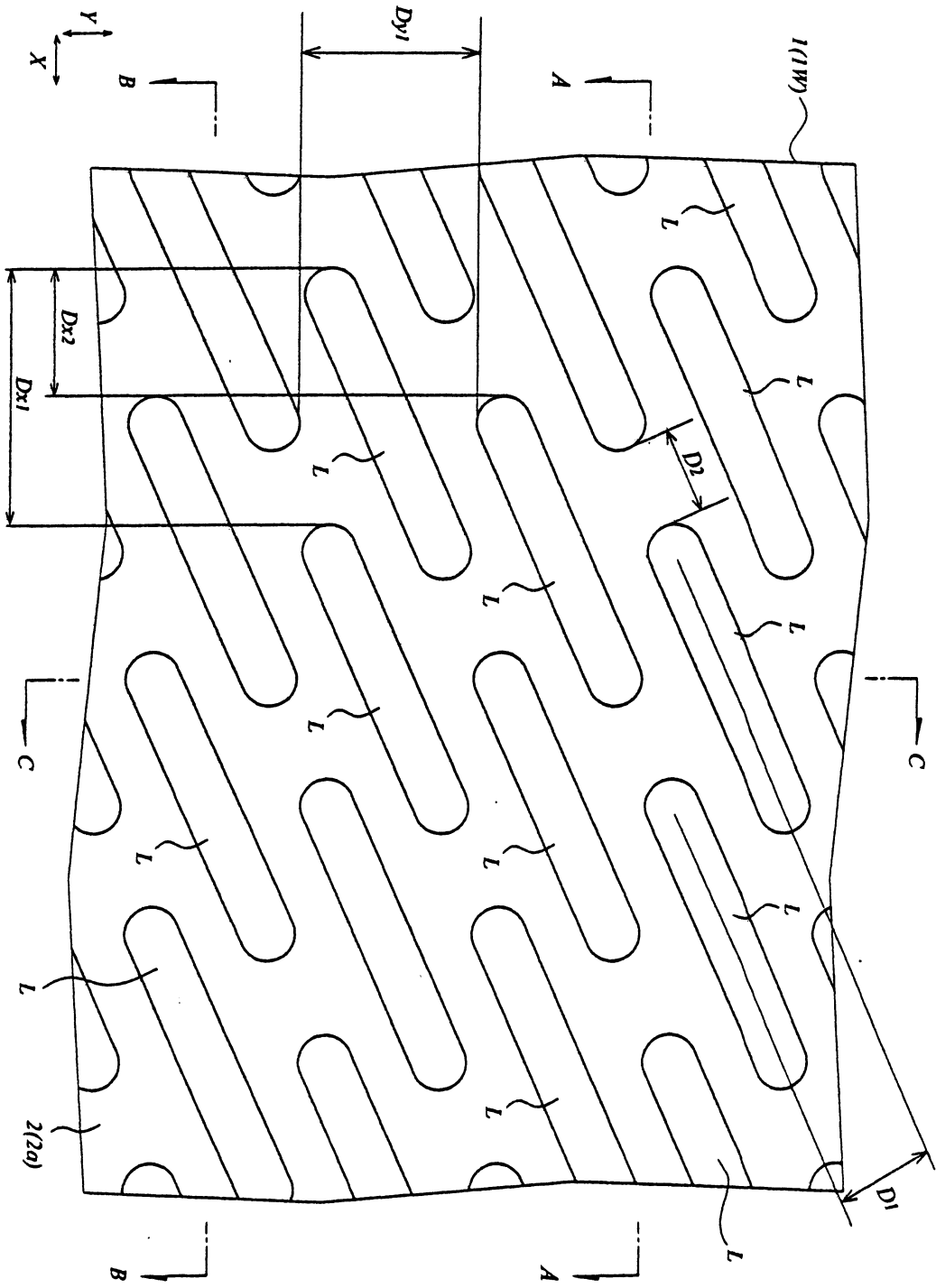


圖 1



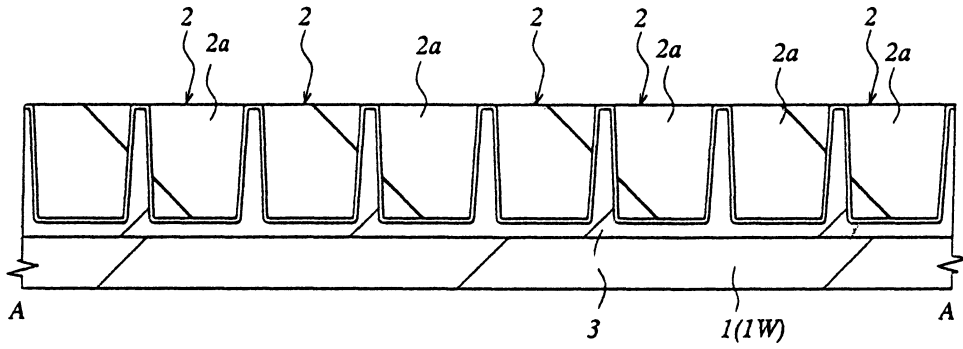


圖 2

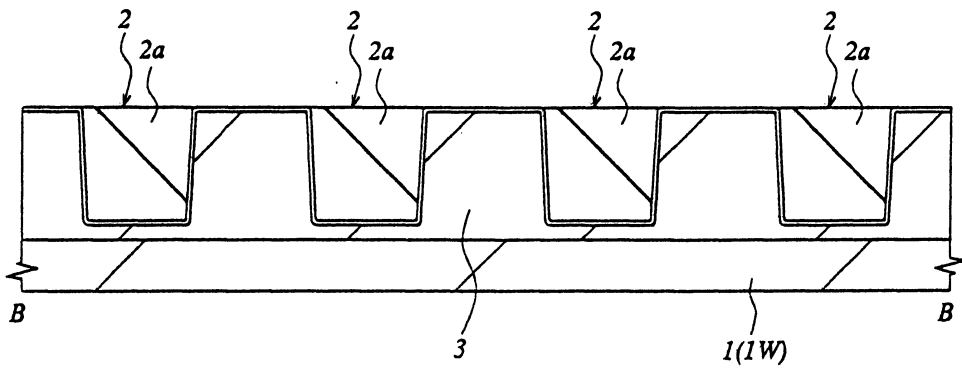


圖 3

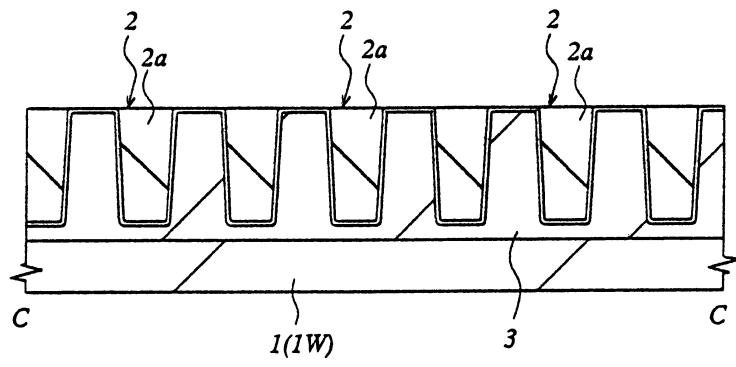


圖 4

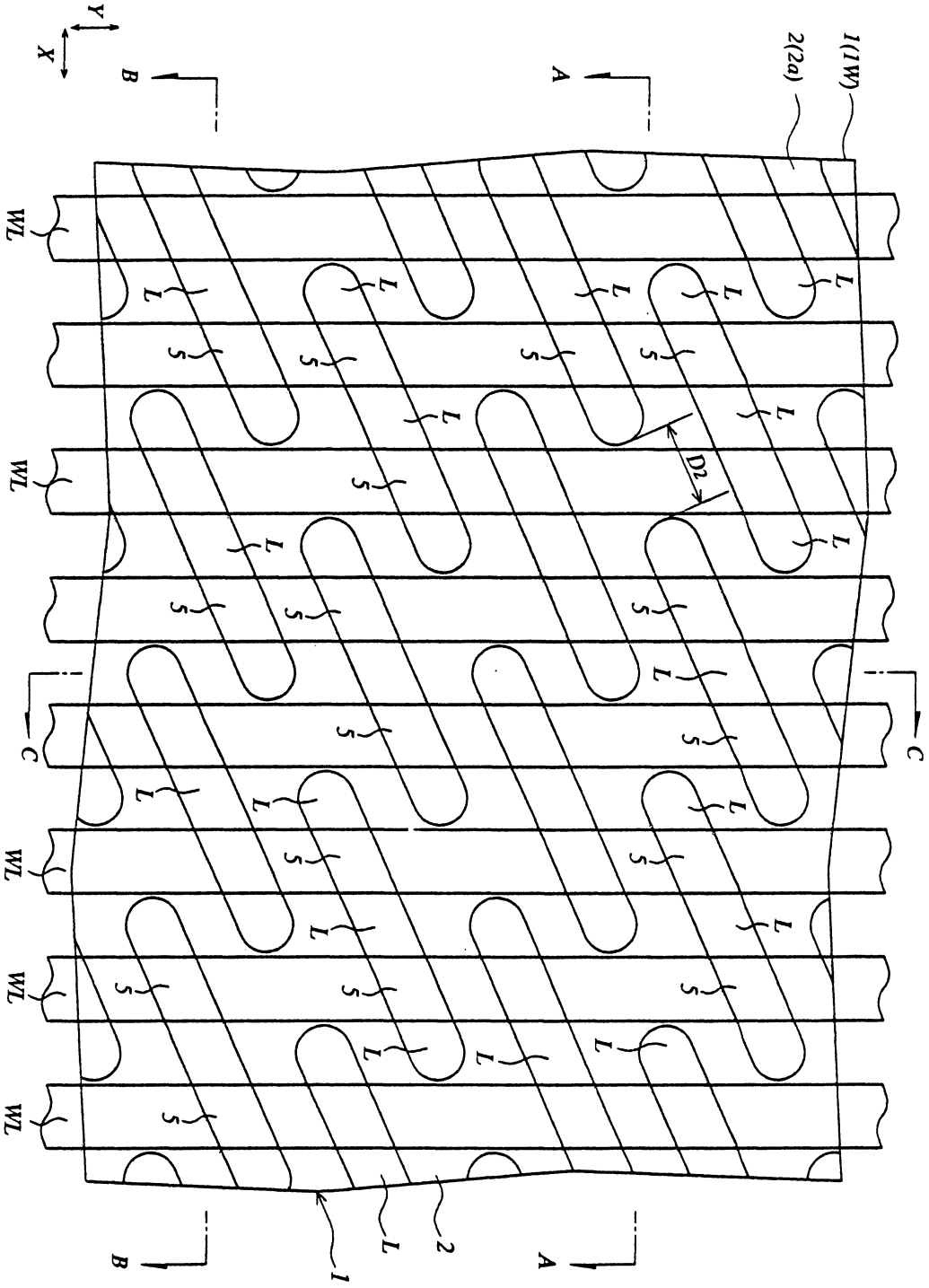


圖 5

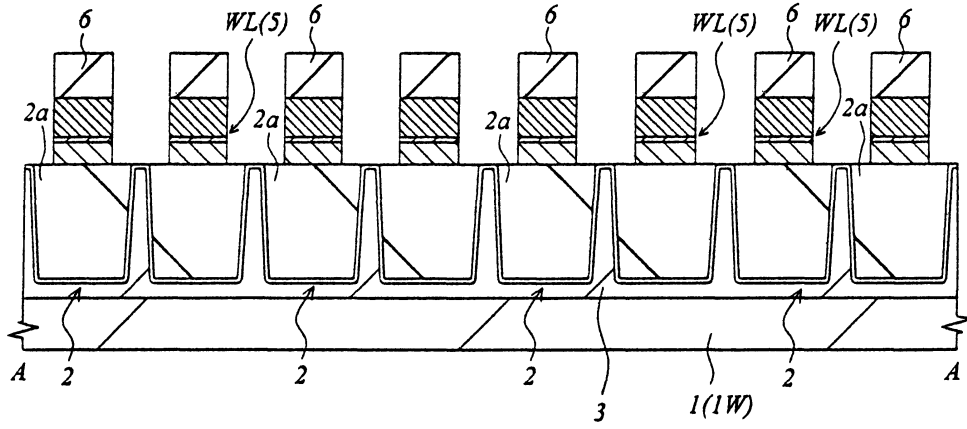


圖 6

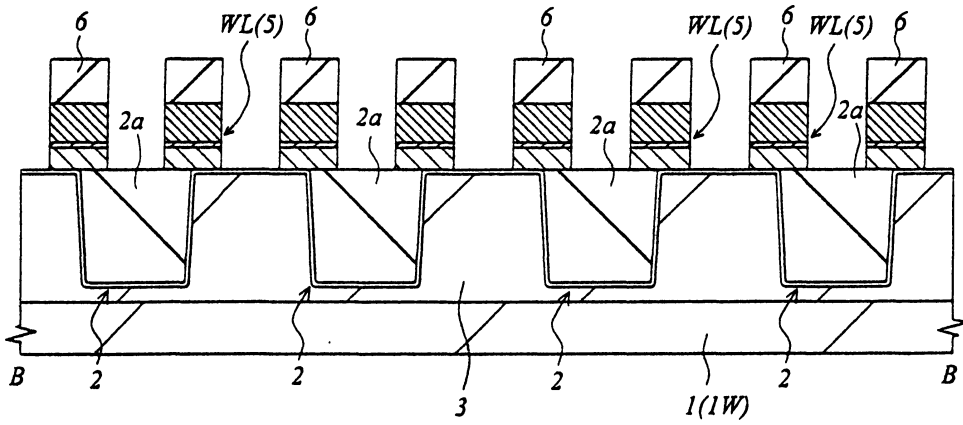


圖 7

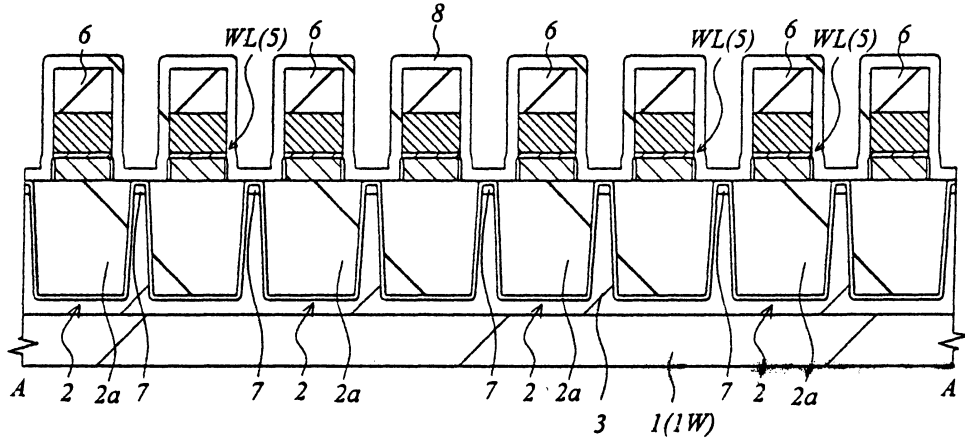


圖 8

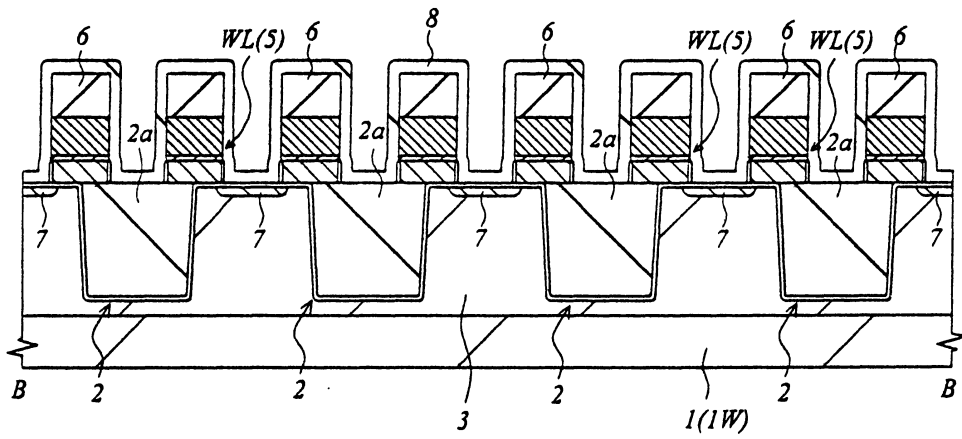


圖 9

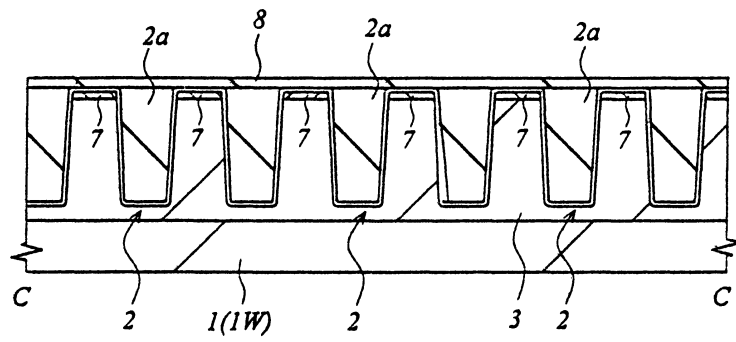


圖 10

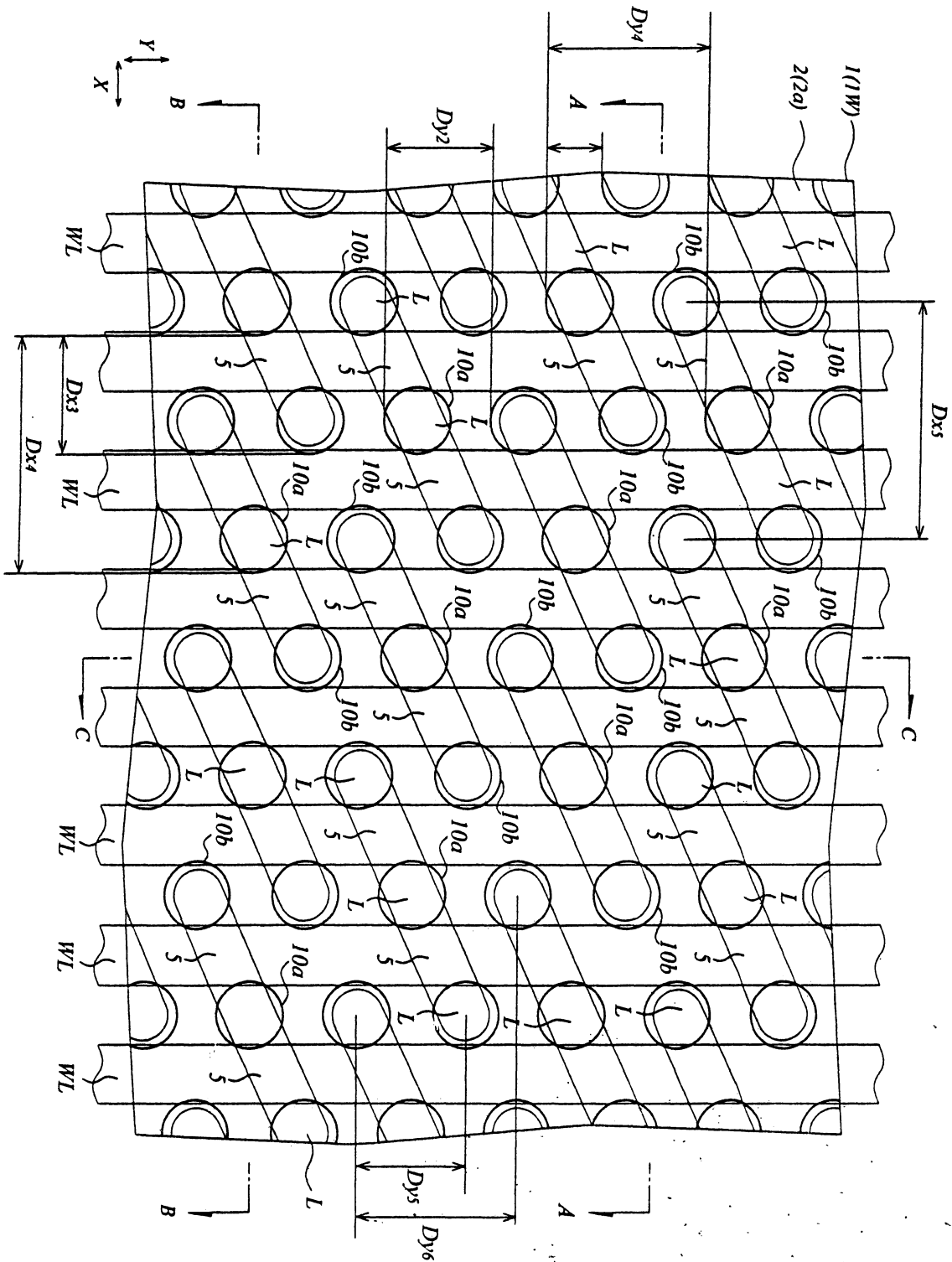


圖 11

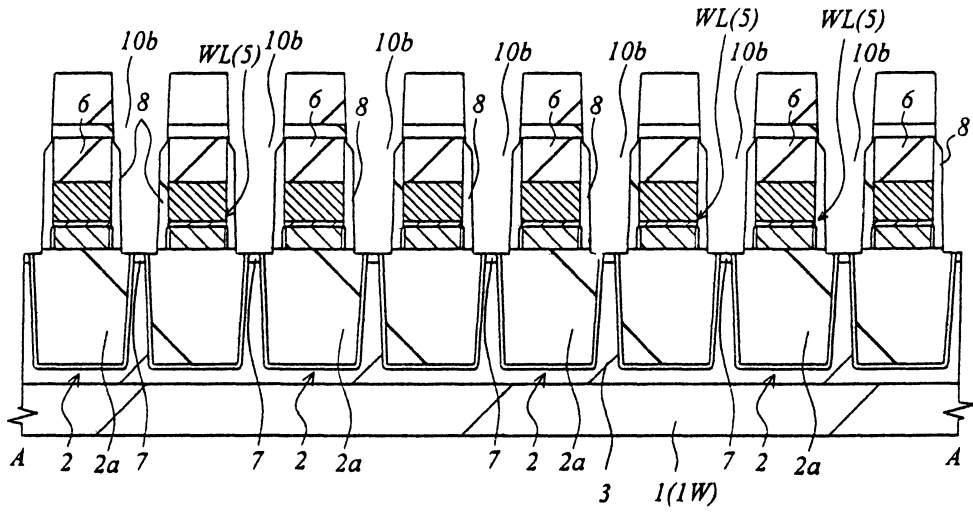


圖 12

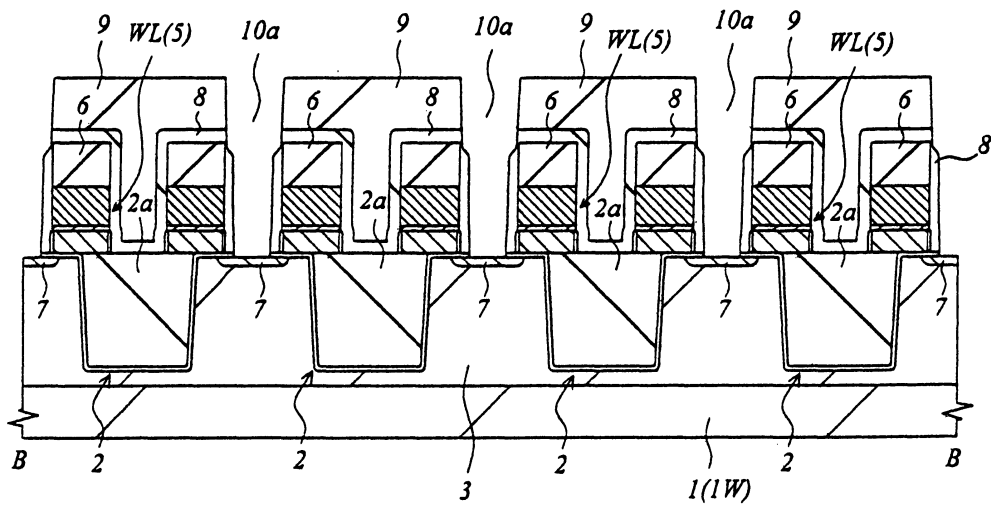


圖 13



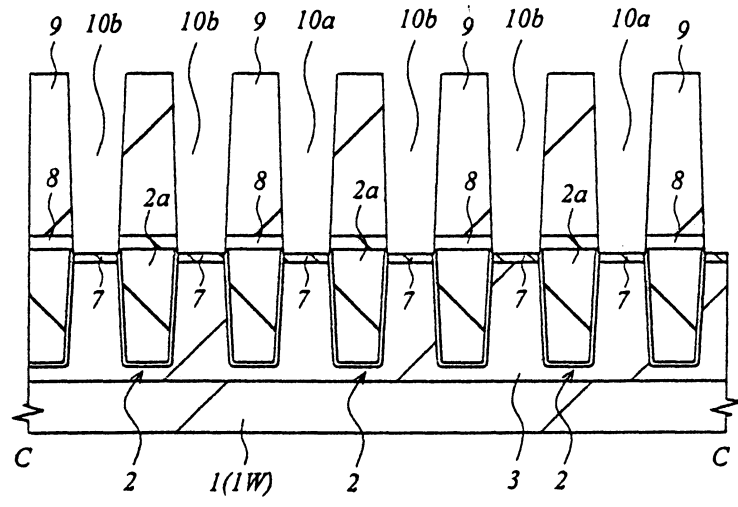


圖 14

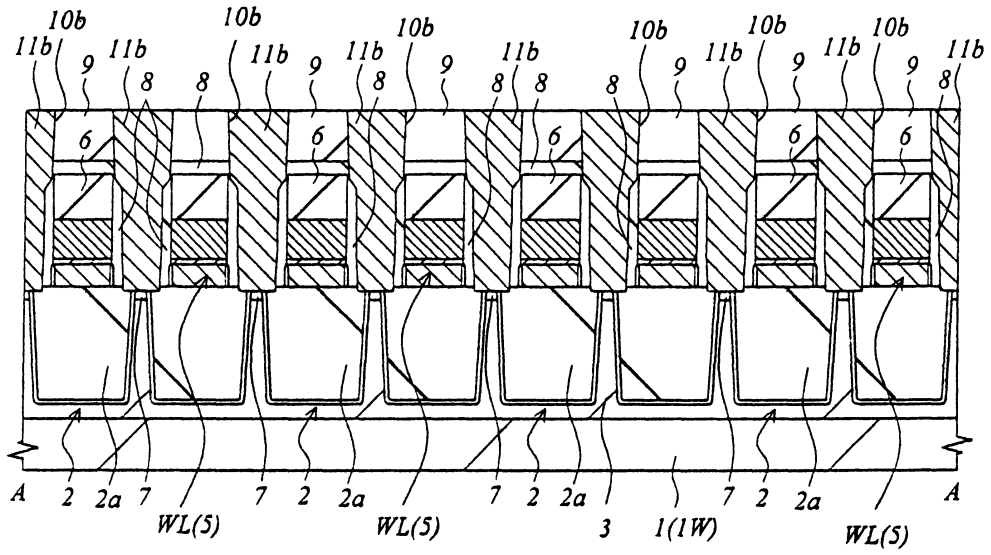


圖 15

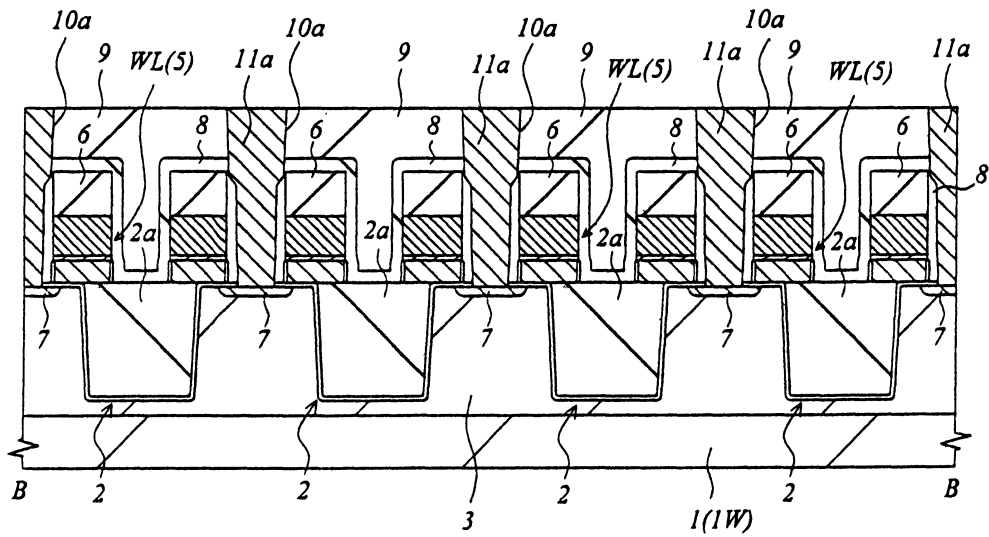


圖 16

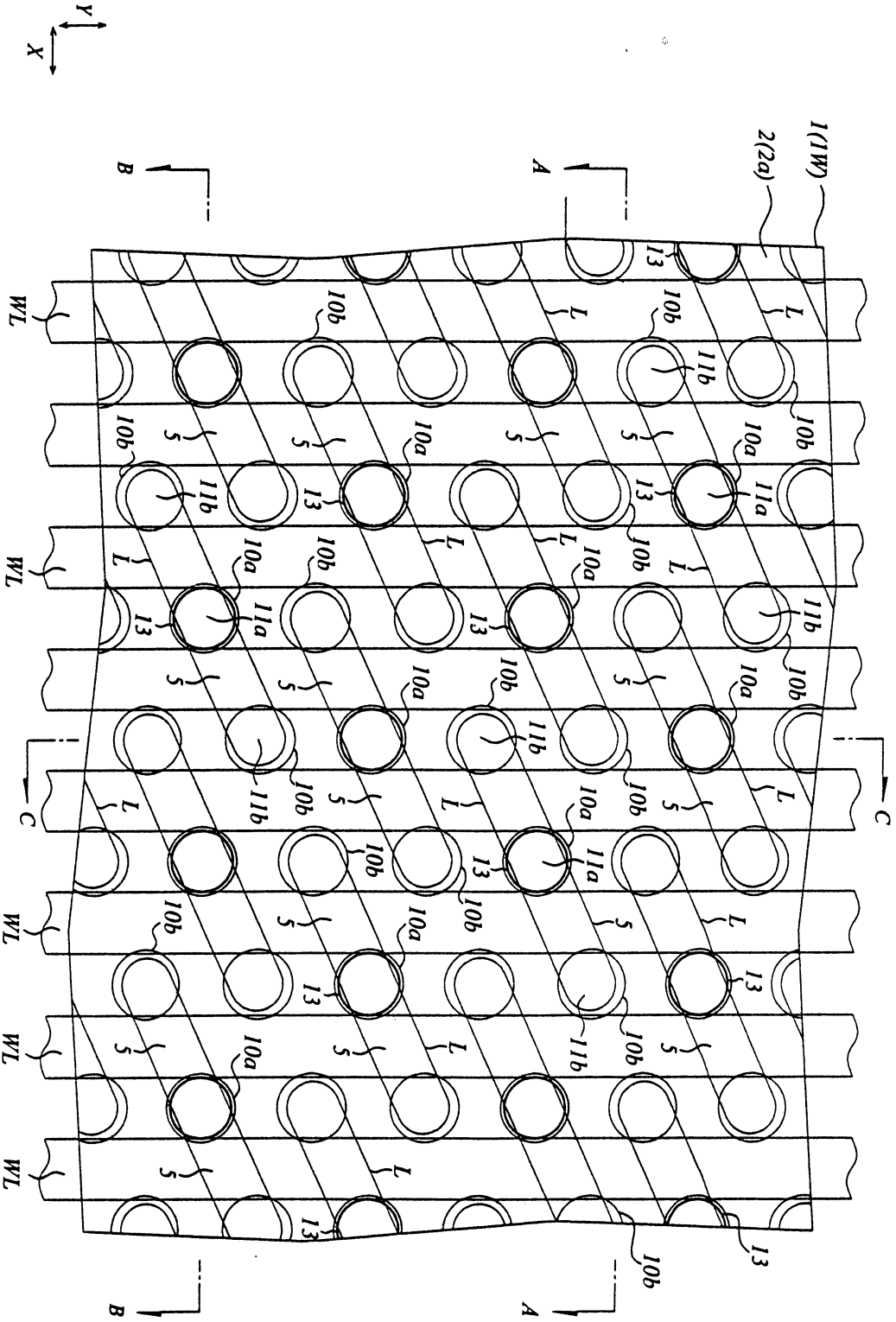


圖 17

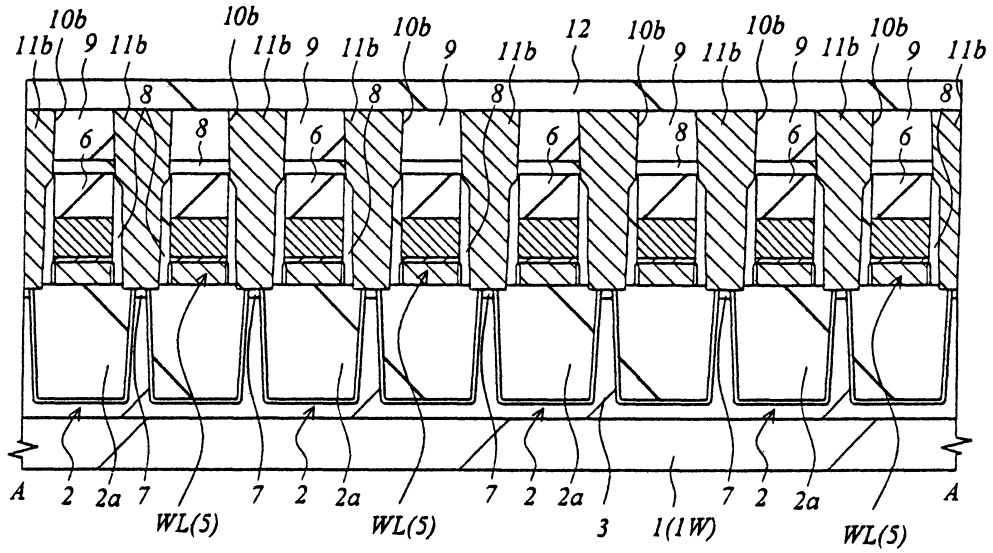


圖 18

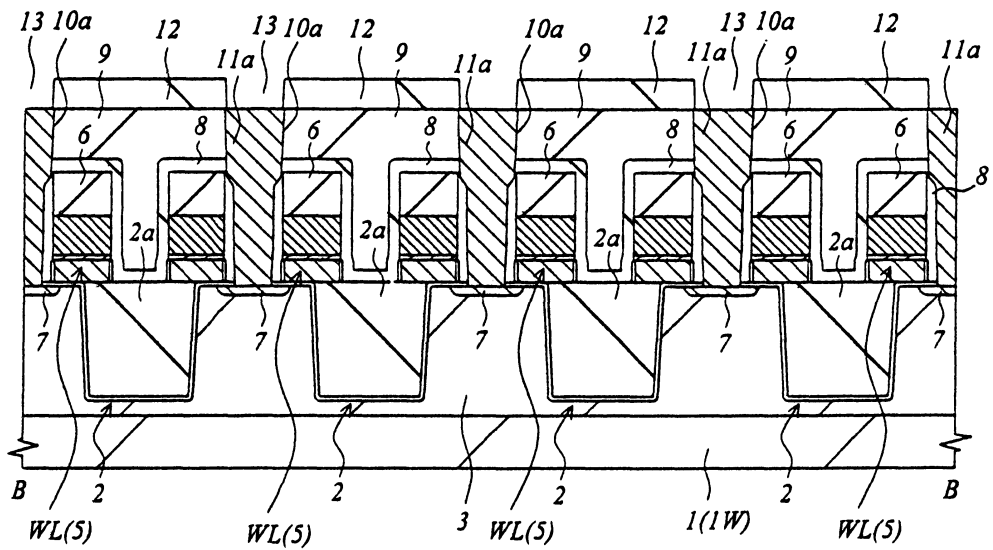


圖 19

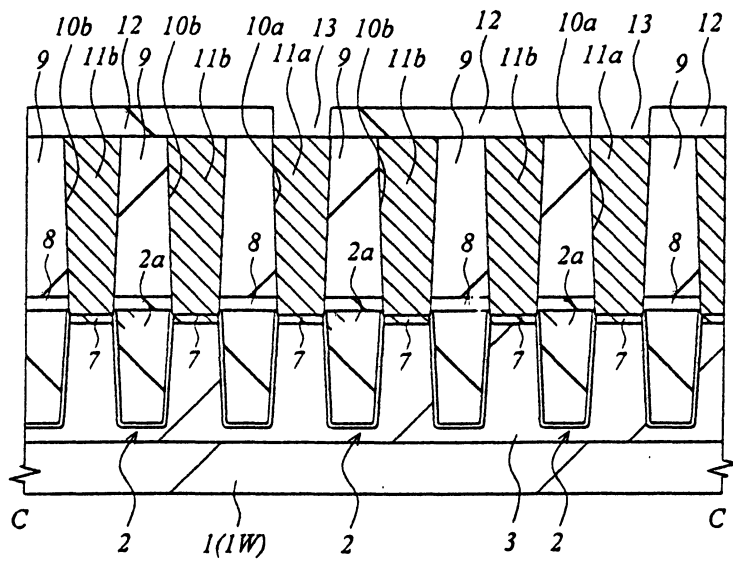


圖 20

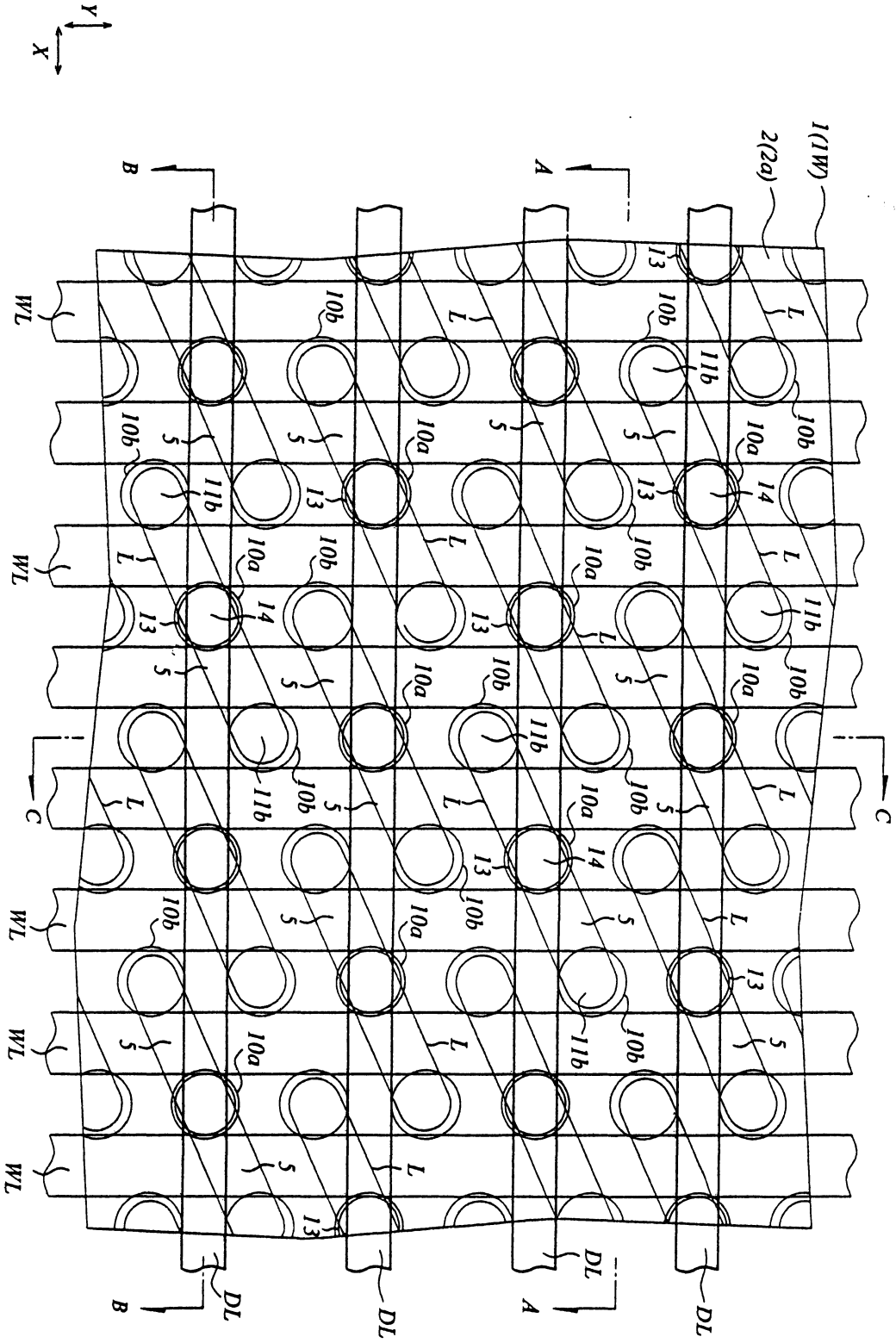


圖 21

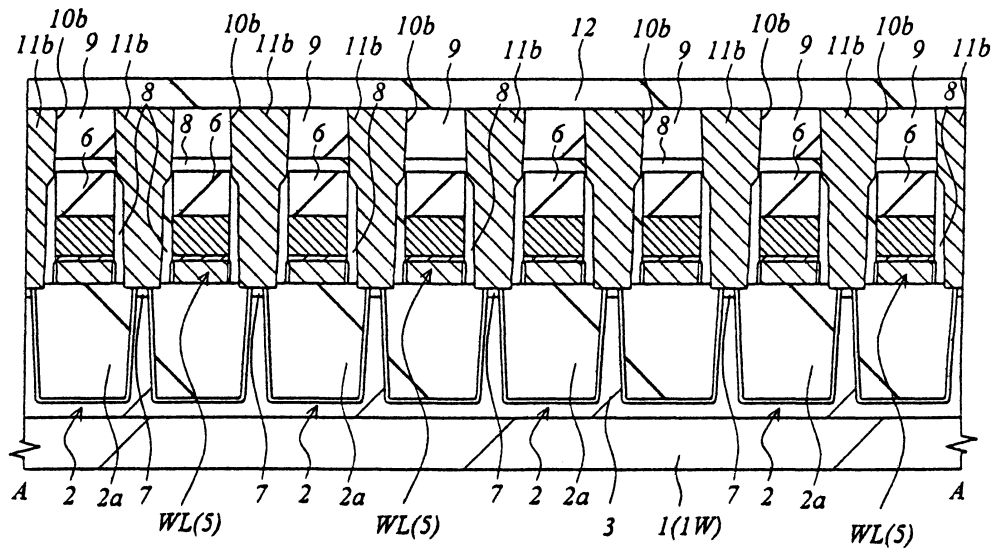


圖 22

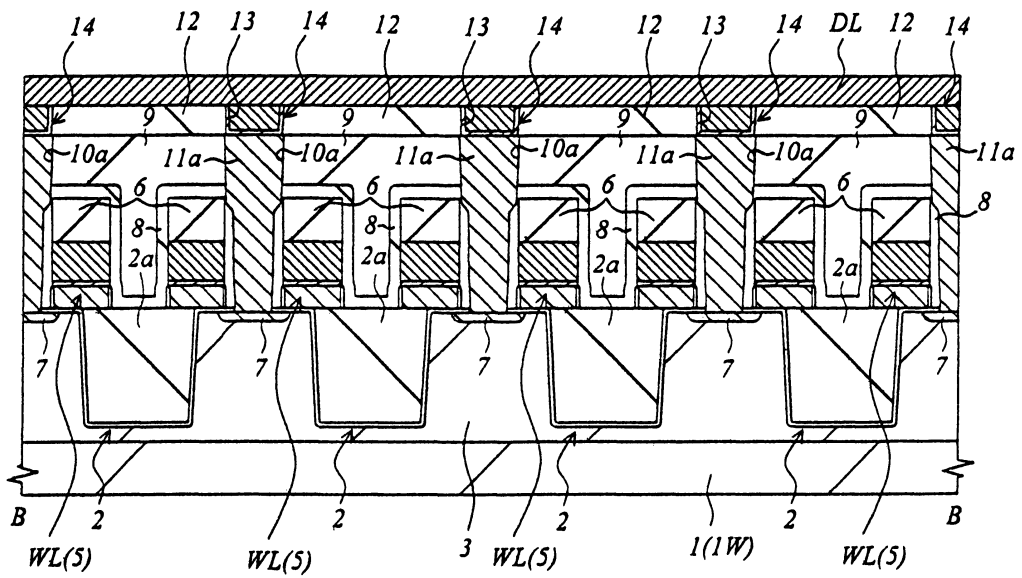


圖 23

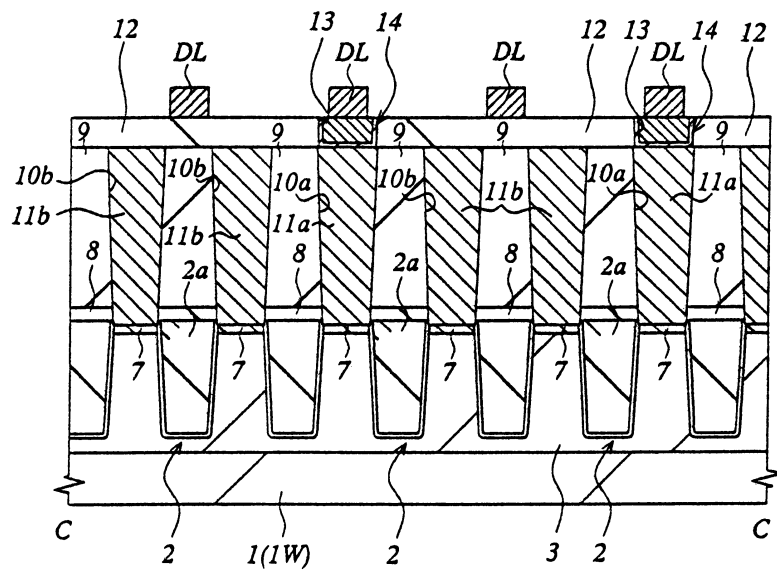


圖 24



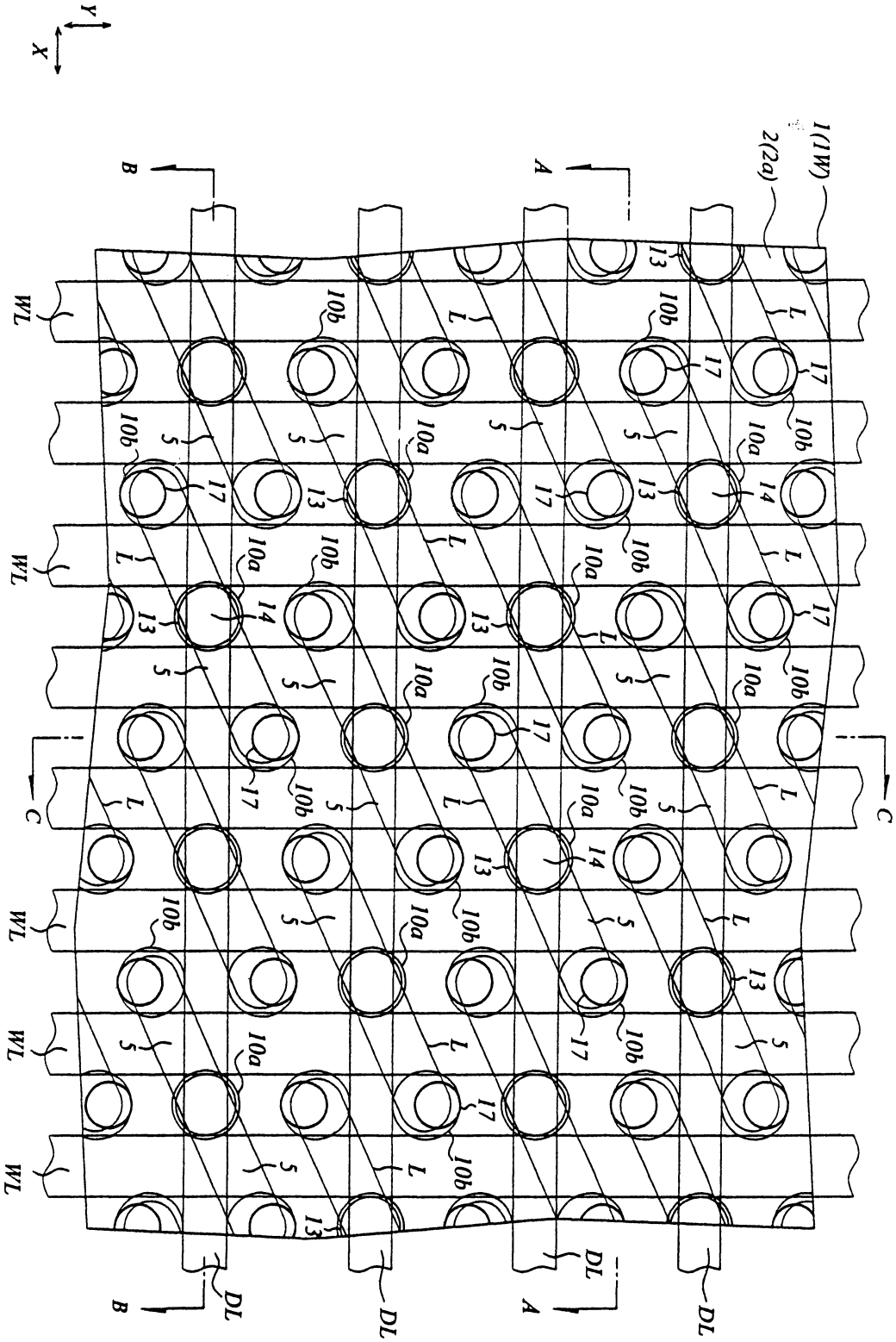


圖 25

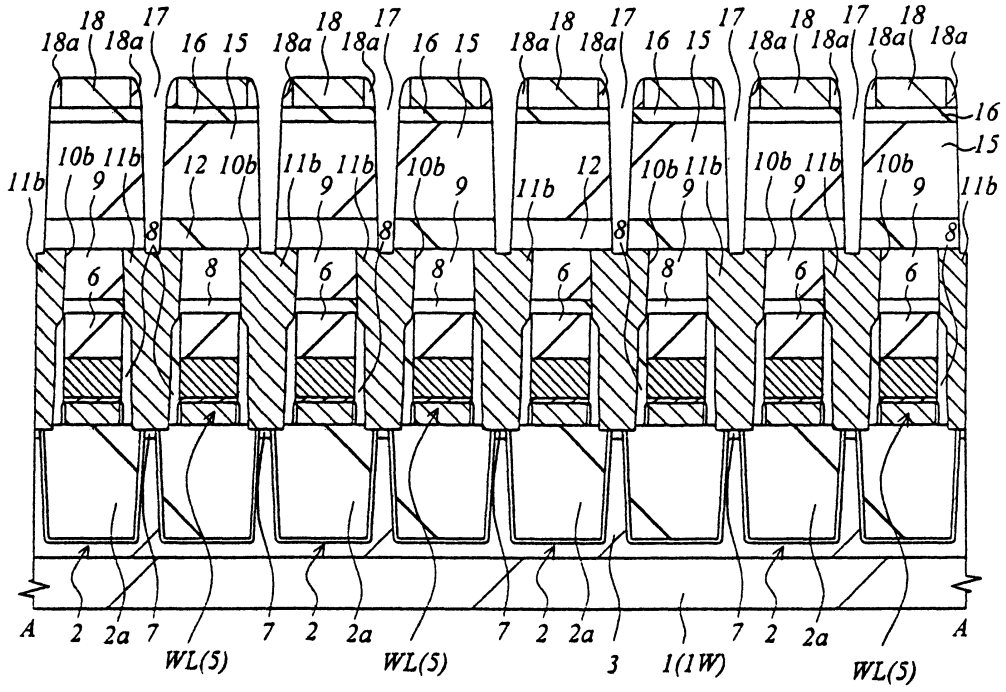


圖 26

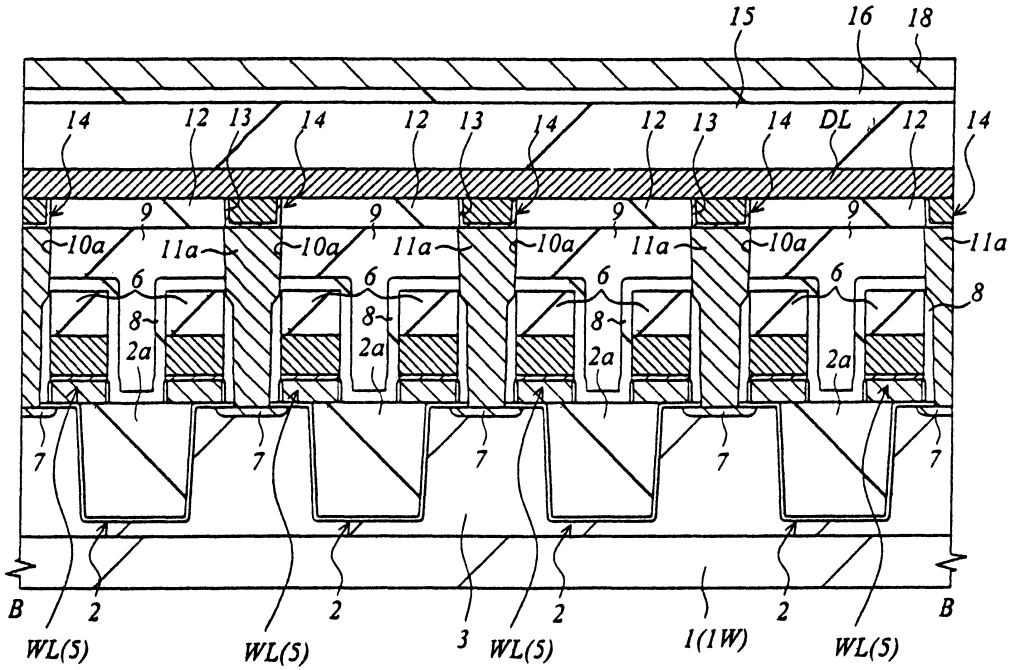


圖 27

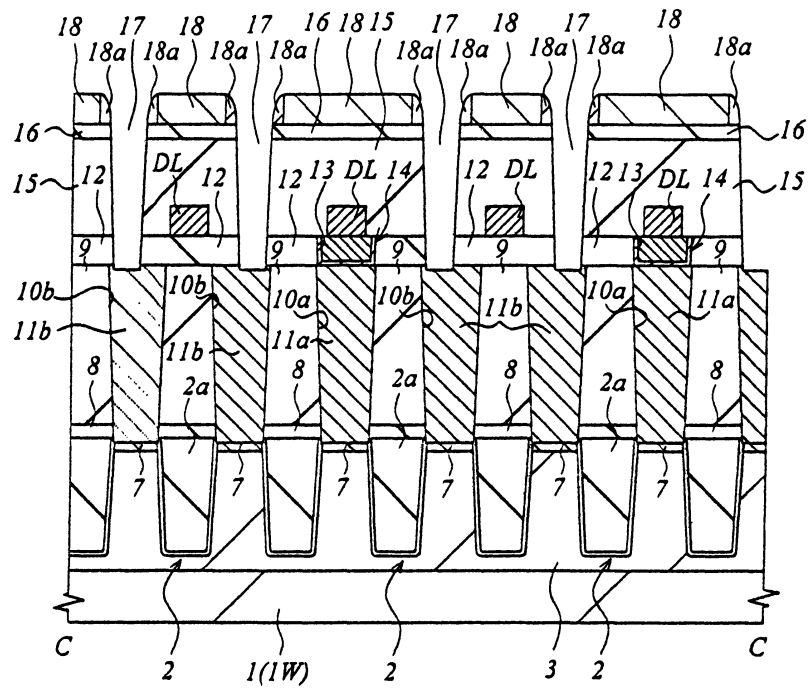


圖 28

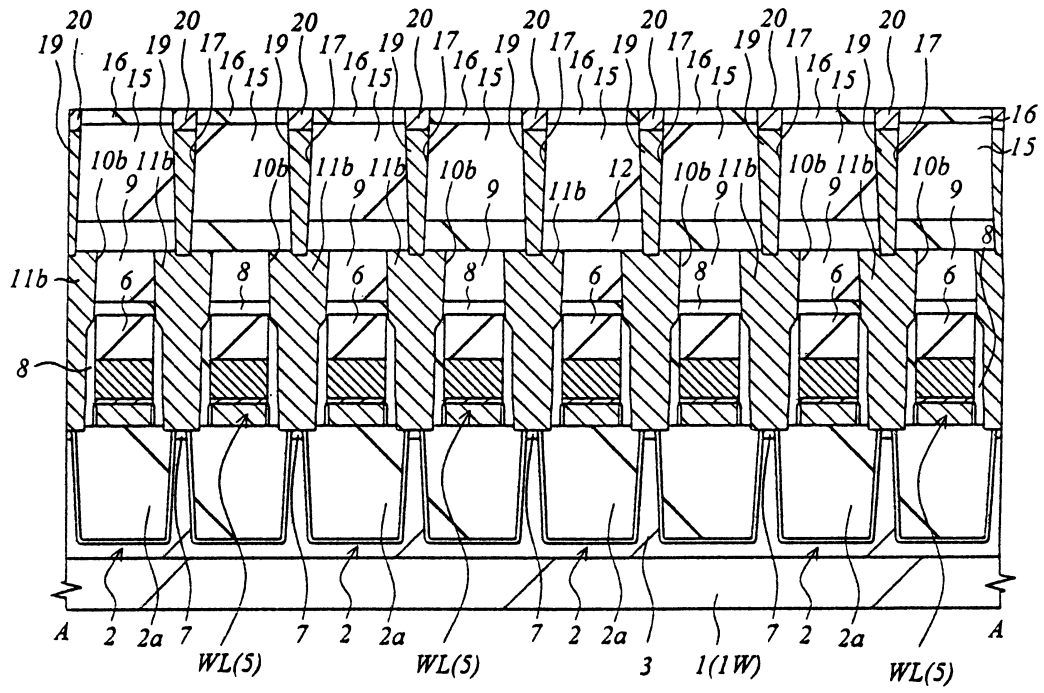


圖 29

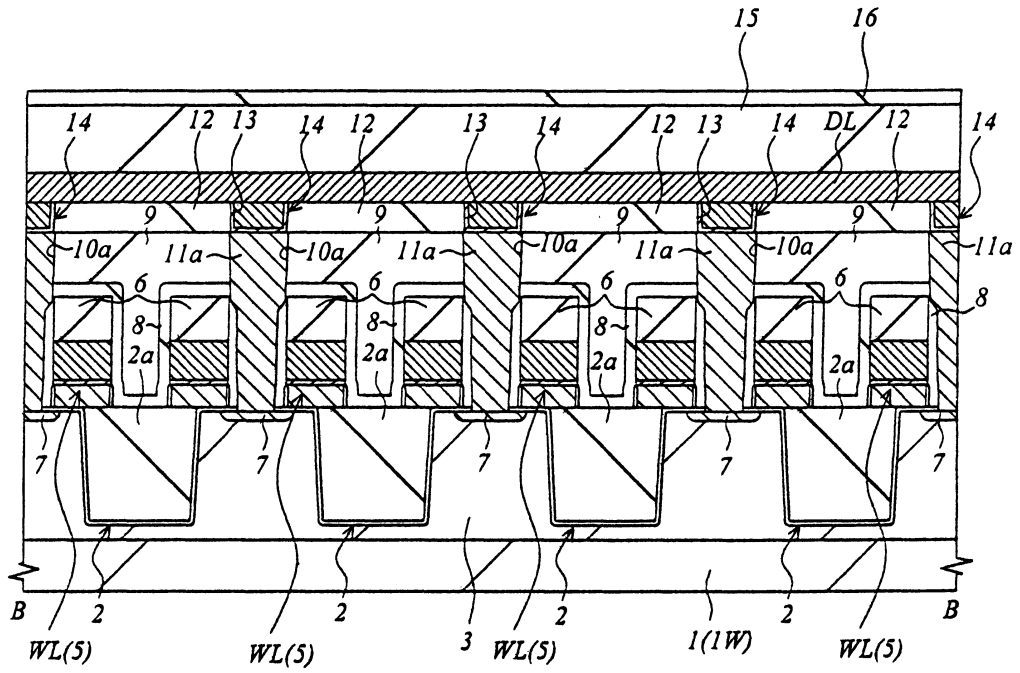


圖 30

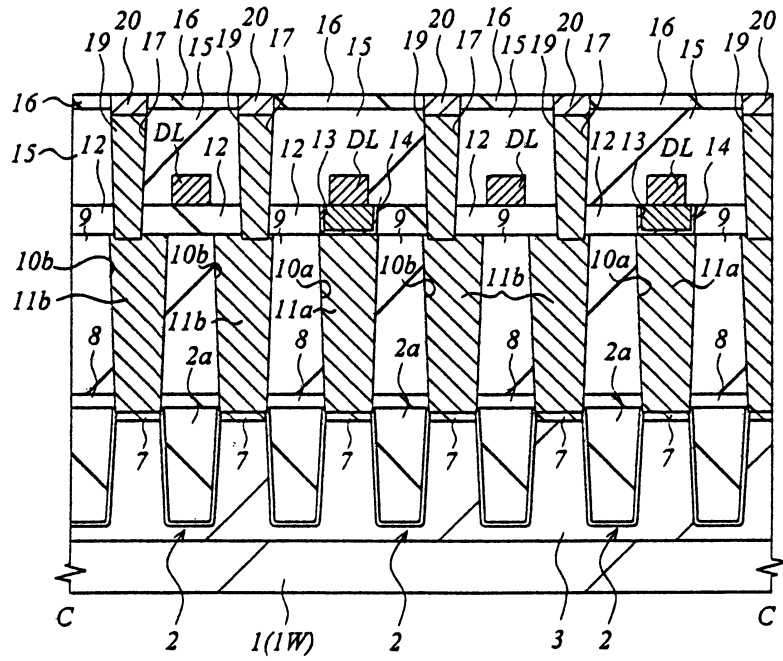


圖 31

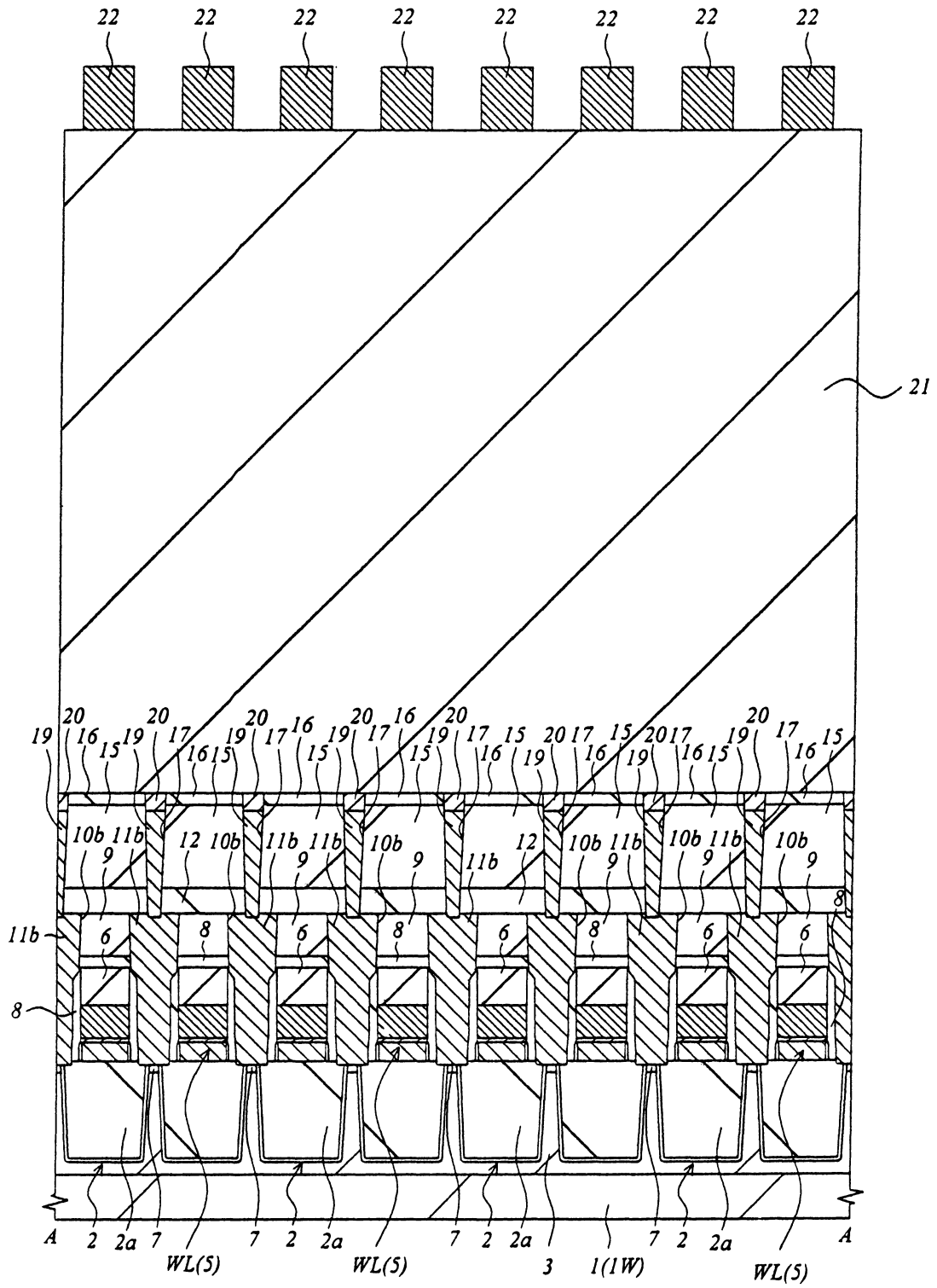


圖 32

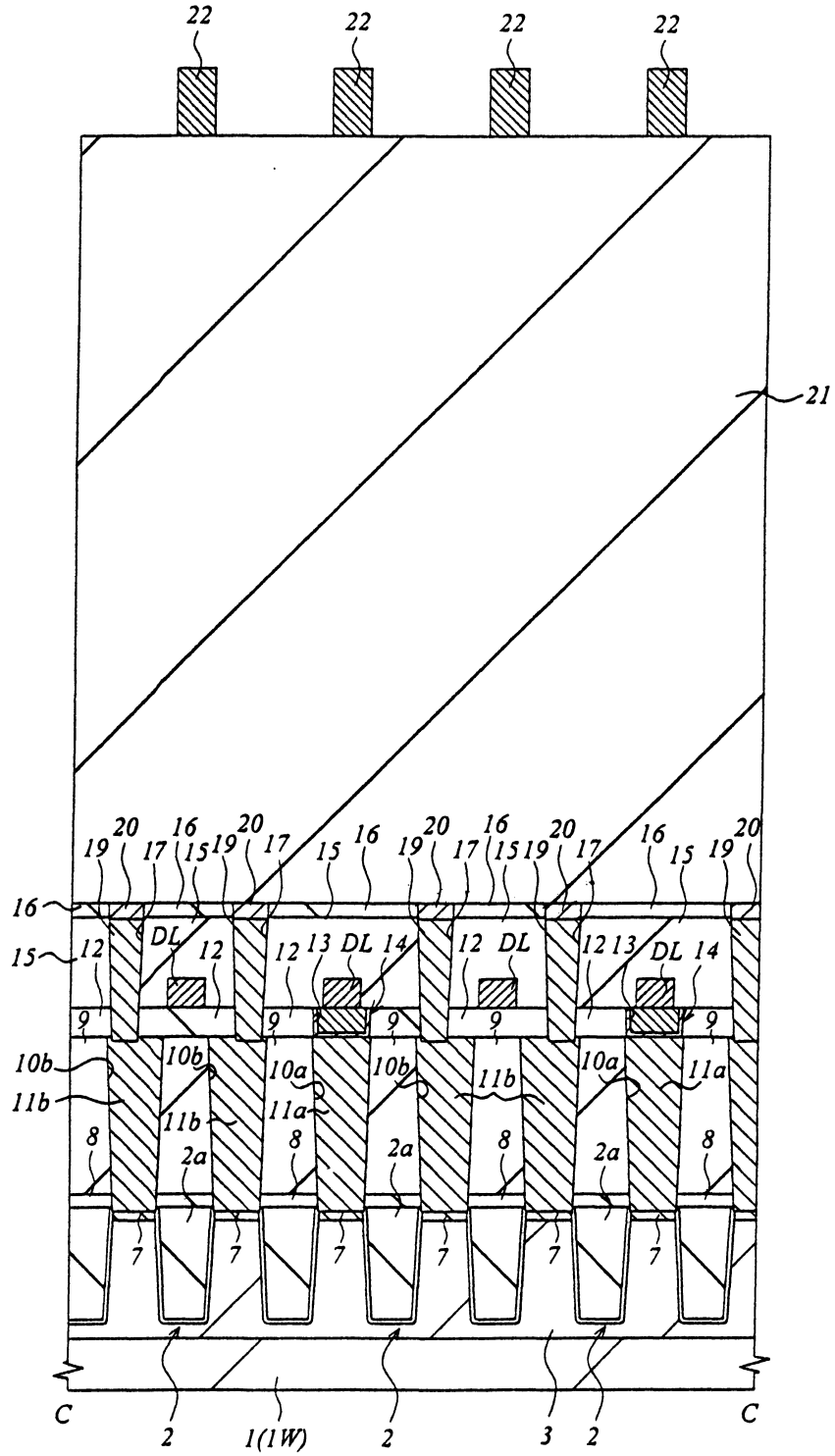


圖 33



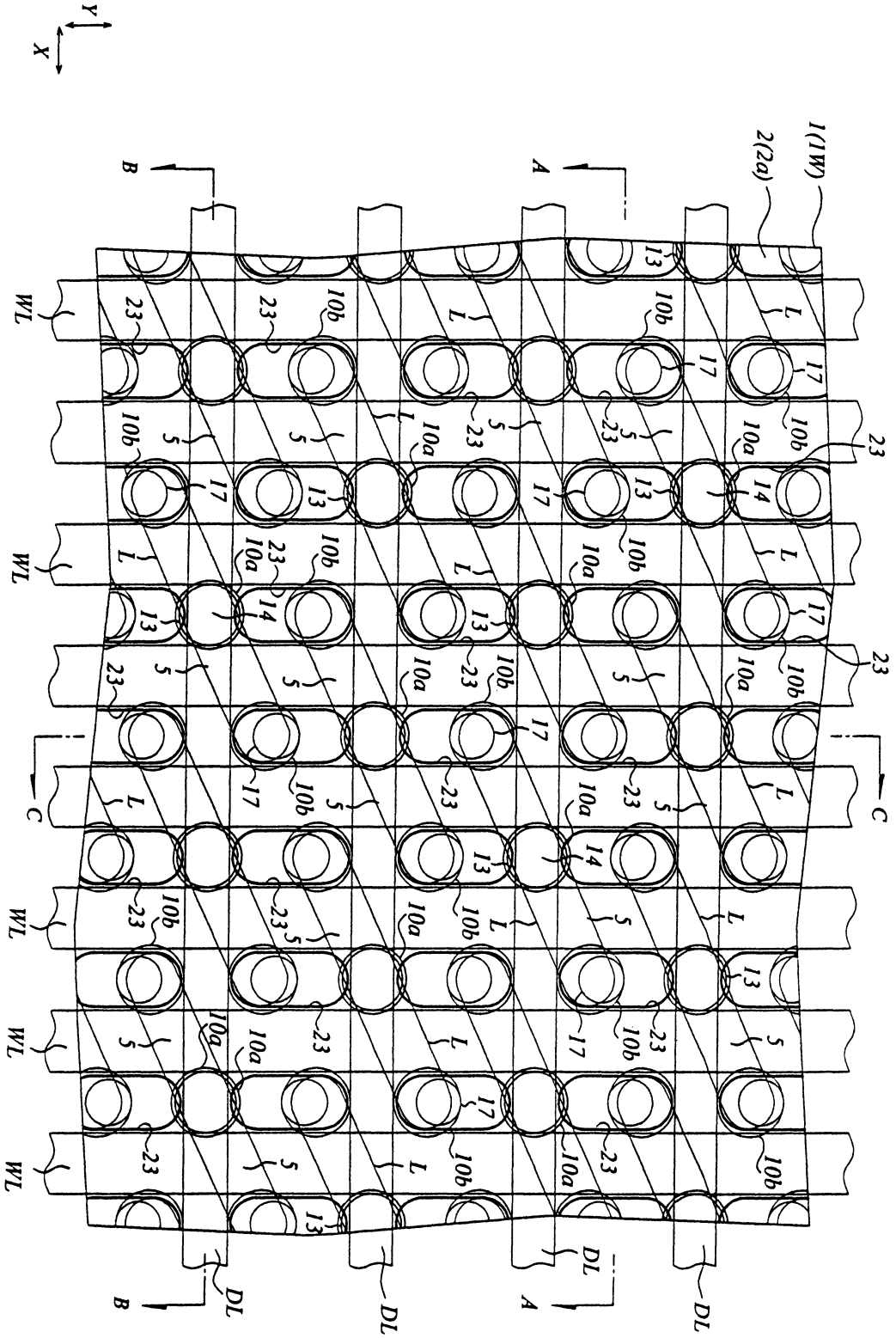


圖 34

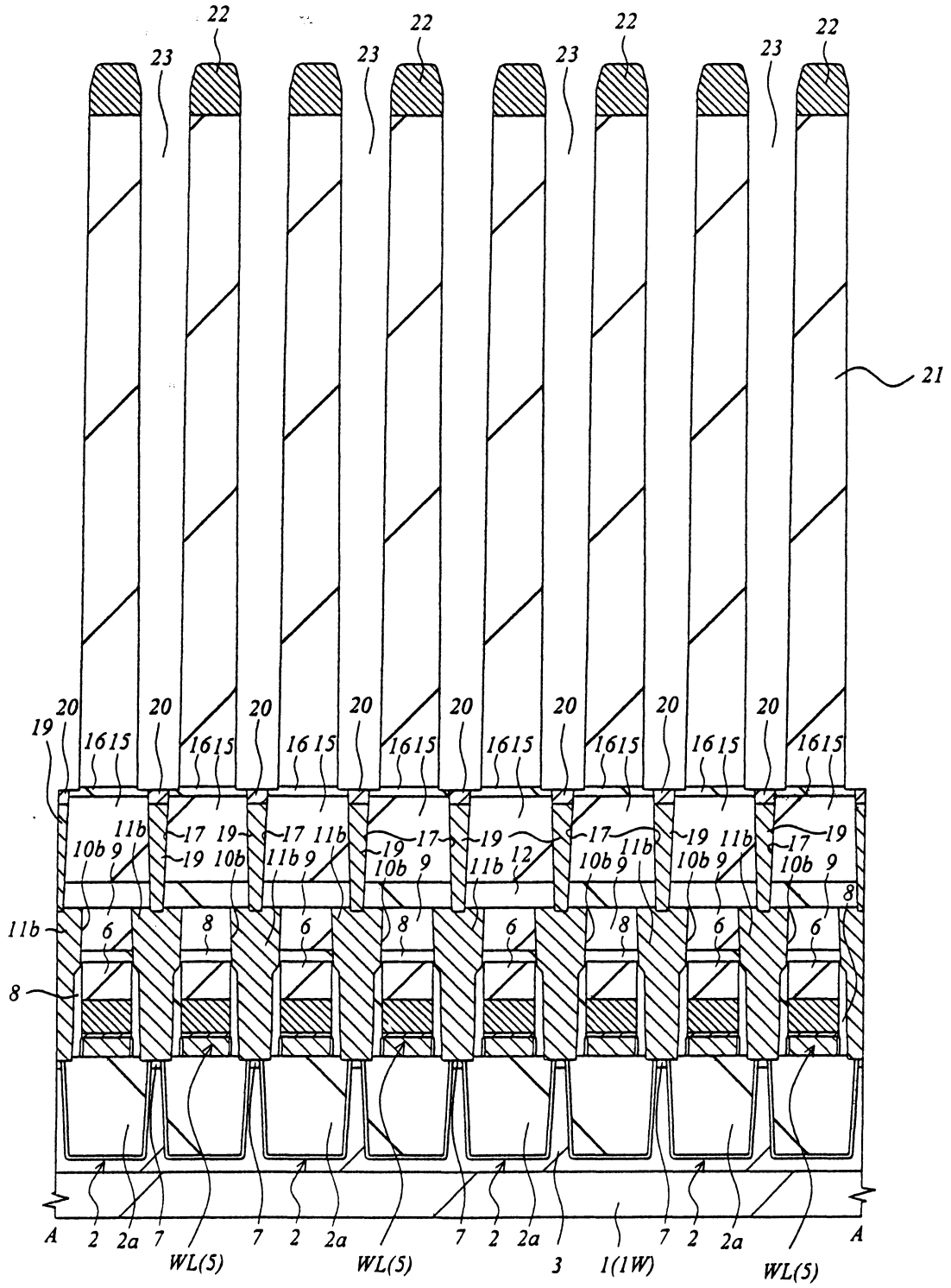


圖 35

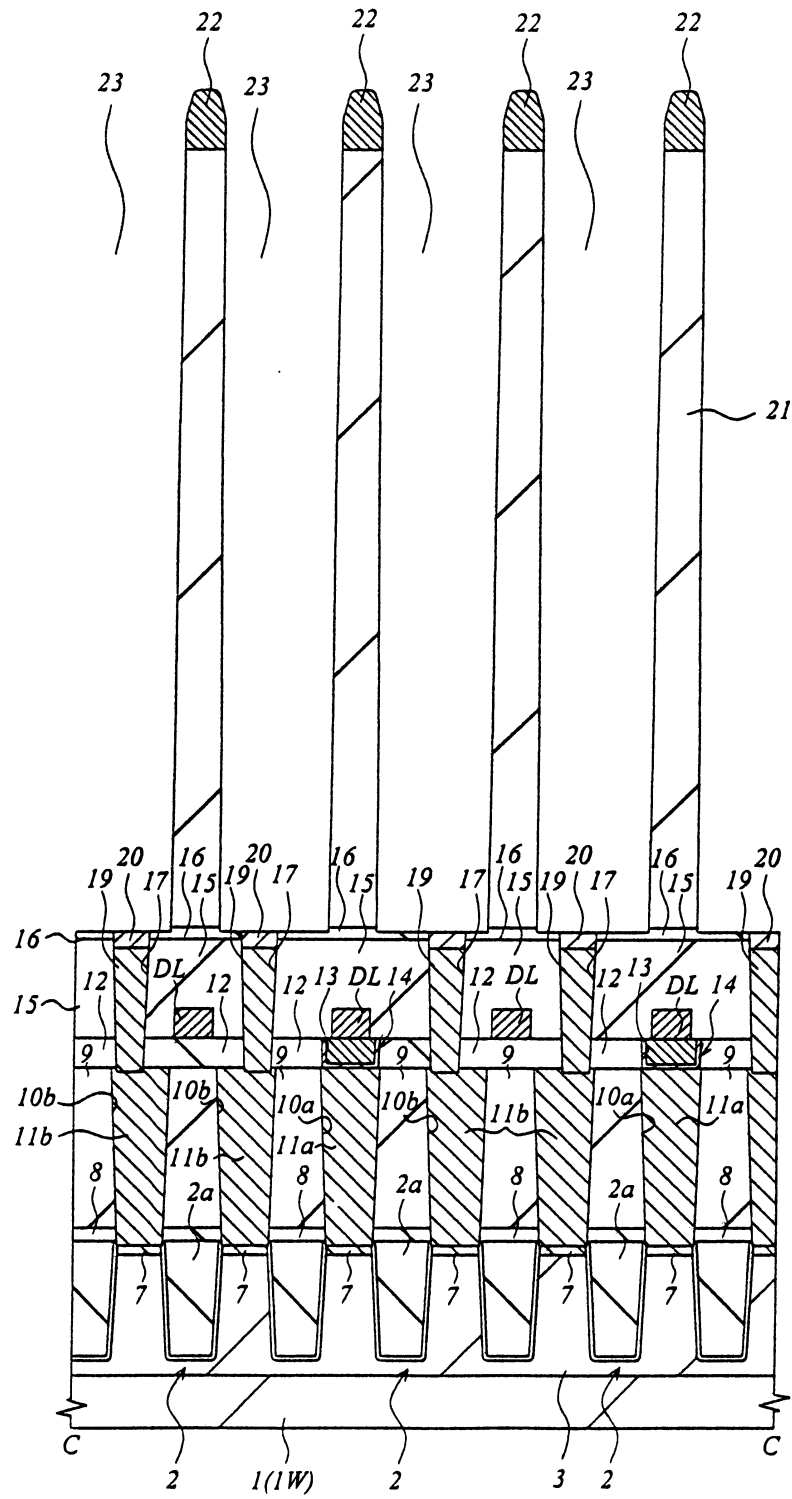


圖 36

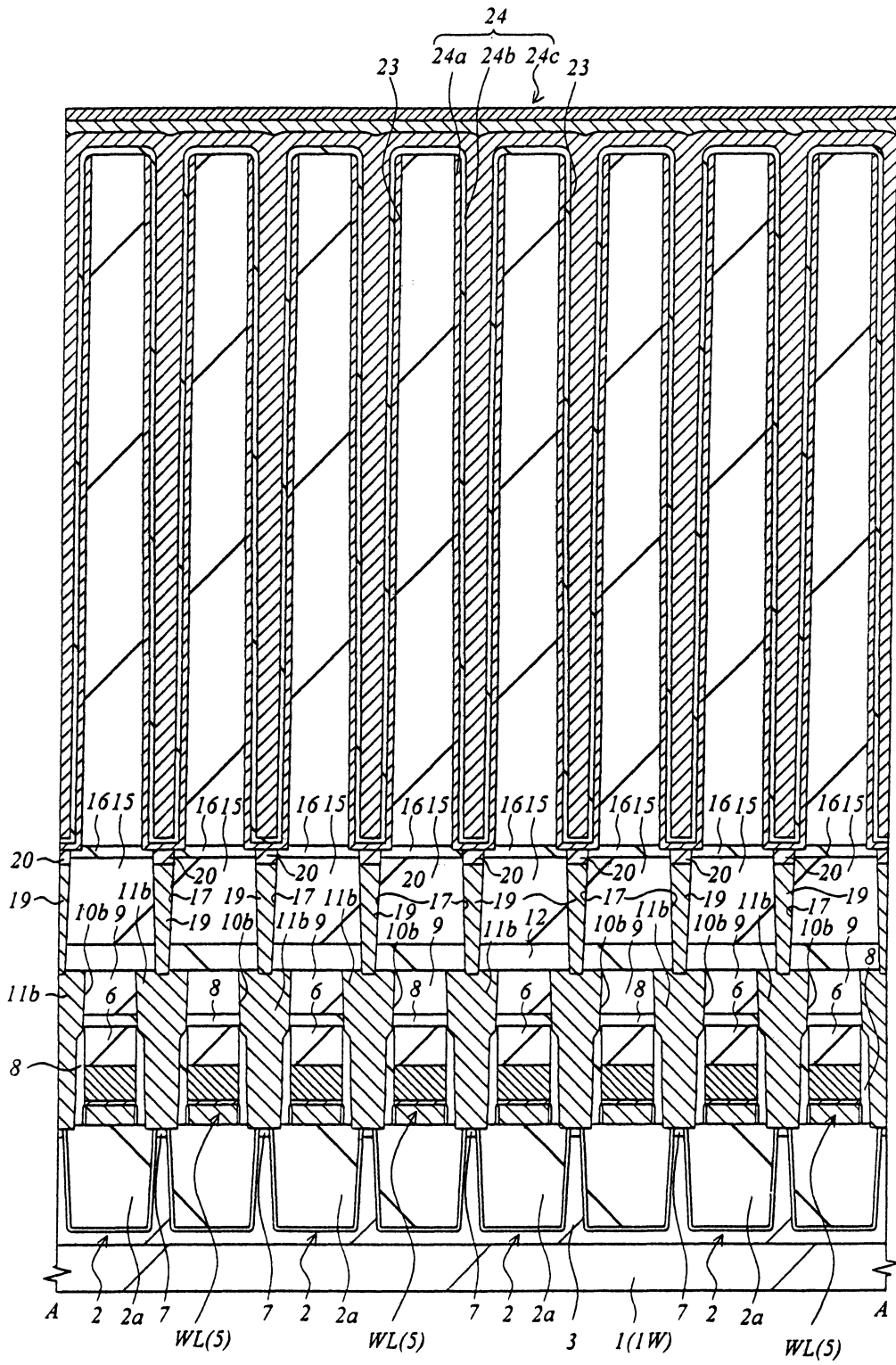


圖 37

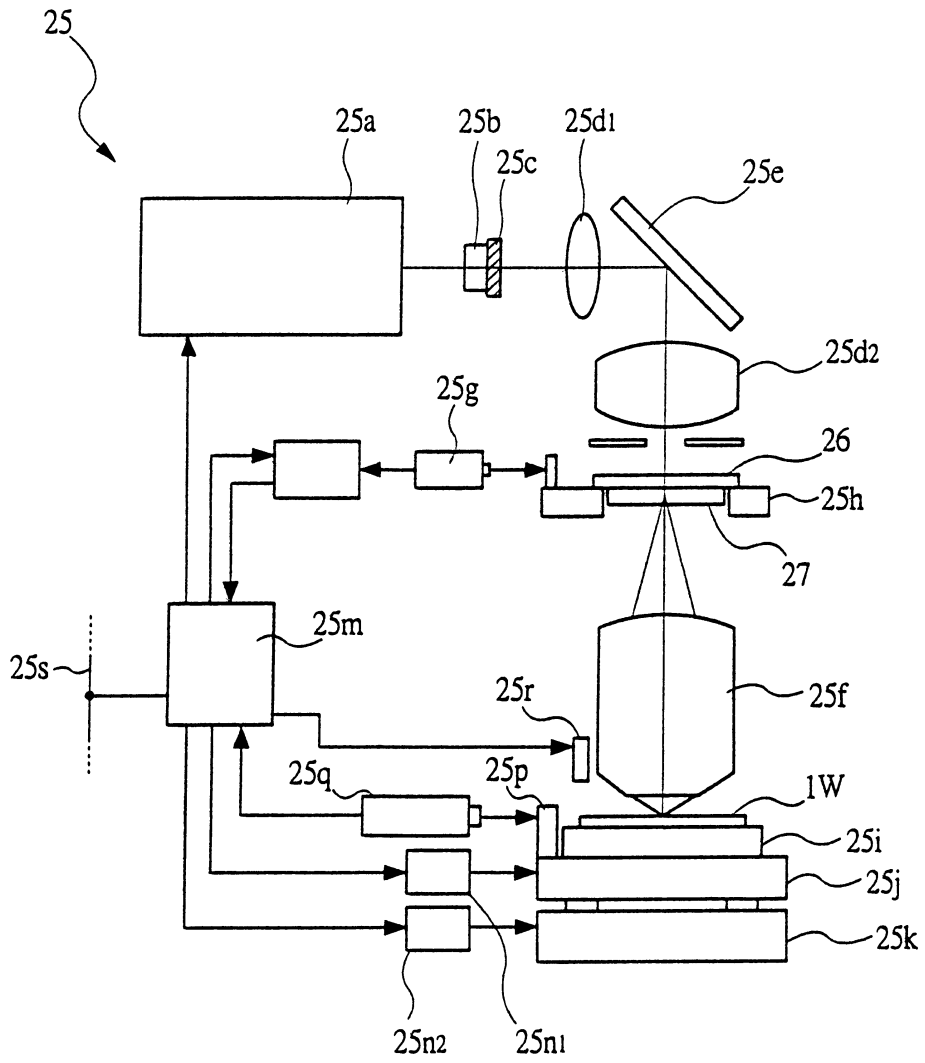


圖 38

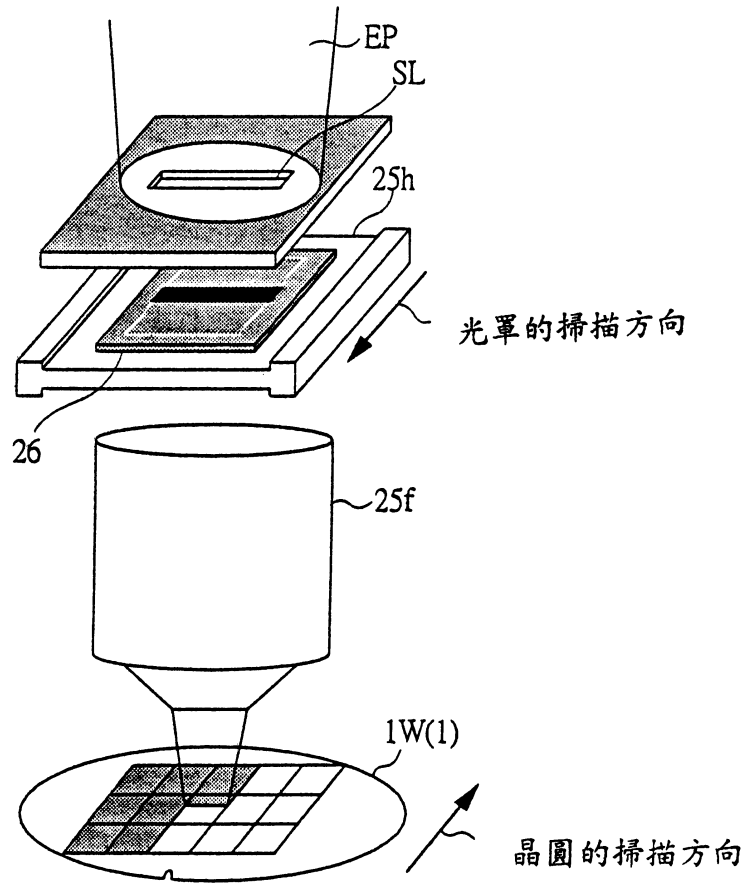


圖 39

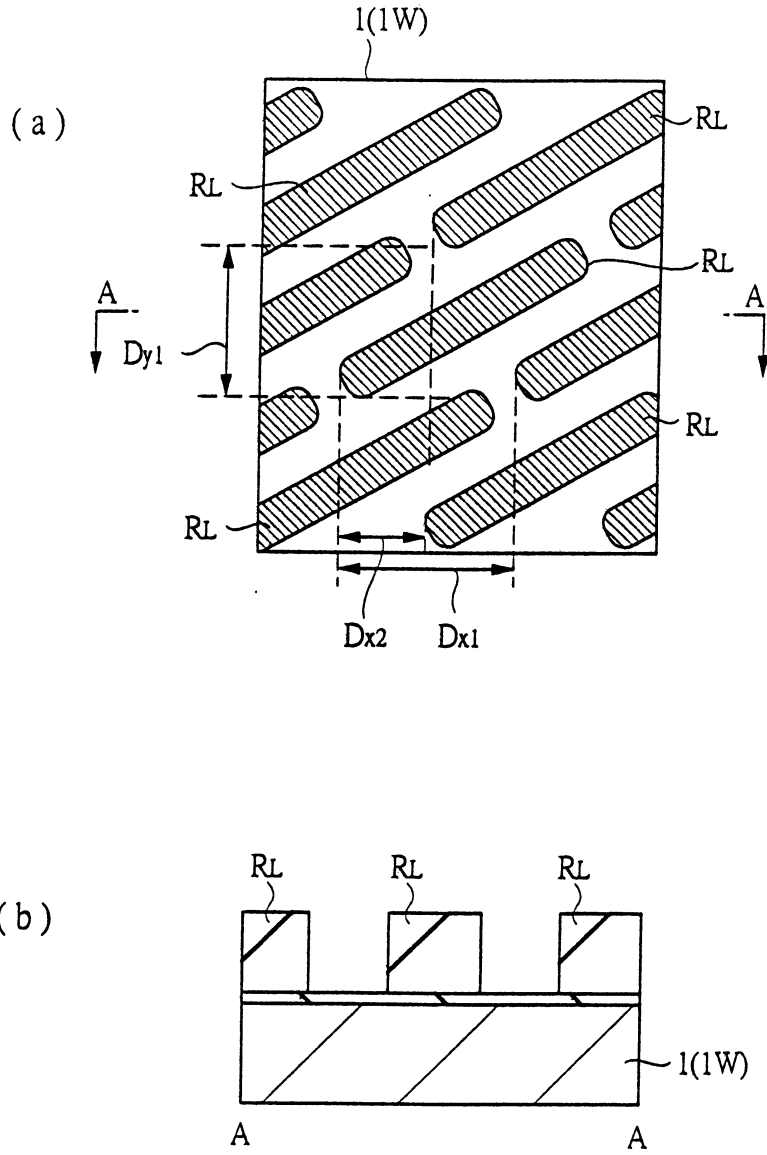


圖 40

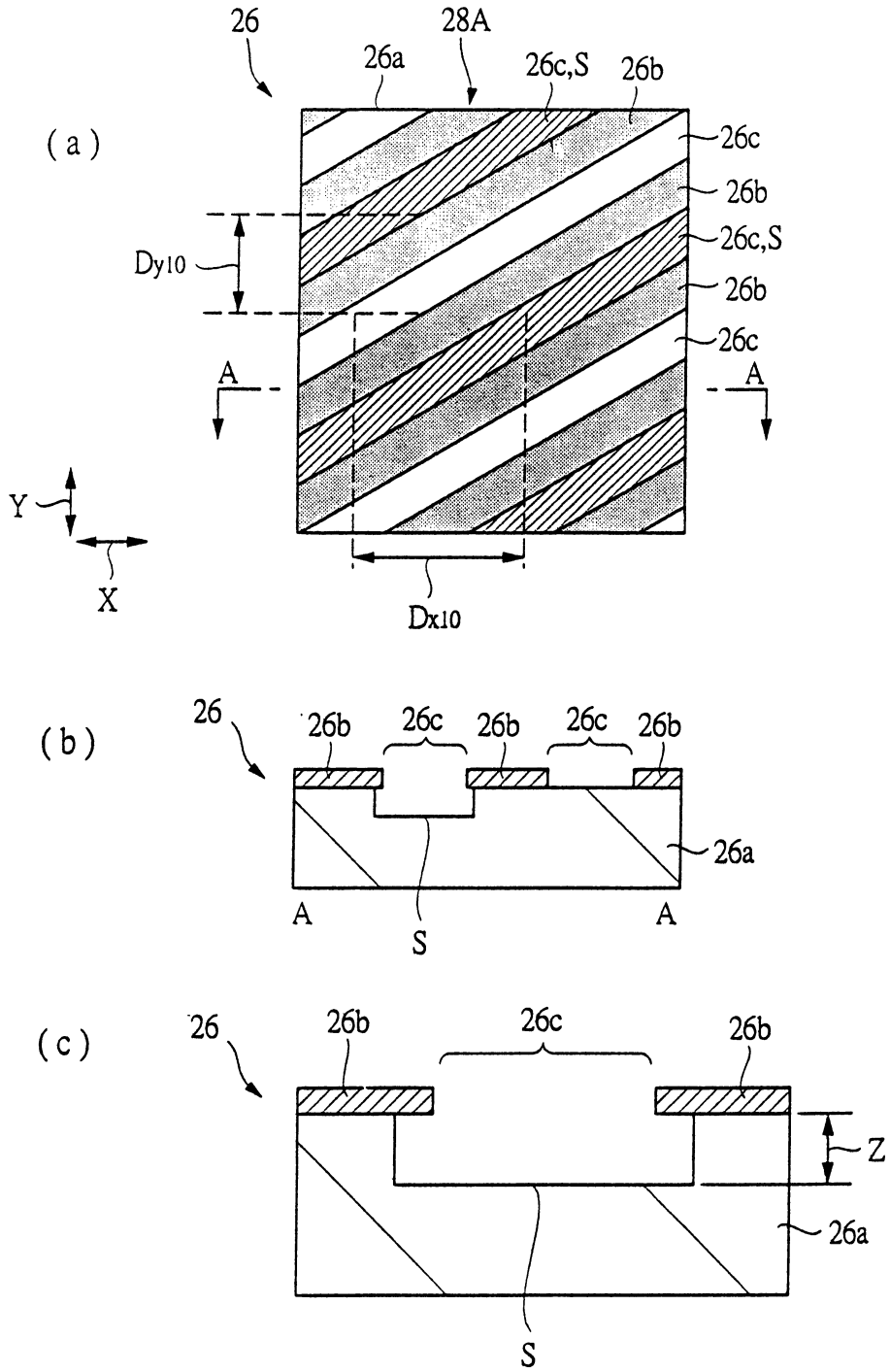


圖 41



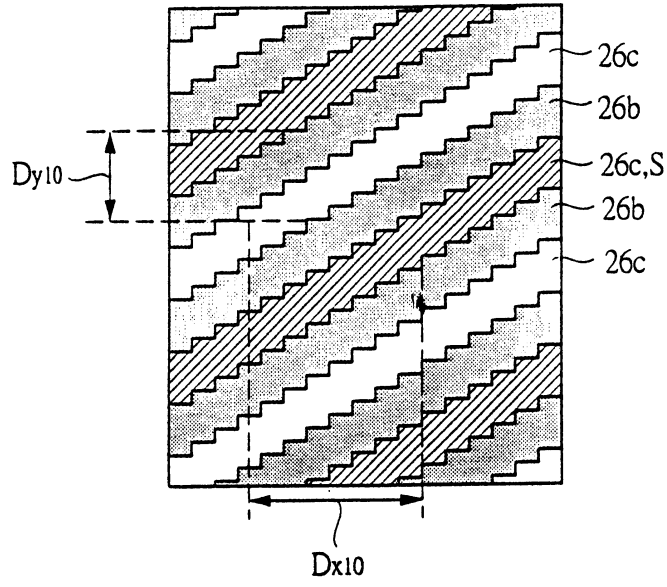


圖 42

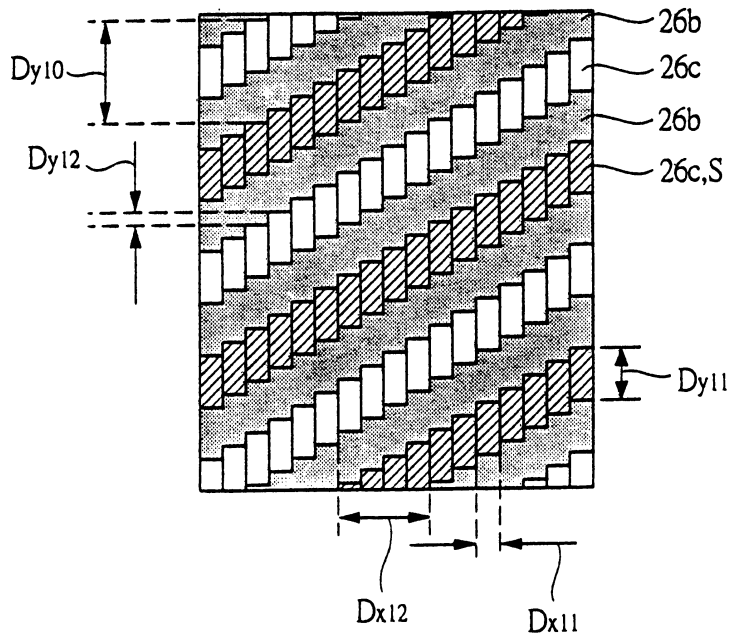


圖 43

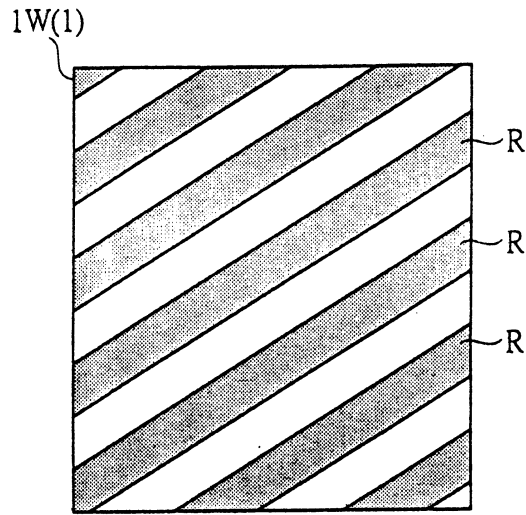


圖 44

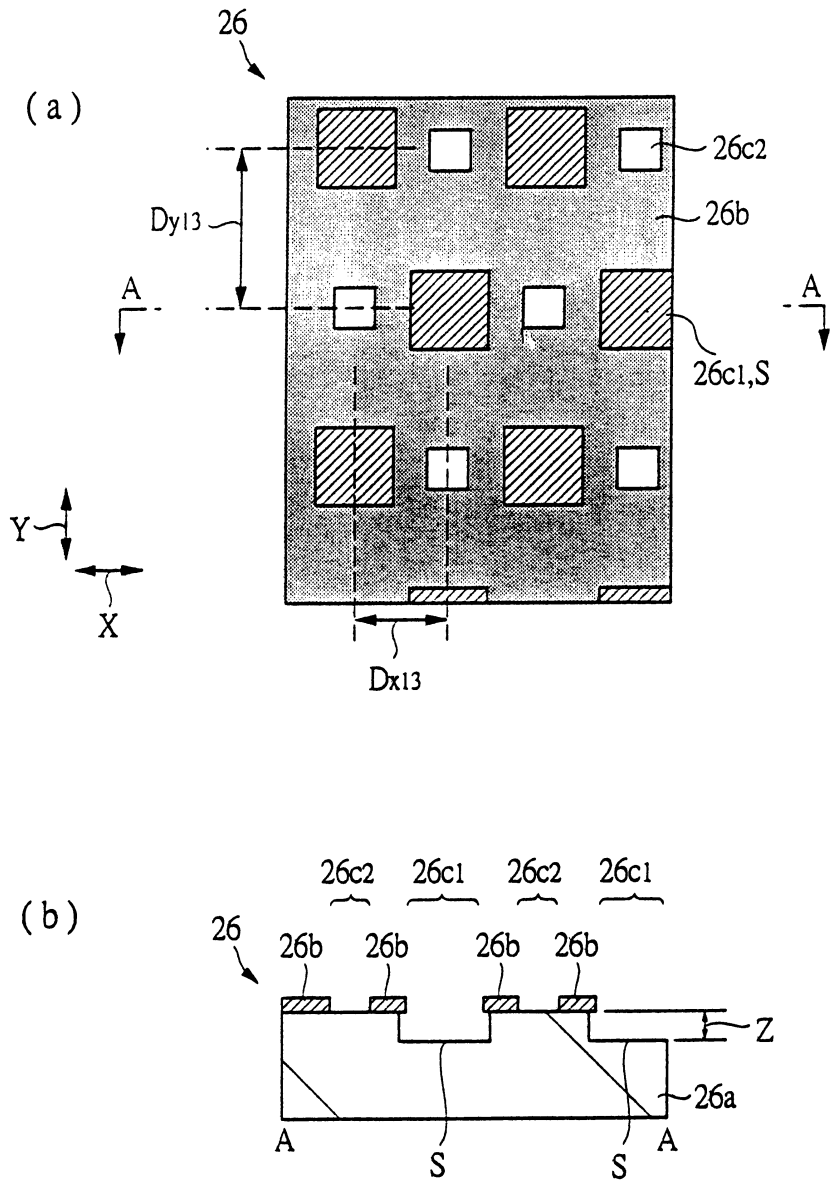


圖 46

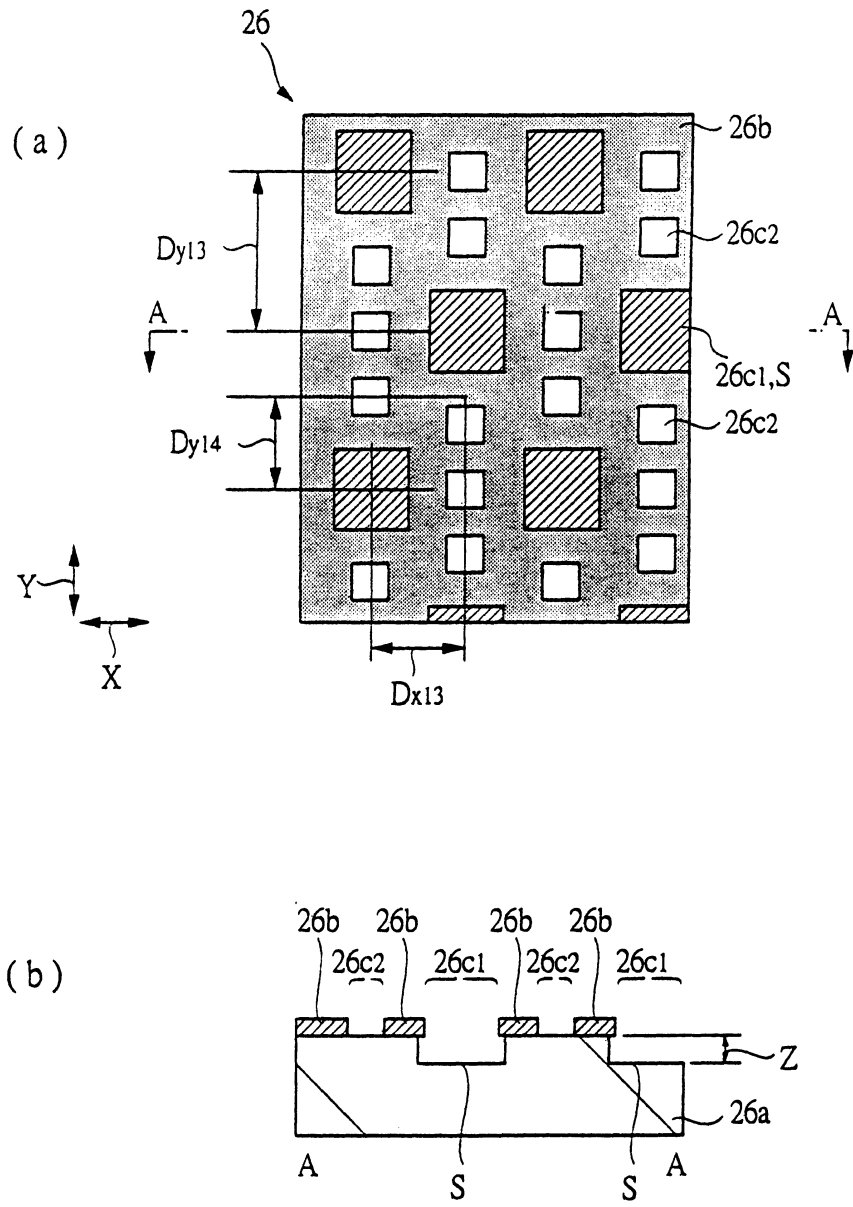


圖 47

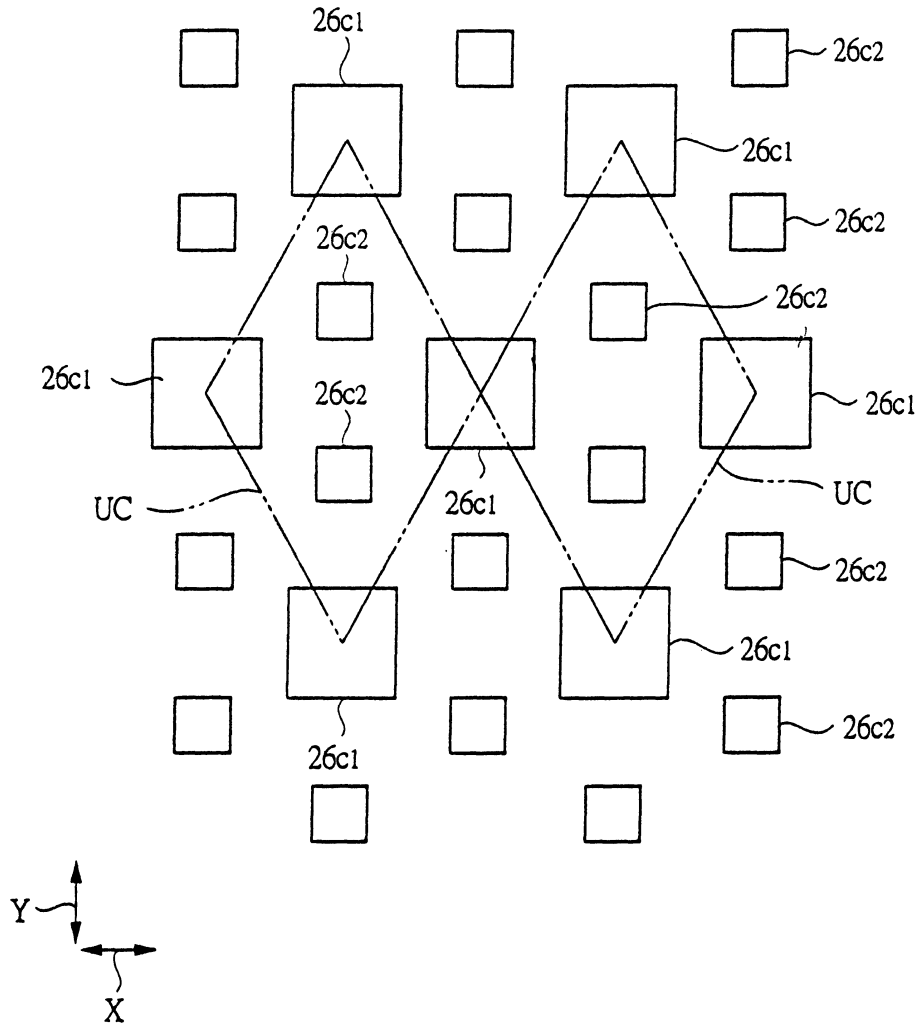


圖 48

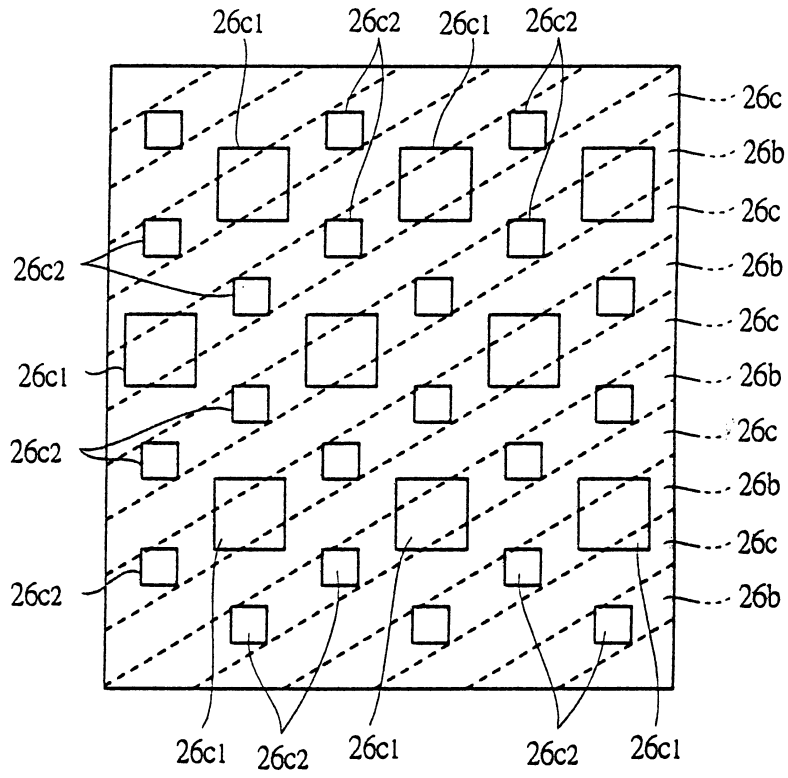


圖 49

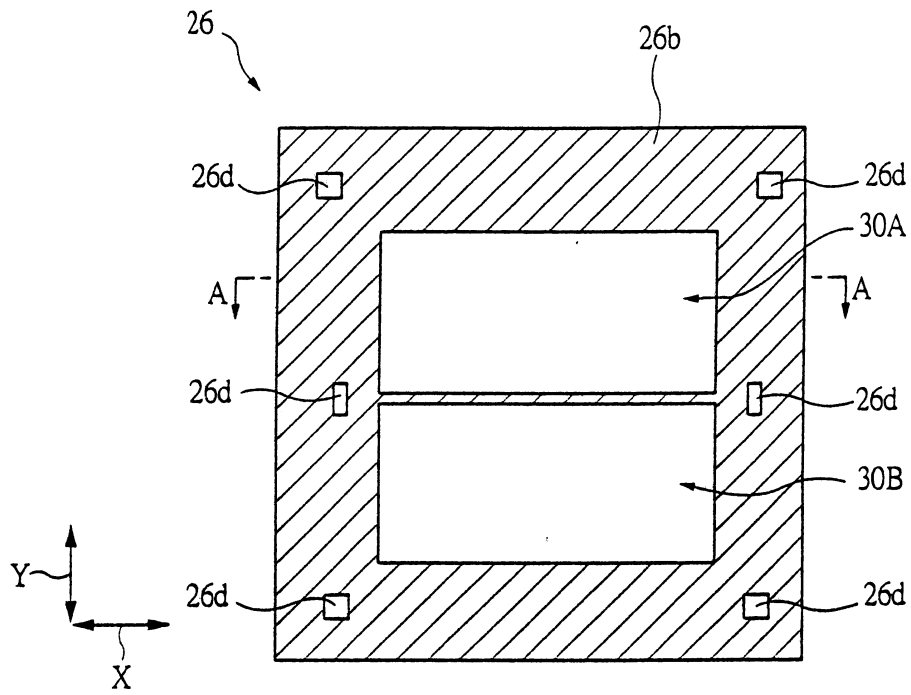


圖 50

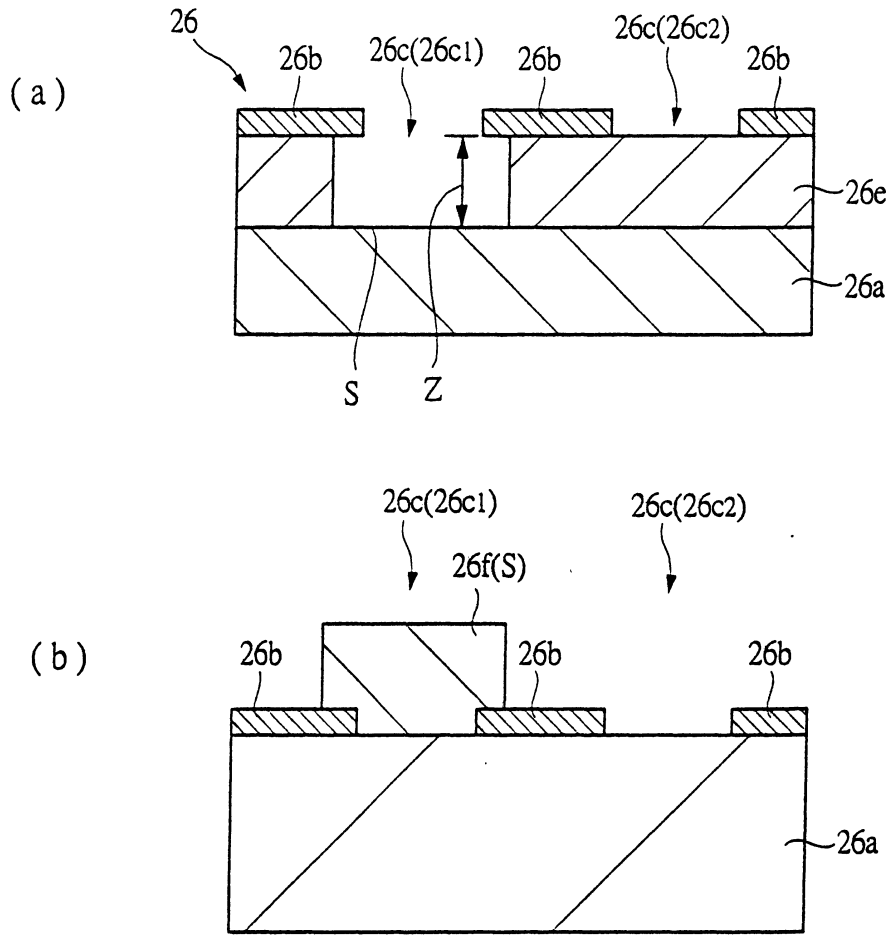


圖 51



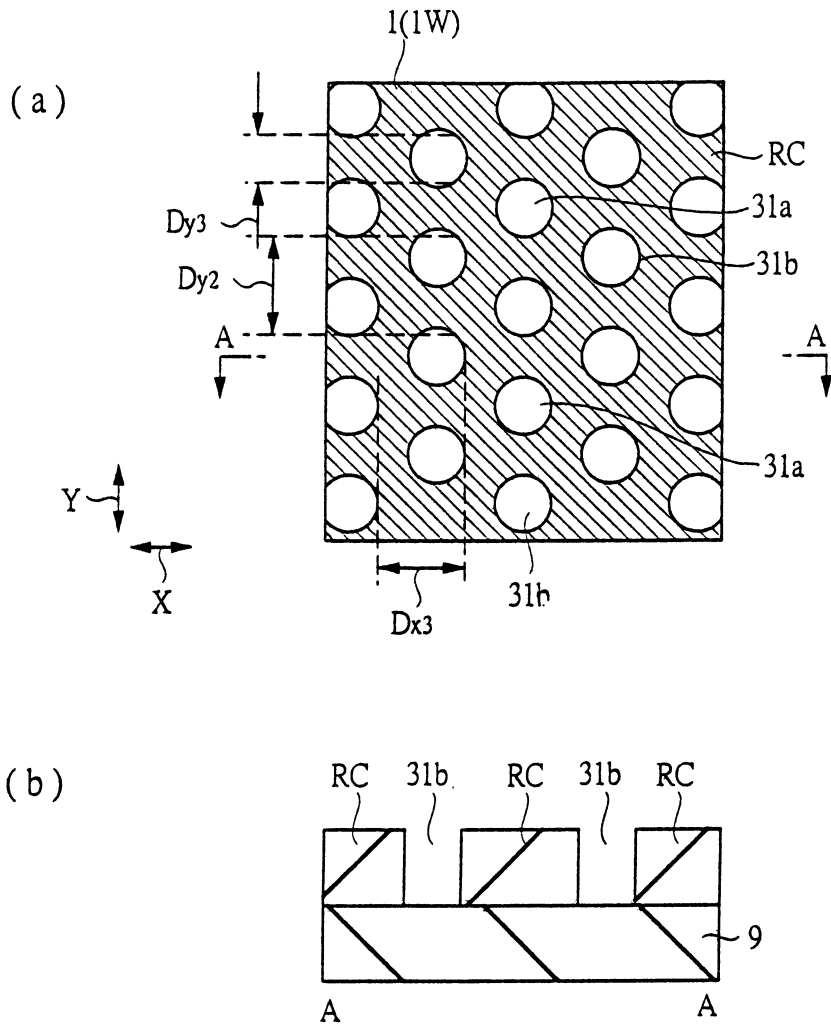


圖 52

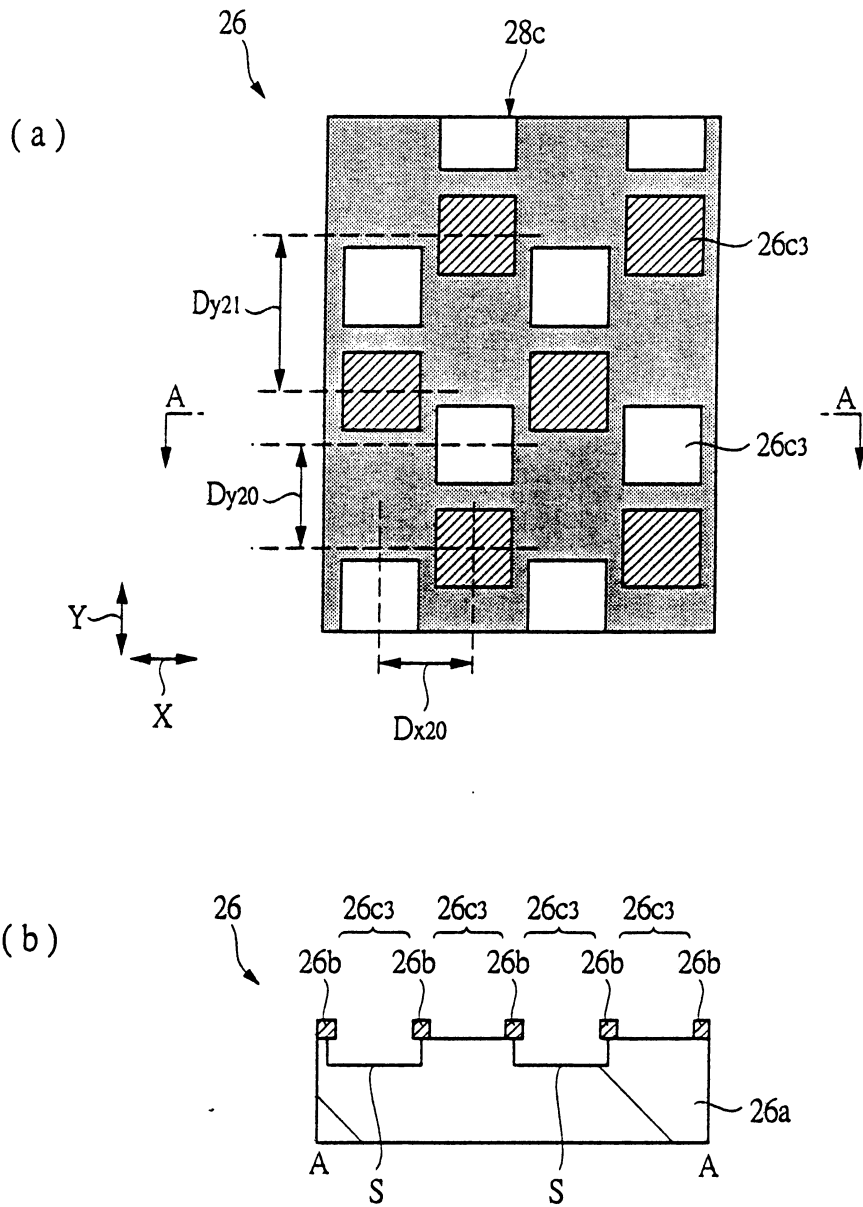


圖 53



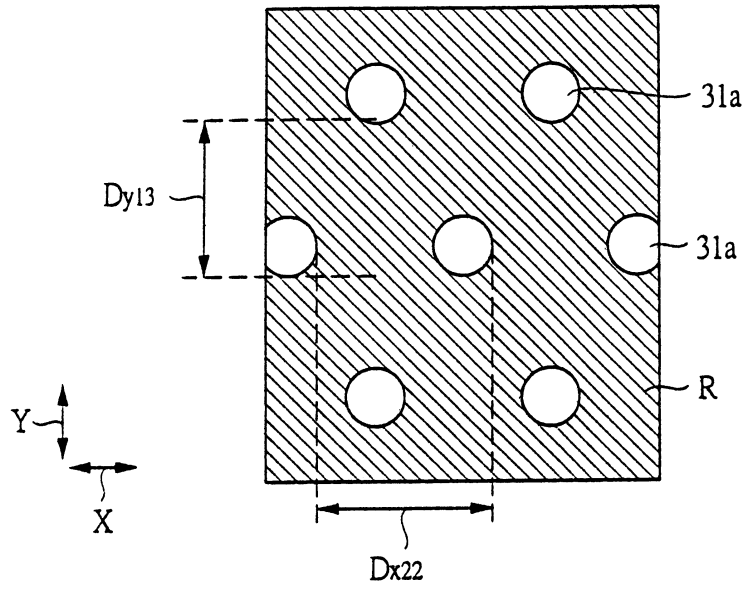


圖 55

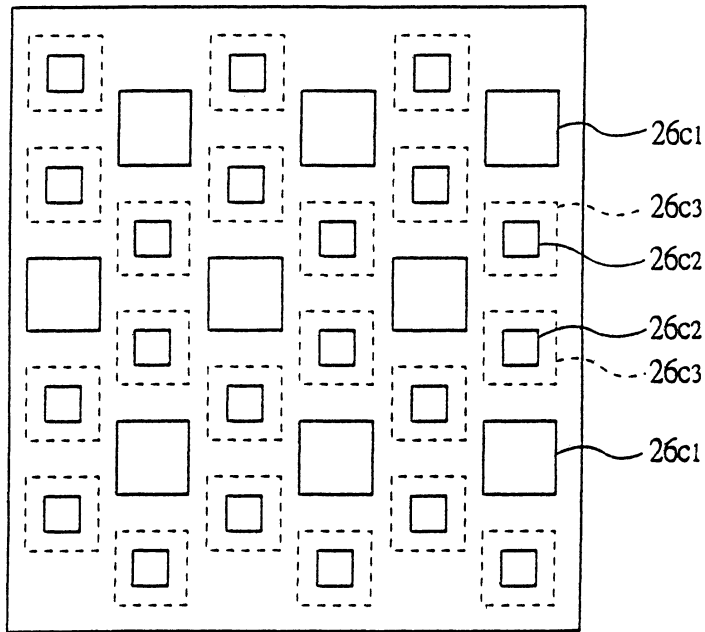


圖 56

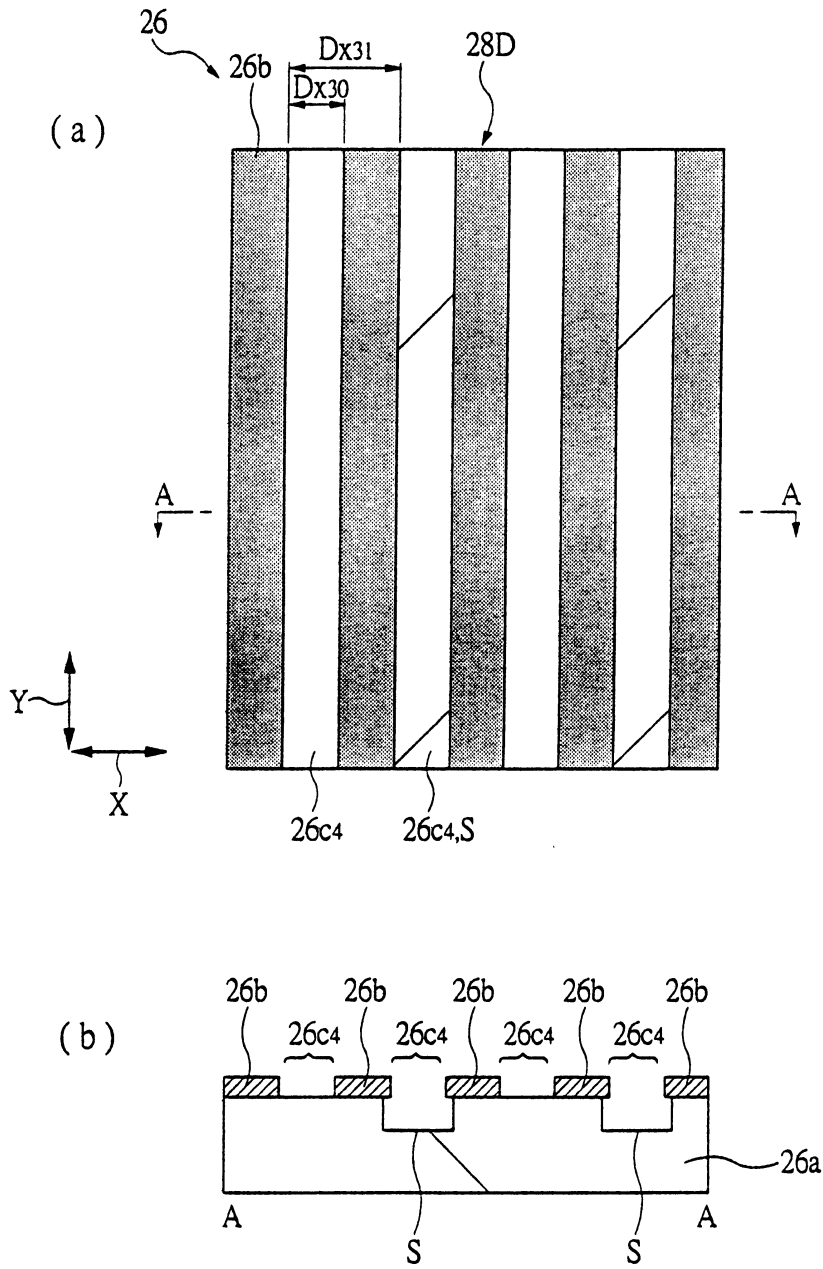


圖 57

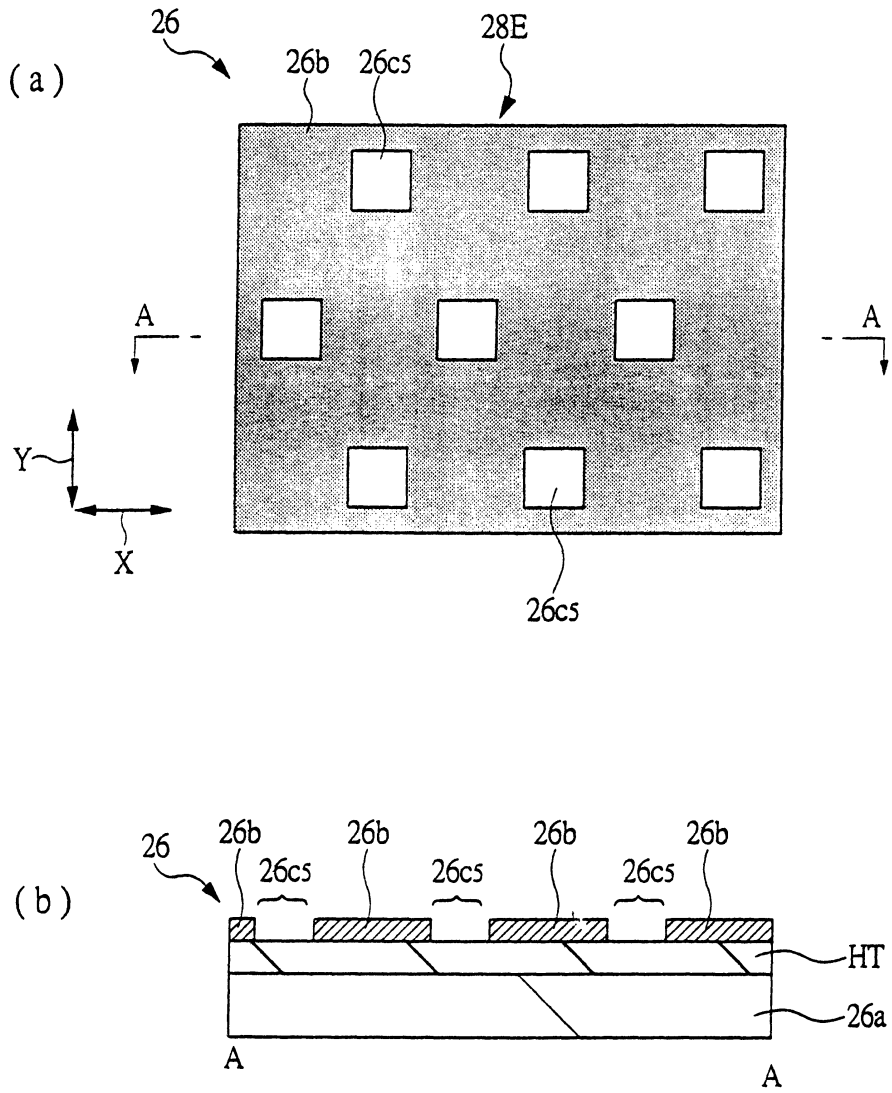


圖 58

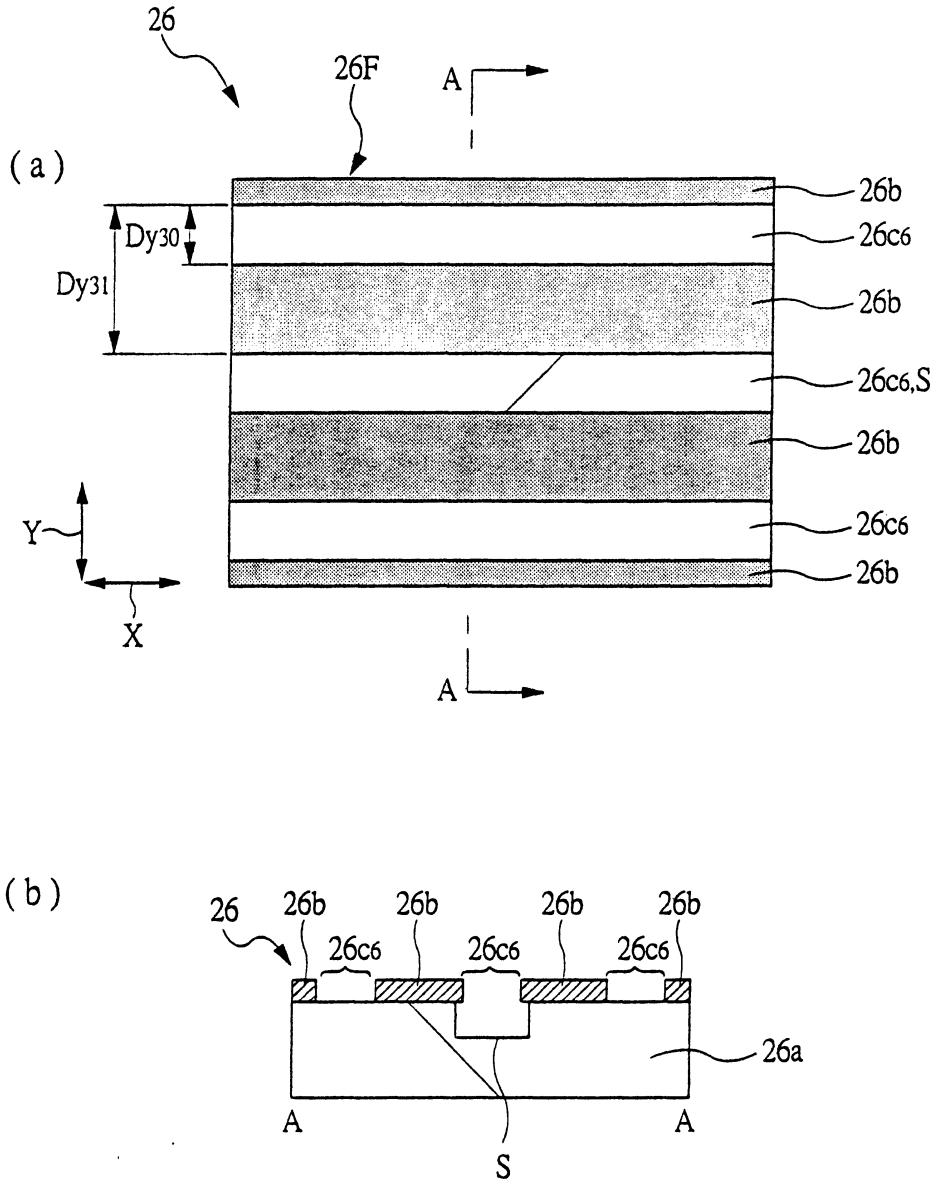


圖 59



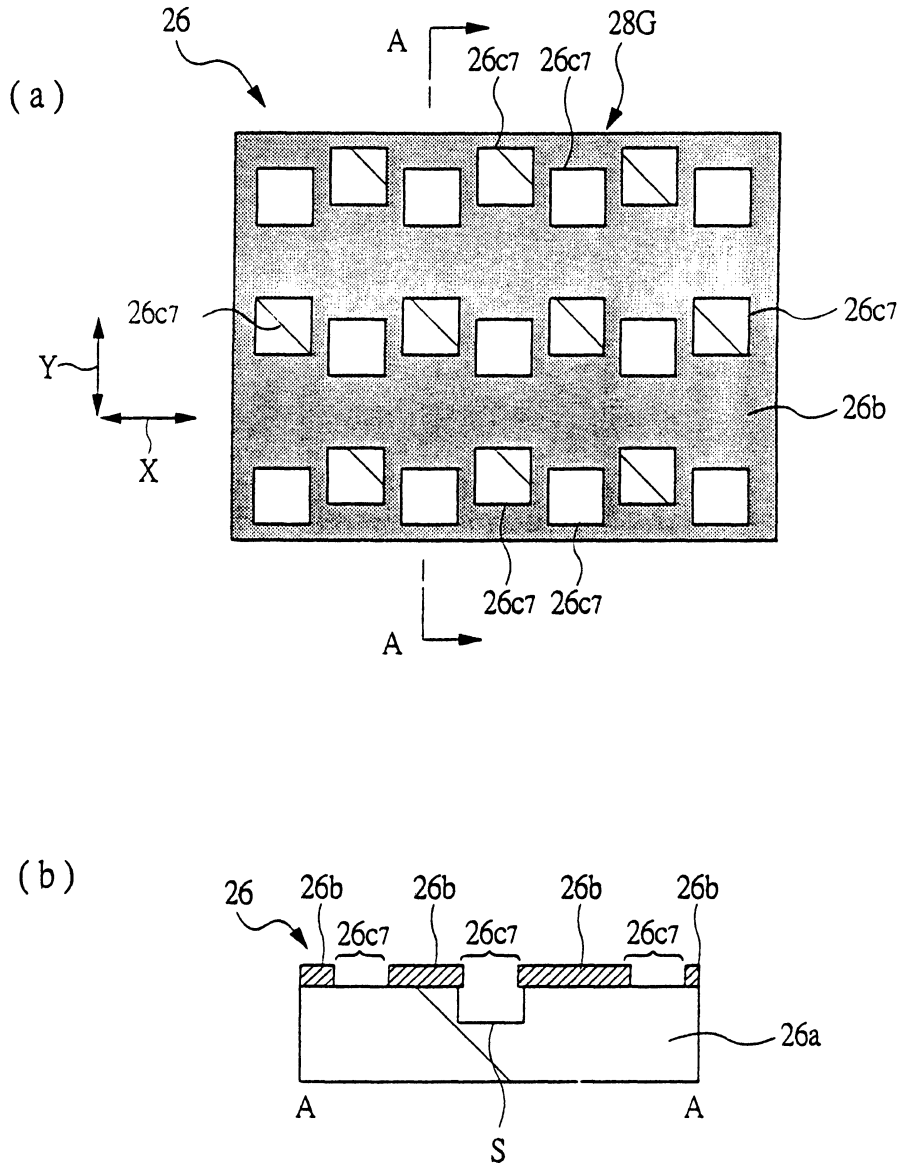


圖 60

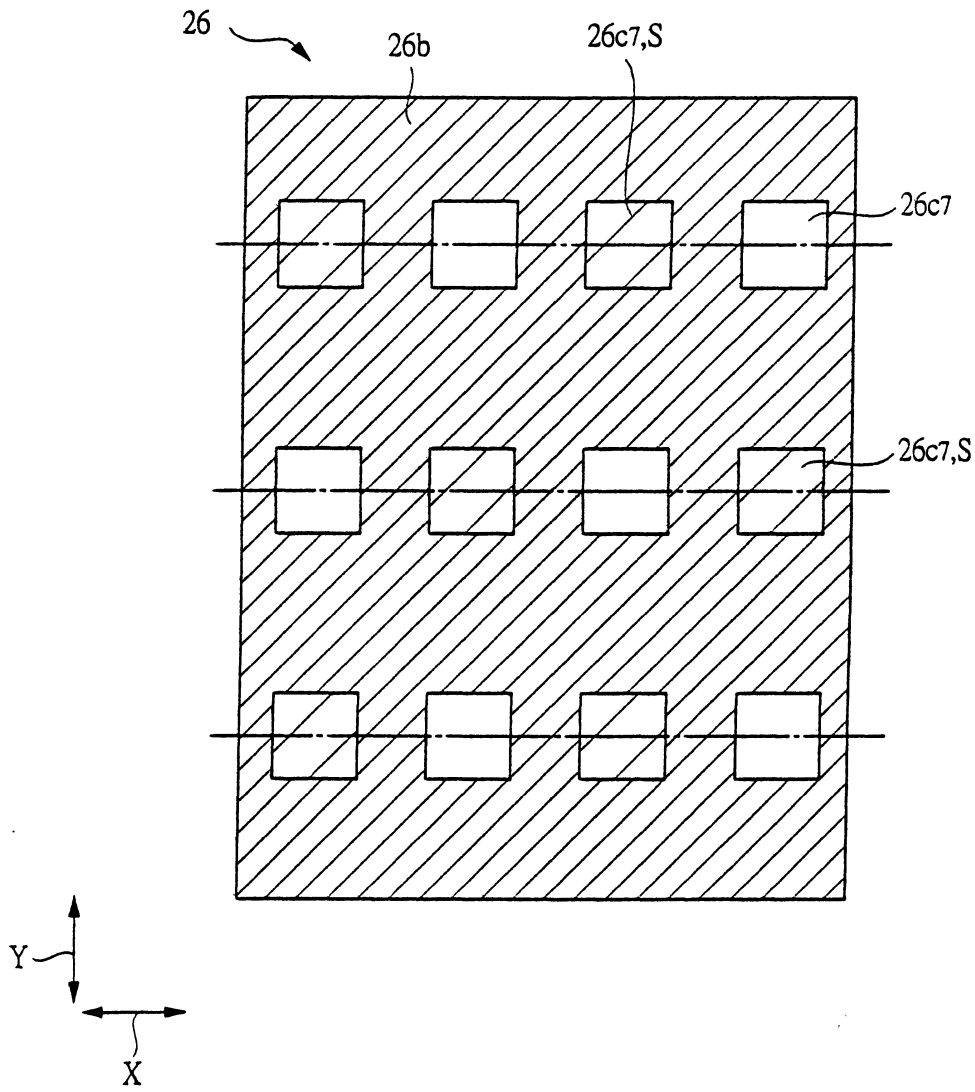


圖 61

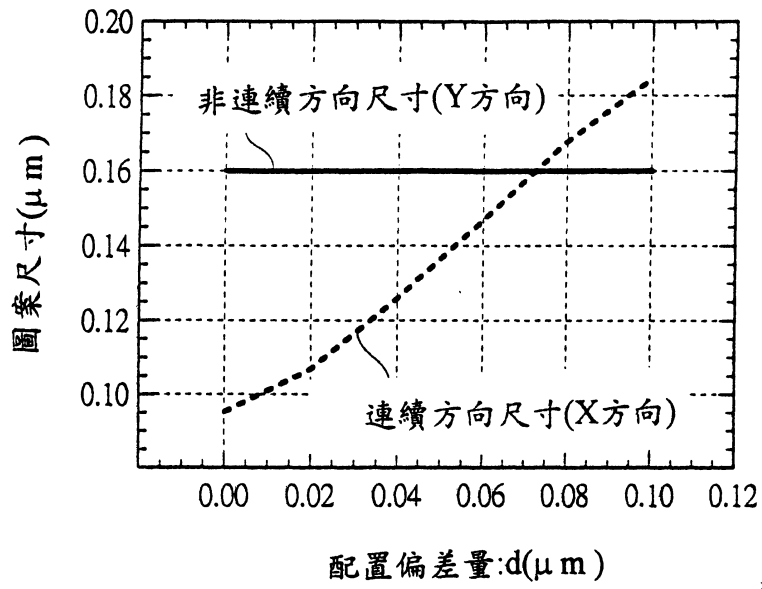


圖 62

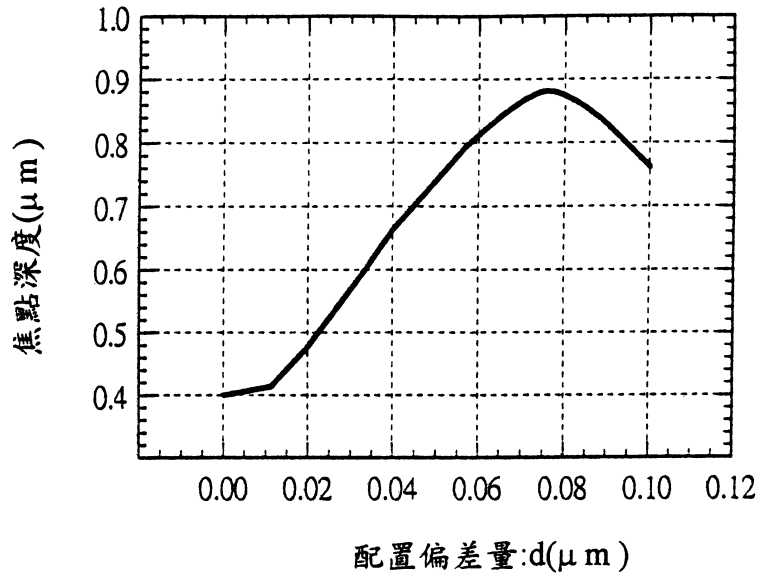


圖 63

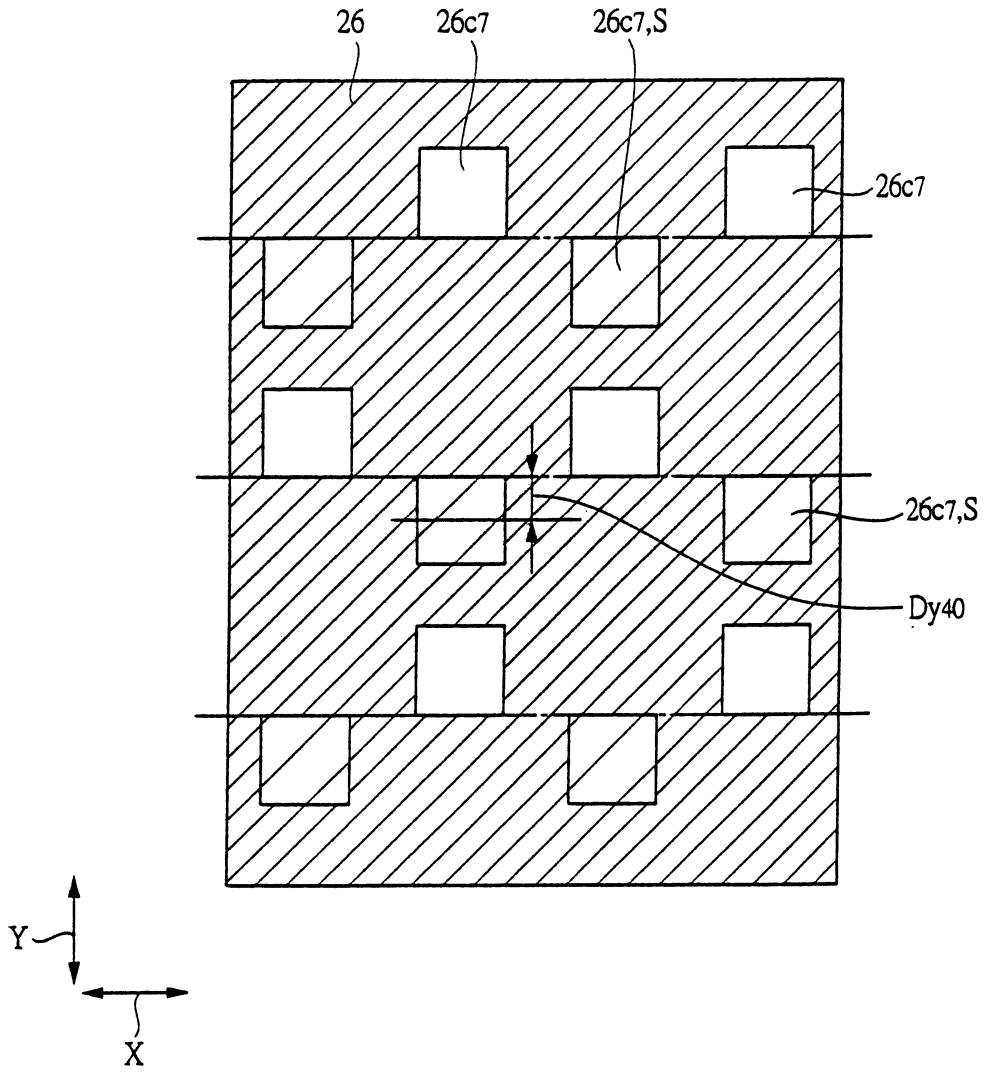


圖 64

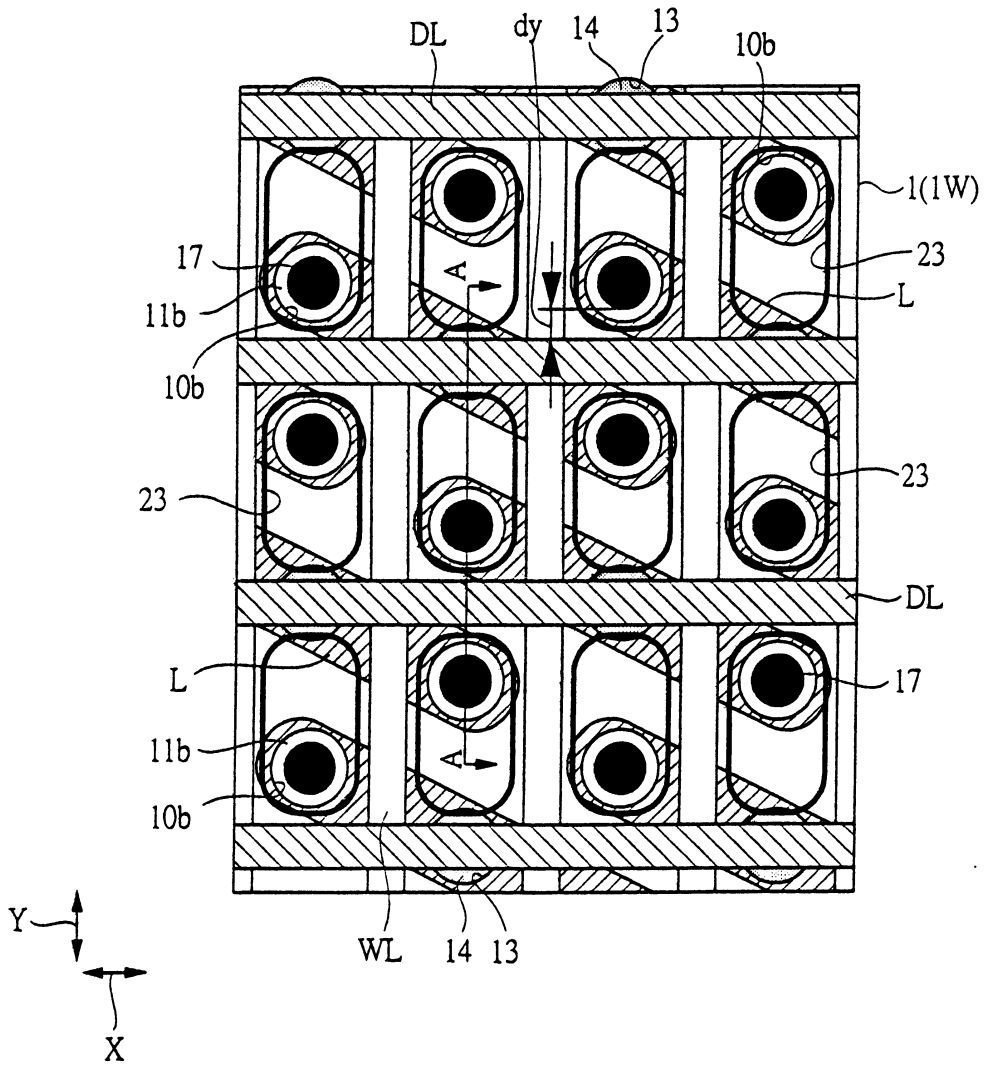


圖 65

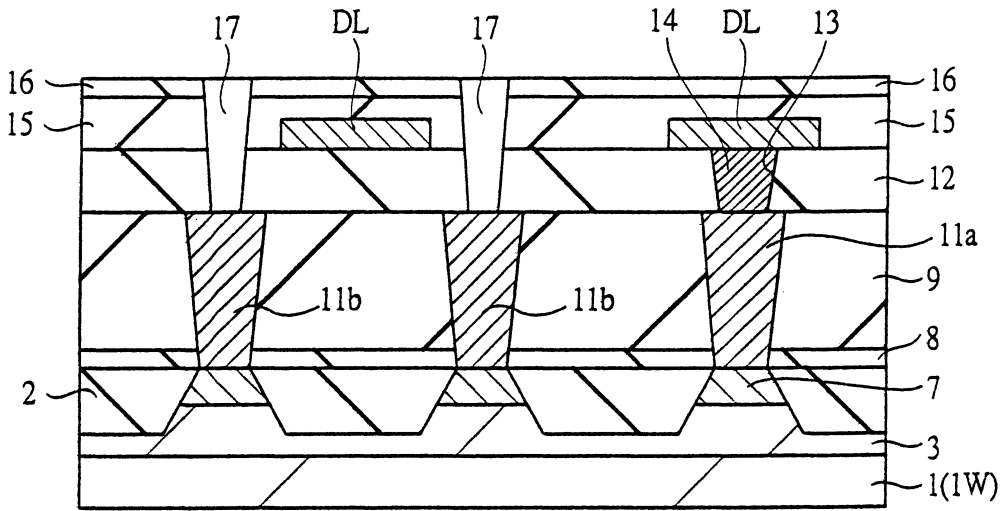


圖 66

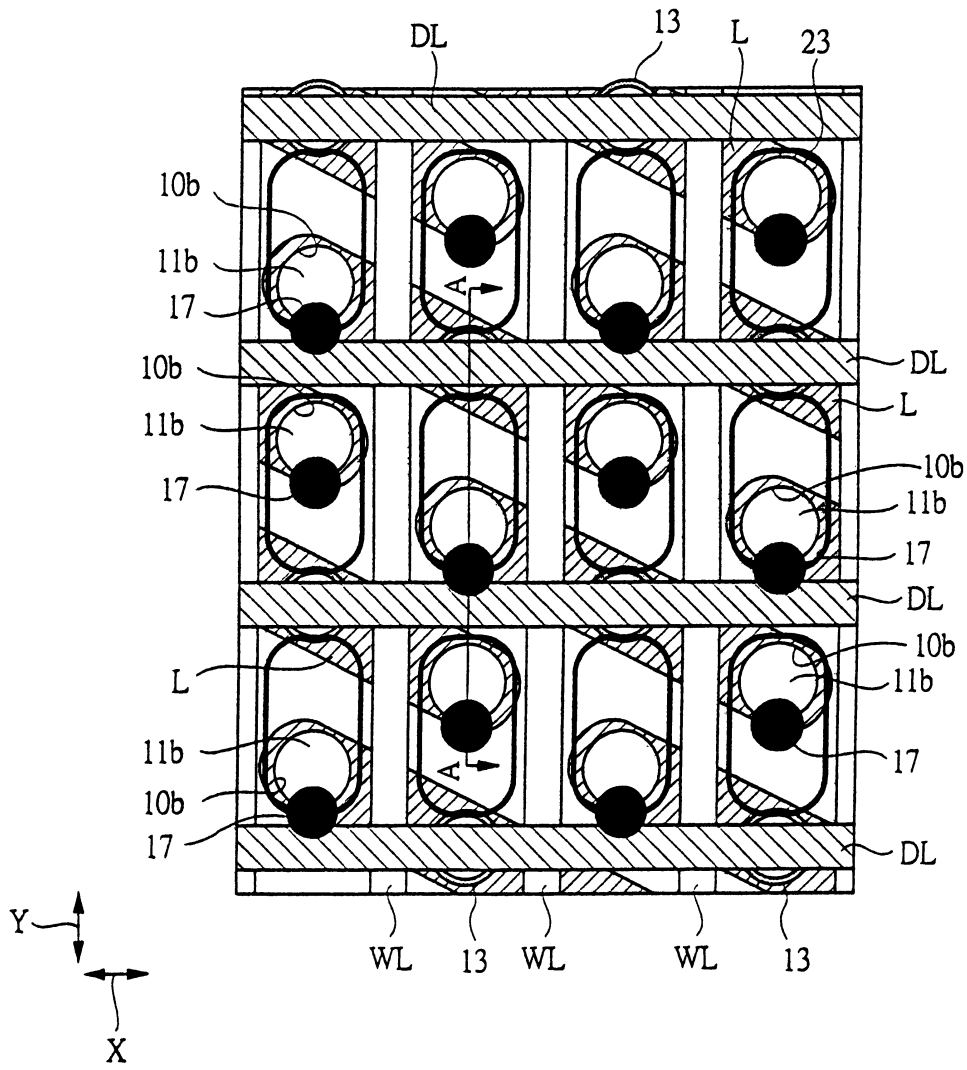


圖 67



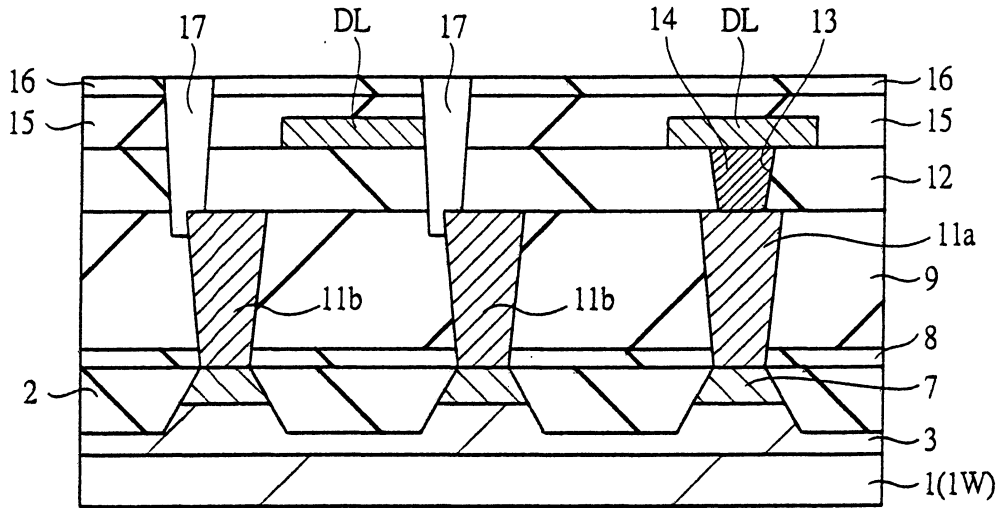


圖 68

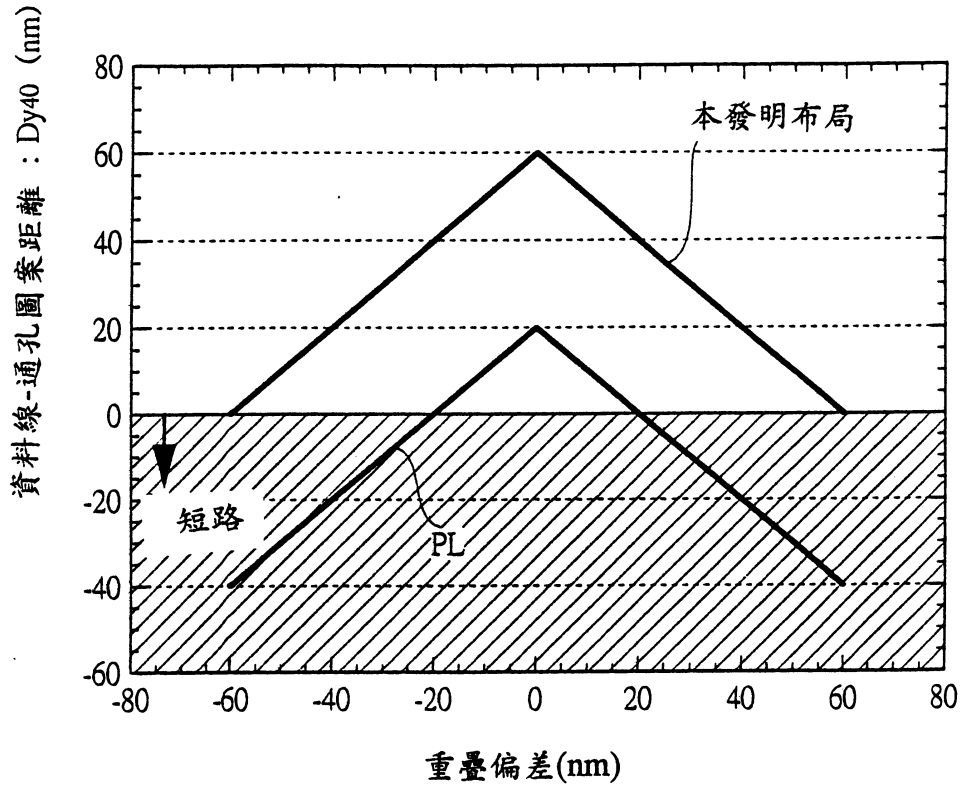


圖 69

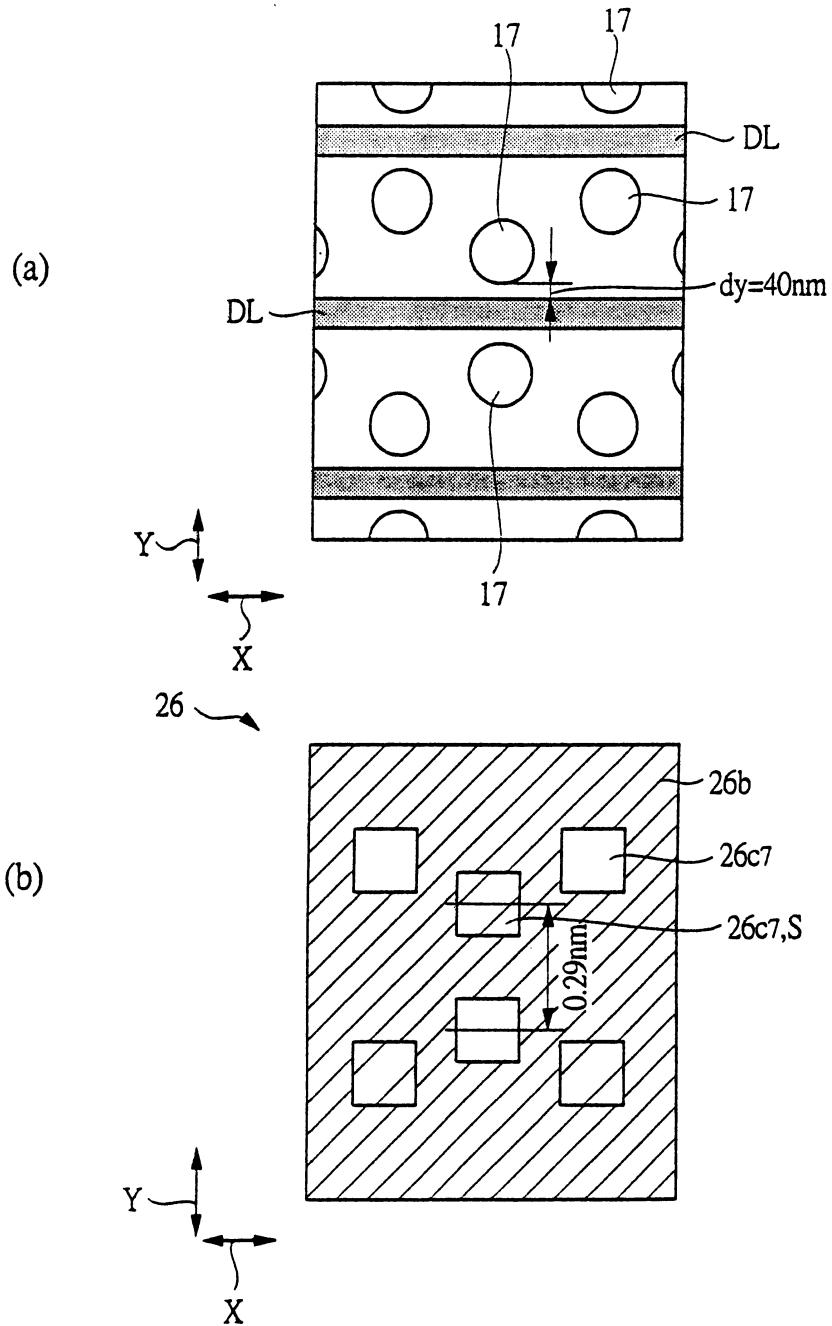


圖 70

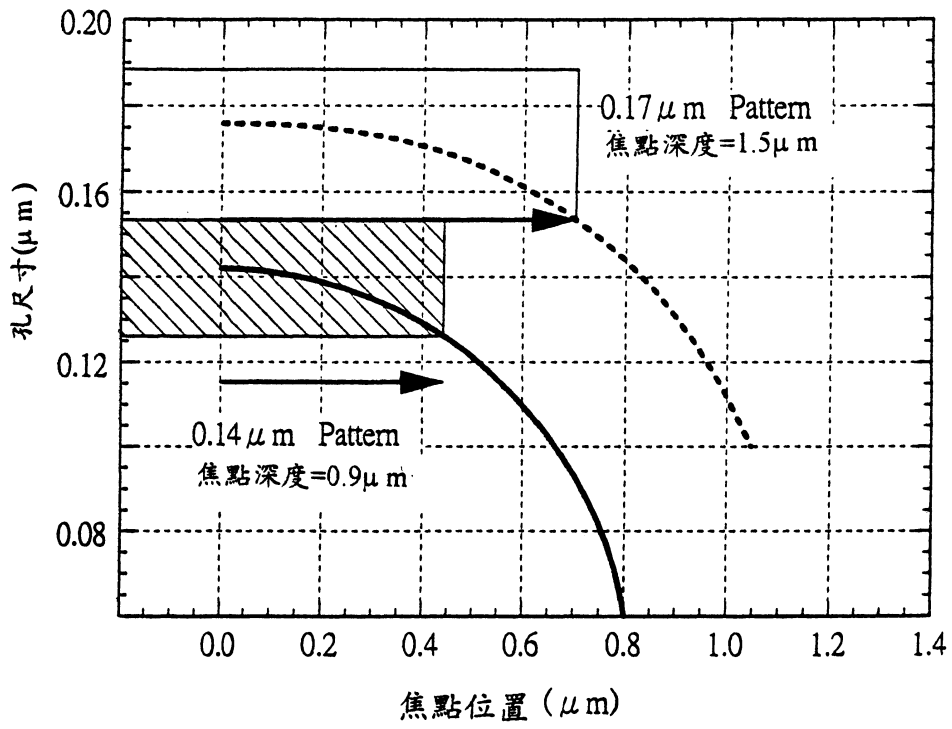


圖 71

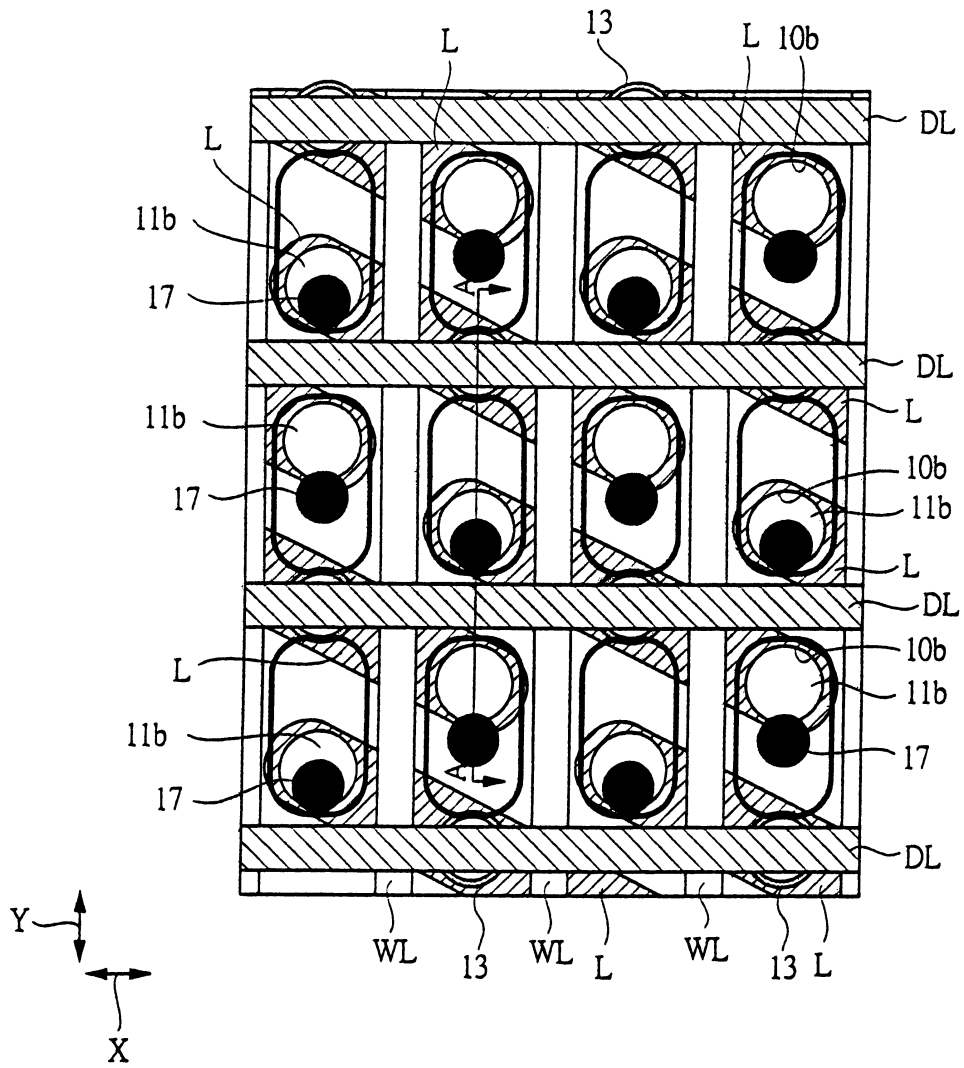


圖 72

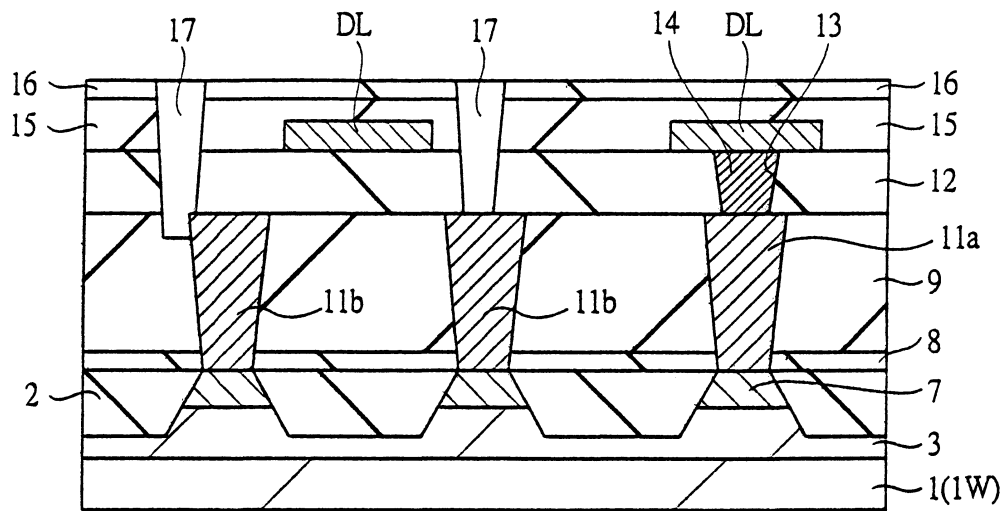


圖 73

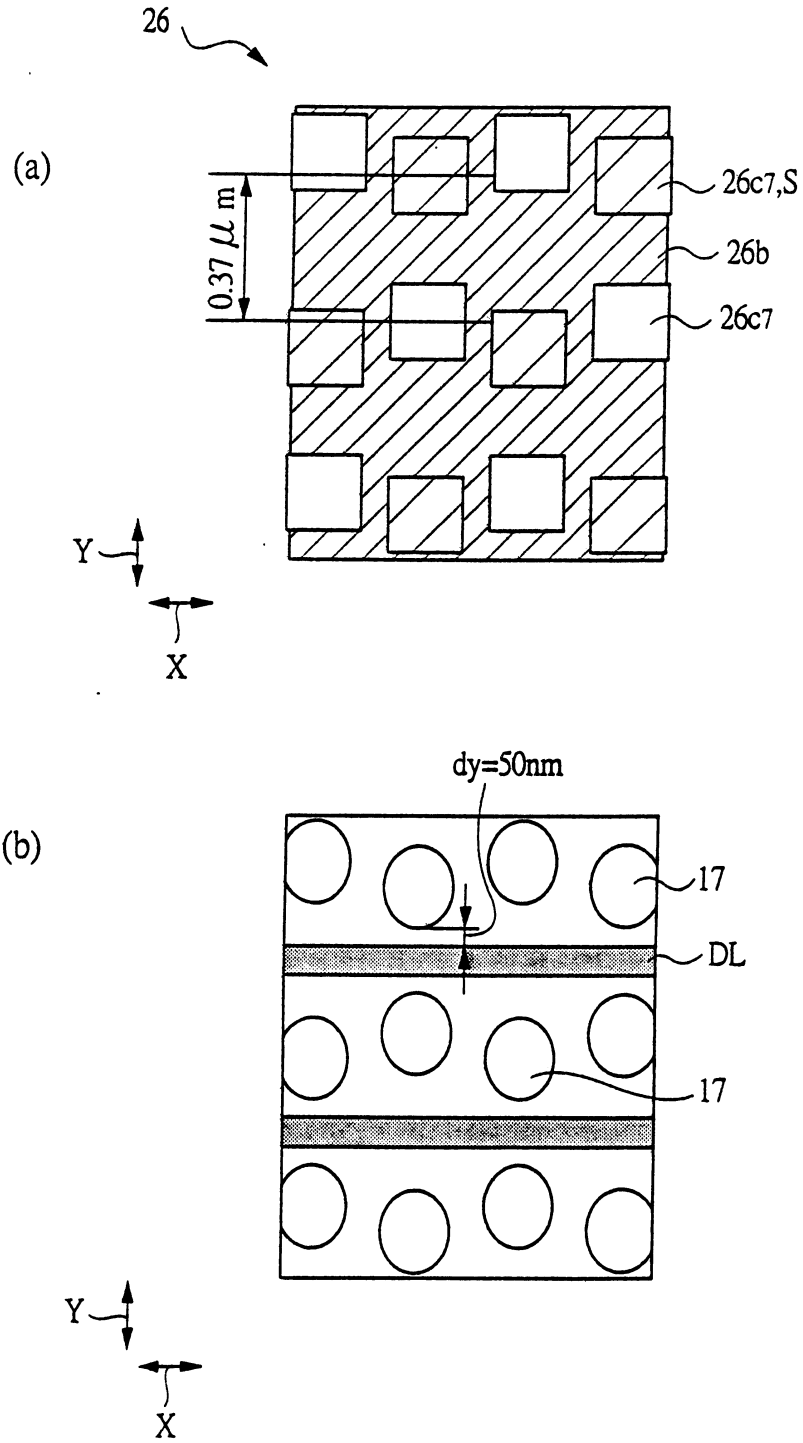


圖 74

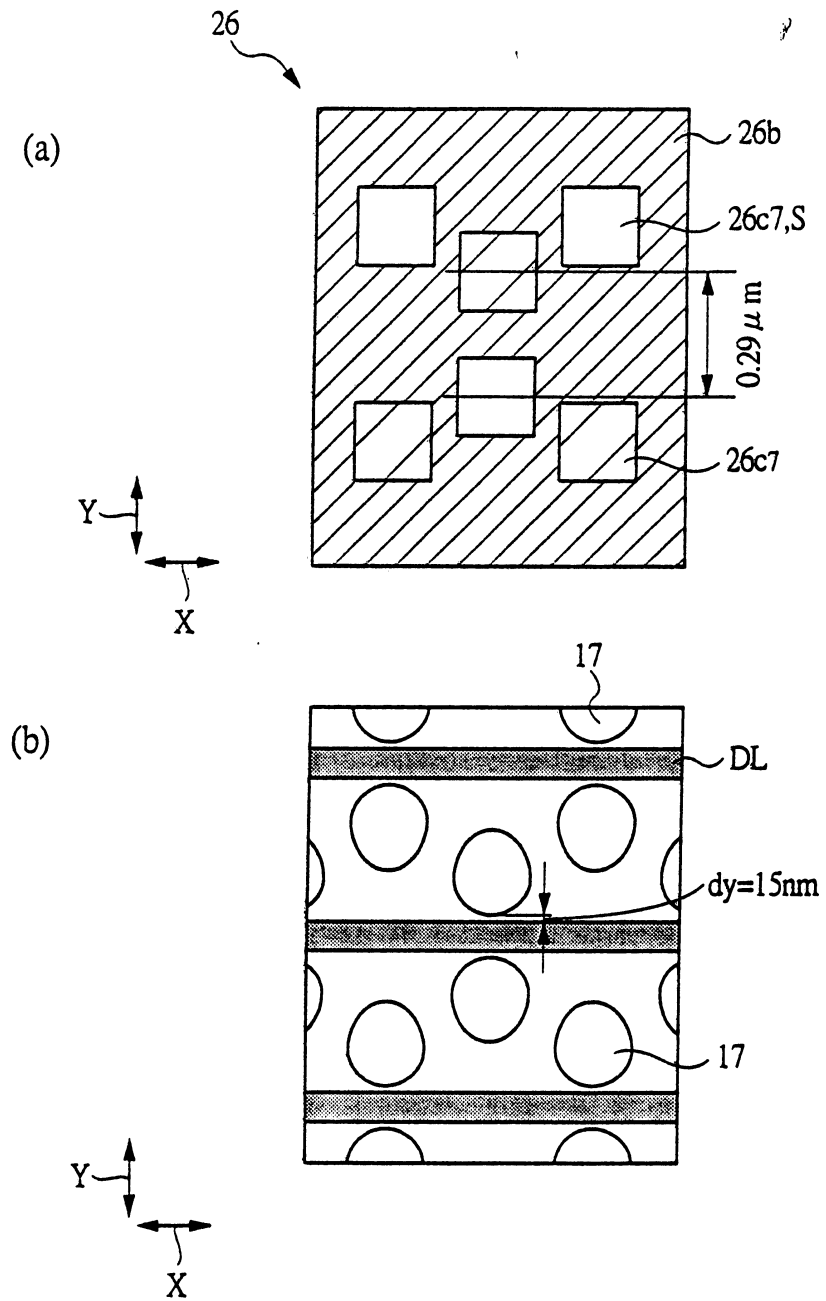


圖 75



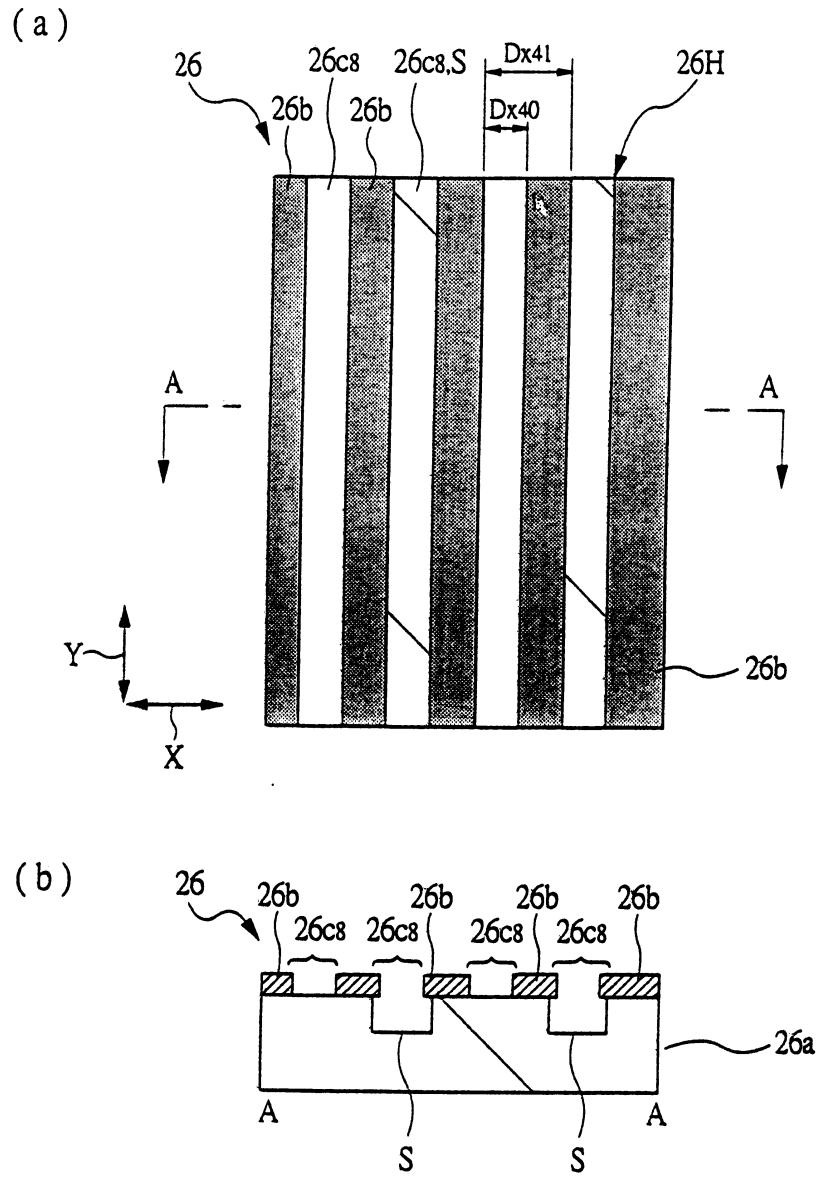


圖 76

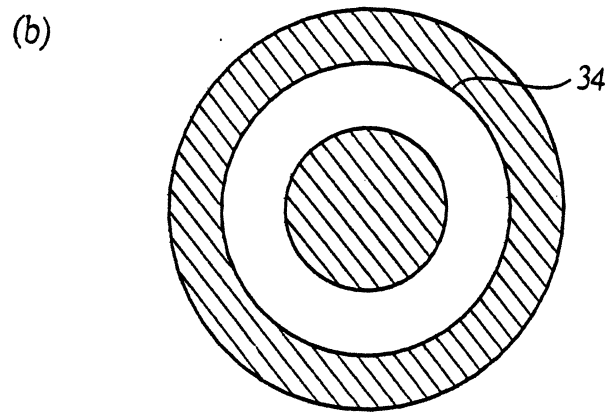
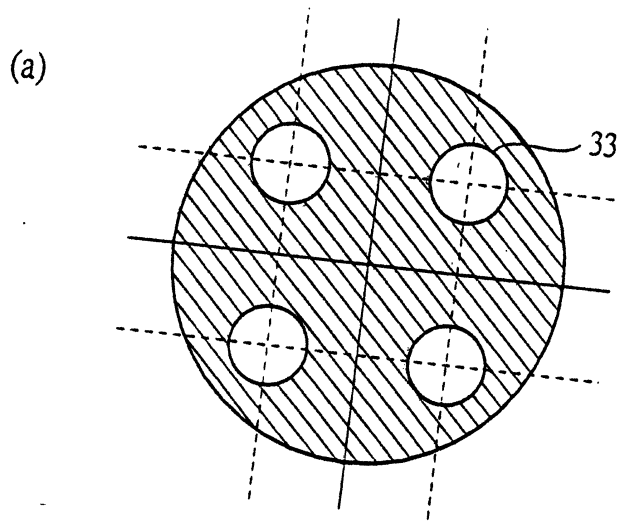


圖 77

煩請委員明示91年10月7日所提之修正本有無變更實質內容是否准予修正。

## 六、申請專利範圍 91.10.7

1. 一種半導體積體電路裝置的製造方法，其特徵為具有：
  - (a) 數個第一區域的形成步驟，其係形成在半導體基板上；
  - (b) 第一絕緣膜的堆積步驟，其係堆積在上述半導體基板上；
  - (c) 第一孔圖案的形成步驟，其係在上述第一絕緣膜上分別電性連接於上述數個第一區域；
  - (d) 配線的形成步驟，其係在上述第一絕緣膜上，對上述數個第一區域交叉形成，以通過上述第一孔圖案的鄰接間；
  - (e) 第二絕緣膜的堆積步驟，其係覆蓋上述配線；
  - (f) 正型光阻膜的堆積步驟，其係堆積在上述第二絕緣膜上；
  - (g) 光阻圖案的形成步驟，其係藉由使用光罩，在上述正型光阻膜上實施曝光處理，在上述第二絕緣膜上形成第二孔圖案；及
  - (h) 上述第二孔圖案的形成步驟，其係將上述光阻圖案作為蝕刻光罩，藉由實施蝕刻處理，在上述第二絕緣膜上形成上述第二孔圖案，與上述第一孔圖案連接，且不與上述配線連接，  
且上述第二孔圖案配置成，縱使其位置偏差，為保持與上述第一孔圖案的連接，且與上述配線保持絕緣狀態，與配線接近配置成夾住上述配線的一對第二孔圖案，自被該一對第二孔圖案夾住的配線分離，  
上述光罩具有用於複製該第二孔圖案的數個透光圖

## 六、申請專利範圍

案，

沿著上述配線延伸之第一方向配置的上述數個透光圖案並非配置成一直線，而係在其位置與上述第一方向交叉之第二方向上相互偏差配置，沿著上述第二方向配置之上述數個透光圖案配置成一直線，

沿著上述第一方向配置之上述數個透光圖案的鄰接節距，比沿著上述第二方向配置之上述數個透光圖案的鄰接節距短。

2. 如申請專利範圍第1項之半導體積體電路裝置的製造方法，

其中上述數個透光圖案中，彼此鄰接之透光圖案的其中之任一上配置有移相器。

3. 如申請專利範圍第1項之半導體積體電路裝置的製造方法，

其中上述一對第二孔圖案之一或兩者的中心自上述第一孔圖案的中心偏離。

4. 如申請專利範圍第1項之半導體積體電路裝置的製造方法，

其中上述第二孔圖案的直徑小於上述第一孔圖案的直徑。

5. 如申請專利範圍第1項之半導體積體電路裝置的製造方法，

其中使用上述光罩實施曝光處理時，曝光光源上使用變形照明。

## 六、申請專利範圍

6. 如申請專利範圍第2項之半導體積體電路裝置的製造方法，

其中上述移相器為溝移相器。

7. 如申請專利範圍第1項之半導體積體電路裝置的製造方法，

其中上述第一區域為形成有DRAM之記憶體單元選擇用場效電晶體的活性區域，上述配線為資料線，上述第一、第二孔圖案為電性連接資訊儲存用電容元件與上述記憶體單元選擇用場效電晶體的構成部。

8. 如申請專利範圍第7項之半導體積體電路裝置的製造方法，

其中上述資料線在對上述活性區域傾斜配置的狀態下，通過上述活性區域的中央，且與上述記憶體單元選擇用場效電晶體之源極、汲極用半導體區域之形成在上述活性區域中央的半導體區域電性連接。

9. 一種半導體積體電路裝置的製造方法，其特徵為具有：

(a) 數個第一區域的形成步驟，其係形成在半導體基板上；

(b) 第一絕緣膜的堆積步驟，其係堆積在上述半導體基板上；

(c) 第一孔圖案的形成步驟，其係在上述第一絕緣膜上分別電性連接於上述數個第一區域；

(d) 配線的形成步驟，其係在上述第一絕緣膜上，對上述數個第一區域交叉形成，以通過上述第一孔圖案的鄰接間；

## 六、申請專利範圍

(e) 第二絕緣膜的堆積步驟，其係覆蓋上述配線；

(f) 正型光阻膜的堆積步驟，其係堆積在上述第二絕緣膜上；

(g) 光阻圖案的形成步驟，其係藉由使用光罩，在上述正型光阻膜上實施曝光處理，在上述第二絕緣膜上形成第二孔圖案；及

(h) 上述第二孔圖案的形成步驟，其係將上述光阻圖案作為蝕刻光罩，藉由實施蝕刻處理，在上述第二絕緣膜上形成上述第二孔圖案，與上述第一孔圖案連接，且與上述配線連接，

且夾住上述配線，接近配置的一對第二孔圖案配置成，兩者或其中之一的中心自上述第一孔圖案的中心偏離，且自被該一對第二孔圖案夾住的配線分離，

上述光罩具有用於複製該第二孔圖案的數個透光圖案，

沿著上述配線延伸之第一方向配置的上述數個透光圖案並非配置成一直線，而係在其位置與上述第一方向交叉之第二方向上相互偏差配置，沿著上述第二方向配置之上述數個透光圖案配置成一直線，

沿著上述第一方向配置之上述數個透光圖案的鄰接節距，比沿著上述第二方向配置之上述數個透光圖案的鄰接節距短。

10. 如申請專利範圍第9項之半導體積體電路裝置的製造方法，

## 六、申請專利範圍

其中上述數個透光圖案中，彼此鄰接之透光圖案的其中之一上配置有移相器。

11. 如申請專利範圍第9項之半導體積體電路裝置的製造方法，

其中上述第二孔圖案的直徑小於上述第一孔圖案的直徑。

12. 如申請專利範圍第9項之半導體積體電路裝置的製造方法，

其中使用上述光罩實施曝光處理時，曝光光源上使用變形照明。

13. 如申請專利範圍第10項之半導體積體電路裝置的製造方法，

其中上述移相器為溝移相器。

14. 如申請專利範圍第9項之半導體積體電路裝置的製造方法，

其中上述第一區域為形成有DRAM之記憶體單元選擇用場效電晶體的活性區域，上述配線為資料線，上述第一、第二孔圖案為電性連接資訊儲存用電容元件與上述記憶體單元選擇用場效電晶體的構成部。

15. 如申請專利範圍第14項之半導體積體電路裝置的製造方法，

其中上述資料線在對上述活性區域傾斜配置的狀態下，通過上述活性區域的中央，且與上述記憶體單元選擇用場效電晶體之源極、汲極用半導體區域之形成在上

## 六、申請專利範圍

述活性區域中央的半導體區域電性連接。

16. 一種半導體積體電路裝置的製造方法，其特徵為具有：

(a) 數個第一區域的形成步驟，其係形成在半導體基板上；

(b) 第一絕緣膜的堆積步驟，其係堆積在上述半導體基板上；

(c) 第一孔圖案的形成步驟，其係在上述第一絕緣膜上分別電性連接於上述數個第一區域；

(d) 配線的形成步驟，其係在上述第一絕緣膜上，對上述數個第一區域交叉形成，以通過上述第一孔圖案的鄰接間；

(e) 第二絕緣膜的堆積步驟，其係覆蓋上述配線；

(f) 正型光阻膜的堆積步驟，其係堆積在上述第二絕緣膜上；

(g) 光阻圖案的形成步驟，其係藉由使用光罩，在上述正型光阻膜上實施曝光處理，在上述第二絕緣膜上形成第二孔圖案；及

(h) 上述第二孔圖案的形成步驟，其係將上述光阻圖案作為蝕刻光罩，藉由實施蝕刻處理，在上述第二絕緣膜上形成上述第二孔圖案，與上述第一孔圖案連接，且不與上述配線連接，

且上述第二孔圖案配置成，縱使其位置偏差，為保持與上述第一孔圖案的連接，且與上述配線保持絕緣狀態，與配線接近配置成夾住上述配線的一對第二孔圖案，自被該一對第二孔圖案夾住的配線分離，



## 六、申請專利範圍

上述光罩具有用於複製該第二孔圖案的數個透光圖案，

沿著上述配線延伸之第一方向配置的上述數個透光圖案並非配置成一直線，而係在其位置與上述第一方向交叉之第二方向上相互偏差配置，沿著上述第二方向配置之上述數個透光圖案配置成一直線。

17. 如申請專利範圍第16項之半導體積體電路裝置的製造方法，

其中上述一對第二孔圖案之一或兩者的中心自上述第一孔圖案的中心偏離。

18. 如申請專利範圍第16項之半導體積體電路裝置的製造方法，

其中上述第二孔圖案的直徑小於上述第一孔圖案的直徑。

19. 如申請專利範圍第16項之半導體積體電路裝置的製造方法，

其中使用上述光罩實施曝光處理時，曝光光源上使用變形照明。

20. 如申請專利範圍第16項之半導體積體電路裝置的製造方法，

其中上述第一區域為形成有DRAM之記憶體單元選擇用場效電晶體的活性區域，上述配線為資料線，上述第一、第二孔圖案為電性連接資訊儲存用電容元件與上述記憶體單元選擇用場效電晶體的構成部。

21. 如申請專利範圍第20項之半導體積體電路裝置的製造方

## 六、申請專利範圍

法，

其中上述資料線在對上述活性區域傾斜配置的狀態下，通過上述活性區域的中央，且與上述記憶體單元選擇用場效電晶體之源極、汲極用半導體區域之形成在上述活性區域中央的半導體區域電性連接。

22. 一種半導體積體電路裝置，其特徵為具有：

數個第一區域，其係形成在半導體基板上；第一絕緣膜，其係堆積在上述半導體基板上；第一孔圖案，其係形成在上述第一絕緣膜上，分別電性連接於上述數個第一區域；配線，其係設置在上述第一絕緣膜上，通過上述第一孔圖案的鄰接間，對上述數個第一區域交叉；第二絕緣膜，其係覆蓋上述配線；及第二孔圖案，其係設置成與上述第一孔圖案連接，且不與上述配線連接，

且上述第二孔圖案配置成，縱使其位置偏差，為保持與上述第一孔圖案的連接，且與上述配線保持絕緣狀態，與配線接近配置成夾住上述配線的一對第二孔圖案，自被該一對第二孔圖案夾住的配線分離。

23. 如申請專利範圍第22項之半導體積體電路裝置，

其中上述第一區域為形成有DRAM之記憶體單元選擇用場效電晶體的活性區域，上述配線為資料線，上述第一、第二孔圖案為電性連接資訊儲存用電容元件與上述記憶體單元選擇用場效電晶體的構成部。

24. 如申請專利範圍第23項之半導體積體電路裝置，

其中上述資料線在對上述活性區域傾斜配置的狀態

## 六、申請專利範圍

下，通過上述活性區域的中央，且與上述記憶體單元選擇用場效電晶體之源極、汲極用半導體區域之形成在上述活性區域中央的半導體區域電性連接。

25. 一種半導體積體電路裝置，其特徵為具有：

數個第一區域，其係形成在半導體基板上；第一絕緣膜，其係堆積在上述半導體基板上；第一孔圖案，其係形成在上述第一絕緣膜上，分別電性連接於上述數個第一區域；配線，其係設置在上述第一絕緣膜上，通過上述第一孔圖案的鄰接間，對上述數個第一區域交叉；第二絕緣膜，其係覆蓋上述配線；及第二孔圖案，其係設置成與上述第一孔圖案連接，且不與上述配線連接，

且夾住上述配線，接近配置的一對第二孔圖案配置成，兩者或其中之一之中心自上述第一孔圖案的中心偏離，且自被該一對第二孔圖案夾住的配線分離。

26. 如申請專利範圍第25項之半導體積體電路裝置，

其中上述第一區域為形成有DRAM之記憶體單元選擇用場效電晶體的活性區域，上述配線為資料線，上述第一、第二孔圖案為電性連接資訊儲存用電容元件與上述記憶體單元選擇用場效電晶體的構成部。

27. 如申請專利範圍第26項之半導體積體電路裝置，

其中上述資料線在對上述活性區域傾斜配置的狀態下，通過上述活性區域的中央，且與上述記憶體單元選擇用場效電晶體之源極、汲極用半導體區域之形成在上述活性區域中央的半導體區域電性連接。

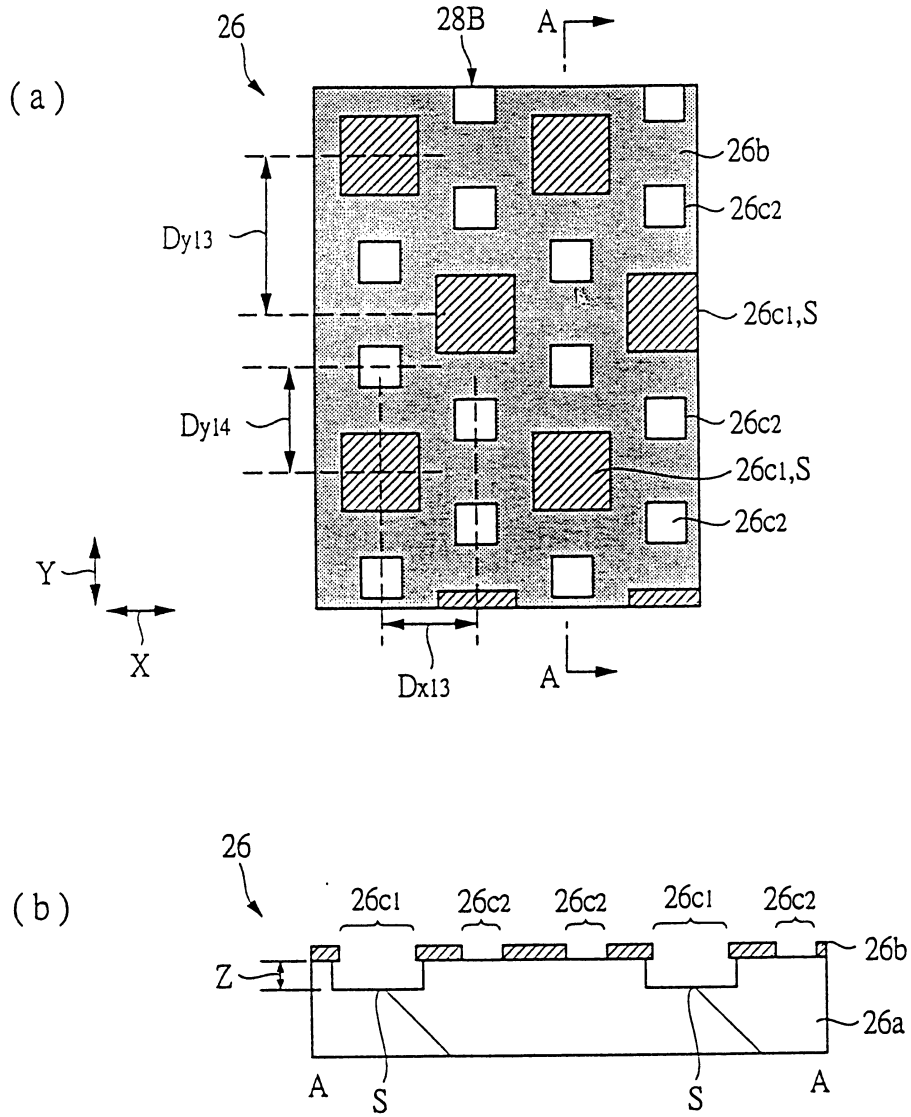


圖 45