



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/76 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년08월28일 10-0752219 2007년08월20일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2001-0087246 2001년12월28일 2006년07월05일	(65) 공개번호 (43) 공개일자	10-2003-0056905 2003년07월04일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자	매그나칩 반도체 유한회사 충북 청주시 흥덕구 향정동 1
(72) 발명자	한상규 충청북도청주시흥덕구향정동hynix반도체
(74) 대리인	강용복 김용인

(56) 선행기술조사문헌 KR1020000043914 KR1019970077494	KR1019950028059 KR1019940010270
---	------------------------------------

심사관 : 소재현

전체 청구항 수 : 총 6 항

(54) 반도체 소자의 격리막 제조방법

(57) 요약

본 발명은 액티브 영역의 에지 부분에 전기장이 집중되는 현상을 방지하여 소자의 전기적 특성을 향상시킬 수 있는 반도체 소자의 격리막 제조방법에 관한 것으로, 제 1 영역과 제 2 영역으로 정의된 반도체 기판 상에 패드 산화막, 도핑된 폴리실리콘층을 차례로 형성하는 단계; 제 1 영역의 반도체 기판이 노출되도록 패드 산화막, 도핑된 폴리실리콘층을 선택적으로 제거하여 트렌치를 형성하는 단계; 전면에 산화막을 형성하는 단계; 제 1 영역의 반도체 기판 상에 형성된 산화막을 제거하는 단계; 상기 트렌치에 실리콘층을 형성하는 단계를 포함하여 이루어진다.

대표도

도 2f

특허청구의 범위

청구항 1.

제 1 영역과 제 2 영역으로 정의된 반도체 기판 상에 패드 산화막, 도핑된 폴리실리콘층을 차례로 형성하는 단계;

제 1 영역의 반도체 기판이 노출되도록 패드 산화막, 도핑된 폴리실리콘층을 선택적으로 제거하여 트렌치를 형성하는 단계;

전면에 산화막을 형성하는 단계;

제 1 영역의 반도체 기판 상에 형성된 산화막을 제거하는 단계;

상기 트렌치에 실리콘층을 형성하는 단계를 포함함을 특징으로 하는 반도체 소자의 소자 격리막 제조방법.

청구항 2.

제 1 항에 있어서,

상기 도핑된 폴리실리콘층은 N형 불순물이 도핑된 폴리실리콘을 4000Å의 두께로 형성함을 특징으로 하는 반도체 소자의 소자 격리막 제조방법.

청구항 3.

제 1 항에 있어서,

상기 산화막은 열산화 방식을 이용하여 상기 도핑된 폴리실리콘층 상에 700Å의 두께로 형성하고 반도체 기판 상에는 150Å의 두께로 형성함을 특징으로 하는 반도체 소자의 소자 격리막 제조방법.

청구항 4.

제 1 항에 있어서,

상기 반도체 기판 상의 산화막을 제거하는 단계는 불산(HF)를 이용하여 200Å의 두께를 제거함을 특징으로 하는 반도체 소자의 소자 격리막 제조방법.

청구항 5.

제 1 항에 있어서,

상기 실리콘층은 SEG(Silicon Epitaxial Growth)막인 것을 특징으로 하는 반도체 소자의 소자 격리막 제조방법.

청구항 6.

제 1 항에 있어서,

상기 실리콘층은 상기 도핑된 폴리실리콘층 상에 형성된 산화막 상부와 500Å의 단차를 갖도록 낮게 형성함을 특징으로 하는 반도체 소자의 소자 격리막 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 격리막 제조에 관한 것으로 특히, 액티브 영역의 에지 부분에 전기장이 집중되는 현상을 방지할 수 있는 반도체 소자의 격리막 제조방법에 관한 것이다.

일반적으로 반도체 소자가 점차로 고집적화 됨에 따라 그에 따른 여러 가지 방법 중 소자 격리영역과 소자 형성영역 즉, 활성영역의 크기를 축소하는 방법들이 제안되고 있다.

상기와 같은 소자 격리영역의 형성기술로는 로코스(LOCOS : Local Oxidation of Silicon) 공정을 사용하였다.

이러한 로코스 공정을 이용한 격리영역 형성공정은 그 공정이 간단하고 재현성이 우수하다는 장점이 있어 많이 사용되고 있다.

그러나, 소자가 점차로 고집적화에 따라 로코스 공정으로 격리영역을 형성하는 경우 로코스형성된 격리산화막의 특징인 활성영역으로 확장되는 격리산화막 에지부의 버즈빅(Bird's Beak) 발생 때문에 활성영역의 면적이 축소되어 64MB급 이상의 디램(DRAM : Dynamic Random Access Memory) 소자에서 사용하기에는 적합하지 못한 것으로 알려져 있다.

그래서, 일반적인 로코스를 이용한 격리영역의 형성방법에는 버즈빅의 생성을 방지하거나 또는 버즈빅을 제거하여 격리영역을 축소하고 활성영역을 늘리는 등의 어드밴스드 로코스(Advanced LOCOS) 공정이 제안되어 64MB 또는 256MB급 디램의 제조공정에서 사용되었다.

그러나, 이러한 어드밴스드 로코스를 사용한 격리영역의 형성공정도 Giga급 이상의 디램에서는 격리영역이 차지하는 면적이 크다는 문제점과 로코스 공정으로 형성되는 필드 산화막이 실리콘 기판과의 계면에서 형성되면서 실리콘 기판의 농도가 필드 산화막과 결합으로 인해 낮아지게 되어 결과적으로 누설전류가 발생하는 등의 문제점이 발생하여 격리영역의 특성이 나빠지므로 기가 디램급 이상의 격리영역 형성방법으로 격리영역의 두께 조절이 용이하고 격리 효과를 높일 수 있는 트렌치(Trench)를 이용한 격리영역 형성방법이 제안되었다.

이하, 종래 기술에 따른 반도체 소자의 격리막 제조방법을 첨부된 도면을 참조하여 설명하기로 한다.

도 1a 내지 도 1f는 종래의 반도체 소자의 격리막 제조방법을 설명하기 위한 공정 단면도이다.

도 1a에 도시한 바와 같이, 종래의 반도체 소자의 격리막 제조방법은 반도체 기판(1) 상에 산화막(2)과 질화막(3)을 차례로 증착한다.

이때, 상기 산화막(2)은 140Å의 두께로 형성하고, 상기 질화막(3)은 1000Å의 두께로 형성한다.

이어, 이어 도 1b에 도시한 바와 같이, 상기 질화막(3)의 전면에 감광물질을 도포한 후, 노광 및 현상공정을 통해 설정된 임계치수(Critical Dimention)에 따라 감광물질을 패터닝하여 액티브(Active) 영역과 필드(Field) 영역이 정의된 감광막 패턴(도시하지 않음)을 형성한다.

그리고, 상기 감광막 패턴을 마스크로 사용하여 상기 질화막과 산화막을 선택적으로 제거하여 질화막 패턴(3a)과 산화막 패턴(2a)을 형성한다.

또한, 상기 감광막 패턴을 마스크로 이용하여 건식식각(Dry Etch)을 통해 필드 영역에 해당하는 상기 반도체 기판(1)을 선택적으로 제거하여 3500Å의 깊이를 갖는 트렌치(Trench)를 형성한다.

이어, 도 1c에 도시한 바와 같이, 상기 트렌치를 포함한 전면에 HDP(High Density Plasma) 산화막(4)을 증착한다.

이때, 상기 HDP 산화막(4)은 화학기상 증착법(CVD : Chemical Vapor Deposition)을 이용하여 증착한다.

그리고, 도 1d에 도시한 바와 같이, 상기 HDP 산화막(6)이 증착된 반도체 기판(1)의 전면에 화학적 기계적 연마법 (Chemical Mechanical Polishing : CMP) 공정을 실시하여 상기 질화막 패턴(3a)이 노출되도록 반도체 기판(1)의 표면을 평탄화시키는 동시에 상기 트렌치에 STI(Shallow Trench Isolation)(4a)를 형성한다.

이어, 도 1e에 도시한 바와 같이, 상기 질화막 패턴(3a)을 습식식각(Wet Etch)으로 제거한 후, 상기 반도체 기판(1)에 전 세 공정을 실시하여 산화막 패턴(2a) 및 공정중에 발생한 이물질들을 제거함으로써 소자 격리영역인 STI 공정을 완료한다.

그리고, 도 1f에 도시한 바와 같이, 전면에 불산(HF)를 이용한 클리닝 공정을 진행한 후, 상기 반도체 기판(1)의 액티브 영역에 폴리실리콘(5)을 증착한다.

이어, 게이트 전극, 소오스 및 드레인 영역을 형성하고, 상기 게이트 전극과 소오스 및 드레인 영역에 비트라인 콘택 (Bitline Contact)과 노드 콘택(Node Contact)을 형성한다.

발명이 이루고자 하는 기술적 과제

상기와 같은 종래의 반도체 소자의 격리막 제조방법은 다음과 같은 문제점이 있다.

질화막을 에칭 스톱층으로 이용하여 소자 격리용 절연막이 증착된 반도체 기판을 화학적 기계 연마 공정으로 평탄화하는 경우에 액티브 영역의 질화막과 필드 영역의 소자 격리용 절연막간의 연마비 차이로 인하여 소자 격리용 절연막의 모서리 영역(가)에 디싱(Dishing)이 발생한다.

이에 따라, 소자 격리용 절연막의 모서리 영역에서 전류 누설이 발생하며, 액티브 영역의 에지 부분에 집중되는 전기장으로 인한 험프 현상 및 INWE(Inverse Narrow Width Effect)를 초래하여 소자의 전기적 특성을 악화시킨다.

본 발명은 이와 같은 종래 기술의 반도체 소자의 격리막 제조방법의 문제를 해결하기 위한 것으로, 반도체 기판 상의 필드 영역에 도핑된 폴리실리콘층을 형성하고 액티브 영역에 SEG막을 형성함으로써, 액티브 영역의 에지 부분에 전기장이 집중되는 현상을 방지하여 소자의 전기적 특성을 향상시키는 데 적당한 반도체 소자의 격리막 제조방법을 제공하는 데 그 목적이 있다.

발명의 구성

이와 같은 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 격리막 제조방법은 제 1 영역과 제 2 영역으로 정의된 반도체 기판 상에 패드 산화막, 도핑된 폴리실리콘층을 차례로 형성하는 단계; 제 1 영역의 반도체 기판이 노출되도록 패드 산화막, 도핑된 폴리실리콘층을 선택적으로 제거하여 트렌치를 형성하는 단계; 전면에 산화막을 형성하는 단계; 제 1 영역의 반도체 기판 상에 형성된 산화막을 제거하는 단계; 상기 트렌치에 실리콘층을 형성하는 단계를 포함함을 특징으로 한다.

이하, 본 발명의 반도체 소자의 격리막 제조방법을 첨부된 도면을 참조하여 설명하기로 한다.

도 2a 내지 도 2f는 본 발명에 의한 반도체 소자의 격리막 제조방법을 설명하기 위한 공정 단면도이다.

도 2a에 도시한 바와 같이, 반도체 기판(21)을 실리콘(Si)이 노출되도록 세정한 후, 상기 반도체 기판(21)의 전면에 패드 산화막(22)을 형성한다.

이때, 상기 패드 산화막(22)은 500Å의 두께로 형성한다.

그리고, 상기 패드 산화막(22) 상에 N형 불순물이 도핑된 폴리실리콘(N+ Poly silicon)(23)을 4000Å의 두께로 증착한다.

이어, 도 2b에 도시한 바와 같이, 상기 도핑된 폴리실리콘층(23) 상에 감광물질을 도포한 후, 노광 및 현상공정으로 감광물질을 패터닝하여 액티브 영역과 필드 영역이 정의된 감광막 패턴(도시하지 않음)을 형성한다.

그리고, 상기 감광막 패턴을 마스크로 이용하여 액티브 영역의 상기 도핑된 폴리실리콘층(23) 및 패드 산화막(22)을 선택적으로 제거하여 트렌치를 형성한다.

이때, 상기 패드 산화막(22)이 완전히 제거되어 액티브 영역의 반도체 기판(21)의 표면이 노출되도록 식각공정을 진행한다.

이후, 도 2c에 도시한 바와 같이, 산소(O_2)가 주입된 산화막 생성로 내에서 열처리하여 상기 도핑된 폴리실리콘층(23)과 노출된 반도체 기판(21)에 산화막(24)을 성장시킨다.

이때, 상기 도핑된 폴리실리콘층(23)에 형성되는 산화막(24)은 상기 노출된 반도체 기판(21)에 형성되는 산화막(24)에 비해 산화율(Oxidation rate)이 5배 이상 높다.

따라서, 인(P)이 고농도로 도핑된 폴리실리콘층(23)에 700Å의 두께로 산화막(24)을 형성하면 반도체 기판(21)에는 약 150Å의 두께로 산화막(24)이 형성된다.

이어, 도 2d에 도시한 바와 같이, 트렌치 내의 반도체 기판(21)에 형성된 산화막(24)을 제거하기 위해 불산(HF)을 이용하여 상기 산화막(24)의 일정 두께를 제거하는데, 이때 200Å의 두께를 제거하기 위한 공정조건으로 진행한다.

따라서, 트렌치 내의 반도체 기판(21)에 형성된 산화막(24)은 제거되고, 상기 도핑된 폴리실리콘층(23)에 형성된 산화막(24)은 500Å의 두께로 남게 된다.

그리고, 도 2e에 도시한 바와 같이, 상기 노출된 반도체 기판(21)의 표면으로부터 상기 트렌치 패턴을 매립할 수 있도록 SEG(Silicon Epitaxial Growth)막(25)을 성장시킨다.

여기서, 실리콘(Si)에서 성장하는 상기 SEG막(25)은 상기 도핑된 폴리실리콘층(23)이 산화막(24)에 의해 둘러싸여져 있으므로 반도체 기판(21)에서만 성장하게 된다.

이때, 상기 SEG막(25)은 상기 도핑된 폴리실리콘층(23) 상에 형성된 산화막(24) 상부와 500Å의 단차를 갖도록 낮게 성장시킨다.

이후, 도 2f에 도시한 바와 같이, 세정 공정을 실시하여 공정 중에 발생한 이물질들을 제거한 후, 전면에 게이트 산화막(26)을 형성한다.

그리고, 상기 게이트 산화막(27) 상에 게이트 전극 형성을 위해 폴리실리콘(27)을 증착한다.

발명의 효과

상기와 같은 본 발명의 반도체 소자의 격리막 제조방법은 다음과 같은 효과가 있다.

반도체 기판 상의 필드 영역에 도핑된 폴리실리콘층을 형성하고 액티브 영역에 SEG막을 형성함으로써, 액티브 영역의 에지 부분에 전기장이 집중되는 현상을 방지하여 소자의 전기적 특성을 악화시키는 STI의 험프 현상을 방지할 수 있다.

또한, 반도체 기판을 식각하여 트렌치를 형성하는 공정과 트렌치에 매립된 절연막을 연마하는 화학적 기계적 연마 공정이 요구되지 않으므로 공정을 간소화할 수 있다.

도면의 간단한 설명

도 1a 내지 도 1f는 종래의 반도체 소자의 격리막 제조방법을 설명하기 위한 공정 단면도

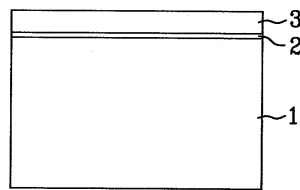
도 2a 내지 도 2f는 본 발명에 의한 반도체 소자의 격리막 제조방법을 설명하기 위한 공정 단면도

도면의 주요 부분에 대한 부호의 설명

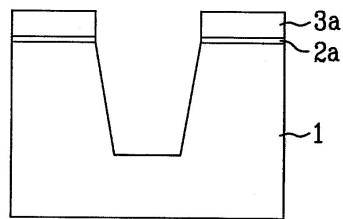
- 21 : 반도체 기판 22 : 패드 산화막
 23 : 도핑된 폴리실리콘층 24 : 산화막
 25 : SEG막 26 : 게이트 산화막
 27 : 폴리실리콘

도면

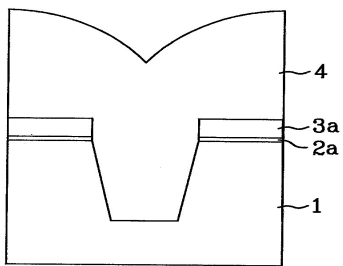
도면1a



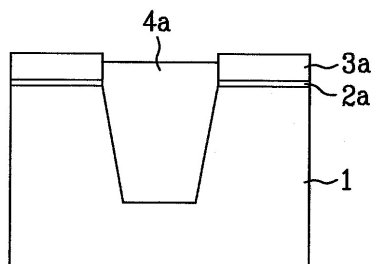
도면1b



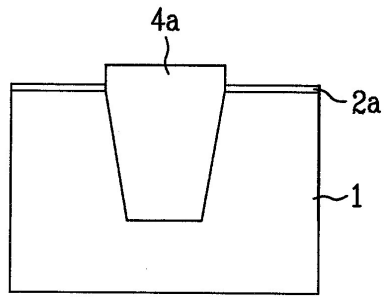
도면1c



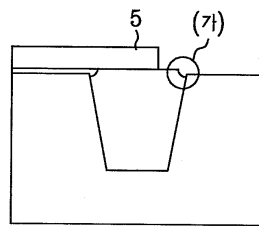
도면1d



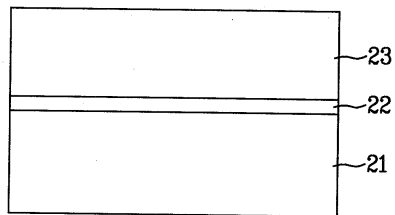
도면1e



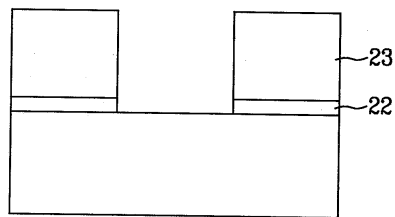
도면1f



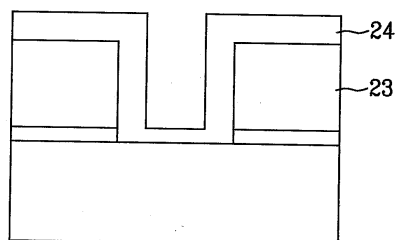
도면2a



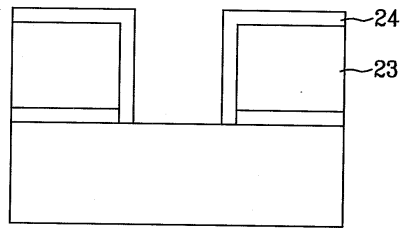
도면2b



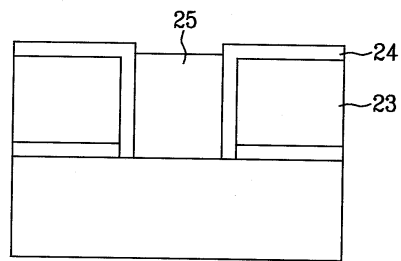
도면2c



도면2d



도면2e



도면2f

