

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-510081
(P2005-510081A)

(43) 公表日 平成17年4月14日(2005.4.14)

(51) Int.Cl.⁷
H01L 21/205
C23C 16/50
H01L 21/338
H01L 29/778
H01L 29/812

F 1
H01L 21/205
C23C 16/50
H01L 29/80

H

テーマコード (参考)
4K030
5F045
5F102

審査請求 未請求 予備審査請求 有 (全 16 頁)

(21) 出願番号 特願2003-546385 (P2003-546385)
(86) (22) 出願日 平成14年9月5日 (2002.9.5)
(85) 翻訳文提出日 平成16年5月24日 (2004.5.24)
(86) 國際出願番号 PCT/EP2002/009922
(87) 國際公開番号 WO2003/044839
(87) 國際公開日 平成15年5月30日 (2003.5.30)
(31) 優先権主張番号 01127834.8
(32) 優先日 平成13年11月22日 (2001.11.22)
(33) 優先権主張國 歐州特許庁 (EP)

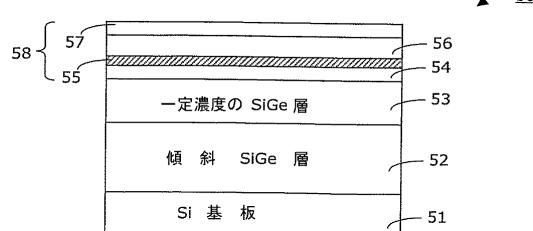
(71) 出願人 504199194
アイトゲネシシェ・テッヒニシェ・ホーホ
シューレ・チューリッヒ
Eidgenössische Tec
hnische Hochschule
Zuerich
スイス、ツェーハー-8092チューリッ
ヒ、レーミシュトラーーゼ101番
(74) 代理人 100086405
弁理士 河宮 治
(74) 代理人 100091465
弁理士 石井 久夫
(72) 発明者 ハンス・フォン・ケーネル
スイス、ツェーハー-8304ヴァリゼレ
ン、アイゲンハイムシュトラーーゼ3番
最終頁に続く

(54) 【発明の名称】低エネルギー・プラズマ強化化学蒸着法による高移動度のシリコンゲルマニウム構造体の製造方法

(57) 【要約】

半導体構造体の製造方法であって、この製造方法は、以下の工程を含んでいる。傾斜 Si_{1-x}Ge_x層と非傾斜 Si_{1-x}Ge_x層とから成る仮想基板を、高密度の低エネルギー・プラズマ強化化学蒸着法 (LEPECVD) を用いて形成する工程で、この工程では、成長速度が 2 nm/s 以上、基板温度が 400 ~ 850 、及びガス導入口での全反応ガス流量が 5 sccm ~ 200 sccm にされる。

上記仮想基板上に、Ge チャンネル (55、65) と変調ドープ層 (56、64、67) とを含む活性領域 (14、58、68) を、低密度の低エネルギー・プラズマ強化化学蒸着法 (LEPECVD) を用いて形成する工程で、この工程では、成長チャンバに水素 (H₂) を導入し、基板温度を 400 ~ 500 に保持し、そして、変調ドープ層を形成するためにドーパントガスを成長チャンバにパルス状に導入する。



【特許請求の範囲】**【請求項 1】**

半導体ヘテロ構造体を、ガス導入口(26、30)を備えた成長チャンバ(23)中で製造する方法であって、上記製造方法が、

以下の条件による高密度の低エネルギー・プラズマ強化化学蒸着法(LEPECVD)を用いて、シリコン基板(11、51、61)上に、傾斜Si_{1-x}Ge_x層(12、52、62)とそれに続いてGe濃度一定のSi_{1-x}Ge_x層(13、53、63)とを含む仮想基板を形成する工程であって、高密度のLEPECVDの条件が、

i. 成長速度が2nm/s以上、

ii. 基板温度が400～850、及び

iii. ガス導入口での全反応ガス流量が5sccm～200sccm、の工程と、

10

以下の条件による低密度の低エネルギー・プラズマ強化化学蒸着法(LEPECVD)を用いて、上記仮想基板上に、Geチャンネル(55、65)と変調ドープ層(56、64、67)とを含む活性領域(14、58、68)を形成する工程であって、低密度のLEPECVDの条件が、

i. 成長チャンバ(23)に水素(H₂)を導入して、界面活性剤として機能させること、

ii. 基板温度を400～500に保持すること、及び

iii. 成長チャンバ(23)にドーパントガスをパルス状に導入し、上記変調ドープ層(56、64、67)を形成すること、である工程と、

20

を含んでいる半導体ヘテロ構造体の製造方法。

【請求項 2】

上記仮想基板の形成中に、基板温度を、400～800、好ましくは450～750の範囲内で故意に変化させる請求項1に記載の製造方法。

【請求項 3】

上記活性領域(14、58、68)の形成中に、基板温度を約450に保持する請求項1又は2に記載の製造方法。

【請求項 4】

ドーパントガスとしてジボランが用いられる請求項1乃至3のいずれかに記載の製造方法。

30

【請求項 5】

上記基板が約-12Vの電位を有しており、プラズマ電位がほぼ0Vである請求項1乃至4のいずれかに記載の製造方法。

【請求項 6】

SiH₄及びGeH₄が、ガス導入口(26、30)から成長チャンバ(23)に導入される請求項1又は2に記載の製造方法。

【請求項 7】

成長速度が2nm/s～10nm/sである請求項1又は2に記載の製造方法。

【請求項 8】

成長速度は、基板温度が400～850の範囲内においては、当該基板温度にほぼ完全に依存しない請求項7に記載の製造方法。

40

【請求項 9】

成長速度は、全流量を一定にした場合には、成長チャンバ(23)内の反応ガス濃度にほぼ完全に依存しない請求項1乃至8のいずれかに記載の製造方法。

【請求項 10】

上記高密度の低エネルギー・プラズマの密度が、上記低密度の低エネルギー・プラズマの密度の10倍ほど大きい請求項1乃至9のいずれかに記載の製造方法。

【請求項 11】

ヘテロ構造半導体デバイスであって、

シリコン基板(11、51、61)と、

50

傾斜 Si_{1-x}Ge_x層(12、52、62)と、
Ge濃度一定のSi_{1-x}Ge_xバッファ層(13、53、63)と、
上記バッファ層(13、53、63)上に位置している活性領域(14、58、68)
と、

4.2Kにおいて70000~87000cm²/Vsのホール移動度を有するGeチャンネル(55、65)と、を含んでおり、

上記活性領域(14、58、68)が、少なくとも1つの変調ドープ層(56、64、67)を含む半導体デバイス。

【請求項12】

Si_{1-x}Ge_xバッファ層(13、53、63)及び/又は傾斜Si_{1-x}Ge_x層(12、52、62)は、RMS粗さが5nm以下である請求項11に記載の半導体デバイス。
10

【請求項13】

ガス導入口(26、30)を備えた成長チャンバ(23)を含む成長システム(80)であって、

成長システム(80)は、少なくとも2つの工程を含む低密度の低エネルギープラズマ強化化学蒸着法(LEPECVD)を行うために装備されており、これにより

第1の処理工程中のシステムパラメータが、基板温度を400~850、ガス導入口での全反応ガス流量を5sccm~200sccmにして、成長速度を2nm/s以上にするように調整され、
20

第2の処理工程中のシステムパラメータが、基板温度を400~500に保持するように調整され、水素(H₂)を成長チャンバ(23)に導入し、且つドーパントガスを成長チャンバ(23)にパルス状に導入して、少なくとも1つの層に変調ドーピングできる、成長システム。

【請求項14】

上記成長システムが、処理制御ユニット(81)、好ましくは適当なソフトウェアモジュール(82、83)を備えたコンピュータを含んでおり、上記システムパラメータを適宜制御できる請求項13に記載の成長システム。

【請求項15】

上記処理制御ユニット(81)は、第1の処理工程中に、基板温度を400~800、好ましくは450~750の範囲内で変化させることができる請求項13に記載の成長システム。
30

【請求項16】

上記処理制御ユニット(81)は、第2の処理工程中に、基板温度を450に保持することができる請求項13に記載の成長システム。

【請求項17】

上記処理制御ユニット(81)は、ドーパントガスであるジボランの導入を制御できる請求項13に記載の成長システム。

【請求項18】

上記処理制御ユニット(81)は、電位約12ボルトの低エネルギーのプラズマと、ほぼ0Vのプラズマ電位とを維持するために、上記パラメータを制御することができる請求項13に記載の成長システム。
40

【請求項19】

上記処理制御ユニット(81)は、SiH₄及びGeH₄の成長チャンバ(23)への導入を制御できる請求項13に記載の成長システム。

【発明の詳細な説明】

【発明の詳細な説明】

【0001】

本発明は、シリコンゲルマニウム構造体の形成に関し、特に、急激なホール移動度の増加を示すヘテロ構造体に関する。以下に示す方法を用いることにより、変調ドープ型電界
50

効果トランジスタ及び変調ドープ型量子井戸構造を形成することができる。

【0002】

発明の背景

新規の材料及び材料組成物は、例えばトランジスタのような半導体デバイスを改良するために、工業的に利用されている。これにより、集積回路（ICs）の生産スピード及びその性能を向上することができる。

【0003】

典型的な例として、シリコンゲルマニウム（SiGe）のシリコン上への解重合がある。周知のシリコンゲルマニウムヘテロ構造デバイス10の1例を図1に示す。デバイス10は、（001）方向のシリコン基板11を含んでいる。傾斜SiGe層12は、Si基板11の上面に形成されている。傾斜SiGe層12は、その格子定数を、シリコンの格子定数から、主にゲルマニウムの濃度によって決定されるシリコンゲルマニウム層12の格子定数へ、徐々に変化することが可能である。この例では、一定組成のバッファ層13が、傾斜SiGe層12の上面に形成されている。SiGe層12は、バッファ層13と共に、次の処理工程において形成される層の仮想基板（virtual substrate）として機能する。活性デバイス層14の積層体は、この仮想基板の上に形成される。Ge濃度は、デバイス10の左側のグラフ15により示されている。SiGe層12のゲルマニウム濃度（X）は、 $X = 0$ から $X = X_f$ まで徐々に増加している。SiGe層12は、欠陥濃度を低くするために、通常は厚さ数ミクロンである。

【0004】

SiGeデバイス10等の形成に広く用いられている幾つかの方法がある。そのうちの2つの例として、分子線エピタキシー（MBE）と超高真空化学蒸着法（UHV-CVD）とがある。これらの方法を用いて、Ge富化のSiGe構造体及びデバイスを製造するのは困難である。これらの既知の方法の他の欠点は、成長速度が低いことである。SiGe層12は、欠陥濃度を許容水準に補償するために、ある最小厚さにすることが要求されており、この層の形成には非常に短い時間しかかからない。しかしながら、成長速度が低いと、工業的な大量生産には非常に不利である。

【0005】

UHV-CVDには、2つの異なる方法がある。一方は、ホットウォールUHV-CVDと呼ばれており、他方は、コールドウォールUHV-CVDもしくは急速加熱CVD（RTCVD）と呼ばれている。

【0006】

ホットウォールCVDは、バッチ処理用としてよく研究されており、通常は450～550の低い基板温度で行われる。ホットウォールUHV-CVDを用いると、SiGeバッファ上に歪んだSiチャンネルが形成される。 $10^5 \text{ cm}^2 / \text{V s}$ 以上の非常に高い電子移動度が、Ismailら、"Extremely high electron mobilities in Si/SiGe modulation-doped heterostructures"、Appl. Phys. Lett., Vol.66, p.1077, 1995に報告されている。このホットウォールUHV-CVDは、以下のような欠点を有している。

B.S. Meyersonら、"Cooperative growth phenomena in Silicon/germanium low-temperature epitaxy"、Appl. Phys. Lett., Vol.53, p.2555, 1988に報告されているように、純粋なSiは、基板温度550付近で、ほぼnm/minオーダーの低い成長速度である。

M. Arafaら、"Device and fabrication issues of high performance Si/SiGe Fets"、Mat. Soc., Symp. Proc. Vol.533, p.83, 1998に記載されているように、大きな表面粗さは、緩和現象により、いわゆるクロスハッチングの発生によって生じる。クロスハッチングの影響は、濃度勾配（傾斜率）が増加すると、さらに顕著になる。バッファ層表面のGe濃度が $X_f = 0.3$ と比較的低かったとしても、丘部と溝部との高さの差は、通常は30nmである。表面粗さは、MODFET構造体の品質に有害な影響をもたらす。

P.M. Mooneyら、"SiGe technology: heteroepitaxy and high-speed microelectronics"、Annu. Rev. Mater. Sci., Vol.30, pp.335, 2000に記載されているように、ホットウ

10

20

30

40

50

オール法は、特に高いGe濃度での制御が困難である。このように、ホットウォール法は、高移動度のホール輸送材料には適していない。従って、ホットウォール技術を利用して、純粋なGeチャンネルを含む高性能のp-MODFET構造体を形成することは不可能である。

【0007】

コールドウォールCVDは、単一ウェハ処理用に研究されている。この方法は、通常は、700以上 の温度で行われる。傾斜SiGeバッファ層に関する最初の成果は、E.A. Fitzgeraldら、題名 "Totally relaxed Ge_xSi_{1-x} layers with low threading dislocation densities grown on Si substrates"、Appl. Phys. Lett., Vol.59, p.811, 1991 の論文の中に見いだすことができる。基板温度が800~900の場合、その表面粗さは、ホットウォール法により製造された層の表面粗さよりも大きくなる。Si_{0.7}Ge_{0.3}バッファ層のRMS粗さは、30nmであり、バッファ層のGe濃度が増加すると、表面粗さがより強くなる傾向があると報告されている。詳細については、S.B. Samavedanら、"Novel dislocation structure and surface morphology effects in relaxed Ge/Si-Ge(graded)/Si structure"、J. Appl. Phys., Vol.81, p.3108, 1997に記載されている。

【0008】

コールドウォールUHV-CVDを用いて、層の表面におけるGe濃度が100%になるように濃度を傾斜させたSiGeバッファ層を形成すると、その層表面は、非常に粗くなる(RMS粗さ30nm以上)。ヘテロ構造デバイスは、化学-機械的研磨(CMP)しなければ、そのような粗い表面上には形成できない。詳細については、E.A. Fitzgeraldら、"Controlling threading dislocation densities in Ge on Si using graded SiGe layers and chemical-mechanical polishing"、Appl. Phys. Lett., Vol.72, p.1718, 1998を参照されたい。

【0009】

現在までのところ、MODFET構造体及び高移動度のホール輸送デバイスの製造について、全ての層の積層にコールドウォールUHV-CVDを用いて製造したとの報告はない。

【0010】

別の周知の処理技術には、低圧化学蒸着法(LPCVD)がある。A.C. Churchillら、"High-mobility two-dimensional electron gases in Si/SiGe heterostructures on relaxed SiGe layers grown at high temperature"、Semicond. Sci. Technol., Vol.12, p.943, 1998に報告されているように、LPCVD法において、比較的高い処理温度にすると、表面粗さが顕著になる。これは、傾斜率が10%/μm以下の場合である。バッファ表面のGe濃度がX_f=0.24で、基板温度が800の場合、RMS粗さは、6nm以下になることが報告された。詳細については、D.J. Wallisら、"Mosaic crystal tilts and their relationship to dislocation structure, surface roughness and growth conditions in relaxed SiGe layers"、Mat. Res. Soc. Symp. Proc., 533, p.77, 1998を参照されたい。

【0011】

層の表面におけるGe濃度が100%(即ちX_f=1)の傾斜バッファ層では、RMS粗さが160nmと非常に大きい。

【0012】

コールドウォールUHV-CVDと類似のLPCVDは、高いホール移動度が要求される構造体の製造には適していない。

【0013】

上記のように、MBEは、半導体構造体の製造に広く用いられている他の方法である。仮想基板(図1の層12及び13)は、MBE法により、表面に重大な問題を生じることなく製造できる。J.-H. Liら、"Strain relaxation and surface morphology of compositionally graded Si/Si_{1-x}Ge_x buffers"、J.-Vac. Sci. Technol., Vol.B 16, p.1610, 1998で取り扱われているように、層の化学組成は、基板の温度から独立して大きくできる

10

20

30

40

50

ので、仮想基板層の緩和及び表面粗さは、温度プロファイル及び傾斜率を適切に選択することにより、最適化することができる。

【0014】

T. Hackbartら、"Alternatives to thick MBE-grown relaxed SiGe buffers", Thin Solid Films, Vol.369, p.148, 2000 に記載されているように、MBEの最も深刻な欠点は、蒸発るつぼの容量が限られていることである。このことは、特に、SiGeバッファ層の厚い層を成長させる時に不利になる。このように、MBEは、SiGeデバイスの工業的製造には、あまり適していない。

【0015】

仮想基板上に、Ge富化の圧縮歪みチャンネルを備えているデバイスでは、3次元的に成長する傾向がある。特に、純粋なGe層は、300程度の低い基板温度で成長した層を除いては、著しい表面粗さを示す。しかしながら、そのような低い温度では、受容できる電気的特性のデバイスを得ることができない。

【0016】

本発明は、MODFET構造体又はMODQW構造体のような改良したSiGe構造体を製造する方法を提供することを目的とする。

【0017】

本発明は、向上したホール移動度を有するSiGeデバイスを製造する方法を提供することを目的とする。

【0018】

本発明は、向上したSiGeヘテロ構造体デバイスを提供することを目的とする。

【0019】

本発明は、SiGeデバイスを形成するための方法を実施する成長システムを提供することを目的とする。

【0020】

本発明の概要

本発明は、低エネルギー・プラズマ強化化学蒸着法(LEPECVD)に基づいている。

【0021】

本発明は、半導体構造体の製造方法を提案する。本発明は、傾斜 $\text{Si}_{1-x}\text{Ge}_x$ 層と非傾斜 $\text{Si}_{1-x}\text{Ge}_x$ 層とを備えた仮想基板を、高密度の低エネルギー・プラズマ強化化学蒸着法(LEPECVD)を用いてSi基板上に形成する工程を含んでいる。この高密度LEPECVDは、成長速度が2nm/s以上、基板温度が400~850、ガス導入口での全反応ガス流量が5sccm~200sccmの条件下で行われる。

さらに、この方法は、仮想基板上に、Geチャンネルと少なくとも1つの変調ドープ層とを含む活性領域を、低密度の低エネルギー・プラズマ強化化学蒸着法(LEPECVD)を用いて形成する工程を含んでいる。この低密度LEPECVDは、成長チャンバに水素(H_2)を導入し、基板温度は、400~500に保持され、そして、変調ドープ層を製造するために成長チャンバにドーパントガスをパルス状に導入して行われる。

【0022】

様々な有利な方法は、従属する請求項2~10に記載されている。

【0023】

本発明は、半導体デバイスを提案する。このデバイスは、Si基板と、傾斜 $\text{Si}_{1-x}\text{Ge}_x$ 層と、一定のGe濃度を有する $\text{Si}_{1-x}\text{Ge}_x$ バッファ層と、 $\text{Si}_{1-x}\text{Ge}_x$ 層の上側に位置している活性領域と、を含んでいる。この活性領域は、少なくとも1つの変調ドープ層と、4.2Kでのホール移動度が $70000\sim87000\text{cm}^2/\text{Vs}$ のGeチャンネルと、を有している。

【0024】

有利なデバイスは、従属する請求項12に記載されている。

【0025】

本発明は、成長システムを提案する。このシステムは、ガス導入口を有する成長チャン

10

20

30

40

50

バを含んでいる。このシステムは、少なくとも2つの工程を含む低エネルギー・プラズマ強化化学蒸着法（L E P E C V D）を実施するために装備されている。

第1の処理工程のシステムパラメータは、基板温度が400～850、ガス導入口での全反応ガス流量が5 sccm～200 sccmであり、成長速度が2 nm/s以上になるように調整される。

第2の処理工程のシステムパラメータは、基板温度を400～500に保持するよう調節されており、水素（H₂）を成長チャンバに導入し、且つドーパントガスを成長チャンバ中にパルス状に導入して、少なくとも1つの層に変調ドーピングできるようにされている。

【0026】

有利な成長システムは、請求項15～19に記載されている。

【0027】

ここに記載された本発明の利点は、既知の方法の欠点や障害を、避ける又は除去できることである。デバイスは、未知のホール移動度を実現することができる。本発明の方法は、成長速度が非常に増大しているので、半導体デバイスの工業的製造に利用できる。さらなる利点は、詳細な説明で明らかにされる。

【0028】

本発明をより完全に記述し、本発明のさらなる目的と利点とを明らかにするために、添付の図面と共に以下に説明する。

【0029】

詳細な説明

本発明は、異なった格子パラメータの材料の一方を他方の上側に成長させたときの、歪み層エキタビシーの本質的な利点をうまく利用している。例えば、ゲルマニウム（Ge）を小さい格子パラメータの基板上に析出したとき、Ge原子は、下側の原子と配列して、Geに圧縮歪みが加えられる。例えば、歪んだGeの内部では、ホールは、抵抗が低くなつて、より速く移動できるようになる。この効果は、個々のデバイスの寸法を小さくすることなく、速いデバイスを実現するのに利用できる。

【0030】

シリコンは、ゲルマニウムの結晶格子に比べると、原子の間隔がわずかに小さい。よつて、SiGe層は、シリコンの格子定数よりも大きい格子定数を有する。SiGeの格子定数は、Ge濃度の増加に伴つて増加する。

【0031】

本発明は、低エネルギー・プラズマ強化化学蒸着法（L E P E C V D）に基づいている。通常のL E P E C V Dシステム20を図2に示す。L E P E C V Dは、低電圧直流アーク放電に基づいている。直流アーク放電は、プラズマチャンバ22の中のホットフィラメント21と、成長チャンバ23の壁部及び/又は予備アノード24との間に発生する。SiGe層を形成するための基板25は、高強度で低エネルギーのプラズマに直接さらされる。基板の電位は、高エネルギーのイオンによる損傷を排除するために、例えば-12V程度にされる。適切なバイアスが、バイアス制御ユニット31により印加されている。L E P E C V Dは、プラズマ電位がほぼ0Vであるという特徴がある。必要な反応ガス（例えば、H₂、SiH₄、GeH₄、PH₃）は、出入口26及びガス導入口30を通して成長チャンバ内に直接に供給される。アルゴン（Ar）放電ガスは、出入口27を通ってプラズマチャンバ22に供給される。プラズマチャンバ22は、成長チャンバ23に取り付けられており、小さいオリフィス28によって分離されている。高強度のプラズマによつて、前駆体ガス（例えばSiH₄、GeH₄等）を非常に効率よく分解できるので、Si及びSiGe薄膜を、非常に高い成長速度で形成できる。この成長速度は、プラズマを磁場によって閉じ込めることにより、さらに高めることができる。磁場は、成長チャンバ23の回りに巻き付けたコイルにより発生させる。フィラメント21を通るAC電流を駆動するために、適切な電圧を使用する。この電流（約120アンペア）により、フィラメント21を所望の温度に加熱する。さらに、フィラメント21とアースとの間に直流電源3

10

20

30

40

50

2（約25V）を印可して、アーク放電を生成する。システム20は、さらに、ターボ分子ポンプ29を含んでいる。

【0032】

LEPECVDシステムのさらなる詳細については、例えば、PCT出願WO98/58099で取り扱われている。このPCT出願の詳細な説明を参照して、本明細書に取り込む。

【0033】

LEPECVDシステムの利点は、非常に高いプラズマ密度を達成できることである。本発明では、仮想基板の成長に高密度プラズマを用いている。高密度プラズマ中では、反応ガスの熱分解が非常に効率的であるので、成長速度を増大することができる。基板温度が400～850で、10nm/sまでの非常に高い成長速度が達成できる。従来のCVDシステムとは異なり、LEPECVDシステムでの成長速度が、この温度範囲では、基板温度に殆ど完全に独立である。

【0034】

本発明により、LEPECVDシステムにおけるSiGeの成長速度は、全流量が一定の場合、成長チャンバ内の反応ガス濃度に殆ど完全に独立であることが明らかにされた。従来のCVDシステムでは、成長速度とガス濃度とは、非常に強く依存している。

【0035】

本発明では、変調ドーピングと呼ばれる方法が用いられており、これにより、図2に関する記述と同様に、LEPECVDシステム内でドーピングを行っている。変調ドーピングの基本的な原理は、他の成長方法と殆ど同じである。ドープ層は、ホール運搬チャンネルと直接に接触しておらず、例えば、XieらがAppl. Phys. Lett., Vol.63, p.2263, 1993に発表した論文に記載されている。図3に、通常のドーピング方法の例が示されている。ここでは、Ge濃度は、秒単位の時間の関数として示されている。図3において、Ge流は、Geチャンネルの形成前、形成中、形成後というように示されている。このドーピングは、10回のジボラン(di-boran)のパルス41により実現されており、各パルスは、約70秒間持続する。ジボランパルス41の間、Ge流は、0まで減少する。本発明に係る、対応するヘテロ構造体デバイス50は、図5に示されている。このデバイスは、Si基板51を含んでおり、この基板上には、仮想的なSiGe基板が形成されている。仮想基板は、傾斜SiGe層52と、Ge濃度一定のバッファ層53と、を含んでいる。図5の仮想基板の厚さの比率は、正確ではない。活性領域58は、仮想基板の上に形成されている。活性領域58は、クラッド層54を含んでおり、このクラッド層54のGe濃度は、バッファ層53のGe濃度より低くされている。クラッド層54の上面には、Geチャンネル55が形成されている。このチャンネル55は、変調ドープクラッド層56及びSiキャップ層57により覆われている。低いGe濃度の2つのクラッド層54、56は、活性領域58の歪みの補償を提供している。

【0036】

図4は、本発明の方法を用いた純粋なGeチャンネル中で達成されたホール移動度($c\text{m}^2/\text{Vs}$)を、温度(K)の関数として示している。本発明を用いることにより、4.2Kで、 $70000\sim87000\text{cm}^2/\text{Vs}$ の移動度が得られる。特に、 $87000\text{cm}^2/\text{Vs}$ の移動度は、特筆すべきである。この移動度は、文献(Xieらにより公開された上述の論文を参照)に報告されている従来の最も優れた移動度 $55000\text{cm}^2/\text{Vs}$ (4.2K)よりも、非常に大きい。どちらの場合においても、キャリア密度は殆ど同じであり、LEPECVD法のサンプルは、約 $6.18\times10^{11}\text{cm}^{-2}$ であり、XieらによるMBE法のサンプルは、約 $5.5\times10^{11}\text{cm}^{-2}$ である。後者の場合、表面が粗くなるので、Geチャンネルの下側の層に変調ドーピングを行わなければならなかつた。この構成では、変調ドーピング工程がチャンネルの形成前に行われているので、チャンネル内にドーパントが拡散又は離脱しやすくなり、不利である。さらに、この構成は、ドープ層とゲートとが大きく離れるので、トランジスタを基本構造とする用途にはあまり適していない。

10

20

30

40

50

【0037】

本発明の方法を行うための L E P E C V D システムを用いることにより、非常に高いホール移動度を有する合成デバイスを、非常に高い成長速度で成長させることができる。SiGe 層 12(図 1 参照)が、10% / μm で、厚さ 8 μm、X_f = 70% に傾斜されており、且つ、バッファ層 13 の厚さが約 1 μm の場合には、成長速度 5 ~ 10 nm / s が達成できる。MEB システムによる通常の成長速度は、0.1 ~ 0.3 nm / s である。UHV-CVD システムによる成長速度は、同程度の基板温度ではケタ違いに小さい。

【0038】

本発明では、400 ~ 850、好ましくは 450 ~ 750 の低い基板温度が用いられる。さらに、仮想基板の形成中のプラズマ密度は、活性領域のエピタキシャル成長中に比べて、約 10 倍ほど高く保持される。

【0039】

重要なことを言い残したが、活性領域の成長中、H₂ は成長チャンバ 23 に導入されており、そこで水素は、界面活性剤として機能して、表面で Si 及び Ge の原子が拡散するのを低減する。これにより、3 次元成長が低減する。そのため、よく規定された(はっきりとした)境界を有する活性領域を形成することができる。このように、よく規定された境界は、通常の MBE 法を用いては実現することができない。

【0040】

MOSFET の用途では、特に、室温での移動度が重要である。本発明の方法を用いて製造したデバイスを分析したところ、変調ドープした Ge チャンネルの最大のホール移動度は、293Kにおいて、約 3000 cm² / Vs であることが明らかになった。この値を、MBE 法を用いて達成した 1700 cm² / Vs のホール移動度と比較しよう。このホール移動度は、MBE 法を用いて実現できる最良の移動度である。詳細については、Madvaviら、J. Appl. Phys., Vol.89, p.2497, 2001 で取り扱われている。

【0041】

図 1 のデバイス 10 は、図 5 に示すように、歪んだ Ge チャンネルの両側にクラッド層を加えて改良することができる。この場合、2つのクラッド層は、Ge チャンネルと共に、活性デバイス層 14 を形成する。例えば、バッファ層 13 の Ge 濃度が X = 70% の場合、クラッド層の Ge 濃度は、X = 60% にしなければならない。クラッド層の厚みは、それぞれ約 150 nm にすることができる。クラッド層の Ge 濃度がバッファ層 13 の Ge 濃度よりも低いので、クラッド層は、引張り歪みを受ける。そして、Ge チャンネルは、圧縮歪みを受ける。

【0042】

本発明の別の実施形態では、仮想基板の形成中に基板温度を故意に変化させている。これは、温度範囲が 400 ~ 850 では、L E P E C V D システムの成長速度が、基板温度にほぼ完全に独立しているので、可能になる。

【0043】

さらに別の実施形態を図 6 及び図 7 に示す。デバイス 60 は、図 5 に図示したものと類似である。デバイス 60 は、Si 基板 61 を含んでおり、この Si 基板 61 の上に、仮想 SiGe 基板が形成されている。仮想基板は、傾斜 SiGe 層 62 と、濃度 X = 0.6 の一定の Ge 濃度のバッファ層 63 とを含んでいる。各層の厚さの比率は、正確ではない。活性領域 68 は、仮想基板の上に形成されている。活性領域 68 は、クラッド層 64 を含んでおり、このクラッド層 64 の Ge 濃度は、バッファ層 63 の Ge 濃度よりも低く、X = 0.55 である。クラッド層 64 は、変調ドーピングを含んでいる。Ge チャンネル 65 は、変調ドープクラッド層 64 の上に形成されている。この Ge チャンネル 65 は、別の変調ドープクラッド層 66 及び Si キャップ層 67 に覆われている。低い Ge 濃度の 2 つのクラッド層 54、56 は、活性領域 58 の歪みの補償を提供している。Ge 濃度のプロファイルを図 7 に示す。変調ドープ層 64 及び 66 は、それぞれ 1 つのドーピングスパイクを含んでいる。

【0044】

10

20

30

40

50

本発明の半導体構造体の形成方法は、以下の工程を含んでいる。

以下の条件の、高密度の低エネルギー plasma 強化化学蒸着法 (L E P E C V D) を用いて、Si 基板上に仮想基板を形成する工程。仮想基板は、傾斜 Si_{1-x}Ge_x 層で 0 ~ X_f の層と、Ge 濃度が一定の Si_{1-x}Ge_x 層と、を含んでいる。この工程は、

i. 成長速度が 2 nm / s 以上

ii. 基板温度が 400 ~ 850

iii. 成長チャンバのガス導入口における全反応ガス流が 5 sccm ~ 200 sccm の条件で行われる。

以下の条件の、低密度の低エネルギー plasma 強化化学蒸着法 (L E P E C V D) を用いて、仮想基板上に活性領域を形成する工程。活性領域は、Ge チャンネルと、少なくとも 1 つの変調ドープ層を含んでいる。この工程は、

i. 成長チャンバ内に水素 (H₂) を導入して、界面活性剤として機能させる

ii. 基板温度を 400 ~ 500 に保持する

iii. 成長チャンバ内にドーパントガスをパルス状に導入し、変調ドープ層を形成する条件を含んでいる。

【0045】

本発明の方法は、さまざまに変更することができる。

【0046】

本発明によれば、特別な成長システム 80 は、本発明の方法を自動処理に使用して実現できる。一例を図 8 に示す。この成長システム 80 は、ガス導入口及び他の部品を備えた成長チャンバ 23 を含んでおり、図 2 に示したものに類似している。この成長システム 80 は、少なくとも 2 つの工程を含む低エネルギー plasma 強化化学蒸着法 (L E P E C V D) を行うために装備されている。第 1 の処理工程中のシステムパラメータは、基板温度が 400 ~ 850 、ガス導入口での全反応ガス流量が 5 sccm ~ 200 sccm であり、成長速度が 2 nm / s 以上になるように調整される。第 2 の処理工程中のシステムパラメータは、基板温度を 400 ~ 500 に保持するように調整される。さらに、水素 (H₂) を成長チャンバに導入し、且つドーパントガスを成長チャンバにパルス状に導入して、少なくとも 1 つの層に変調ドーピングできるようにされている。

【0047】

図 8 に概略的に示すように、本発明に係る成長システム 80 は、処理制御ユニット 81 、好ましくは適当なソフトウェアモジュール 82 及び 83 を備えたコンピュータを含んでおり、システムパラメータを制御することができる。

【0048】

本発明の方法によれば、RMF 表面粗さ 5 nm 以下の SiGe 層を形成することができる。

【0049】

本発明の概念は、トランジスタ、センサ、分光法、量子コンピュータ、及びその他のデバイス / システムに用いるのに非常に適している。

【図面の簡単な説明】

【0050】

【図 1】 SiGe ヘテロ構造体の半導体デバイスの概略断面図である。

【図 2】 本発明に係る低エネルギー plasma 強化化学蒸着 (L E P E C V D) システムの概略断面図である。

【図 3】 本発明に係る Ge 濃度を時間の関数として図示した概略ダイアグラムである。

【図 4】 本発明に係るホール移動度を温度を関数として、異なるサンプルごとに図示した概略ダイアグラムである。

【図 5】 本発明に係る SiGe ヘテロ構造半導体デバイスの概略断面図である。

【図 6】 本発明に係る別の SiGe ヘテロ構造体の半導体デバイスの概略断面図である。

【図 7】 本発明に係る Ge 濃度を時間の関数として図示した概略ダイアグラムである。

10

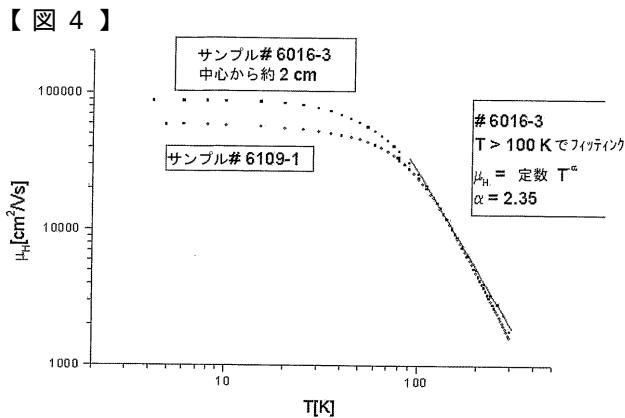
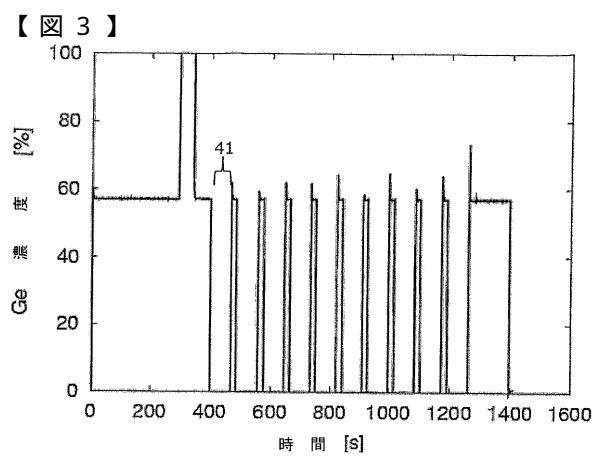
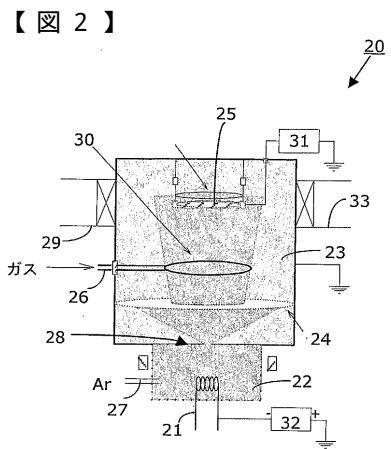
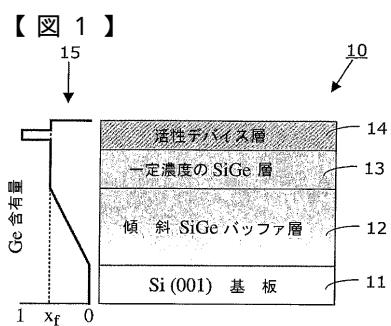
20

30

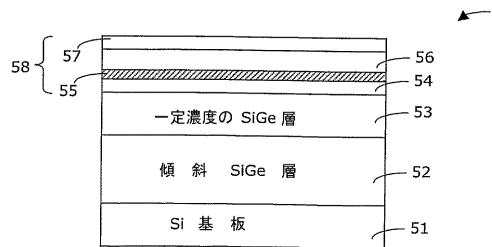
40

50

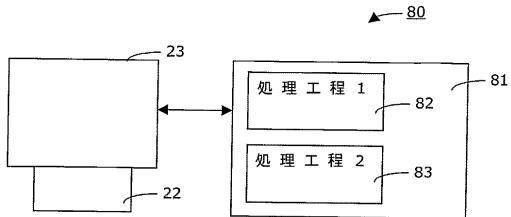
【図8】本発明に係る成長システムの概略プロックダイヤグラムである。



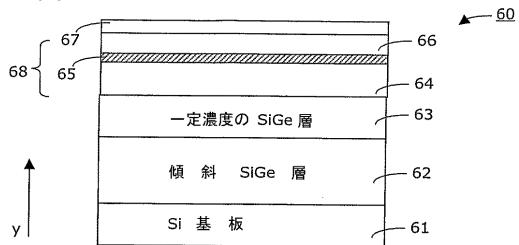
【図5】



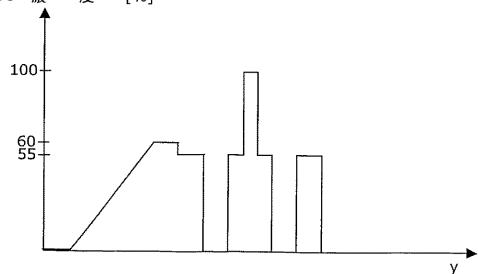
【図8】



【図6】



【図7】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

| | | |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------|
| | | International Application No PCT/EP 02/09922 |
| A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L21/205 H01L29/778 | | |
| According to International Patent Classification (IPC) or to both national classification and IPC | | |
| B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L | | |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched | | |
| Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ, INSPEC | | |
| C. DOCUMENTS CONSIDERED TO BE RELEVANT | | |
| Category * | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| Y | C. ROSENBLAD, H. VON KÄNEL, M. KUMMER, A. DOMMANN, E. MÜLLER: "A plasma process for ultrafast deposition of SiGe graded buffer layers" APPLIED PHYSICS LETTERS, vol. 76, no. 4, 24 January 2000 (2000-01-24), pages 427-429, XP002200819 the whole document | 1-12 |
| X | EP 0 380 077 A (HITACHI LTD) 1 August 1990 (1990-08-01) abstract | 13-19 |
| Y | US 5 442 205 A (BRASEN DANIEL ET AL) 15 August 1995 (1995-08-15) column 4, line 5 - line 8 column 6, line 25 - line 56 | 1-12 |
| X | | 11,12 |
| | -/- | |
| <input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. | | <input checked="" type="checkbox"/> Patent family members are listed in annex. |
| * Special categories of cited documents : | | |
| *A* document defining the general state of the art which is not considered to be of particular relevance | | |
| *E* earlier document but published on or after the International filing date | | |
| *L* document which may throw doubt on priority, claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | | |
| *O* document referring to an oral disclosure, use, exhibition or other means | | |
| *P* document published prior to the international filing date but later than the priority date claimed | | |
| *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention | | |
| *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone | | |
| *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. | | |
| *Z* document member of the same patent family | | |
| Date of the actual completion of the international search | Date of mailing of the international search report | |
| 14 May 2003 | 21/05/2003 | |
| Name and mailing address of the ISA European Patent Office, P.B. 5816 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl. Fax: (+31-70) 340-3016 | Authorized officer Le Meur, M-A | |

INTERNATIONAL SEARCH REPORTInternational Application No
PCT/EP 02/09922

| C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT | | |
|------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Category * | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| X | WO 00 54338 A (IBM ;CHU JACK O (US)) 14 September 2000 (2000-09-14) page 5, line 1 -page 11, line 10; figure 1 ----- | 11,12 |
| A | HACKBARTH T ET AL: "Alternatives to thick MBE-grown relaxed SiGe buffers" THIN SOLID FILMS, ELSEVIER-SEQUOIA S.A. LAUSANNE, CH, vol. 369, no. 1-2, July 2000 (2000-07), pages 148-151, XP004200344 ISSN: 0040-6090 figure 1 ----- | 11,12 |

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International Application No
PCT/EP 02/09922

| Patent document cited in search report | | Publication date | | Patent family member(s) | Publication date |
|----------------------------------------|---|------------------|----------------------------|-------------------------------------------------------------------|--------------------------------------------------------------------|
| EP 0380077 | A | 01-08-1990 | JP JP EP US | 2196436 A 3016230 A 0380077 A2 5241197 A | 03-08-1990 24-01-1991 01-08-1990 31-08-1993 |
| US 5442205 | A | 15-08-1995 | US EP JP JP | 5221413 A 0514018 A2 2792785 B2 6252046 A | 22-06-1993 19-11-1992 03-09-1998 09-09-1994 |
| WO 0054338 | A | 14-09-2000 | CN EP JP TW WO | 1343374 T 1169737 A1 2002539613 T 477025 B 0054338 A1 | 03-04-2002 09-01-2002 19-11-2002 21-02-2002 14-09-2000 |

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW, ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES, FI,GB,GD,GE,GH,GM,HR,HU, ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,N O,NZ,OM,PH,PL,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

F ターム(参考) 4K030 AA05 AA06 AA07 AA17 BA09 BA29 BA35 BB12 CA04 CA12
EA06 FA01 JA05 JA06 JA10 JA12 JA17 KA41 LA15
5F045 AA08 AB01 AC01 AC16 AC19 AD08 AD09 AD10 AD11 AD12
AF03 DA53 DA54 DA58 DA69 EE12 EE15 EE19 EH16
5F102 FA00 GB01 GC01 GD01 GJ03 GK02 GL02 GR01 HC01
HC11