

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0040614
G11C 11/413 (2006.01) (43) 공개일자 2006년05월10일

(21) 출원번호 10-2005-7025476
(22) 출원일자 2005년12월30일
 번역문 제출일자 2005년12월30일
(86) 국제출원번호 PCT/US2004/021162 (87) 국제공개번호 WO 2005/006340
 국제출원일자 2004년06월30일 국제공개일자 2005년01월20일

(30) 우선권주장 60/484,565 2003년07월01일 미국(US)

(71) 출원인 제트모스 테크놀로지 인코포레이티드
 미국 94085 캘리포니아 서니베일 스위트 318 오크미드 파크웨이 1290

(72) 발명자 손 정덕
 미국 94566 캘리포니아주 플레즌튼 파세오 델 케이즌 1841

(74) 대리인 유미특허법인

심사청구 : 없음

(54) 스테틱 랜덤 액세스 메모리 셀 구조 및 회로

요약

누설 전류를 감소시키고 및/또는 디바이스의 속도를 증가시키기 위한 SRAM 회로 구조 및 방법이 개시된다. 다양한 형태의 SRAM 디바이스는 단일 포트 및 듀얼 포트 RAM 디바이스와 같은 기술을 이용하여 제조될 수 있다. 일례로서, SRAM 구조는 기입 및 판독 라인을 이용하고, 회로를 상이한 임계 레벨을 갖는 것이 이로울 수 있는 부분으로 나누고, 제1 단자에의 접속을 위한 판독 경로 트랜지스터와 소스 트랜지스터에 접속된 가상 노드를 나눌 수 있다. 이 구조는 NMOS와 PMOS의 조합으로 또는 NMOS 만으로 트랜지스터를 형성하는데 특히 적합하다. 메모리 어레이는 본 발명에 따라 기준 판독 경로 및 감지 블록이 공유되거나 또는 전용으로 사이용되는 다수의 상이한 분산 구성 또는 통합 구성으로 이루어질 수 있다.

대표도

도 1

색인어

스테틱 랜덤 액세스 메모리, 센스 앰프, 워드 라인, 비트 라인, 누설 전류

명세서

기술분야

본 발명은 전반적으로 반도체 메모리에 관한 것으로, 구체적으로는 스테틱 랜덤 액세스 메모리(SRAM) 회로에 관한 것이다.

배경기술

스테틱 랜덤 액세스 메모리(SRAM)는 전원이 공급되는 한 데이터를 유지하는 형태의 전자 데이터 저장장치이다. 스테틱 RAM은 모든 방식의 전자 디바이스 내에서 폭넓게 이용되며, 특히 고성능 디바이스 어플리케이션에서 뿐만 아니라 휴대용 또는 파지형 어플리케이션에 사용하기에 적합하다. 휴대 전화 등의 휴대용 또는 파지형 디바이스 어플리케이션에서, SRAM은 지원 회로없이도 안정한 데이터 유지를 제공하여, 안정한 데이터 유지를 제공하면서도 낮은 복잡도를 갖는다. 마이크로프로세서 캐싱과 같은 고성능 어플리케이션에서, SRAM은 동적 랜덤 액세스 메모리(DRAM)에서 요구된 셀 데이터 리프레시 동작을 요구하지 않으면서도 고속 액세스 시간을 제공할 수 있다.

도 1은 6개의 트랜지스터로 이루어지는 대표적인 SRAM 셀(6T SRAM) 및 관련 주변 회로를 도시하고 있다. 예컨대, 노드 C_i 가 V_{dd} (데이터 H)에서 프리차지될 때, mp2_i는 턴오프되고, mn2_j는 턴온된다. 노드 CB_i 는 V_{ss} (데이터 L)로 설정된다. 따라서, mp1_i는 턴온되고, mn1_i는 턴오프된다. 그러므로, 전원이 공급되는 한, C 및 CB에서의 데이터는 각각 하이 상태와 로우 상태로 유지된다.

도 2는 도 1에 도시된 종래의 6T SRAM 셀의 관독 타이밍도를 도시하고 있다. 프리차지 사이클에서, PPREi는 논리 로우에 있고, mpp1_i 및 mpp2_i는 턴온된다. 따라서, 비트 라인쌍(BL_i 및 BLB_i)은 논리 하이인 V_{dd} 로 프리차지된다. 워드 라인(WL_i)이 인에이블될 때, 비트 라인은 저장된 데이터에 따라서는 디스차지된다. 예컨대, 노드 C_i 가 하이 상태이고, CB_i 가 로우 상태이다. 워드 라인이 인에이블됨에 따라, mn3_i 및 mn4_i가 턴온된다. CB_j 가 로우 상태이고 mn2_i가 턴온될 때, BLBi의 전압은 mn4_i 및 mn2_i를 통해 서서히 디스차지된다. 비트 라인쌍 간에 특정한 양의 전압차가 발생할 때, 이 신호차를 증폭하기 위해 감지 인에이블 신호(PASEi)가 인에이블된다. 비트 라인쌍 상의 전압차는 센스 앰프(i)에 의해 증폭되고, 풀 CMOS 출력쌍(Di 및 Dbi)이 센스 앰프의 출력단에서 발생된다.

대표적인 6T SRAM 셀이 그 자체로 비트 라인 상에 신호차를 생성하기 때문에, SRAM의 관독 속도는, 비트 라인과 셀 커패시턴스 간의 전하 공유 시간이 요구되고 관독 속도가 저속인 DRAM의 관독 속도보다 더 고속이다. 이 6T SRAM 셀은 매우 안정한 구조를 가지며, 대표적인 SRAM 설계에서 폭넓게 사용된다. 그러나, 관독 속도를 증가시키기 위해서는 전력 소비가 증가되고, 전력 소비를 낮추면 관독 속도가 저하된다. 동작 전압이 낮아질 때에 성능을 유지하기 위해 최소 배선폭(즉, 디자인 룰)이 축소되어 트랜지스터의 임계 전압이 감소되기 때문에, 누설 전류(즉, 스탠바이 전류)가 중요한 요소가 된다. 이 예에서, C_i 가 하이 레벨에 있고 CB_i 가 로우 레벨에 있기 때문에, mp2_i 및 mn1_i가 턴오프된다. 이들 2개의 트랜지스터가 오프 상태에 있더라도, 셀 누설 전류로 지칭되는 디바이스를 통해 흐르는 전류가 존재한다. 0.18 μ m 기술에서, 누설 전류는 fA($10e-15$) 정도이어서 대부분의 어플리케이션에 대해서는 실질적으로 무시될 수 있다.

그러나, 0.13 μ m와 같은 더욱 진보된 기술과 관련하여, 이 전류는 nA($10e-9$)의 10배 정도이기 때문에, 이 레벨의 전류는 더 이상 무시될 수 없다. 예컨대, 16Mb SRAM에 대해, 셀 누설 전류가 약 10nA일 때, 총전류는 $16*1024*1024*10*1e-9 = 16mA$ 가 된다. 이 레벨의 누설 전류는 디바이스에 대한 총전력소비의 대부분에 상당한다. 이 누설 전류는 온도에 의존하여 온도가 증가하면 이에 응답하여 증가된다. 0.11 μ m 기술과 같은 더욱 진보된 기술에 대해, 셀 누설 전류는 현저하게 증가한다. 따라서, 셀 누설 전류의 결과로서 발생하는 전력소비 성분은 상당한 양이 된다. SRAM에 의존하는 시스템이 점차적으로 복잡화되고 있기 때문에, SRAM의 밀도는 지속적으로 증가하고 있고, 종래의 SRAM 아키텍처에 기초한 셀 누설 전류에 의해 소비된 총전력은 지속적으로 증가할 것이다.

진술한 바와 같이, 전력소비와 셀 관독 속도 간에는 상충 관계가 존재한다. 그 이유는 비트 라인 노드(예컨대, CB_j)가 풀다운 트랜지스터(mn1_i 또는 mn2_i)를 통해 얼마나 빨리 디스차지되는지에 의해 셀 관독 속도가 결정되기 때문이다. 따라서, 관독 속도를 향상시키기 위해서는 셀 액세스 트랜지스터(mn3_i 또는 mn4_i) 및 셀 풀다운 트랜지스터(mn1_i 또는 mn2_i)의 크기가 증가할 필요가 있다. 그러나, 이들 셀 액세스 트랜지스터 및 풀다운 트랜지스터의 크기가 증가할 때, 이들 트랜지스터를 통해 흐르는 누설 전류 또한 증가한다. 이러한 예로, 이들 트랜지스터의 크기가 증가할 때, 트랜지스터 mn4_i와 mn2_i 쌍 및 mn1_i를 통해 흐르는 누설 전류가 증가한다. 따라서, 셀 누설 전류와 셀 관독 시간 간의 상충은 SRAM 설계를 복잡하게 하고, 동작 전압을 하향시키는 것을 곤란하게 한다.

일반적으로, SRAM이 저전력 어플리케이션과 사용되는지 또는 고성능 어플리케이션과 사용되는지의 여부에 따라 두 가지 부류의 SRAM 셀이 구현된다. 저전력 파지형 디바이스와 같은 저전력 어플리케이션에 관하여서는, 스탠바이 전류(즉, 칩

이 스탠바이 모드에 있는 동안의 전류 소비)는 이들 저전력 휴대용 어플리케이션이 간혹 배터리 동작에 의존하여 스탠바이 전류가 배터리 수명의 주요 결정 요소가 될 때에는 가장 중요한 고려사항이 된다. 이것은 셀 데이터 판독 속도가 가장 중요한 캐시 메모리 등의 고성능 어플리케이션과는 반대이다. 그러나, 셀 누설 전류의 급격한 증가로 인해, 종래의 6T SRAM 셀 구조는 설계 요건을 충족시키기 위한 기술적 장벽에 직면해 있다. 요구된 속도를 충족하기 위해 디바이스 크기를 증가시키고 트랜지스터의 임계 전압을 감소시키면, 셀 누설 전류로 인한 전원 소비가 주요 관심사가 된다. 누설 전류를 억제하기 위해 디바이스 크기를 축소하고 트랜지스터의 임계 전압을 증가시키면, 셀 액세스 트랜지스터 및 풀-다운 트랜지스터의 전류 구동 성능의 감소로 인해 셀 판독 속도가 저하된다.

따라서, 판독 속도를 감소시키지 않고서도 누설 전류를 감소시킬 수 있는 진보된 SRAM 회로 및 방법이 요망된다. 본 발명은 이러한 필요성 등을 충족시키면서 종래의 SRAM 아키텍처에서 나타나는 문제점을 해소한다.

발명의 상세한 설명

감소된 누설 전류와 높은 판독 속도를 제공하는 스테틱 랜덤 액세스 메모리(SRAM) 회로가 개시된다. 개시된 신규의 아키텍처는 디바이스 내의 상이한 기능 블록에 대하여 상이한 전압 임계치를 조합하여 사용될 수 있는 신규의 판독 감지 구조로 구성된다. 본 발명의 이러한 특징들은 메모리의 속도를 증가시키기 위해 및/또는 누설 전류로부터 기인하는 바와 같은 전력 소비를 감소시키기 위해 별도로 사용되거나 조합되어 사용될 수 있다.

본 발명의 일 실시예는 스테틱 랜덤 액세스 메모리를 제공하는 메모리 디바이스로서 설명될 수 있으며, 이 메모리 디바이스는 (a) 복수의 데이터 래치를 갖는 스테틱 메모리 셀 구조; 및 (b) 판독 기능 블록, 기입 기능 블록 및 저장 기능 블록을 포함하는 셀 구조 내의 복수의 기능 블록을 포함한다. 판독 워드 회로 및/또는 기입 워드 회로와 같은 기능 블록 중의 적어도 하나를 더 낮은 임계 전압용으로 구성함으로써, 디바이스에 대한 누설 전류는 거의 감소될 수 있다. 일 실시예에서, 판독 워드 신호 및 기입 워드 신호는 분리된다. 그 출력이 연속적인 워드에 대해 교번하는 비트 라인을 구동하는 판독 라인에 의해 작동된 판독 트랜지스터를 통해 데이터가 판독되는 실시예가 개시된다. 센스 앰프는 출력 데이터를 구동하기 위해 비트 라인의 차동 감지를 제공한다.

본 발명의 또 다른 실시예는 스테틱 랜덤 액세스 메모리 구성을 갖는 메모리 디바이스로서 개시될 수 있으며, 이 메모리 디바이스는 (a) 데이터 래치로 형성된 바와 같은 복수의 스테틱 메모리 셀; (b) 판독 경로를 제어하기 위한 복수의 워드 라인; (c) 기입 경로를 제어하기 위한 복수의 워드 라인; 및 (d) 판독 기능 블록, 기입 기능 블록 및 저장 기능 블록을 포함한 복수의 기능 블록을 포함한다. 기능 블록 중의 적어도 하나는 다른 기능 블록과는 상이한 전압 임계치 조건을 갖도록 구성되는 것이 바람직하다. 일 실시예에서, 기준 경로 회로는 가상 노드를 제공하며, 비트 라인 사이의 이 가상 노드에는 판독 경로 트랜지스터가 접속되며, 판독 라인은 셀 블록의 누설 전류를 억제하기 위해서와 같은 목적으로 센스 앰프에 의한 차동 감지를 이용하여 감지된다.

본 발명의 또 다른 실시예는 반도체 메모리 회로로서 개시될 수 있으며, 이 반도체 메모리 회로는 (a) 판독 및 기입되도록 구성된 복수의 데이터 래치를 갖는 복수의 스테틱 메모리 저장 기능 블록(셀); (b) 입력이 각각의 저장 기능 블록에 접속되고 출력이 적어도 2개의 비트 라인 중의 하나에 접속된 메모리 셀 판독 트랜지스터 기능 블록; 및 (c) 상기 비트 라인 간의 차동 감지에 응답하여 상기 데이터 래치로부터 판독되는 데이터를 검출하기 위해 비트 라인 사이에 접속된 센스 앰프를 포함한다. 더욱이, 판독 및 기입 기능 블록은 메모리 래치 트랜지스터보다 더 낮은 전압 임계치로 구성될 수 있는 한편, 또 다른 변형으로는 판독 트랜지스터의 전압 임계치가 기입 트랜지스터보다 더 낮은 임계치를 갖도록 설계된다.

본 발명은 또한 스테틱 메모리의 셀을 액세스하는 방법으로 개시될 수도 있으며, 이 액세스 방법은 (a) 스테틱 메모리 셀을 위한 데이터 래치를 형성하는 제1 전압 임계치 레벨의 트랜지스터에 기입된 데이터를 유지하는 단계; (b) 제1 전압 임계치보다 낮은 제2 전압 임계치의 판독 워드 트랜지스터를 작동시키기 위해 판독 워드 신호를 인가하는 단계; 및 (c) 데이터 비트 출력을 발생하기 위해 비트 라인에 접속된 센스 앰프에서 판독 워드 트랜지스터의 출력을 감지하는 단계를 포함한다.

본 발명은 또한 스테틱 메모리의 셀을 액세스하는 방법으로 개시될 수도 있으며, 이 방법은 (a) 스테틱 메모리 셀을 위한 데이터 래치를 형성하는 트랜지스터에 기입된 데이터를 유지하는 단계; (b) 판독 워드 트랜지스터를 작동시키기 위해 판독 워드 신호를 인가하는 단계; 및 (c) 데이터 비트 출력을 발생하기 위해 비트 라인 사이에 접속된 센스 앰프에서의 판독 워드 트랜지스터의 출력을 감지하는 단계를 포함한다. 더욱이, 스테틱 메모리 내의 기능 블록은 판독 블록 또는 판독 및 기입 블록과 같이 낮은 전압 임계치로 구성될 수 있으며, 이들 회로에 의해 더 고속의 속도와 더 낮은 누설 전류가 제공될 수 있다.

본 발명에 대하여 다음의 특징으로 포함한 다수의 특징이 개시되며, 이들 특징은 아래에 기재된 것으로만 제한되지는 않는다.

본 발명의 특징은 각각의 기능 블록이 상이한 임계 전압을 가질 수 있는 판독 기능 블록, 기입 기능 블록 및 저장 기능 블록을 포함한 복수의 기능 블록을 갖는 SRAM 셀 구조이다.

본 발명의 또 다른 특징은 판독 경로가 최저의 설계 임계치를 갖고 기입 경로가 중간 설계 임계치를 가지며 저장 경로가 최고의 설계 임계치 전압을 갖는 SRAM 셀이다.

본 발명의 또 다른 특징은 판독 경로 트랜지스터의 한 단자가 교번하고 있는 판독 경로 트랜지스터의 한 단자와 함께, 셀 블록의 누설 전류를 억제하기 위해 소스 트랜지스터에 접속되는 가상 노드에 접속된다.

본 발명의 또 다른 특징은 판독 및 기입 경로에 대하여 별도의 기능 블록과 독립 워드 라인을 갖는 SRAM 구조이다.

본 발명의 또 다른 특징은 판독 및 기입 경로에 대하여 별도의 기능 블록과 동일한 워드 라인을 갖는 SRAM 구조이다.

본 발명의 또 다른 특징은 PMOS 소스 트랜지스터를 갖는 기준 판독 경로 체계이다.

본 발명의 또 다른 특징은 NMOS 소스 트랜지스터를 갖는 기준 판독 경로 체계이다.

본 발명의 또 다른 특징은 기준 판독 경로(RRP) 및 센스 앰프(SA)를 분산 형태, 통합 형태 또는 혼합 형태의 구성으로 배치하기 위한 아키텍처이다.

본 발명의 또 다른 특징은 공유된 또는 전용의 기준 판독 경로(RRP) 및 센스 앰프(SA)를 이용하는 아키텍처이다.

본 발명의 또 다른 특징은 본 발명의 교시에 따라 멀티-포트 SRAM, 이식형의 SRAM 등의 다양한 형태의 SRAM을 구현하는 성능이다.

본 발명의 추가의 특징은 다음의 상세한 설명 부분에서 밝혀질 것이며, 본 명세서의 상세한 설명은 본 발명의 바람직한 실시예를 전체적으로 설명하기 위한 것으로 어떠한 제한을 두고 있는 것은 아니다.

도면의 간단한 설명

도 1은 종래의 6T SRAM 셀 및 주변 회로의 개략도이다.

도 2는 도 1의 종래의 6T SRAM 셀에 대한 타이밍도이다.

도 3은 셀 누설 전류를 제어하기 위한 감지 회로와 함께 도시된 본 발명의 특징에 따른 SRAM 셀 구조의 개략도이다.

도 4a 내지 도 4d는 도 3에 도시된 SRAM 셀에 대한 타이밍도이다.

도 5a 및 도 5b는 기준 경로 및 판독 경로의 배치를 나타내고 있는 본 발명의 실시예에 따른 SRAM 메모리 구성의 블록도이다.

도 6은 셀 누설 전류를 제어하기 위한 감지 회로를 나타내고 있는 본 발명의 특징에 따른 듀얼-포트 SRAM 셀 구조의 개략도이다.

실시예

본 발명은 예시를 목적으로 하는 첨부 도면을 참조함으로써 보다 명확하게 이해될 수 있을 것이다.

예시를 목적으로 하는 도면을 보다 구체적으로 참조하면, 본 발명은 도 3 내지 도 6에 전반적으로 도시된 장치로 실시된다. 본 발명에 따른 장치는 구성이 변화될 수도 있으며 일부분의 세부가 변화될 수도 있으며, 본 발명에 따른 방법은 본 명세서에 개시된 바와 같은 기본 개념에서 이탈함이 없이 구체적인 단계와 시퀀스가 변화될 수도 있다.

신규의 SRAM 셀 구조 및 관련된 감지 체계는 종래의 SRAM 아키텍처에서 발생하는 다수의 문제점을 극복하기 위해 구성된다. 한 가지 향상된 구성은 특정의 기능 블록이 누설을 제어하기 위해 상이한 임계 전압으로 설계될 수 있는 아키텍처이다. 예컨대, 판독 회로의 트랜지스터는 저장 트랜지스터보다 더 낮은 전압 임계치로 구성된다. 두 번째 예로서, 기입 회로는 저장 트랜지스터보다 더 낮은 전압 임계치로 구성되며, 판독 회로의 트랜지스터는 기입 회로 트랜지스터보다 더 낮은 임계치로 구성된다. 제조사의 부정확도는 디바이스 간의 임계 전압에서의 작은 차이를 야기하지만, 이러한 약간의 랜덤한 변동은 그 내부에서 해결되지 못한다는 것을 이해할 것이다. 본 발명에서, 임계 전압에서의 차이는 제조되는 트랜지스터의 설계에 의해 이루어진 것이며, 임계치에서의 차이는 약 5 내지 10 퍼센트인 것이 바람직하다.

도 3은 본 발명에 따른 신규의 SRAM 셀 구조 및 관련 감지 체계의 일례의 실시예(10)를 예시한다. 신규의 셀 구조는 어떠한 크기의 메모리 블록(즉, 128WL×256BL) 내에서도 이용될 수 있다. 신규의 구조는 저장 셀(12)(데이터 래치), 기준 판독 경로(14) 및 센스 앰프(16)를 포함한다. 도 1에 도시된 종래의 6개의 트랜지스터 SRAM 셀 구조와는 달리, 도 3에 도시된 신규의 SRAM 셀은 8개의 트랜지스터(mpa, mpb, mna~mnf)를 포함한다. 셀 데이터와 그 셀 데이터를 변경하기 위한 기입 경로를 저장하기 위해 6개의 트랜지스터(mpa, mpb 및 mna~mnf)가 사용되는 한편, 셀 판독 동작을 위해 2개의 트랜지스터(mne, mnf)가 사용된다. 셀 판독 트랜지스터(mne, mnf)의 소스는 인접한 셀 판독 트랜지스터의 소스와 함께 접속되고, 센스 앰프에 연결된다. 전체 메모리 블록 또는 전체 메모리 블록의 일부에서의 모든 트랜지스터의 소스 노드는 상이한 설계 목표에 따라 함께 접속될 수 있다.

본 실시예에서, 논리 임계 전압 레벨은 저장 셀(18)이 소정의 동작 전압에 대해 정상 전압 임계치 또는 높은 전압 임계치를 갖는 것으로 도시되어 있는 한편, 셀 판독 트랜지스터부(20)는 더 낮은 전압 임계치로 구성되어 있다.

프리차지 상태에서, WWLi(기입 워드 라인) 및 RWLi(판독 워드 라인)이 논리 로우일 때, mnc, mnd 및 mne는 턴오프된다. C1이 하이 레벨이고 C1B가 로우 레벨일 때, mpb 및 mna는 턴오프되고, mpa 및 mnb는 턴온된다. 이에 의해, 데이터 C1 및 C1B가 유지된다. RWLi가 로우이기 때문에, mne는 오프 상태이며, 비트 라인이 도 1의 전압과 유사한 Vdd로 프리차지 되는 경우에도 비트 라인(BLBi)으로부터의 mne 및 mnf를 통한 전류 경로가 존재하지 않는다.

본 발명에 따라 구현된 셀 구조와 종래의 셀 구조 간의 차이점 중의 하나는 판독 및 기입 동작을 위해 별도의 경로를 사용한다는 점이다. 종래의 구조에서, 셀 액세스 트랜지스터 및 풀-다운 트랜지스터는 고속의 판독 및 기입 동작을 위해 크기가 커질 필요가 있다. 그러나, 그 경우에는 셀 누설 전류가 주요사안이 된다. 본 발명의 신규의 셀 구조에서는, 판독(mne 및 mnf) 및 기입 경로(mnc 및 mnd)가 바람직하게 분리되고 회로의 저장 부분(mpa, mpb, mna, mnb)이 판독 경로로부터 고립되기 때문에, 셀 누설 전류를 거의 억제하면서 고속 판독 동작이 달성된다.

종래의 셀 구조에서, 셀 트랜지스터는 누설 전류와 셀 판독 속도 간의 상충으로 인한 상이한 임계 전압을 지원하도록 용이하게 구성될 수 없다. 셀 트랜지스터가 셀 누설 전류를 억제하기 위해 높은 임계 전압을 가질 때, 셀 판독 속도는 트랜지스터, 특히 셀 액세스 트랜지스터와 풀-다운 트랜지스터의 감소된 전류 구동 성능으로 인해 저하된다. 그러나, 본 발명의 신규의 셀 구조에서는, 트랜지스터의 임계 전압이 보다 순응적으로 제어될 수 있다. 예컨대, 저장 블록 트랜지스터(mpa, mpb, mna 및 mnb) 및 셀 액세스 트랜지스터(mnc 및 mnd)는 이들이 셀 판독 동작에 관계되지 않기 때문에 누설 전류를 억제하기 위해 높은 임계 전압 디바이스로서 구성되는 것이 바람직하다. 그 대신, 셀 판독 트랜지스터(mne 및 mnf)는 셀 판독 속도를 향상시키기 위해 더 낮은 임계 전압을 갖도록 구성된다.

본 발명의 신규의 셀 구조에서, 회로의 각각의 부분은 설계 요건을 충족시키기 위해 상이한 임계 전압을 갖고 구성될 수 있다. 예를 통해, 저장 부분(저장 기능 블록) 및 기입 경로(기입 기능 블록)의 임계 전압들은 셀 판독 경로(판독 기능 블록)의 임계 레벨보다 더 높은 임계 레벨로 구성될 수 있다. 상이한 임계 레벨을 구축함으로써, 셀 판독 속도를 향상시키면서도 저장 부분의 턴오프 트랜지스터와 과 비트 라인으로부터의 셀 액세스 트랜지스터를 통한 셀 누설 전류를 현저히 억제할 수 있다. 트랜지스터의 누설 전류는 트랜지스터의 임계 전압의 증가에 응답하여 지수함수적으로 감소된다는 점에 유의하기 바란다. 따라서, 본 회로는 SRAM 디바이스에 대한 요구된 특성의 범위에 도달하기 위해 저장 부분과 판독 및 기입 액세스 트랜지스터에 대해서와 같이 상이한 임계 전압을 이용할 수 있다. 도 3에 도시된 SRAM 셀 구조는 3개의 상이한 별도의 기능 블록, 즉 저장, 기입 및 판독 경로를 갖는다. 현재의 SRAM의 설계로 인해, 이들 기능 블록의 각각은 설계 조건에 따라 상이한 임계 전압을 갖는 트랜지스터로 설계될 수 있다.

본 발명의 또 다른 중요한 특징은 전술한 셀 구조와 관련된 감지 체계이다. 본 발명의 셀 체계에서, 판독 경로는 비트 라인 중의 하나에 접속된다. 예컨대, 상단 셀에서, 판독 트랜지스터는 비트 라인 바(BL_{Bi})에 접속되고, 그 아래의 다음 셀에 대해서는 판독 트랜지스터가 비트 라인(BL_i)에 접속된다. 따라서, 비트 라인쌍 상의 신호 차이를 검출하기 위한 감지 체계 또한 중요하게 된다. 비트 라인 감지 체계는 2개의 중요한 설계 조건, 즉 판독 트랜지스터를 통한 누설 전류를 억제하는 것 그리고 속도를 증가시켜 그 속도에 의해 비트 라인 상의 신호 차이가 감지되는 하는 것을 실현할 수 있다. 공통 신호 BL_i는 서브메모리 블록에만 위치되거나 전체 블록에 연결되는 것이 바람직하다는 것에 유의하기 바란다. 센스 앰프(16)는 비트 라인에 대하여 배치되거나 또는 복수의 비트 라인과 공유될 수도 있다.

본 발명의 기본 목적은 종래의 SRAM 셀 구조에서 이용된 것보다 더 높은 임계 전압을 갖는 더 소형의 트랜지스터를 사용함으로써 저장 부분 및 기입 경로에서의 누설 전류를 억제하는 것이다 저장 셀에 사용된 것보다 더 낮은 전압 임계치를 갖는 별도의 판독 경로 또한 사용되는 것이 바람직하다. 신규의 셀에서는 또 다른 전류 경로가 존재하며, 이 전류 경로는 판독 트랜지스터와 관련된다. 비트 라인쌍이 도 1에 도시된 종래의 셀 구조에서와 같이 V_{dd}로 프리차지될 때, 판독 워드 라인(RWL_i)이 로우 상태이기 때문에 판독 트랜지스터 중의 하나가 오프로 되는 경우에도, 트랜지스터를 통해 흐르는 누설 전류가 존재한다. 예컨대, C1이 V_{dd}로 설정되고, mnf가 턴온되지만, RWL_i가 로우 상태이기 때문에 mne는 턴오프된다. 그러나, 트랜지스터 mne를 통한 누설 전류는 이 트랜지스터가 턴오프된 경우에도 흐른다.

본 발명의 일실시예에서, SRAM 셀 판독 속도는 판독 트랜지스터의 크기를 종래의 크기의 약 4배 정도로 증가시킴으로써 달성된다. 본 발명에 따르면, 판독 트랜지스터는 판독 속도를 향상시키기 위해 더 낮은 임계 전압으로 구성되며, 판독 경로를 통해 흐르는 누설 전류는 다른 부분을 통해 흐르는 누설 전류보다 훨씬 더 크다. 따라서, 신규의 SRAM 셀 구조와 관련된 신규의 감지 체계는 판독 경로를 통해 흐르는 누설 전류를 억제할 수 있다.

누설 전류를 추가로 억제하는 한 방식은 비트 라인을 프리차지 상태로 플로팅하는 것으로서 구성하는 것이며, 그 결과 비트 라인으로부터 전원공급장치를 제거하게 된다. 즉, 비트 라인 프리차지 트랜지스터(mpp1_i 및 mpp2_i)는 프리차지 상태 동안 턴오프되고, 그 후 비트 라인을 종래의 체계에서와 같이 V_{dd}로 설정함으로써 판독 동작 이전에 작동된다. 이 구조가 누설 전류를 억제할 수 있지만, 기입 동작 동안에 소위 "비트-라인 허팅(bit-line hurting)"이라는 문제가 셀에 대하여 발생한다. 전원공급장치가 없을 때, 비트 라인의 전압은 접합부 누설 전류로 인해 가상적으로 접지된다. 기입 워드 라인(WWL_i)이 인에이블될 때, 트랜지스터 mnc 및 mmd가 턴온되고, 노드 C1 및 CB1이 각각 비트 라인 BL_i 및 BL_{Bi}에 접속된다. 비트 라인 커패시턴스가 셀 트랜지스터의 커패시턴스보다 대략 20배 정도 더 크기 때문에, 기입 트랜지스터가 스위치 온 될 때, 노드 C1 및 C1B는 노드 C1이 트랜지스터 mpb에 의해 복구될 때까지 전하 공유 효과에 의해 디스차지된다. 노드 C1이 하이 상태이고 노드 C1B가 로우 상태이므로, 디스차지의 정도는 상이하다. 그러므로, 이상적인 경우에, 노드 C1 및 C1B가 전하 공유 효과로 인해 디스차지되는 경우에도, 노드 C1은 덜 디스차지되며, 노드 C1 및 노드 C1B 상의 신호 차이로 인해, 노드 C1 및 노드 C1B의 전압은 실제로 V_{dd} 및 V_{ss}로 복원될 수 있다.

그러나, 트랜지스터 크기와 임계 전압에 있어서의 부조합(mismatch)의 경우, 다른 상황이 발생할 수 있다. 예컨대, 트랜지스터 mpb의 임계 전압이 제조 공정 편차로 인해 트랜지스터 mpa의 임계 전압보다 더 낮기 때문에, 노드 C1은 더 디스차지되거나 덜 디스차지될 수 있고, 저장된 데이터 정보가 변경될 수 있다. 즉, 노드 C1 및 노드 C1B 상의 데이터가 각각 하이에서 로우로와 로우에서 하이로 변경될 수 있다. 이러한 가능성은 본 발명의 신규 셀 구조에서 발생할 수 있다.

비트 라인이 플로팅되고 있을 때에는 감지 동작에 관하여 고려할 추가의 상황이 있다. 예컨대, 비트 라인쌍의 전압에서의 부조합을 제거하기 위해서는, 유효하지 않은 감지가 발생하지 못하도록 하기 위해 정규 이외의 프리차지 동작을 수행할 필요가 있다. 이러한 정규 이외의 동작은 실제의 감지 프로세스를 지연시키기 때문에 속도상의 불이익을 나타낸다. 본 발명의 신규의 셀 구조는 이 정규 이외의 프리차지 동작의 사용을 요구하지 않는다.

도면(도 3)에 도시된 실시예는 전술한 프리차지 동작을 요구하지 않고 판독 트랜지스터를 통해 흐르는 누설 전류를 억제할 수 있는 신규의 감지 체계를 제공한다.

프리차지 동작을 제거하고 누설 전류를 억제하는 센스 앰프 체계는 본 명세서에서 기준 판독 경로로 지칭되는 것을 통합한 신규의 회로를 이용하여 실시될 수 있다. 기준 판독 경로의 주요 착상(main idea)은 셀 판독 트랜지스터의 약 절반에 상당하는 전류 구동 성능을 갖는 전류 경로를 제공하는 것이다.

도 3에 도시된 SRAM 디바이스 실시예를 제조함에 있어서, 각각의 셀 관독 트랜지스터의 폭은 점선으로 둘러싸인 셀 관독부(20)의 영역에 의해 도시된 바와 같이 "W"이다. 여기서, W의 폭을 갖는 2개의 트랜지스터가 적층되며, 2개의 적층된 트랜지스터의 드레인이 비트 라인에 접속되며, 2개의 적층된 트랜지스터의 소스가 가상 접지 신호에 접속되며, 이 가상 접지 신호는 또한 다른 SRAM 셀에서의 2개의 적층된 트랜지스터에도 접속된다.

도 3의 상단 셀에서, 트랜지스터 mne 및 mnf는 "W"의 폭을 갖는 2개의 적층된 트랜지스터이며, 트랜지스터 mne의 한 단자가 BLBi에 접속되고, 트랜지스터 mnf의 한 단자가 가상 신호 Vg에 접속되며, 이 가상 신호는 2개의 셀 관독부와 트랜지스터 mse(A)를 상호접속시키는 점선으로서 표시되어 나타내져 있다. 2개의 트랜지스터 mne 및 mnf의 다른 단자는 서로 접속된다. 가상 신호 라인은 소스 트랜지스터 mse에 연결되며, 이 소스 트랜지스터는 입력 조건에 따라서는 관독 동작에서 턴온된다. 기준 관독 경로에는 2개의 트랜지스터(예컨대, msa, msb, msc 및 msd)가 적층된다. 각 쌍의 트랜지스터의 한 단자는 각각의 비트 라인에 접속된다. 예컨대, 트랜지스터 msa의 드레인은 BLi에 연결되고, 트랜지스터 msb의 소스는 소스 트랜지스터 mse의 드레인에서의 전압인 Vg에 접속된다. 트랜지스터 msa 및 msb의 다른 2개의 단자는 서로 연결된다. 트랜지스터 msa의 게이트는 기준 관독 워드 라인(RRWLa)에 접속되고, 트랜지스터 msb의 게이트는 관독 신호(RSi)에 접속된다. 트랜지스터 msb, msc 및 msd는 트랜지스터 msa와 유사하게 배치되는 것으로 도시되어 있다. 트랜지스터 msc의 드레인은 비트 라인 BLBi에 접속되고, 트랜지스터 msd의 소스는 가상 접지 신호 Vg에 접속된다. 트랜지스터 msc의 소스 및 트랜지스터 msd의 드레인은 서로 접속된다. 트랜지스터 msc의 게이트는 또 다른 기준 관독 워드 라인 신호(RRWLb)에 접속되고, 트랜지스터 msd의 게이트는 관독 신호(RSi)에 접속된다. RRWLa 및 RWLb는 어드레스 정보로 선택적으로 인에이블되거나, 또는 다른 라인에서의 관독 경로가 인에이블될 때에 인에이블된다(즉, RRWLa가 선택될 때에 RWLi가 선택된다).

RRWLb 및 RRWLa는 어드레스 정보로 선택적으로 인에이블되고, 다른 라인 상의 관독 경로가 인에이블될 때에 인에이블된다는 점에 유의하기 바란다(즉, RRWLa가 선택될 때에 RWLi가 선택된다). 소스 트랜지스터 mse의 소스는 트랜지스터의 msb 및 msd의 소스에 접속되는 한편, 소스 트랜지스터 mse의 게이트는 관독 신호 RSi에 접속되고, 소스 트랜지스터 mse의 드레인은 전원 소스 Vss에 접속된다. 소스 트랜지스터 mse는 본 예에서는 PMOS 트랜지스터이지만 NMOS 트랜지스터가 사용될 수도 있다. 적층된 트랜지스터 msa, msb, msc 및 msd의 순서는 본 발명으로부터 일탈함이 없이 설계 도구에 따라 변경될 수 있다.

정상적인 셀에서의 적층된 트랜지스터의 폭은 "W"이지만, 트랜지스터(즉, msa)의 폭은 "W/2"이다. 기준 관독 경로에서의 적층된 트랜지스터의 전류 구동 성능은 정상 셀에서의 적층된 트랜지스터의 절반이 된다. 실제로, 적층된 트랜지스터의 전류 구동 성능은 정상 셀에서의 적층된 트랜지스터의 정확히 절반은 아니지만, 정상 셀에서의 적층된 트랜지스터의 더 작은 전류 구동 성능을 갖도록 요구된다. 기준 관독 경로에서의 트랜지스터의 크기는 요구된 동작에 따라 결정된다(즉, 관독 경로 트랜지스터의 크기의 절반).

도 4a 내지 도 4d는 새로운 감지 체계의 타이밍 특성을 예시하고 있다. 도 4a 내지 도 4b는 RWLi가 인에이블될 때의 감지 타이밍을 예시한다. 도 4a는 C1이 하이 상태이고 C1B가 로우 상태일 때의 경우를 예시하는 한편, 도 4b는 C1이 로우 상태이고 C1B가 하이 상태일 때의 경우를 예시한다.

프리차지 사이클에서, 비트 라인쌍은 통상적으로 Vdd로 설정된다. 워드 라인(즉, RWLi)이 인에이블될 때, C1의 데이터는 하이 상태이고, C1B는 로우 상태이며(도 4a), 트랜지스터 mnf가 턴온된다. BLBi에서부터 트랜지스터 mne 및 mnf를 통해 형성된 전류 경로가 존재한다. BLi에 접속된 적층 트랜지스터는 BLBi에 접속된 관독 트랜지스터를 갖는 셀에서 선택된다. 즉, 신호 RRWLa가 인에이블되어 트랜지스터 msa를 턴온시킨다. 셀 데이터를 관독하기 위해, 관독 신호 RSi가 인에이블된다. WWLi, RRWLa 및 RSi가 인에이블될 때, 비트 라인은 BLi 및 BLBi의 다양한 경사로서 나타내진 상이한 속도로 디스차지한다. 트랜지스터 mnf의 폭이 "W"인 반면 트랜지스터 msa의 폭은 "W/2"이라는 점에 유의하기 바란다. 따라서, BLBi의 디스차지 경사는 트랜지스터 크기가 더 크고 전류 구동 성능이 더 크기 때문에 도 4a에서 도시된 바와 같이 도 4b에서보다 더 크다. 그러므로, 그 셀이 선택될 때에는 비트 라인 상의 신호 차이가 야기된다.

C1의 데이터가 로우 상태이어서 그 결과 트랜지스터 mnf가 턴오프될 때, 비트 라인 바에서부터 적층 트랜지스터를 통한 전류 경로가 존재하지 않는다. 따라서, BLBi는 하이 상태를 유지하고, 비트 라인 BLi만이 기준 전류 경로 msa 및 msb를 통해 디스차지된다. 그러므로, 비트 라인 상의 신호 차이가 야기된다.

도 4c 및 도 4d는 RWLj가 인에이블될 때의 감지 타이밍을 예시하는 도면이다. 도 4c는 C2가 로우 상태이고 C2B가 하이 상태일 때의 경우를 예시하는 한편, 도 4d는 C2가 하이 상태이고 C2B가 로우 상태일 때의 경우를 예시한다.

다른 비트 라인에 접속된 셀 판독 트랜지스터를 갖는 다른 셀이 인에이블될 때, 비트 라인 상의 신호 차이를 야기하기 위해 적층된 기준 전류 경로가 선택된다. 예컨대, RWLj가 인에이블되고 C2의 데이터가 로우 상태이고 C2B가 하이 상태일 때, 트랜지스터 mnf'는 턴온되고, 트랜지스터 mne' 및 mnf'를 통한 전류 경로가 존재한다. 적층된 트랜지스터를 갖는 셀이 BLi에 접속되기 때문에, BLBi에 접속된 적층 트랜지스터가 선택된다. 즉, RWLj가 인에이블될 때, RRLWb가 인에이블되고, 트랜지스터 msc가 턴온된다. 판독 신호 RSi가 인에이블될 때, BLBi에서부터 트랜지스터 msc 및 msd를 통한 전류 경로가 형성되어 BLBi를 디스차지시킨다. 전술한 바와 같이, 기준 경로에서의 적층 트랜지스터의 전류 구동 성능이 더 작기 때문에, BLBi의 디스차지 경사가 BLi의 경사보다 더 작으며, 비트 라인 상의 신호 차이가 존재한다.

C2의 데이터가 하이 상태이고 C2B가 로우 상태일 때, mnf'가 턴온되고, mne' 및 mnf'를 통한 전류 경로가 형성되지 않는다. 비트 라인 바 BLBi만이 트랜지스터 msc 및 msd를 통해 디스차지된다. 신호 차이는 비트 라인쌍 상에서 야기된다.

가상 접지 신호 Vg가 소스 트랜지스터에 접속되기 때문에, 셀의 누설 전류의 양은 각각의 셀의 턴온된 판독 트랜지스터를 통해 흐르는 누설 전류의 합계가 아니며, 소스 트랜지스터 mse의 누설 전류에 의해 제한된다.

이상으로 메모리 저장 셀 상태를 검출하기 위한 신호 차이를 야기하기 위해 비트 라인에 접속된 트랜지스터를 작동시키는 판독 워드 라인에 대하여 설명하였다. 이 센스 앰프 체계는 누설 전류를 현저히 억제할 수 있다. 본 예에서는 PMOS 소스 트랜지스터 mse를 사용함으로써 기준 판독 경로 내의 모든 트랜지스터가 역바이어스가 걸리게 되어 누설 전류가 감소된다. 활성 모드에서, RSi 신호가 인에이블될 때, Vg의 전압은 Vtp로 방전되며, 여기서 Vtp는 소스 PMOS 트랜지스터의 임계 전압이다. RRWLa 및 RRWLb가 로우 상태이고 RSi 또한 로우 상태일 때와 같이, RSi가 스탠바이 모드의 로우 상태로 되거나 또는 관련된 셀이 선택되지 않을 때, msa, msb, msc 및 msd의 게이트는 로우 상태이고, PMOS 소스 트랜지스터 mse의 게이트는 하이 상태로 된다. Vg의 전압이 Vtp이기 때문에, msb 및 msd의 Vgs는 -Vtp이고, 이것은 트랜지스터 msb 및 msd가 역바이어스된다는 것을 의미한다. PMOS 소스 트랜지스터 mse의 게이트 전압이 Vdd이고 소스 전압이 Vtp이기 때문에, 트랜지스터 mse의 Vgs는 Vdd-Vtp가 되며, 이것은 소스 트랜지스터 mse가 역바이어스된다는 것을 의미한다. Vg의 전압이 Vtp이기 때문에, 트랜지스터 msa의 소스 및 트랜지스터 msb의 드레인의 전압과, 트랜지스터 msc의 소스 및 트랜지스터 msd의 드레인의 전압은 또한 양의 전압이 된다. 트랜지스터 msa 및 msc의 게이트 전압이 로우 상태이기 때문에, 트랜지스터 msa 및 msc의 전압 Vgs는 음의 전압이 되고, 이것은 이들 2개의 트랜지스터 msa 및 msc가 역바이어스된다는 것을 의미한다. RSi가 로우 상태일 때에 RRWLa 또는 RRWLb 등의 기준 워드 라인 중의 하나가 하이 상태인 경우에도, 트랜지스터 msb, msd 및 mse는 역바이어스된다. 따라서, 기준 판독 경로에서의 트랜지스터를 통해 흐르는 누설 전류가 현저히 억제된다.

상기의 기준 판독 경로와 관련된 한 가지 주요사안은 상이한 유형의 MOS 트랜지스터를 사용하는 경우에 발생한다. 기준 전류를 운반하기 위한 트랜지스터를 NMOS 트랜지스터로 하는 한편 소스 트랜지스터를 PMOS 트랜지스터로 하는 일실시예가 가능하다. 그러나, PMOS 트랜지스터의 형성은 NWELL(N형 우물) 구조를 필요로 하여 면적 상의 불이익을 초래한다. 이 문제점을 해소하기 위해, PMOS 소스 트랜지스터를 NMOS 트랜지스터로 대체할 수 있다. 이 경우, 기준 판독 경로에서의 모든 트랜지스터는 동일한 유형을 갖게 되므로, PMOS 트랜지스터를 위한 NWELL의 형성으로 인한 면적 상의 불이익이 최소화될 수 있다. NMOS 소스 트랜지스터의 경우, 게이트 전압이 소스 트랜지스터를 턴온시키기 위해 로우 상태일 때, NMOS 소스 트랜지스터의 소스가 Vss이므로, NMOS 트랜지스터의 Vgs는 음의 전압 대신에 거의 0(영) 볼트이다. 따라서, 기준 판독 경로를 통해 흐르는 누설 전류는 다소 증가될 수 있지만, 셀 블록의 누설 전류가 이 NMOS 소스 트랜지스터의 누설 전류 만큼으로 제한되기 때문에 여전히 매우 작다.

본 발명의 감지 체계의 주요 목적은 양자 택일적으로, 즉 전류 경로를 정상 셀 내의 비트 라인에서부터 형성하는 것과, 기준 전류 경로를 각각의 전류 경로의 상이한 전류 구동에 의해 신호 차이를 야기하기 위해 다른 비트 라인에서부터 형성하는 것에 의해 선택될 수 있는 기준 판독 경로를 갖도록 하는 것이다.

신호 차이가 비트 라인 상에서 야기될 때, 감지 인에이블 신호 SAE는 신호 차이를 증폭하기 위해 인에이블된다. 기준 판독 경로는 한 쌍의 비트 라인당 배치되거나, 또는 복수의 비트 라인쌍에 의해 공유될 수 있다. 센스 앰프 또한 한 쌍의 비트 라인에 의해 위치되거나, 또는 복수의 비트 라인쌍에 의해 공유될 수 있다. 신규의 SRAM 디바이스는 본 발명의 교시로부터 이탈함이 없이도 다수의 센스 앰프 구조로 구현될 수 있다.

도 5a의 (A), (B) 및 (C)와, 도 5b의 (D), (E) 및 (F)는 상이한 구성의 기준 판독 경로 및 센스 앰프의 배치를 갖는 일례의 실시예를 예시하고 있다. 도 5a의 (A)에서, 기준 판독 경로는 소형 메모리 블록당 배치되거나(분산됨) 또는 어드레스 디코더에 의해 제어되는 메모리 블록당 배치되는(통합됨) 것으로 도시되어 있다. 센스 앰프 또한 소형의 메모리(서브메모리) 블록당 배치되거나(분산됨), 또는 도 5a의 (B)에 도시된 바와 같이 전체 메모리 블록당 배치된다(통합됨). 기준 판독 경로

및 센스 앰프는 도 5a의 (C)에서와 같이 분산된 형태로 배치되거나, 또는 도 5b의 (D)에 도시된 바와 같이 통합된 형태로 배치될 수 있다. 도 5b의 (E)에 도시된 바와 같이 센스 앰프가 복수의 기준 판독 경로에 의해 공유될 수 있거나, 또는 도 5b의 (F)에 도시된 바와 같이 기준 판독 경로가 복수의 센스 앰프에 의해 공유될 수 있다. 본 발명에서 벗어나지 않고서도 본 명세서의 교시에 따른 본 기술 분야의 당업자에 의해 상기의 실시예의 조합이 실시될 수도 있고, 다양한 변형이 제공될 수도 있다.

본 발명의 또 다른 특징은 하나의 비트 라인에서부터만의 판독 경로를 갖는 셀 구조에 대한 감지 체계를 제공한다. 본 발명의 이러한 감지 체계는 비트 라인 상의 신호 차이를 발생하는 기준 전류를 제공할 수 있는 기준 판독 경로를 포함한다. 기준 판독 경로는 불필요한 프리차지 단계를 제거하고 비트 라인 상의 신호 차이를 발생하기 위해 상이한 전류 구동 성능을 제공할 수 있다. 기준 판독 경로는 비트 라인 상의 신호 차이를 야기하기 위해 기준 전류를 제공하기 위한 어떠한 구조로도 가능하다.

도 6은 앞에서 설명한 SRAM의 듀얼-포트 SRAM 변형을 예시하고 있다. 이 개략도로부터 기준 라인이 분기되고, 2개의 별도의 감지 회로에 Vref1 및 Vref2에 대한 비교에 의해 발생된 듀얼 데이터 출력이 제공되어 2개의 별도의 출력을 제공한다. 또한, 이 도면을 통해, 예컨대 판독 감지 블록이 판독 속도를 증가시키면서도 누설 전류를 감소시키기 위해 스테틱 메모리 래치의 트랜지스터보다 더 적은 전압 임계치를 갖는 낮은 임계 전압의 트랜지스터를 통합하는 것으로 도시된 바와 같이, 회로의 기능 블록이 상이한 전압 임계치로 구성된다는 것을 알 수 있다. 본 명세서의 교시를 벗어남이 없이 본 발명의 다수의 유사한 변형이 실시될 수 있다는 것을 이해하여야 한다.

본 발명은 SRAM 디바이스 등을 위한 신규의 셀 구조를 제공한다. 이 구조는 판독 속도를 향상시키면서 저장부에서의 누설 전류를 억제하기 위해 상이한 임계 전압으로 설계되는 것이 바람직한 판독 경로, 기입 경로 및 저장부에 대한 별도의 기능 블록을 통합할 수 있다. 전원 요건을 감소시키고 낮은 누설 판독 동작을 용이하게 하기 위해 별도의 판독 및 기입 워드 라인을 사용하는 것 또한 설명하였다. 적층된 트랜지스터의 한 단자가 비트 라인에 접속되고 또 다른 단자가 가상 소스 노드에 접속되며 이 가상 소스 노드가 메모리 셀 블록의 총누설 전류를 억제하기 위해 소스 트랜지스터에 접속되는, 차등 판독 감지 형태 또한 설명하였다.

상기의 설명이 다수의 세부구성을 포함하고 있지만, 이러한 세부구성은 본 발명의 사상을 제한하기 위한 것이 아니라 본 발명의 현재의 바람직한 실시예의 일부에 대한 예시를 제공하기 위한 것임을 이해할 수 있을 것이다. 따라서, 본 발명의 사상은 본 기술 분야의 당업자에게는 명백한 것으로 될 수도 있는 다른 실시예를 모두 포함하며, 따라서 본 발명의 사상은 첨부된 청구범위에 의해서만 제한되며, 이 청구범위에서 구성요소를 단수로 지칭한다 하더라도 특별히 "하나 또는 단지 하나"라고 구체적으로 언급하지 않는 한 "하나 이상"을 의미하는 것으로 받아들여야 한다. 본 기술 분야의 당업자에게는 알려져 있는 전술한 바람직한 실시예의 구성요소에 대한 모든 구조적 및 기능적 등가물이 본 명세서에 명확하게 참조되어 통합되어 있으며, 본 출원의 특허청구범위에 의해 포함되는 것으로 받아들여져야 한다. 더욱이, 본 발명의 메모리 디바이스 및 액세스 방법이 본 발명에 의해 해소될 것으로 보이는 각각의 문제점과 문제점 전부를 동시에 해결할 필요는 없으며, 이들 메모리 디바이스 및 방법이 본 명세서의 청구범위에 포함되어 있지 않을 수도 있다. 더욱이, 본 명세서에서의 구성요소 또는 단계는 그 구성요소 또는 단계가 청구범위에 명확하게 인용되고 있음에도 불구하고 공통적인 것을 의미하도록 사용되어서는 안된다. 청구범위에서의 구성요소가 "하는 수단"을 이용하여 명확하게 인용되지 않는다면 이들 청구범위 구성요소는 35 U.S.C. 112 6항의 규정 하에서 해석되지 않는다.

(57) 청구의 범위

청구항 1.

스테틱 랜덤 액세스를 제공하는 메모리 디바이스에 있어서,

복수의 데이터 래치를 갖는 스테틱 메모리 셀 구조; 및

상기 셀 구조 내의, 적어도 판독 기능 블록, 기입 기능 블록 및 저장 기능 블록을 포함하는 복수의 기능 블록을 구비하며,

상기 판독 기능 블록이나 상기 기입 기능 블록 또는 이들 모두가 상기 저장 기능 블록보다 더 낮은 임계 전압을 갖도록 구성되는,

메모리 디바이스.

청구항 2.

제1항에 있어서,

상기 판독 기능 블록은 상기 기입 기능 블록 및 상기 저장 기능 블록보다 더 낮은 임계 전압을 갖는 것을 특징으로 하는 메모리 디바이스.

청구항 3.

제1항에 있어서,

상기 판독 기능 블록은 상기 기입 기능 블록보다 더 낮은 임계 전압을 가지며, 상기 기입 기능 블록은 상기 저장 기능 블록보다 더 낮은 임계 전압을 갖는 것을 특징으로 하는 메모리 디바이스.

청구항 4.

제1항에 있어서,

상기 셀 구조는 판독 경로 및 기입 경로에 대하여 동일한 워드 라인을 이용하는 것을 특징으로 하는 메모리 디바이스.

청구항 5.

제1항에 있어서,

상기 셀 구조는 판독 경로 및 기입 경로에 대하여 별도의 워드 라인을 이용하는 것을 특징으로 하는 메모리 디바이스.

청구항 6.

제5항에 있어서,

상기 판독 워드 라인은 메모리 저장 셀 상태를 검출하기 위해 차동적으로 감지되는 비트 라인 상에 신호 차이를 야기하기 위해 상기 비트 라인에 접속된 트랜지스터를 활성화시키는 것을 특징으로 하는 메모리 디바이스.

청구항 7.

제5항에 있어서,

한 그룹의 판독 경로 트랜지스터가 다른 그룹의 판독 경로 트랜지스터와 함께 가상 노드인 기준 판독 라인에 접속되며, 상기 기준 판독 라인은 셀 블록의 누설 전류를 억제하기 위해 센스 앰프 및 소스 트랜지스터에 접속되는 것을 특징으로 하는 메모리 디바이스.

청구항 8.

제7항에 있어서,

상기 소스 트랜지스터는 NMOS 및 PMOS 트랜지스터를 포함하는 것을 특징으로 하는 메모리 디바이스.

청구항 9.

제7항에 있어서,

상기 기준 판독 경로 및 상기 센스 앰프는 상기 메모리 디바이스 내에 분산형 또는 통합형 중의 하나의 레이아웃 구성으로 배치될 수 있는 것을 특징으로 하는 메모리 디바이스.

청구항 10.

제7항에 있어서,

상기 기준 판독 경로 및 상기 센스 앰프는 상기 메모리 디바이스 내에 공유 구성 또는 전용 구성으로 이용될 수 있는 것을 특징으로 하는 메모리 디바이스.

청구항 11.

제1항에 있어서,

상기 셀 구조는 멀티-포트 스테틱 랜덤 액세스 메모리(SRAM) 셀 구조를 포함하는 것을 특징으로 하는 메모리 디바이스.

청구항 12.

스태틱 랜덤 액세스 메모리(SRAM)를 갖는 메모리 디바이스에 있어서,

데이터 래치로 형성된 복수의 스테틱 메모리 셀;

판독 경로를 제어하기 위한 복수의 워드 라인;

기입 경로를 제어하기 위한 복수의 워드 라인; 및

판독 기능 블록, 기입 기능 블록 및 저장 기능 블록을 포함한 복수의 기능 블록

을 구비하며,

상기 기능 블록 중의 적어도 한 블록이 다른 기능 블록과는 상이한 임계치 조건을 갖도록 구성되는

메모리 디바이스.

청구항 13.

제12항에 있어서,

상이한 비트 라인 사이에서 판독 경로 트랜지스터가 접속되는 가상 노드를 더 포함하는 것을 특징으로 하는 메모리 디바이스.

청구항 14.

제13항에 있어서,

비트 라인 사이에서 차동 감지를 수행하도록 구성된 센스 앰프를 더 포함하는 것을 특징으로 하는 메모리 디바이스.

청구항 15.

제13항에 있어서,

상기 가상 노드에서의 접속이 셀 블록의 누설 전류를 억제하는 것을 특징으로 하는 메모리 디바이스.

청구항 16.

반도체 메모리 회로에 있어서,

판독 및 기입되도록 구성된 메모리 셀을 형성하는 복수의 데이터 래치를 갖는 복수의 스택 메모리 저장 기능 블록;

입력이 각각의 저장 기능 블록에 접속되고 출력이 적어도 2개의 비트 라인 중의 하나에 접속된 메모리 셀 판독 트랜지스터 기능 블록; 및

상기 비트 라인 간의 차동 감지에 응답하여 상기 데이터 래치로부터 판독되는 데이터를 검출하기 위해 상기 적어도 2개의 비트 라인 사이에 접속된 센스 앰프

를 포함하는 메모리 디바이스.

청구항 17.

제16항에 있어서,

상기 차동 감지는 상기 센스 앰프와 소스 트랜지스터에 접속되는 기준 판독 라인을 참조하여 수행되는 것을 특징으로 하는 반도체 메모리 회로.

청구항 18.

제16항에 있어서,

상기 저장 기능 블록 중의 하나에 데이터를 기입하기 위해 구성된 메모리 셀 기입 기능 블록을 더 포함하는 것을 특징으로 하는 반도체 메모리 회로.

청구항 19.

제18항에 있어서,

상기 판독 및/또는 기입 기능 블록은 저장 기능 블록보다 더 낮은 전압 임계치를 갖도록 설계되는 것을 특징으로 하는 반도체 메모리 회로.

청구항 20.

제18항에 있어서,

상기 셀 구조는 판독 및 기입 경로를 위해 별도의 워드 라인을 이용하는 것을 특징으로 하는 반도체 메모리 회로.

청구항 21.

제20항에 있어서,

상기 판독 워드 라인은 상기 차동 감지를 위해 비트 라인 상의 신호 차이를 야기하기 위해 상기 비트 라인에 접속된 트랜지스터를 활성화시키는 것을 특징으로 하는 반도체 메모리 회로.

청구항 22.

제21항에 있어서,

한 그룹의 판독 경로 트랜지스터는 다른 그룹의 판독 경로 트랜지스터와 함께 기준 판독 라인에 접속되며, 이 기준 판독 라인은 셀 블록의 누설 전류를 억제하기 위해 센스 앰프 및 소스 트랜지스터에 접속되는 것을 특징으로 하는 반도체 메모리 회로.

청구항 23.

스태틱 메모리의 셀을 액세스하는 방법에 있어서,

스태틱 메모리 셀을 위한 데이터 래치를 형성하는 제1 전압 임계치 레벨의 트랜지스터에 기입된 데이터를 유지하는 단계;

제1 전압 임계치보다 낮은 제2 전압 임계치의 판독 워드 트랜지스터를 작동시키기 위해 판독 워드 신호를 인가하는 단계; 및

데이터 비트 출력을 발생하기 위해 비트 라인에 접속된 센스 앰프에서 판독 워드 트랜지스터의 출력을 감지하는 단계를 포함하는 액세스 방법.

청구항 24.

제23항에 있어서,

상기 센스 앰프는 2개의 비트 라인 사이에 접속되며, 그 데이터 출력은 상기 2개의 비트 라인 사이의 데이터 출력의 차동 감지에 응답하여 발생하는 것을 특징으로 하는 액세스 방법.

청구항 25.

제23항에 있어서,

비트 라인 데이터로부터 스택 메모리 셀의 래치를 로드하는 별도의 기입 워드 라인에 의해 구동된 활성 상태의 트랜지스터에 응답하여 상기 스택 메모리 셀에 기입하는 단계를 더 포함하는 것을 특징으로 하는 액세스 방법.

청구항 26.

제25항에 있어서,

상기 별도의 기입 워드 라인에 의해 활성화된 상기 트랜지스터는 상기 래치의 상기 트랜지스터보다 더 작은 제3 전압 임계치를 갖도록 구성되는 것을 특징으로 하는 액세스 방법.

청구항 27.

제26항에 있어서,

상기 제3 전압 임계치는 상기 판독 워드 라인에 의해 활성화된 상기 트랜지스터의 전압 임계치보다 더 큰 것을 특징으로 하는 액세스 방법.

청구항 28.

스택 메모리의 셀을 액세스하는 방법에 있어서,

스택 메모리 셀을 위한 데이터 래치를 형성하는 트랜지스터에 기입된 데이터를 유지하는 단계;

판독 워드 트랜지스터를 활성화시키기 위해 판독 워드 신호를 인가하는 단계; 및

비트 라인 사이에 접속되고 상기 2개의 비트 라인 사이의 차동 감지에 응답하여 데이터 출력을 발생하도록 구성된 센스 앰프에서의 판독 워드 트랜지스터의 출력을 감지하는 단계

를 포함하는 액세스 방법.

청구항 29.

제28항에 있어서,

상기 비트 라인에 접속된 판독 워드 신호를 참조하기 위한 기준 판독 라인을 발생하는 단계를 더 포함하는 것을 특징으로 하는 액세스 방법.

청구항 30.

제28항에 있어서,

상기 데이터 래치의 상기 트랜지스터보다 더 낮은 전압 임계치를 갖는 판독 워드 라인을 구성하는 단계를 더 포함하는 것을 통신하는 판독

을 특징으로 하는 액세스 방법.

청구항 31.

제28항에 있어서,

상기 데이터 래치에 데이터를 기입하기 위한 기입 워드 트랜지스터를 활성화시키기 위해 기입 워드 신호를 인가하는 단계를 더 포함하는 것을 특징으로 하는 액세스 방법.

청구항 32.

제31항에 있어서,

상기 데이터 래치의 상기 트랜지스터보다 더 낮은 전압 임계치를 갖는 기입 워드 트랜지스터를 구성하는 단계를 더 포함하는 것을 특징으로 하는 액세스 방법.

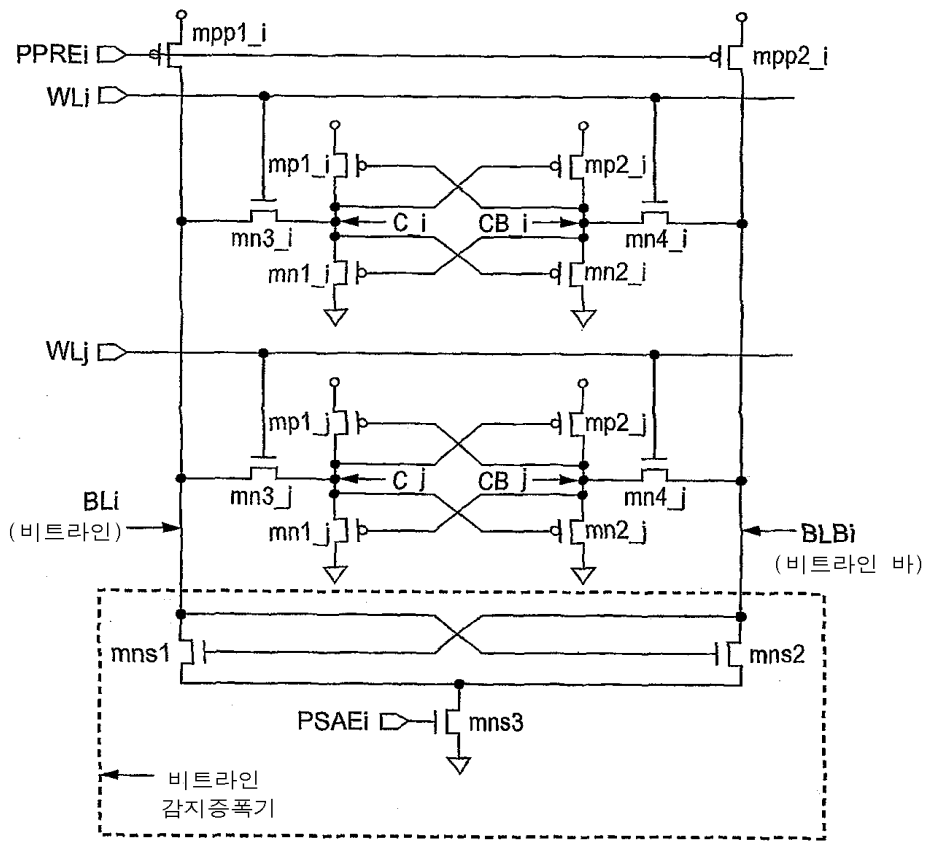
청구항 33.

제32항에 있어서,

상기 판독 워드 트랜지스터의 상기 트랜지스터보다 더 높은 전압 임계치를 갖는 기입 워드 트랜지스터를 구성하는 단계를 더 포함하는 것을 특징으로 하는 액세스 방법.

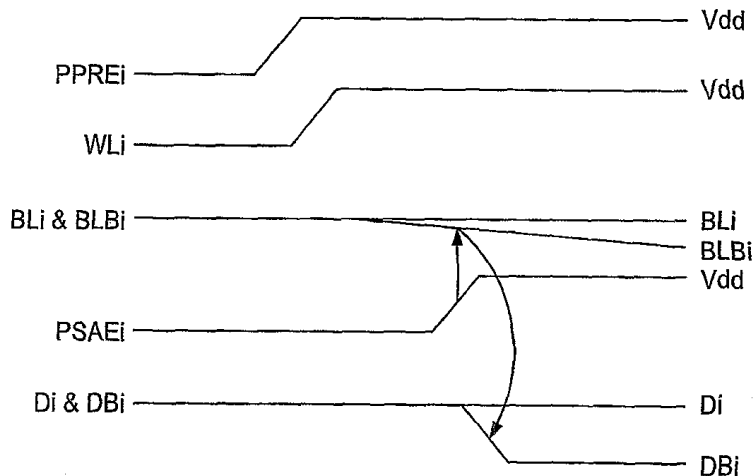
도면

도면1



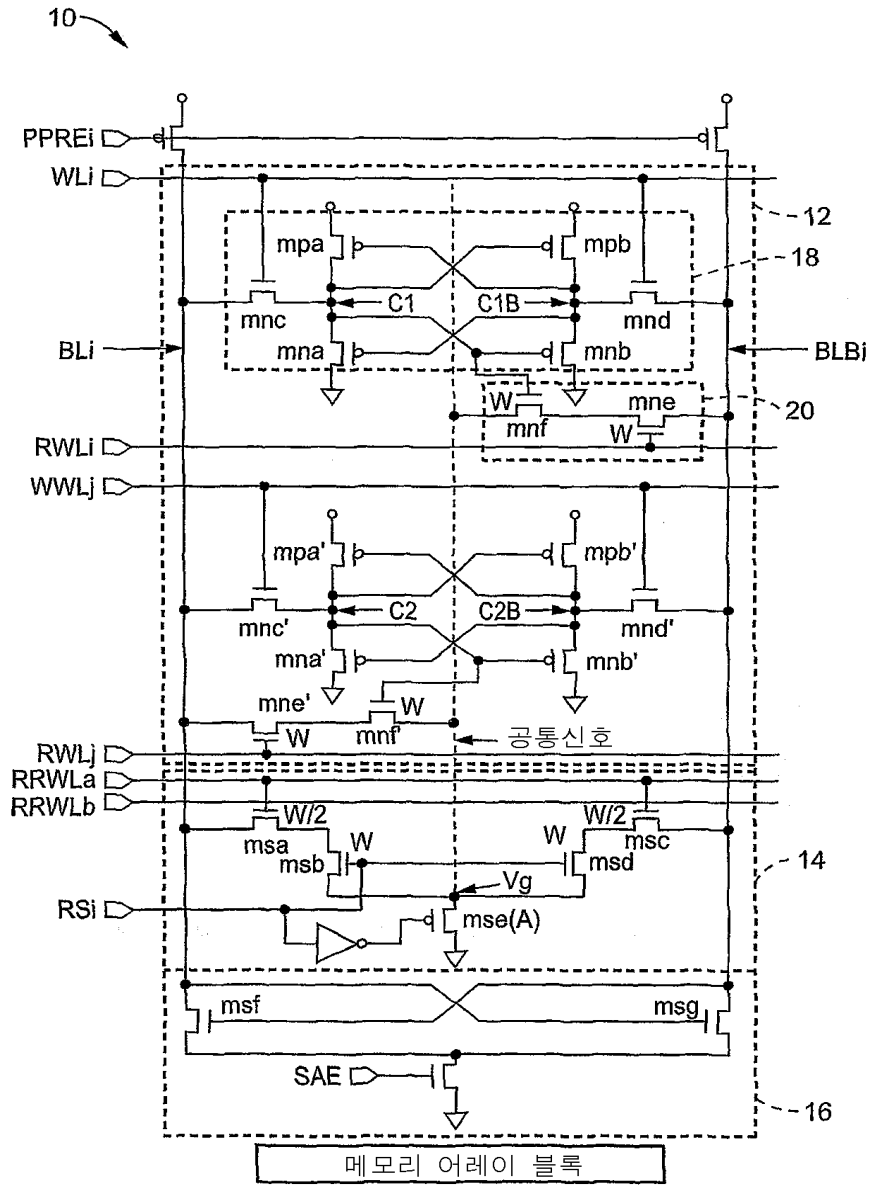
(종래기술)

도면2

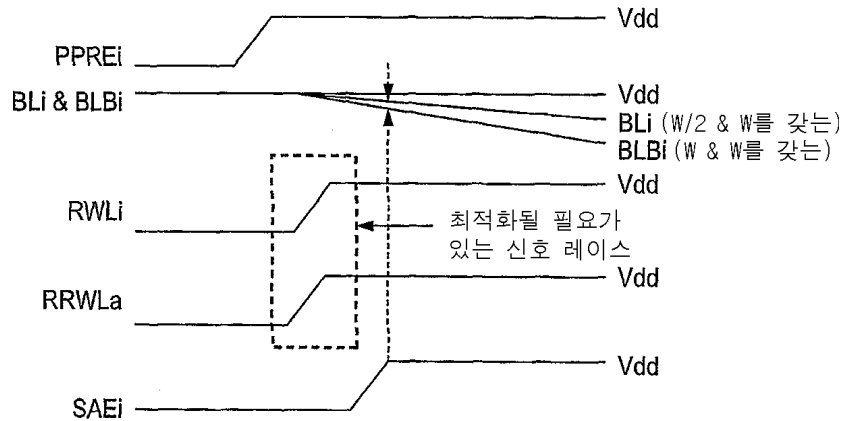


종래기술

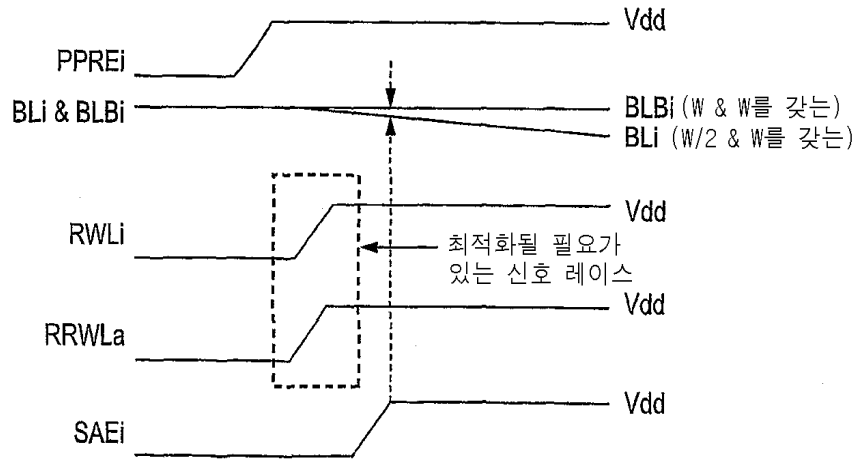
도면3



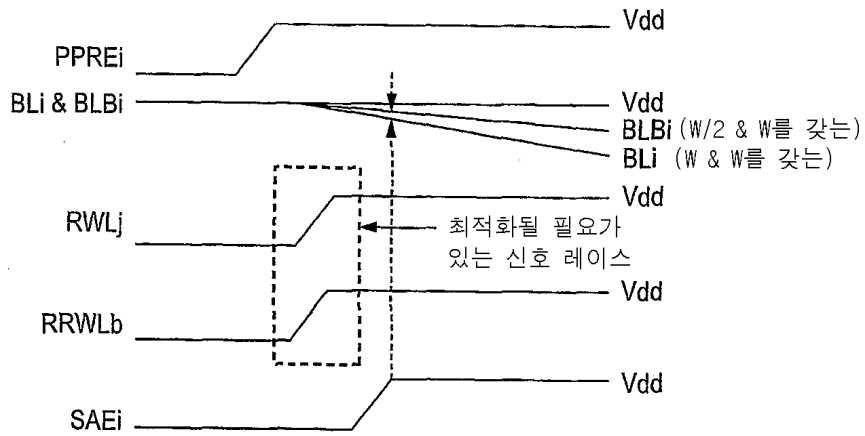
도면4a



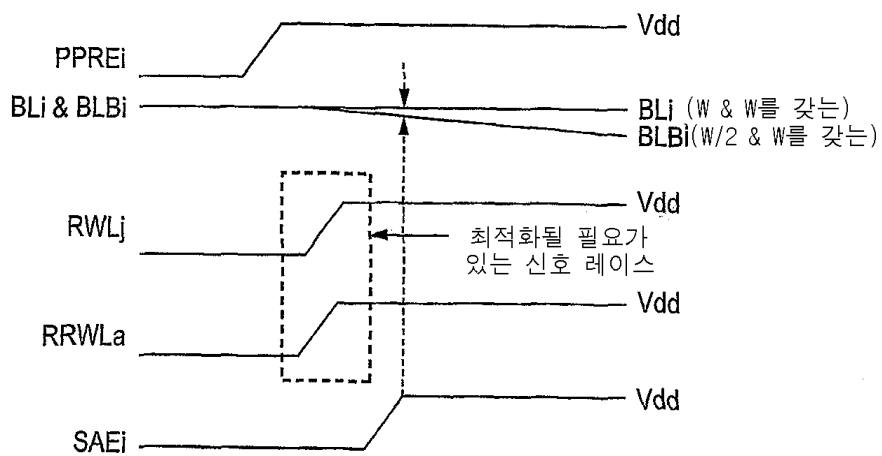
도면4b



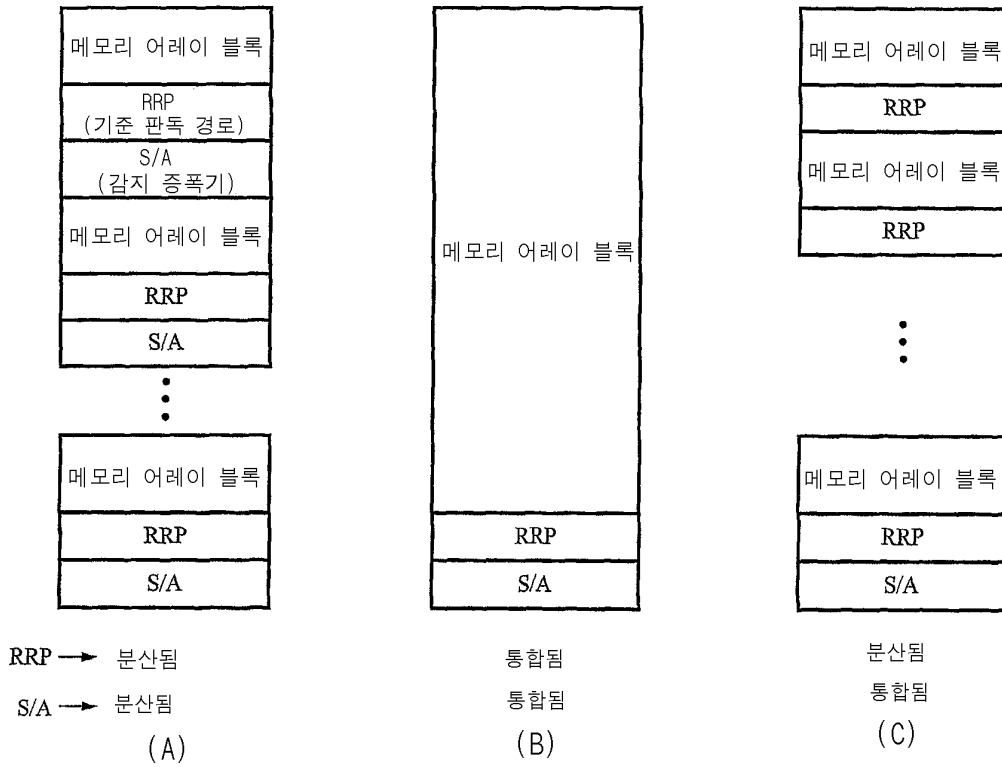
도면4c



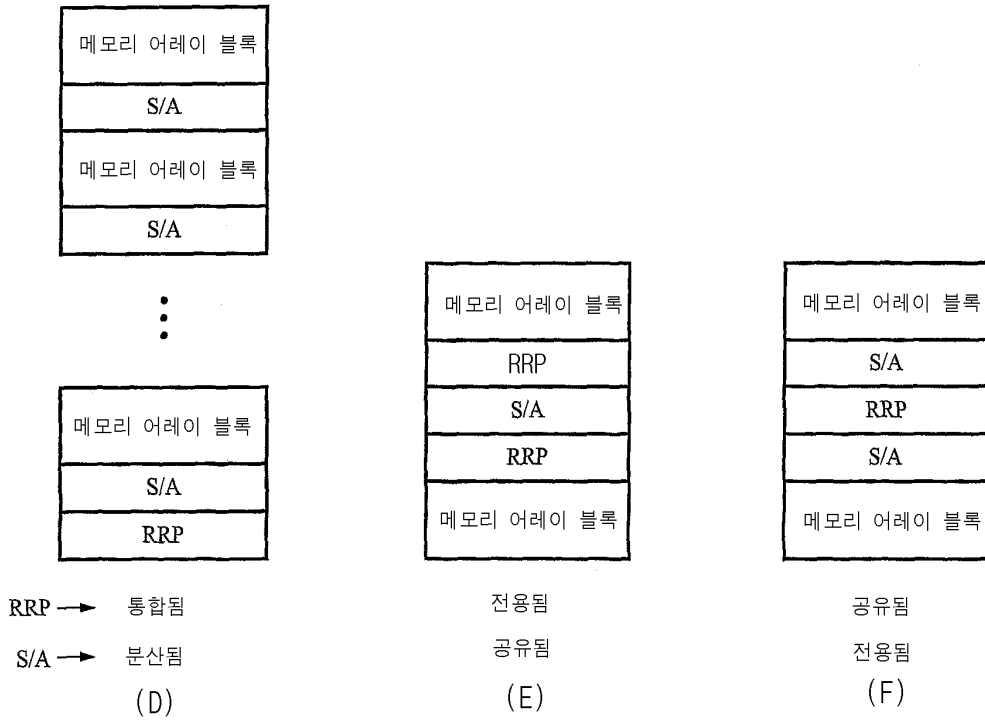
도면4d



도면5a



도면5b



도면6

