

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4833664号
(P4833664)

(45) 発行日 平成23年12月7日(2011.12.7)

(24) 登録日 平成23年9月30日(2011.9.30)

(51) Int.Cl.

F I

H O 1 S 5/16 (2006.01)

H O 1 S 5/16

請求項の数 9 (全 22 頁)

(21) 出願番号	特願2005-516238 (P2005-516238)	(73) 特許権者	000005290
(86) (22) 出願日	平成16年12月15日(2004.12.15)		古河電気工業株式会社
(86) 国際出願番号	PCT/JP2004/018695		東京都千代田区丸の内二丁目2番3号
(87) 国際公開番号	W02005/057744	(74) 代理人	100167852
(87) 国際公開日	平成17年6月23日(2005.6.23)		弁理士 宮城 康史
審査請求日	平成19年11月2日(2007.11.2)	(74) 代理人	100123641
(31) 優先権主張番号	特願2003-415937 (P2003-415937)		弁理士 茜ヶ久保 公二
(32) 優先日	平成15年12月15日(2003.12.15)	(74) 代理人	100130247
(33) 優先権主張国	日本国(JP)		弁理士 江村 美彦
		(74) 代理人	100061815
			弁理士 矢野 敏雄
		(74) 代理人	100099483
			弁理士 久野 琢也
		(74) 代理人	100128679
			弁理士 星 公弘

最終頁に続く

(54) 【発明の名称】 半導体素子の製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体基板上に、少なくとも量子井戸活性層を含む所定の半導体層を積層する第1のステップと、

前記半導体層表面の第1の部分にシリコンを含む第1の誘電体膜を形成する第2のステップと、

前記半導体層表面の第2の部分に前記第1の誘電体膜と同一の材料からなり、前記第1の誘電体よりもシリコン組成比が低い第2の誘電体膜を形成する第3のステップと、

前記半導体層、前記第1の誘電体膜及び前記第2の誘電体膜を含んでなる積層体を熱処理して前記第2の誘電体膜下部の前記量子井戸層を混晶化する第4のステップと、

前記積層体を前記第2の部分の略中央部でへき開する第5のステップとを含み、

前記第2のステップは、チャンバー内において前記第1の誘電体膜の第1の前駆体が通過する経路上に熱源を配置し、該熱源の存在下で触媒CVD法により前記第1の前駆体を分解反応させるサブステップと、前記チャンバ内で前記半導体素子の前記第1の部分を暴露するサブステップとを含み、

前記第3のステップは、前記チャンバー内において前記第2の誘電体膜の第2の前駆体が通過する経路上に熱源を配置し、該熱源の存在下で触媒CVD法により前記第2の前駆体を分解反応させるサブステップと、前記チャンバ内で前記半導体素子の前記第2の部分を暴露するサブステップとを含むことを特徴とする半導体素子の製造方法。

【請求項 2】

10

20

前記第1の誘電体膜のシリコン組成比は該誘電体膜の化学量論的組成比よりも大きく、前記第2の誘電体膜のシリコン組成比は該誘電体膜の化学量論的組成比よりも小さいことを特徴とする請求項1に記載の半導体素子の製造方法。

【請求項3】

前記第1の誘電体膜と前記第2の誘電体膜が、窒化シリコン膜であることを特徴とする請求項1又は2に記載の半導体素子の製造方法。

【請求項4】

前記第1および第2の前駆体は、窒素およびシリコンを含む化合物、または窒化化合物とシリコン化合物との混合物であること
を特徴とする、請求項1～請求項3のいずれか一つに記載の半導体素子の製造方法。

10

【請求項5】

前記第1の前駆体および前記第2の前駆体はシラン及びアンモニアを含み、前記第1の前駆体中のシラン含有量は、前記第2の前駆体中のシラン含有量よりも大きいことを特徴とする請求項4に記載の半導体素子の製造方法。

【請求項6】

前記第1のステップは、前記量子井戸層の積層方向の少なくとも一方側に光導波層を積層するサブステップと、前記第2の部分の下部における前記光導波層中に、前記光導波層の導電型と逆の導電型の電流非注入層を埋め込むサブステップとを含むこと
を特徴とする、請求項1～請求項5のいずれか一つに記載の半導体素子の製造方法。

20

【請求項7】

前記第1のステップは、
前記量子井戸層の積層方向両側に、該量子井戸層の禁制帯幅以上の禁制帯幅を有する光導波層を有する光導波層をそれぞれ積層するサブステップと、
前記量子井戸層と前記光導波層とからなる積層構造の積層方向両側に、該光導波層の禁制帯幅以上の禁制帯幅を有するクラッド層をそれぞれ積層するサブステップと、
前記量子井戸層と前記光導波層との間に、前記光導波層の各禁制帯幅以上の禁制帯幅を有するキャリアブロック層を積層するサブステップとを含むこと
を特徴とする、請求項1～請求項6のいずれか一つに記載の半導体素子の製造方法。

【請求項8】

前記第1のステップは、単一又は多重の量子井戸構造のいずれかを積層することを含むことを特徴とする請求項1～請求項7のいずれか一つに記載の半導体素子の製造方法。

30

【請求項9】

前記半導体素子の端部から測った前記電流非注入層の長さ L_n は、前記半導体素子の端部から測った前記混晶化される部分の長さを L_w として、 $L_w \leq L_n \leq L_w + 10 \mu m$ の範囲であることを特徴とする請求項6～請求項8のいずれか一つに記載の半導体素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、窓構造などの部分的に混晶化する部分を含む半導体素子を製造する半導体素子の製造方法に関するものである。

40

【背景技術】

【0002】

従来から、半導体レーザ素子においては、COD (Catastrophic Optical Damage) により瞬時劣化が起こりやすいという問題があり、半導体レーザの高出力化を阻害する要因となっていた。CODは、半導体レーザの活性層の出射端面側において、非発光再結合による再結合電流が流れ、これにより端面温度が上昇し、その温度上昇によりエネルギー禁制帯幅がさらに縮小して光吸収が増大する、というサイクルが発生し、このサイクルが正帰還となることによって端面が溶融する現象である。

【0003】

50

このCODの発生を防ぐために、出射端面近くの活性層を中央部の活性層よりも禁制帯幅の大きい材料で構成するいわゆる窓構造が効果的である。この窓構造では、レーザ光の出射側端面における禁制帯幅が広いと、レーザ光の吸収が小さくなり、CODの発生を抑制することができる。

【0004】

この窓構造の形成は、従来、独立した半導体プロセスによって形成されていた。たとえばエッチングなどによって窓部を形成したい部分を取り除き、この部分に窓部に対応した物性を持つ材料を埋め込むようにしていた。一方、この窓構造の形成は、窓部を形成すべき部分の混晶化（無秩序化）によっても実現できる。活性層が量子井戸構造である場合、混晶化の方法としては、イオン注入によるもの（特許文献1）、不純物添加によるもの（特許文献2）、誘電体膜形成によるものなどがある。いずれも、半導体結晶中に原子空孔を発生させ、空孔の拡散により量子井戸活性層の結晶構造を不規則化させて混晶とする方法である。このようにして混晶化された部分は、混晶化する前の物性と異なった物性を呈する。たとえば、異なる禁制帯幅や異なる屈折率などを持つようになる。このことを利用して、半導体レーザの端面付近における禁制帯幅を広げ、CODを抑制することができる。

10

【0005】

上記の混晶化方法のうち、誘電体膜を利用した方法は、半導体層の表面に誘電体膜を形成し加熱することにより、半導体中の構成原子を誘電体膜中に拡散させて半導体中に原子空孔を発生せしめ、原子空孔の拡散により半導体結晶の混晶化を起こすという方法であり、誘電体膜としては従来SiO₂が用いられていた（特許文献3）。この誘電体膜を利用した混晶化方法は、イオン注入による方法などと比較して結晶中への欠陥の導入が少ない点で優れている。

20

【0006】

【特許文献1】特開平10-200190

【特許文献2】特開2000-208870号公報

【特許文献3】特開平5-29714号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

ところで、誘電体膜を利用した混晶化に際しては上記のように熱処理が必要となり、この熱処理は、半導体レーザ素子全体に対して行われるため、混晶化したくない部分に悪影響を与える場合がある。たとえば、活性層がAlGaAs系材料によって形成されている場合、混晶化しない活性層領域に対応する半導体表面からAsの脱離が起こり、半導体表面が荒れるために、電極をコンタクト層上に形成した場合に良好な接触が得られず、半導体レーザの動作特性に悪影響を及ぼすという問題があった。

30

【0008】

また、Asの脱離により半導体表面にピット（小孔）が生じ、このピットにより転位欠陥が発生する。このことを図12を用いて説明する。図12は、従来の窓構造を有する半導体レーザ素子における混晶化熱処理中の現象を模式的に示すレーザ共振器方向の縦断面図である。図12において、窓部形成領域28aの上部の半導体レーザ素子表面にSiO₂混晶化促進膜42を成膜して混晶化熱処理を行うことにより、窓部28が形成される。このとき、窓部が形成されない領域28bの半導体レーザ素子表面からAsが脱離し、ピットが生じる。ピットは転位欠陥41となって伝播し、活性層4に到達して、レーザ特性を悪化させたり、長期信頼性を損なう原因となる。

40

【0009】

熱処理による悪影響は、上記のように混晶化したくない部分に限られるものではなかった。すなわち、混晶化を行う部分についても、SiO₂混晶化促進膜42から酸素が半導体結晶中に混入し、結晶欠陥となって半導体レーザの長期信頼性を損なう原因となっていた。

50

【0010】

この発明は上記に鑑みてなされたものであり、半導体レーザ素子における窓構造などを作製する際に熱処理による悪影響を防止し、高出力で長期信頼性に優れた半導体素子の製造を可能にすることを目的とする。

【課題を解決するための手段】

【0011】

本発明は上記の目的を達成するためになされたものであり、混晶化する部分を含む半導体素子を製造する半導体素子の製造方法に係るものである。

【0015】

本発明の第1の形態に係る半導体素子の製造方法は、半導体基板上に、少なくとも量子井戸活性層を含む所定の半導体層を積層する第1のステップと、前記半導体層表面の第1の部分にシリコンを含む第1の誘電体膜を形成する第2のステップと、前記半導体層表面の第2の部分に前記第1の誘電体膜と同一の材料からなり、前記第1の誘電体よりもシリコン組成比が低い第2の誘電体膜を形成する第3のステップと、前記半導体層、前記第1の誘電体膜及び前記第2の誘電体膜を含んでなる積層体を熱処理して前記第2の誘電体膜下部の前記量子井戸層を混晶化する第4のステップと、前記積層体を前記第2の部分の略中央部でへき開する第5のステップとを含み、前記第2のステップは、チャンバー内において前記第1の誘電体膜の第1の前駆体が通過する経路上に熱源を配置し、該熱源の存在下で触媒CVD法により前記第1の前駆体を分解反応させるサブステップと、前記チャンバー内で前記半導体素子の前記第1の部分を暴露するサブステップとを含み、前記第3のステップは、前記チャンバー内において前記第2の誘電体膜の第2の前駆体が通過する経路上に熱源を配置し、該熱源の存在下で触媒CVD法により前記第2の前駆体を分解反応させるサブステップと、前記チャンバー内で前記半導体素子の前記第2の部分を暴露するサブステップとを含むことを特徴とする。

【0016】

本発明の第2の形態に係る半導体素子の製造方法は、上記の第1の態様において、前記第1の誘電体膜のシリコン組成比は該誘電体膜の化学量論的組成比よりも大きく、前記第2の誘電体膜のシリコン組成比は該誘電体膜の化学量論的組成比よりも小さいことを特徴とする。

【0018】

本発明の第3の形態に係る半導体素子の製造方法は、上記の第1又は第2の態様において、前記第1の誘電体膜と前記第2の誘電体膜が、窒化シリコン膜であることを特徴とする。

【0020】

本発明の第4の形態に係る半導体素子の製造方法は、上記の第1～3の態様において、前記第1および第2の前駆体は、窒素およびシリコンを含む化合物、または窒化化合物とシリコン化合物との混合物であることを特徴とする。

【0021】

本発明の第5の形態に係る半導体素子の製造方法は、上記の第4の態様において、前記第1の前駆体および前記第2の前駆体はシラン及びアンモニアを含み、前記第1の前駆体中のシラン含有量は、前記第2の前駆体中のシラン含有量よりも大きいことを特徴とする。

【0023】

本発明の第6の形態に係る半導体素子の製造方法は、上記の第1～5の態様において、前記第1のステップは、前記量子井戸層の積層方向の少なくとも一方側に光導波層を積層するサブステップと、前記第2の部分の下部における前記光導波層中に、前記光導波層の導電型と逆の導電型の電流非注入層を埋め込むサブステップとを含むことを特徴とする。

【0024】

本発明の第7の形態に係る半導体素子の製造方法は、上記の第1～6の態様において、前記第1のステップは、前記量子井戸層の積層方向両側に、該量子井戸層の禁制帯幅以上

の禁制帯幅を有する光導波層を有する光導波層をそれぞれ積層するサブステップと、前記量子井戸層と前記光導波層とからなる積層構造の積層方向両側に、該光導波層の禁制帯幅以上の禁制帯幅を有するクラッド層をそれぞれ積層するサブステップと、前記量子井戸層と前記光導波層との間に、前記光導波層の各禁制帯幅以上の禁制帯幅を有するキャリアブロック層を積層するサブステップとを含むことを特徴とする。

【0025】

本発明の第8の形態に係る半導体素子の製造方法は、上記の第1～7の態様において、前記第1のステップは、単一又は多重の量子井戸構造のいずれかを積層することを含むことを特徴とする。

本発明の第9の形態に係る半導体素子の製造方法は、上記の第6～8の態様において、前記半導体素子の端部から測った前記電流非注入層の長さ L_n は、前記半導体素子の端部から測った前記混晶化される部分の長さを L_w として、 $L_w \leq L_n \leq L_w + 10 \mu m$ の範囲であることを特徴とする。

10

【0026】

本発明に係る半導体素子の製造方法は、以下のような他の形態も含む。

第1の形態は、半導体素子表面のうち少なくとも混晶化しない部分に対応する半導体素子表面に保護膜として第1の誘電体膜を形成する保護膜形成工程と、半導体素子表面のうち少なくとも混晶化する部分に対応する半導体素子表面に混晶化促進膜として前記第1の誘電体膜と同一の材料からなり、前記第1の誘電体膜よりも低い密度を有する第2の誘電体膜を形成する混晶化促進膜形成工程と、前記混晶化する部分に対する混晶化を熱処理によって行う混晶化工程とを含む。

20

【0027】

第2の形態は、半導体素子表面のうち少なくとも混晶化しない部分に対応する半導体素子表面に保護膜として第1の誘電体膜を形成する保護膜形成工程と、半導体素子表面のうち少なくとも混晶化する部分に対応する半導体素子表面に混晶化促進膜として前記第1の誘電体膜と同一の材料からなり、前記第1の誘電体膜よりも低い屈折率を有する第2の誘電体膜を形成する混晶化促進膜形成工程と、前記混晶化する部分に対する混晶化を熱処理によって行う混晶化工程とを含む。この形態において、前記第1の誘電体膜の屈折率が前記第1の誘電体膜及び前記第2の誘電体膜の成膜条件に依存して決定される所定値以上であり、前記第2の誘電体膜の屈折率が該所定値未満であってもよい。

30

【0028】

第3の形態は、半導体素子表面のうち少なくとも混晶化しない部分に対応する半導体素子表面に保護膜としてシリコンを含む第1の誘電体膜を形成する保護膜形成工程と、半導体素子表面のうち少なくとも混晶化する部分に対応する半導体素子表面に混晶化促進膜として前記第1の誘電体膜と同一の材料からなり、前記第1の誘電体膜よりもSi組成比が低い第2の誘電体膜を形成する混晶化促進膜形成工程と、前記混晶化する部分に対する混晶化を熱処理によって行う混晶化工程とを含む。この形態において、前記第1の誘電体膜のSi組成比は該誘電体膜の化学量論的組成比よりも大きく、前記第2の誘電体膜のSi組成比は該誘電体膜の化学量論的組成比よりも小さいことを含んでもよい。

【0029】

第4の形態は、半導体素子表面のうち少なくとも混晶化しない部分に対応する半導体素子表面に保護膜として第1の誘電体膜を形成する保護膜形成工程と、半導体素子表面のうち少なくとも混晶化する部分に対応する半導体素子表面に混晶化促進膜として前記第1の誘電体膜と同一の材料からなり、前記第1の誘電体膜よりも膜中の水素濃度が高い第2の誘電体膜を形成する混晶化促進膜形成工程と、前記混晶化する部分に対する混晶化を熱処理によって行う混晶化工程とを含む。

40

【0030】

第5の態様は、第1～4の態様において、前記第1の誘電体膜と前記第2の誘電体膜が、窒化シリコン膜であることを特徴とする。

【0031】

50

第6の態様は、第1～5の態様において、前記保護膜形成工程は、形成すべき第1の誘電体膜の第1の前駆体が通過する経路上に熱源を配置し、該熱源の存在下で前記第1の前駆体を分解反応させ、該分解反応後の雰囲気になくとも混晶化しない部分に対応する前記半導体素子の一部表面を暴露することにより行われ、前記混晶化促進膜形成工程は、形成すべき第2の誘電体膜の第2の前駆体が通過する経路上に熱源を配置し、該熱源の存在下で前記第2の前駆体を分解反応させ、該分解反応後の雰囲気になくとも混晶化する部分に対応する前記半導体素子の一部表面を暴露することにより行われることを特徴とする。

【0032】

第7の態様は、第1～5の態様において、前記保護膜形成工程は、形成すべき第1の誘電体膜の第1の前駆体が通過する経路上に熱源を配置し、該熱源の存在下で前記第1の前駆体を分解反応させ、該分解反応後の雰囲気になくとも混晶化しない部分に対応する前記半導体素子の一部表面を暴露することにより行われ、前記混晶化促進膜形成工程は、形成すべき第2の誘電体膜の第2の前駆体が通過する経路上に熱源を配置し、該熱源の存在下で前記第2の前駆体を分解反応させ、該分解反応後の雰囲気になくとも混晶化する部分に対応する前記半導体素子の一部表面を暴露することにより行われ、前記第1および第2の前駆体は、窒素および珪素を含む化合物、または窒素化合物と珪素化合物との混合物であることを特徴とする。

【0033】

第8の態様は、第6、第7の態様において、前記第1の前駆体および前記第2の前駆体はシラン(SiH_4)及びアンモニア(NH_3)を含み、前記第1の前駆体中のシラン含有量は、前期第2の前駆体中のシラン含有量よりも大きいことを特徴とする。これにより、シリコン組成比が大きく且つ密度が大きい第1の誘電体膜と、シリコン組成比が小さく且つ密度が小さい第2の誘電体膜とが形成される。

【0034】

第9の態様は、第6～8の態様において、前記保護膜形成工程および前記混晶化促進膜形成工程は、触媒CVD(Catalytic chemical vapor deposition)法を利用したものであることを特徴とする。

【0035】

第10の態様は、第1～9の態様において、前記半導体素子は、前記混晶化する部分が、共振方向の少なくとも一方の端面近傍においてレーザ光を吸収しない窓構造を構成し、混晶化しない部分が量子井戸構造の活性層を構成する半導体レーザ素子であることを特徴とする。この形態において、前記半導体素子は、前記混晶化する部分への電流注入を妨げる電流非注入領域を有してもよい。また、前記半導体素子の端部から測った前記電流非注入領域の長さ L_n が、前記半導体素子の端部から測った前記混晶化する部分の長さを L_w として、 $L_w \leq L_n \leq L_w + 10 \mu\text{m}$ の範囲とすることが好ましい。さらに、前記電流非注入領域は、前記半導体素子中に埋め込まれ、周囲の半導体層に対して逆の導電型を持つ半導体層であることが好ましい。

【0036】

第11の態様は、第12の態様において、前記半導体素子は、活性層の積層方向両側に、該活性層の禁制帯幅以上の禁制帯幅を有するn型およびp型の光導波層がそれぞれ設けられ、前記活性層および前記光導波層を前記積層方向両側から挟むように、該光導波層の禁制帯幅以上の禁制帯幅を有するn型およびp型のクラッド層がそれぞれ設けられ、前記活性層と前記光導波層との間に、前記活性層および前記光導波層の各禁制帯幅以上の禁制帯幅を有するキャリアブロック層が設けられていることを特徴とする。

【0037】

本発明において、密度の大きい緻密な誘電体膜は半導体結晶上に成膜された場合にGa原子を吸収する作用が小さい一方、密度の小さい誘電体膜は半導体結晶上に成膜された場合にGa原子を吸収する作用が大きいものと考えられる。このため、密度の小さい誘電体膜が成膜された部分では半導体結晶中に原子空孔が形成されやすく、密度の大きい誘電体

10

20

30

40

50

膜が形成された部分では原子空孔が形成されにくいので、熱処理を行った場合には密度の小さい誘電体膜では多重量子井戸の混晶化が起こり、密度の大きい誘電体膜では起こらない。すなわち、混晶化に対して密度の大きい誘電体膜は保護膜として、密度の小さい誘電体膜は促進膜として機能することになる。

【0038】

一方、誘電体膜の密度を含む物性値の大小は、屈折率の大小により判別できることが知られている。本発明者は、第1及び第2の誘電体膜がそれぞれ保護膜及び混晶化促進膜のいずれとして機能するかは、誘電体膜の屈折率に着目し、特に、成膜温度や圧力を含む成膜条件や成膜装置に依存して決まる所定値を基準として判断することが可能であることを見出した。すなわち、成膜される第1の誘電体膜の屈折率を所定値以上とし、第2の誘電体膜の屈折率を該所定値未満とした場合、その後に行われる混晶化熱処理において、第1の誘電体膜を保護膜、第2の誘電体膜を混晶化促進膜として機能させることができる。

10

【0039】

また、本発明では、誘電体膜の密度の大小は、誘電体膜中におけるS iの組成比の大小によって判別することもできる。すなわち、第1および第2の誘電体膜におけるS iの組成比に着目し、成膜される第1の誘電体膜のS i組成が当該誘電体膜の化学量論的組成比よりも大きく、第2の誘電体膜のS i組成が当該誘電体膜の化学量論的組成比よりも小さい場合、その後に行われる混晶化熱処理において、第1の誘電体膜を保護膜、第2の誘電体膜を混晶化促進膜として機能させることができる。

【0040】

20

さらに、第1及び第2の誘電体膜に含有される水素の量に着目した場合、第1の誘電体膜中の水素の量が第2の誘電体膜中の水素の量よりも小さい場合、第1の誘電体膜を保護膜、第2の誘電体膜を混晶化促進膜として機能させることができる。

【0041】

上記各基準によって区別される二種の誘電体膜では、第1の誘電体膜の密度は高く、半導体結晶上に成膜された場合にGa原子を吸収する作用が小さい一方、第2の誘電体膜の密度は低く、半導体結晶上に成膜された場合にGa原子を吸収する作用が大きい。このため、第2の誘電体膜が成膜された部分では半導体結晶中に原子空孔が形成されやすく、第1の誘電体膜が形成された部分では原子空孔が形成されにくいので、熱処理を行った場合には第2の誘電体膜が成膜された部分では多重量子井戸の混晶化が起こり、第1の誘電体膜が形成された部分では起こらない。すなわち、混晶化に対して第1の誘電体膜は保護膜として、第2の誘電体膜は促進膜として機能することになる。

30

【0042】

前記半導体素子は、例えば、前記混晶化する部分が共振方向の少なくとも一方の端面近傍においてレーザ光を吸収しない窓構造を構成し、混晶化しない部分が量子井戸構造の活性層を構成する半導体レーザ素子などである。

【0043】

また、前記半導体レーザ素子は、混晶化する部分への電流注入を妨げる電流非注入領域を備えたものであることが好ましく、電流非注入領域の長さ L_n は、前記混晶化する部分の長さを L_w として、 $L_w \leq L_n \leq L_w + 10 \mu m$ の範囲であることが特に好ましい。なお、ここでの長さとは、共振器方向に沿った長さを指すものとする。また、電流非注入領域は、前記半導体レーザ中に埋め込まれ、周囲の半導体層に対して逆の導電型を持つ半導体層であることが好ましい。

40

【0044】

また、上記の半導体レーザ素子において、活性層の両面側に、該活性層の禁制帯幅以上の禁制帯幅を有するn型およびp型の光導波層がそれぞれ設けられ、前記活性層および前記光導波層を挟むように、前記光導波層の禁制帯幅以上の禁制帯幅を有するn型およびp型のクラッド層がそれぞれ設けられ、前記活性層と前記光導波層との間に、前記活性層および前記光導波層の各禁制帯幅以上の禁制帯幅を有するキャリアブロック層が設けられていることが特に好ましい。

50

【発明の効果】

【0045】

本発明によれば、半導体素子、特に窓構造を備えた半導体レーザ素子の製造において、混晶化工程に先立って、特に触媒CVD法に代表される前駆体の分解反応を利用した方法により、混晶化しない部分に対応する半導体素子表面に保護膜を、混晶化する部分に対応する半導体表面に混晶化促進膜を形成することとしたため、混晶化しない部分における熱処理起因の悪影響が生じることなく、高出力で長期信頼性に優れた半導体レーザ素子を提供することができる。

【0046】

また、上記の前駆体の分解反応を利用した方法において、前駆体を、窒素および珪素を含む化合物、または窒素化合物と珪素化合物との混合物としたため、混晶化熱処理中の半導体結晶中への酸素の混入が起らず、長期信頼性に優れた半導体素子を提供することができる。

【0047】

また、混晶化した部分に対応させて電流非注入領域を設けたため、混晶化熱処理により原子空孔を形成した部分に電流が注入されないこととなり、結晶品質の信頼性が向上する。加えて、端面付近における非発光再結合が抑制され、混晶化による窓構造と相まって、CODの防止に更に効果的となる。

【0048】

また、上記の方法を利用して製造される窓構造型の半導体レーザ素子において、活性層と光導波層との間に、該活性層および該光導波層の各禁制帯幅以上の禁制帯幅を有するキャリアブロック層を設けたことにより、特にAlGaAs系の半導体レーザ素子では、光導波層を低アルミニウム（Al）の層またはGaAsで構成することができる。このため、電流非注入層の作製に伴う再成長界面の質が向上し、動作電圧の上昇を避けることができると共に、長期信頼性に優れた半導体レーザ素子を提供できる。

【0049】

本発明の発明者は、誘電体膜の組成を調整することによって、誘電体膜が化合物半導体からその構成原子を吸収する能力に違いを生ぜしめることができることを見出し、この原理を利用して、半導体レーザ素子の新たな製造方法に関する本発明を完成するに至った。すなわち、本発明は量子井戸構造の混晶化によって形成される窓構造を有する量子井戸半導体レーザ素子の製造方法を提供するものであり、量子井戸構造を混晶化させない部分に混晶化を阻止する保護膜を形成するステップと、量子井戸構造を混晶化させる部分に混晶化促進膜を形成するステップとを有し、各ステップにおいて形成する誘電体膜の組成をそれぞれ選択することによって、極めて容易かつ確実に保護膜と混晶化促進膜とを作り分けることが可能となる。したがって、本発明によれば、たとえばCOD防止の為の窓構造など、量子井戸が混晶化した領域を有する半導体レーザ素子の製造工程が簡略化され、その歩留が向上することとなる。

【図面の簡単な説明】

【0050】

【図1】図1（a）、（b）は、本発明の実施形態に係る半導体レーザ素子のエピタキシャルウエハ作製について示す断面図である。

【図2】図2（a）～（c）は、本発明の実施形態に係る半導体レーザ素子の窓構造を形成するための誘電体膜の形成及びパターンニングの工程を示す断面図である。

【図3】図3（a）～（c）は、本発明の実施形態に係る半導体レーザ素子の窓構造を形成するための工程を示す縦断面図である。

【図4】図4（a）（b）は、本発明の実施形態に係る半導体レーザ素子の劈開及び高反射及び低反射膜を形成する工程を示す断面図である。

【図5】図5（a）、（b）は、本発明の実施形態に係る半導体レーザ素子のエピタキシャルウエハ作製を示す端面側から見た断面図である。

【図6】図6は、本発明の実施形態に係る半導体レーザ素子の窓構造を形成するための加

10

20

30

40

50

熱装置を示す断面図である。

【図 7】図 7 は、本発明の実施形態に係る触媒 C V D 法の構成を示す模式図である。

【図 8】図 8 は、触媒 C V D 法とプラズマ C V D 法を用いて量子井戸構造を含む化合物半導体エピタキシャルウェーハ上に S i N 膜を形成した場合において、堆積された S i N 膜の屈折率（横軸）と、熱処理前後におけるウェーハのフォトルミネッセンススペクトルピーク波長のエネルギーシフト量（m e V、縦軸）との関係を示したグラフである。

【図 9】図 9 は、本発明の実施形態例に係る半導体レーザ素子の製造方法における、誘電体膜の他の形成態様について示す断面図である。

【図 10】図 10（a）は、本発明に係る S C H 構造における禁制帯幅の分布を示す模式図であり、図 10（b）は、D C H 構造における禁制帯幅の分布図を示す模式図である。

10

【図 11】図 11 は、本発明の実施形態例に係る製造方法により製造された窓構造を有する半導体レーザ素子と、窓構造を有しない半導体レーザ素子における光出力の注入電流依存性を示す図である。

【図 12】図 12 は、従来の窓構造を有する半導体レーザ素子における混晶化熱処理中の現象を示す説明図である。

【符号の説明】

【0051】

- 1 半導体基板
- 2 下部クラッド層
- 3 下部導波層
- 4 a 上部キャリアブロック層
- 4 b 多重量子井戸活性層
- 4 c 下部キャリアブロック層
- 5 上部導波層
- 6 上部クラッド層
- 8 電流非注入層
- 9 コンタクト層
- 10 S i N_{x1} 保護膜
- 11 レジストマスク
- 12 S i N_{x2} 混晶化促進膜
- 13 ウエハ
- 28 窓部
- 28 a 窓部形成領域
- 28 b 窓部が形成されない領域
- 34 ウエハ
- 41 転位欠陥
- 42 S i O₂ 混晶化促進膜

20

30

【発明を実施するための最良の形態】

【0052】

以下、図面に基づいてこの発明の実施形態である半導体素子の製造方法について説明する。

40

【0053】

[製造方法]

図 1～図 5 は、本発明の実施の形態である半導体素子の製造方法を示す断面図である。この半導体素子は、0.98 μm 帯のレーザ光を出射する多重量子井戸(MQW: Multiple Quantum Well)構造の半導体レーザ素子である。図 1（a）、（b）は、この半導体レーザ素子のエピタキシャルウェーハ作製について示す図であり、共振器方向を含む断面図である。図 5（a）、（b）は、そのエピタキシャルウェーハ作製の共振器方向に垂直な断面図を示している。なお、これらの図は、のちに半導体レーザの一個の素子となる領域を抜き出して描かれている。

50

【0054】

まず、図1(a)、図4(a)に示すように、GaAsからなる半導体基板1上に膜厚 $2.4\mu\text{m}$ の $\text{Al}_{0.08}\text{Ga}_{0.92}\text{As}$ からなる下部クラッド層2、膜厚 $0.48\mu\text{m}$ のGaAsからなる下部導波層3を順に積層する。下部導波層3上に、膜厚 $0.035\mu\text{m}$ の $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$ からなる下部キャリアブロック層4c、膜厚 $0.01\mu\text{m}$ の $\text{In}_{0.14}\text{Ga}_{0.86}\text{As}$ 量子井戸層を二層含む多重量子井戸活性層4b、膜厚 $0.035\mu\text{m}$ の $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$ からなる上部キャリアブロック層4aを積層する。これらのキャリアブロック層4aおよび4cを含む構造は、のちに説明する完全分離閉じ込め構造(DCH:Decoupled Confinement Heterostructure)である。さらに、上部キャリアブロック層4aの上部にGaAsからなる上部導波層5を途中まで積層した後に、膜厚 $0.055\mu\text{m}$ の $\text{Al}_{0.32}\text{Ga}_{0.68}\text{As}$ からなるストライプ状の電流非注入層8を、のちに端面となるべき位置から中央方向に $20\mu\text{m}$ の位置までの領域に選択的に形成する。また、電流非注入層8は、ストライプ状の共振器の長手方向両側の領域にも形成され、これにより多重量子井戸活性層4bの電流注入領域をストライプ状に画定する。ここで、電流非注入層8の導電型は、のちに形成される上部クラッド層6の導電型と逆になるようにする。

10

【0055】

次に、図1(b)、図4(b)に示すように、残りの上部導波層5を積層する。電流非注入層8を含む上部導波層5の厚さは $0.45\mu\text{m}$ となる。更に、膜厚 $0.8\mu\text{m}$ の $\text{Al}_{0.32}\text{Ga}_{0.68}\text{As}$ からなる上部クラッド層6、膜厚 $0.3\mu\text{m}$ のGaAsからなるコンタクト層9を順に積層する。

20

【0056】

なお、半導体基板1からコンタクト層9の各層にドーパされるドーパントとして、半導体基板1、下部クラッド層2、下部導波路3、電流非注入層8、下部キャリアブロック層4cには導電型をn型にするために例えばシリコンがドーパされ、また、上部導波層3、上部クラッド層6、コンタクト層9、上部キャリアブロック層4aには導電型をp型とするために例えば亜鉛がドーパされる。また、多重量子井戸活性層4bはアンドープで成長される。

【0057】

図2(a)～(c)は、窓構造を作製するための混晶化(無秩序化)熱処理に先立ってエピタキシャルウエハの上面に誘電体膜を形成する工程を示しており、共振器方向を含む断面図である。

30

【0058】

まず、図2(a)に示すように、コンタクト層9の上面全体に触媒CVD法を用いて厚さ 50nm の SiN_{x1} 保護膜10を成膜する。この SiN_{x1} 保護膜10は、緻密かつ内部応力が小さい膜である。次に、 SiN_{x1} 保護膜10の上面にレジストを塗布し、これをフォトリソグラフィによりパターンニングを行い、後述する混晶化されない領域を覆うレジストマスク11を形成する。

【0059】

続いて、四フッ化炭素(CF_4)を用いた反応性イオンエッチング(RIE:reactive ion etching)によりレジストマスク11に覆われない領域の SiN_{x1} 保護膜10をエッチングした後に、レジストマスク11を有機溶剤により除去する。これにより、図2(b)に示すように、混晶化される領域においては、 SiN_{x1} 保護膜10に覆われないコンタクト層9が露出し、それ以外の領域は SiN_{x1} 保護膜10により覆われた状態となる。

40

【0060】

さらに、図2(c)に示すように、露出したコンタクト層9と SiN_{x1} 保護膜10の上面全体に触媒CVD法を用いて厚さ 25nm の SiN_{x2} 混晶化促進膜12を成膜する。この SiN_{x2} 混晶化促進膜12の組成比 $x2$ は、 SiN_{x1} 保護膜10の組成比 $x1$ とは異なっており、この点については後に説明する。

50

【0061】

図3(a)、(b)は、図6に示した装置を用いて窓構造を形成するための混晶化熱処理の工程を示す断面図である。

【0062】

上のように SiN_{x1} 保護膜10および SiN_{x2} 混晶化促進膜12が施されたエピタキシャルウエハ13を、図6に示す石英トレイ14内に設置されたシリコンカーバイド(SiC)製の台座15上に載置する。そして、窒素(N_2)ガス雰囲気中において、石英トレイ14の下部に配置されたランプヒータ16によって温度930℃で30秒間加熱する短時間熱処理(RTA: Rapid Thermal Anneal)を行う。このRTAを行うことによって、 SiN_{x2} 混晶化促進膜12の下部に位置する層からガリウム(Ga)が SiN_{x2} 混晶化促進膜12に吸収され、コンタクト層9の表面付近に原子空孔が生じる。この原子空孔が拡散し、特に多重量子井戸活性層4bに到達することによって混晶化が起こり、図3(a)に示すように窓部28が形成される。なお、石英トレイ14は、その上に蓋17がされて、ガス導入口18及びガス排出口19を通してその内部に窒素ガスを例えば2リットル/分の流量で流入、流出させるようになっている。

10

【0063】

その後、図3(b)に示すように、 SiN_{x1} 保護膜10および SiN_{x2} 混晶化促進膜12をフッ酸により除去する。

【0064】

続いて、図4(a)、(b)に示す工程により、半導体レーザ素子を完成させる。すなわち、上部電極21および下部電極22を形成したのち、図4(a)の混晶化した領域の略中央(破線Cで示す位置)において劈開し、複数の半導体レーザ素子からなるレーザバーとして分離する(バーの長手方向は紙面に垂直である)。この分離されたレーザバーにおける劈開端面に、図4(b)に示すように、出射側端面に低反射膜23を、反射側端面に高反射膜24をコーティングする。最後に、紙面に平行なカッティングを行うことにより、レーザバーの各半導体レーザ素子がチップ状に分離され、半導体レーザ素子が完成する。

20

なお、上部電極21は、コンタクト層9上に例えばチタン(Ti)、プラチナ(Pt)、金(Au)を順に形成してなる多層金属層からなり、また、下部電極22は、半導体基板1の下面に例えば金・ゲルマニウム・ニッケル(AuGeNi)合金、またはその上に金層を形成した構造から構成されている。

30

【0065】

[触媒CVD法による誘電体膜形成の説明]

上述したように図2(a)～(c)に示した工程で形成される SiN_{x1} 保護膜10および SiN_{x2} 混晶化促進膜12は、触媒CVD法によって形成される。図7は、触媒CVD装置の概略構成を示す図である。

【0066】

図7において、触媒CVD装置は、チャンバ31に圧力調製バルブ38を介して真空ポンプ37が接続されている。チャンバ31内には基板加熱ヒータ36を有する基板ホルダ35を備え、この基板ホルダ35に、保護膜10、混晶化促進膜12が形成されるべきエピタキシャルウエハ34が装着される。また、チャンバ31内では、エピタキシャルウエハ34の上方に加熱用のタングステンワイヤ33が設けられ、さらにその上方にはシャワーヘッド32が設けられている。

40

【0067】

そのような構成を有する触媒CVD装置を使用して保護膜10又は混晶化促進膜12を形成する場合には、基板ホルダ35上にエピタキシャルウエハ34を装着する前に、基板加熱ヒータ36を200℃～300℃程度に加熱しておく。そして、エピタキシャルウエハ34の装着後、真空ポンプ37を作動させ、チャンバ31内を所定の圧力、例えば 1×10^{-4} Pa程度まで減圧する。

【0068】

50

さらに、シャワーヘッド 32 を通してアンモニア (NH_3) を所定の流量 f_{NH_3} でチャンバ 31 内に導入すると共に、タングステンワイヤ 33 に通電を行ってタングステンワイヤ 33 の温度を 1650°C に保つ。そして、シャワーヘッド 32 を介してシラン (SiH_4) を所定の流量 f_{SiH_4} で導入し、チャンバ 31 内の圧力を 4.0 Pa に保つ。

【0069】

チャンバ 31 内に導入された SiH_4 の分子と NH_3 の分子は、 $1600^\circ\text{C} \sim 2000^\circ\text{C}$ 程度に加熱されたタングステンワイヤ 33 に接触し、これを触媒として分解活性化して SiH_y と NH_z となって熱脱離し、基板加熱ヒータ 36 により加熱されたウエハ 34 上で反応し、 SiN_x となって堆積する。

【0070】

ところで、 SiN_{x1} 保護膜 10 および SiN_{x2} 混晶化促進膜 12 は共に上述した触媒 CVD 法により形成される SiN_x であるが、 SiN_x は、その組成によって、保護膜 10 として機能するか混晶化促進膜 12 として機能するかが決まる。すなわち、上記の原料ガス流量 f_{NH_3} および f_{SiH_4} を適切に設定することにより、触媒 CVD 法を用いて保護膜 10 と混晶化促進膜 12 を作り分けることが可能である。

【0071】

本発明者は、例えば 980 nm 帯の半導体レーザを作製する場合において、成膜時のガス圧、即ちチャンバ 31 内の圧力を 4.0 Pa に設定して成膜したとき、堆積された SiN_x の屈折率が 1.96 となる組成付近を境として、これよりも Si の多い組成 (屈折率 > 1.96) では膜の原子密度が高くなって保護膜 10 として機能し、 Si の少ない組成 (屈折率 < 1.96) では膜の原子密度が低くなって混晶化促進膜 12 として機能することを見出した。

【0072】

たとえば、図 8 は、本実施形態で説明した半導体レーザ作製用のエピタキシャルウェーハの表面に、アンモニア流量を一定としつつシランの流量を変化させて種々の組成の SiN_x 膜を形成した後に、 980°C で 30 秒間の熱処理を施して、量子井戸活性層の混晶化度合いを測定したものである。混晶化度合いは、その熱処理前後の室温におけるフォトルミネッセンススペクトルピーク波長のシフト量を、エネルギーシフト (meV) で表示している。図 8 中、●印で示されたプロットは触媒 CVD 法によって SiN 膜を成膜した場合を示し、○印で示したプロットは、比較例として、プラズマ CVD 法 (PECVD: Plasma Enhanced CVD) により SiN 膜を成膜した場合を示している。各成膜方法で用いた成膜条件は、下記の通りである。なお、図 8 においてシラン流量を大きくすると膜の屈折率が大きくなる。

【0073】

(触媒 CVD 法による SiN 膜の成膜条件)

堆積した SiN 膜の膜厚: 50 nm 、
 ガス圧 (チャンバ内の圧力): 4.0 Pa 、
 基板温度: 250°C 、
 タングステンワイヤ温度: 1650°C 、
 アンモニア流量: 0.2 リットル/分、
 シラン流量: $0.001 \sim 0.003$ リットル/分

【0074】

(プラズマ CVD 法による SiN 膜の成膜条件)

堆積した SiN 膜の膜厚: 50 nm 、
 RF パワー: 190 mW 、
 ガス圧 (チャンバ内の圧力): 50 Pa 、
 基板温度: 250°C 、
 窒素流量: 0.28 リットル/分、
 シラン流量: $0.004 \sim 0.008$ リットル/分

【0075】

なお、図8において、プラズマCVD法による場合の膜組成は、供給するシランの流量を変化させることにより変化させた。

【0076】

図8からわかるように、上記成膜条件の下で触媒CVD法によりSiN膜を形成した場合において、堆積された膜の屈折率が約1.96より大きい場合には、熱処理前後のエネルギーシフト量が小さく、1.96よりも小さい場合には、エネルギーシフト量が多い。このことは、堆積された膜の屈折率が約1.96より大きい場合には保護膜10として機能し、1.96よりも小さい場合には混晶化促進膜12として機能していることを意味している。

【0077】

この知見にもとづき、本実施形態においては、SiN_{x1}保護膜10を形成する場合には $f_{NH_3} = 0.2$ リットル/分、 $f_{SiH_4} = 2.5 \times 10^{-3}$ リットル/分とし、また、SiN_{x2}混晶化促進膜12を形成する場合には $f_{NH_3} = 0.2$ リットル/分、 $f_{SiH_4} = 2.0 \times 10^{-3}$ リットル/分とした。チャンバ内の圧力は、いずれの誘電体膜を形成する場合においても、4.0Paとした。このとき、保護膜及び混晶化促進膜の屈折率を測定したところ、それぞれ2.02、1.94であった。

【0078】

なお、形成されるSiN_xの組成と原料ガス流量との関係は、触媒CVD装置ごと、あるいは成膜条件（成膜時のガス圧、基板温度、タングステンワイヤ温度など）ごとに異なる場合があるので、触媒CVD装置や成膜条件ごとにSiN_xの組成を屈折率測定などによりチェックすることが望ましい。

【0079】

たとえば、発明者は、上記と同様にして、成膜時のガス圧を2.0Paに設定してSiN膜を成膜したときは、屈折率が2.07となる組成付近を境として、これよりもSiの多い組成（屈折率>2.07）では高密度の保護膜として機能し、Siの少ない組成（屈折率<2.07）では低密度の混晶化促進膜として機能することを見出した。このように、触媒CVD装置や成膜条件ごとに、得られた膜が保護膜として機能するかあるいは混晶化促進膜として機能するかの境界の組成について条件出しを行い、これを基準として原料ガス流量を調整することによって、保護膜と混晶化促進膜とを作り分けることができる。

【0080】

なお、このように、成膜条件で決まる所定の原料ガス流量を境にして、堆積された膜が保護膜として機能するか混晶化促進膜として機能するかが決定される原因については、必ずしも完全には解明されていないが、発明者は、この点に関し、次のように考えている。すなわち、触媒CVD法によってシラン流量を変化させて種々の組成の誘電体膜（SiN_x膜）を形成した場合、シラン流量が多い場合には膜中に取り込まれるSiが多く密度の高い膜になり、シラン流量が少ない場合には密度の低い膜になる。密度の低い誘電体膜では、骨格原子間隔が広いと考えられ、したがってこれを半導体結晶上に形成し、熱処理をした場合には、半導体結晶から誘電体膜の方にIII族であるGa原子が吸収されやすい。すなわち、原子の抜けにより半導体結晶内に原子空孔が生じやすい。

【0081】

これに対し、密度の高い誘電体膜では、骨格原子間隔が狭いと考えられ、したがってこれを半導体結晶上に形成し、熱処理をしても、半導体結晶から誘電体膜の方にGa原子が吸収されることは少ない。すなわち、半導体結晶内に原子空孔が生じにくい。

【0082】

このような性質の違いにより、密度の高い誘電体膜は量子井戸の混晶化に対する保護膜として機能し、密度の低い膜は促進膜として機能する。

【0083】

そして、膜の密度の大小の測定は一般には困難であるが、屈折率を測定することによって判別することができる。本実施形態例では、図8に示したように、屈折率が成膜条件に依存して決まる所定値よりも大きい場合には保護膜として、該所定値よりも小さい場合に

10

20

30

40

50

は混晶化促進膜として、それぞれ機能すると判別できることを見出した。

【0084】

また、膜中に含まれるSiの組成比が、当該誘電体膜におけるSiの化学量論的組成比よりも大きい場合には、密度の大きい保護膜として機能し、Siの組成比が、当該誘電体膜におけるSiの化学量論的組成比よりも小さい場合にはも密度の小さい混晶化促進膜として機能する。

【0085】

さらに、誘電体膜中に取り込まれる水素原子の量に着目すると、水素が多いほど骨格原子間隔が広く、これを半導体結晶上に形成し、熱処理をした場合には、半導体結晶から誘電体膜の方にGa原子が吸収されやすい。すなわち、半導体結晶内に原子空孔が生じやすい。これに対して、水素が少ない膜では、骨格原子間隔が狭く、したがってこれを半導体結晶上に形成し、熱処理をしても、半導体結晶から誘電体膜の方にGa原子が吸収されることは少ない。すなわち、半導体結晶内に原子空孔が生じにくい。したがって、膜中の水素濃度が低い誘電体膜は保護膜として、高い膜は促進膜として機能する。

【0086】

なお、図8からわかるように、触媒CVD法を使用した場合の方が、プラズマCVD法を用いて成膜した場合と比較して、成膜条件に応じて決まる基準値を境に熱処理前後におけるエネルギーシフト量が、より急峻に変化する。これは、触媒CVD法では、緻密な膜を形成しやすいので、膜の密度差を利用して保護膜と混晶化促進膜とを作り分けることに適しているからであると考えられる。もっとも、緻密な膜がある程度確実に得られる成膜条件を用いれば、触媒CVD法以外の他の成膜方法によっても本発明を適用することはできる。

【0087】

また、触媒CVD法により、窓部が形成されない領域に SiN_{x1} 保護膜10を形成したため、 SiN_{x1} 保護膜10が緻密で低応力となり、混晶化熱処理中における半導体表面からのAs等の原子の脱離を十分に阻止することができる。よって、本発明によれば、Asの脱離により生じたピットがコンタクト層9の表面荒れを引き起こすといった問題が生じることがないので、上部電極21とのコンタクトが良好となる。更に、ピットが転位欠陥となってレーザ動作中に活性層まで伝播することがないので、長期信頼性に優れた半導体レーザを得ることができる。

【0088】

また、従来のように混晶化促進膜として SiO_2 を用いるのではなく、触媒CVD法により作製された SiN_x 膜を用いることにより得られる主な利点を、実験結果を取り入れながら以下に説明する。

【0089】

(触媒CVD法による SiN_x 混晶化促進膜を用いる利点：1) 本実施形態では、混晶化促進膜として、従来の SiO_2 ではなく SiN_x を用いたため、半導体結晶中への酸素の混入が起こらずに済む。すなわち、半導体結晶表面に形成された SiO_2 膜から酸素原子が半導体層中に拡散し、結晶欠陥となって長期信頼性を低下させる原因となっていたところ、 SiN_x はそもそも酸素を含まないから、酸素の問題は少ない。

【0090】

(触媒CVD法による SiN_x を用いる利点：2) 本実施形態において、 SiN_{x1} 保護膜10を混晶化を行わない領域のみにパターンニングする際、 SiN_{x1} 保護膜10を CF_4 を用いた反応性イオンエッチングによりエッチングして半導体レーザの端部のコンタクト層9を露出させるが(図2(b))、この後に SiN_{x2} 混晶化促進膜12を堆積した場合のコンタクト層9と SiN_{x2} 混晶化促進膜12との界面は、混晶化促進膜12の堆積に触媒CVD法を用いているため非常に良好となる。これは、触媒CVD法においては、水素ラジカルによりコンタクト層9の表面エッチングが起こり、クリーニング効果が得られるためと考えられる。一方、フッ素によるエッチング処理を受けたコンタクト層9上に、従来よく用いられる方法、たとえばプラズマCVD法やEB蒸着等により混晶化

促進膜を形成した場合は、 SiN_x 混晶化促進膜 12 の下部にあるコンタクト層 9 表面にピット状の荒れが生じる場合がある。

【0091】

このことを確認するために、以下の実験を行った。本実施形態に示したものと同様なレーザ構造のエピタキシャルウエハを用いて、以下の 2 種類の試料 A、B を作製した。

試料 A は、半導体層表面に CF_4 を用いた RIE 処理を行った後に EB 蒸着法により SiO_2 膜を形成したものである。その SiO_2 膜は、基板温度を 180°C に設定して、膜厚 20nm の膜厚に形成された。また、試料 B は、半導体層表面に CF_4 を用いた RIE を行ったのちに、触媒 CVD 法により SiN_x 膜を形成した。 SiN_x 膜は、シラン流量 $f_{\text{SiH}_4} = 2 \times 10^{-3}$ リットル/分として、 50nm の膜厚に形成された。これらの試料 A、B について、半導体層表面に発生したピットの数を計測したところ、試料 A については 3000 個/ cm^2 であり、試料 B については 500 個/ cm^2 以下と少なかった。また、試料 B の作製において、 SiH_4 流量を変えてもピット数が増加することはなかった。

10

【0092】

このように、触媒 CVD 法により誘電体膜を形成することで、誘電体膜下部にある化合物半導体層の表面に生じるピット数を低く抑えることができる。これにより、半導体レーザ素子の信頼性が確保されることが期待できる。

【0093】

なお、本実施形態においては、誘電体膜の形成順序として、半導体レーザ表面において混晶化される領域を除いた領域に保護膜を形成したのちに、少なくとも混晶化される領域を覆う混晶化促進膜を形成する場合について説明した。このように、高密度の保護膜の上に低密度の混晶化促進膜を形成することは、保護膜の成膜時に膜中に吸収されたガスが、混晶化熱処理中に低密度の混晶化促進膜を通じて効率的に外部に放出されるという点で有利である。

20

【0094】

一方、誘電体膜の形成順序は上記の順序に限られず、逆としてもよい。すなわち、図 9 のように、混晶化促進膜を先に形成し、その後これを上部から覆い、かつ混晶化される領域を覆うように保護膜を形成する場合は、熱処理中に密度の小さい混晶化促進膜中に外部から熱処理炉内の雰囲気中に存在する Ga などの不純物が溶け込んで拡散することがない。そうすると、混晶化促進膜が熱処理中に半導体層から吸収する Ga の量の変動が抑えられるので、混晶化促進膜としての機能が安定する点で有利である。

30

【0095】

また、本実施形態においては、保護膜および混晶化促進膜を SiN_x としたが、半導体結晶中の構成原子を吸収して当該半導体結晶内に原子空孔を生じさせることができ、かつ、堆積される膜の密度を成膜条件によって制御できるものであれば、他の種類の誘電体膜であってもよいことは言うまでもない。また、これらの誘電体膜の形成方法も触媒 CVD 法に限られるものではなく、堆積される膜の密度が制御可能な成膜条件を用いる限り、たとえばプラズマ CVD 法や EB 蒸着法、スピコート法なども利用可能である。

【0096】

[電流非注入構造]

次に、図 4 (b) に示されるように、本発明の一つの局面における製造方法により形成される電流非注入構造は、上部クラッド層 6 中の端面近くに、上部クラッド層 6 と逆の導電型を有する長さ L_n の層を有している。この電流非注入構造においては、窓部の長さ L_w は $10\mu\text{m}$ 、電流非注入層 8 の長さ L_n は、窓部の長さ L_w よりも長い、 $20\mu\text{m}$ である。電流非注入層 8 により、半導体レーザに供給される電流は、混晶化熱処理により原子空孔が導入された領域に注入されないため、結晶品質の劣化が防止され、半導体レーザ素子の信頼性が向上する。また、端面付近における非発光再結合が抑制され、混晶化による窓構造と相まって、COD の防止に更に効果的となる。なお、 L_n を $L_w + 10\mu\text{m}$ よりも長くすると、活性層領域に十分に電流が注入されない場合がある。このため、電流非注

40

50

入層 8 の長さ L_n は、半導体レーザ素子の端部から測った混晶化する部分（窓部）の長さを L_w として、 $L_w + 10 \mu\text{m}$ 以下であることが好ましい。なお、 $L_n < L_w$ の関係にあってもよい。ここで、 L_n 、 L_w の長さは、共振器長方向の長さである。

【0097】

また、電流非注入層 8 は、横方向に光を閉じ込めるための低屈折率層をかねるため、ストライプ状の共振器の長手方向両側の領域にも連続して形成される。よって、電流非注入層 8 を形成するための一回のマスキングで、導波モードの横閉じ込め構造と電流非注入構造とを一度に作製することができる。

【0098】

このような電流非注入構造は、図 1 及び図 5 に示すように、多重量子井戸活性層 4 b 上に形成された上部キャリアブロック層 4 a の上部に上部光導波層 5 を途中まで積層した後、ストライプ状の半導体層（電流非注入層）8 を、のちに半導体レーザ素子の端面となるべき位置から中央方向に長さ L_n の位置までの領域（図 1（a）参照）及びストライプ状の共振器の長手方向両側の領域（図 5（a）参照）に選択的に堆積させ、しかる後に残りの上部光導波層 5 を積層して上記半導体層 8 を埋め込むことによって形成される。ここにおいて、電流非注入層 8 の導電型は、これを埋め込む上部導波層 5 の導電型とは反対のものとする。

【0099】

なお、上記説明においては、上部光導波層 5 に上部導波層 5 と反対の導電型を有する半導体層 8 を埋め込むこととしたが、電流非注入構造は、下部導波層 3 内に下部導波層 3 と反対の導電型を有する半導体層を埋め込むことにより形成してもよいし、上部導波層 5 及び下部導波層 3 の両方にそれぞれの導電型と逆の導電型を有する半導体層を埋め込むことにより形成してもよい。

【0100】

[DCH構造]

また、本発明の一つの局面における製造方法により形成される DCH 構造は、導波領域中にキャリアブロック層を有する。一方、従来から高出力半導体レーザ素子としては、分離閉じ込めヘテロ（SCH）構造がよく用いられている。図 10（a）（b）に、両構造について禁制帯幅分布（左側の縦軸）および屈折率分布（右側の縦軸）を示す。

図 10（a）は SCH 構造のものであり、活性層 4' を挟んで光導波層 3'、5' を備えている。図 10（b）は、本実施形態の半導体レーザ素子が採用する DCH 構造のものである。なお、活性層 4、4' における量子井戸構造内部の各層の禁制帯幅および屈折率分布形状は省略されている。

【0101】

DCH 構造から出射されるレーザ光の導波モードは SCH 構造に比べてガウス型に近く、クラッド層への光のしみ出しが小さいので、同じ発振波長と放射角度を持つようにレーザを設計した場合、DCH 構造におけるレーザ構造全体の膜厚（図 10（b）の L_2 ）を SCH 構造の場合の全体の膜厚（図 10（a）の L_1 ）に比べて薄くすることができる。よって、原子空孔の拡散による多重量子井戸層の混晶化の結果形成される窓構造を有する半導体レーザ素子では、DCH 構造を採用することにより、混晶化に必要な原子空孔の拡散長さを短くできる。このため、混晶化熱処理をより低い温度で行うことができ、混晶化熱処理がレーザ結晶性に与えるダメージを最小限に抑えることができる。

【0102】

また、SCH 構造では、キャリアを活性層に効率よく閉じ込めるために光導波層 3' の Al 組成比をある程度高くする必要があった。これに対し、DCH 構造では、キャリアブロック層 4 a、4 c がキャリアを閉じ込める役割を担うため、光導波層 3 の Al 組成比を高くする必要はなく、光導波層 3 を GaAs で構成してもよい。光導波層を GaAs で構成すると、高 Al 組成比の AlGaAs 層で起こり易かった再成長界面への酸素の蓄積が抑制されるため、再成長界面におけるポテンシャルバリアの形成が抑えられ、動作電圧の上昇を避けることができる。また、再成長界面における酸素の蓄積抑制により、非発光再

結合が抑制され、長期信頼性に優れた半導体レーザ素子となる。

【0103】

かかるDCH構造は、図1及び図5に示すように、多重量子井戸活性層4bと上部光導波層5との間、及び多重量子井戸活性層4bと下部光導波層3との間に、それぞれ光導波層5、3の各禁制帯幅以上の禁制帯幅を有する上部キャリアブロック層4a及び下部キャリアブロック層4cを積層することによって形成される。

【0104】

(実施例)

直径2インチのGaAs基板上に、図1(b)に示すような、半導体積層構造を形成した。この積層構造は、n-GaAs基板1上に膜厚2.4 μ mのn-Al_{0.08}Ga_{0.92}As下部クラッド層2、膜厚0.48 μ mのn-GaAs下部導波層3、膜厚0.035 μ mのn-Al_{0.4}Ga_{0.6}As下部キャリアブロック層4c、膜厚0.01 μ mのIn_{0.14}Ga_{0.86}As量子井戸層を二層含む多重量子井戸活性層4b、膜厚0.035 μ mのp-Al_{0.4}Ga_{0.6}As上部キャリアブロック層4a、膜厚0.45 μ mの上部導波層5、膜厚0.8 μ mのp-Al_{0.32}Ga_{0.68}As上部クラッド層6、膜厚0.3 μ mのp-GaAsコンタクト層9を順次積層してなるものである。上部導波層5には、所定の間隔で膜厚0.055 μ mのストライプ状のn-Al_{0.32}Ga_{0.68}As層8が埋めこまれている。このような積層構造を有する半導体基板について、フォトルミネッセンスピーク波長を測定したところ、バンドギャップエネルギーに換算して1.276eVであった。

【0105】

次に、図2(a)に示すように、コンタクト層9の上面全体に触媒CVD法を用いて厚さ50nmのSiN_{x1}保護膜10を成膜した。触媒CVD法による成膜は、チャンバ内の圧力を4.0Pa、基板温度を250℃、タングステンワイヤ温度を1650℃とし、原料ガスとしてアンモニアを0.2リットル/分、シランを0.0025リットル/分の流量で、それぞれ供給することにより行った。堆積されたSiN_{x1}保護膜10の屈折率をエリプソメータで測定したところ、2.02であった。

【0106】

しかる後に、フォトリソグラフィを用いてSiN_{x1}保護膜10の上面にレジストパターンニングを行い、半導体素子の端部以外の領域を覆うレジストマスク11を形成した。このレジストマスク11を用いて四フッ化炭素(CF₄)を用いた反応性イオンエッチング(RIE: reactive ion etching)によるSiN_{x1}保護膜10のエッチングを行った後に、レジストマスク11を有機溶剤により除去した(図2(b))。これにより、コンタクト層9の一部が露出した。

【0107】

つぎに、露出したコンタクト層9とSiN_{x1}保護膜10の上面全体に触媒CVD法を用いて厚さ25nmのSiN_{x2}混晶化促進膜12を成膜した(図2(c))。触媒CVD法による成膜は、チャンバ内の圧力を4.0Pa、基板温度を250℃、タングステンワイヤ温度を1650℃とし、原料ガスとしてアンモニアを0.2リットル/分、シランを0.002リットル/分の流量で、それぞれ供給することにより行った。堆積されたSiN_{x2}混晶化促進膜12の屈折率をエリプソメータで測定したところ、1.94であった。

【0108】

次に、この半導体基板を図6に示すように、石英トレー14内に設置されたシリコンカーバイド(SiC)製の台座15上に載置し、窒素(N₂)ガス雰囲気中において、石英トレー14の下部に配置されたランプヒータ16によって温度930℃で30秒間加熱した後、SiN_{x1}保護膜10およびSiN_{x2}混晶化促進膜12をフッ酸により除去した(図3(b))。このとき、SiN_{x1}保護膜10、およびSiN_{x2}混晶化促進膜12が形成されていた部分において、フォトルミネッセンスピーク波長を測定し、熱処理前に測定されたフォトルミネッセンスピーク波長と比較したところ、SiN_{x1}保護膜10が

形成されていた部分ではバンドギャップエネルギーに換算して約 5 meV 程度以下のシフト（短波長化）であったのに対して、 SiN_x 混晶化促進膜 12 が形成されていた部分では、約 35 meV 程度のシフトが認められた。

【0109】

次に、ストライプ状に埋めこまれた $\text{n-Al}_{0.32}\text{Ga}_{0.68}\text{As}$ 層 8 の略中央部にて GaAs 基板を劈開し（図 4（a））、複数のレーザバーとした。そして、出射端面側となるべき劈開面に低反射膜 23 を、反対側の劈開面に高反射膜 24 をコーティングした（図 4（b））。最後に、各レーザバーを所定間隔で分割し、個々の半導体レーザ素子を得た。

【0110】

このようにして作製された半導体レーザ素子について、電流光出力特性（光出力の注入電流依存性）を測定した。これを図 11 に示す。なお、比較例として、窓構造を有しない半導体レーザ素子についても、電流光出力特性を測定した。図 11 のカーブ L2 に示すように、窓構造を有しない半導体レーザ素子では、注入電流があるレベルに達すると、COD により光出力が突然ゼロとなった。一方、本実施例の製造方法によって作成された半導体レーザ素子においては、COD は起こらず、熱飽和による光出力の減少のみが観察された。

【0111】

更に、この半導体レーザ素子は、その製造工程において、混晶化熱処理に伴う半導体表面からの As 抜けが解消されたこと、混晶化熱処理中の酸素の混入がないこと、電流非注入構造の採用および DCH 構造の採用といった特徴を有するため、優れた長期信頼性を示すものである。

【0112】

なお、上記説明では、 $0.98\text{ }\mu\text{m}$ 帯の半導体レーザ素子について本発明に係る製造方法を適用した場合について説明をしたが、本発明の製造方法は、他の波長帯の半導体レーザ素子にも適用できる。また、半導体レーザ素子は横シングルモード発振又は横マルチモード発振するもののいずれの場合であっても、本発明の製造方法が適用可能であることは言うまでもない。さらに、上記説明では、単一の発光ストライプを有する半導体レーザ素子についてされているが、本発明が複数の発光ストライプを配列したアレイレーザについて適用できることも、言うまでもない。

【0113】

また、上記説明では、多重量子井戸層を有する半導体レーザについて説明したが、単一量子井戸層を有する半導体レーザを形成する場合に、本発明の製造方法を使用して窓構造を形成し、COD を防止するようにしてもよい。

さらに、本発明の製造方法は、半導体素子に COD を防止するための窓構造を形成する場合に限らず、より一般に半導体素子のうち特定の部分の化合物半導体層のエネルギーバンドギャップを広げるために使用することができる。たとえば、混晶化促進膜を、コンタクト層 9 のうち活性層 4b の電流注入領域の両側の領域の上に形成し、熱処理を行えば、当該活性層 4b の両側の領域が混晶化して屈折率が小さくなるので、その混晶化した部分と活性層とからなる横方向の屈折率分布により、光の横方向閉じ込めの機能を発揮させることができるようになる。

【図 1】

FIG.1 (a)

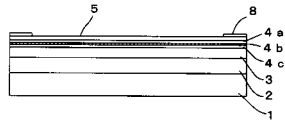
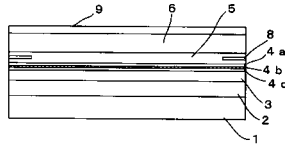


FIG.1 (b)



【図 2】

FIG.2 (a)

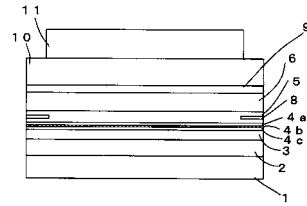


FIG.2 (b)

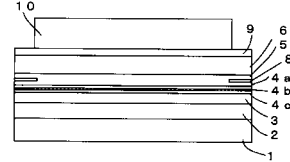
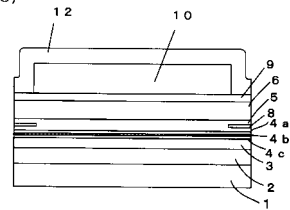


FIG.2 (c)



【図 3】

FIG.3 (a)

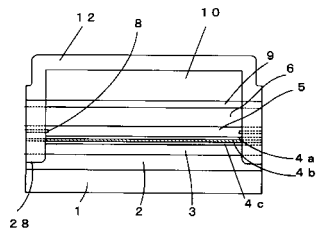
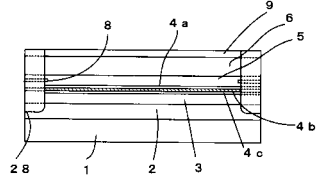


FIG.3 (b)



【図 4】

FIG.4 (a)

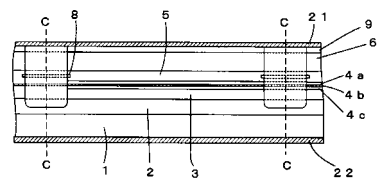
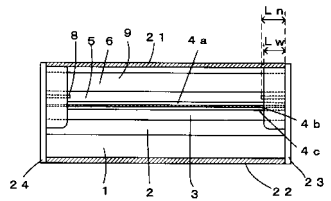


FIG.4 (b)



【図 5】

FIG. 5 (a)

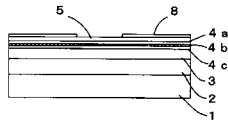
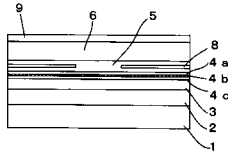
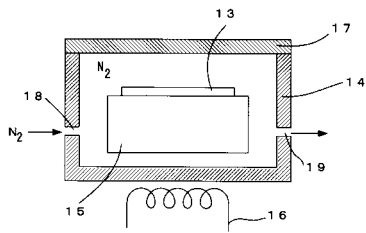


FIG. 5 (b)



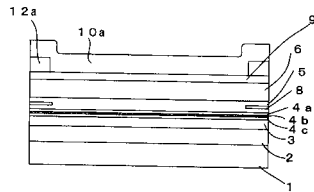
【図 6】

FIG. 6



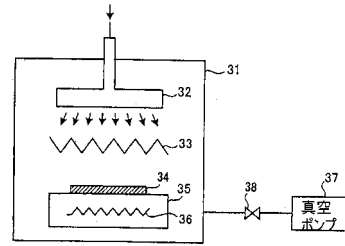
【図 9】

FIG. 9



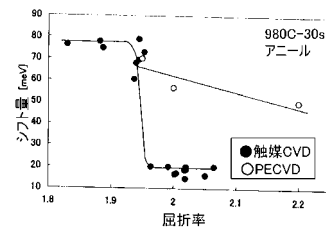
【図 7】

FIG. 7



【図 8】

FIG. 8



【図 10】

FIG. 10 (a)

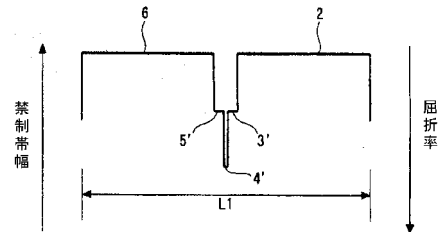
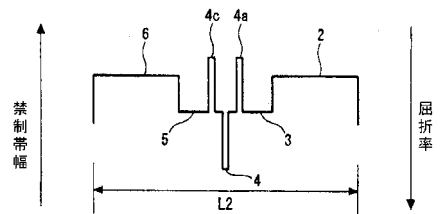
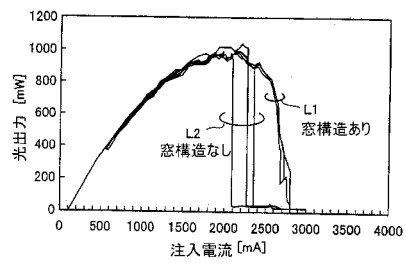


FIG. 10 (b)



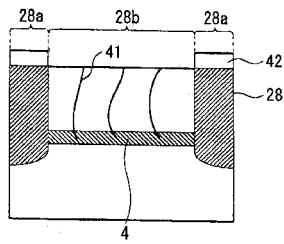
【図 1 1】

FIG.11



【図 1 2】

FIG.12



フロントページの続き

- (74)代理人 100135633
弁理士 二宮 浩康
- (74)代理人 100143959
弁理士 住吉 秀一
- (74)代理人 100114890
弁理士 アインゼル・フェリックス＝ラインハルト
- (74)代理人 100101764
弁理士 川和 高穂
- (72)発明者 山田 由美
茨城県水戸市袴塚2-3-15-202

審査官 中田 誠

- (56)参考文献 特開2001-057459 (JP, A)
特開2001-015859 (JP, A)
特開昭61-289689 (JP, A)
特開平09-045986 (JP, A)
Choi, W. J. et al., Dependence of dielectric-cap quantum-well disordering of GaAs-AlGaAs quantum-well structure on the hydrogen content in SiNx capping layer, IEEE JOURNAL OF SELECTED TOPICS IN QUANTUM ELECTRONICS, 1998年, VOL. 4, NO. 4, pp.624-628
- (58)調査した分野(Int.Cl., DB名)
H01S 5/00 - 5/50