



**ÚŘAD PRO VYNÁLEZY
A OBJEVY**

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

230 000

(B1)

(51) Int. Cl.³
G 06 K 7/016

(61)

(23) Výstavní priorita

(22) Přihlášeno 16 09 80

(21) PV 6263-80

(40) Zveřejněno 30 06 81

(45) Vydáno 01 02 86

(75)

Autor vynálezu

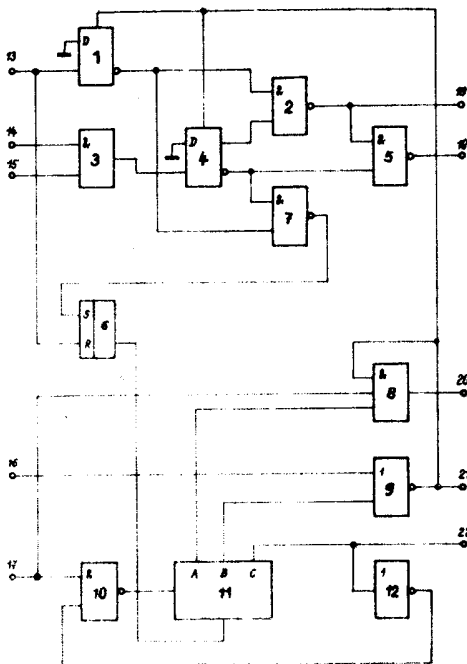
HAMPL MIROSLAV ing., SLANÝ,

STRNAD PAVEL ing., PRAHA

(54)

**Zapojení pro ovládání dvou registrů vyrovnávací paměti
a k ovládání pohybu media u snímačů děrné pásky**

Podstata vynálezu spočívá v tom, že signál start je přiveden na nulovací vstup klopného obvodu typu RS a současně je přiveden na hodinový vstup prvního klopného obvodu typu D. Použití takto řešeného zapojení pro ovládání dvou registrů vyrovnávací paměti a k ovládání pohybu paměti media umožňuje vzájemně prodloužit vlastní brzdnou dráhu snímáče a tím podstatně snížit mechanické nároky na medium a tak zvýšit spolehlivost čtení. Zároveň je zde vytvořena možnost vynechávat prázdné znaky použitým zablokováním negovaného signálu vodící stopy.



230 000

Předmětem vynálezu je zapojení pro ovládání dvou registrů vyrovnávací paměti a k ovládání pohybu media u snímačů děrné pásky.

V současné době jsou kladeny stále se zvyšující požadavky na funkci, ale především spolehlivost snímačů děrné pásky. Schopnost těchto přístrojů snímat informaci z media s různou průsvitností při různých rychlostech snímání od desítek znaků za vteřinu do rychlostí přesahujících 1500 znaků za sekundu zároveň se schopností zastavit za libovolným znakem bez ztráty informace při dalším startu, vede k velkým mechanickým nárokům na informační medium a tak pronikavě snižuje spolehlivost snímačů při vícenásobném snímání téhož media, případně vede ke značné složitosti celého přístroje.

Tyto nevýhody odstraňuje zapojení pro ovládání dvou registrů vyrovnávací paměti a k ovládání pohybu media u snímače děrné pásky podle vynálezu. Jeho podstata spočívá v tom, že vstup pro startovací signál je připojen na nulovací vstup R klopného obvodu typu RS a současně je připojen na hodinový vstup prvního klopného obvodu typu D, jehož datový vstup D je spojen s logickou úrovní nula a jehož negovaný výstup je připojen současně na první vstup prvního logického členu NAND a na první vstup třetího logického členu typu NAND. Dále na hodinový vstup druhého klopného obvodu typu D, jehož datový vstup D je spojen s logickou úrovní nula, je připojen na výstup prvního součinného logického členu, jehož první vstup je určen pro vstup negovaného signálu vodící stopy. Druhý jeho vstup je určen pro vstup

negovaného logického součtu všech informačních stop a na druhý vstup prvního logického členu typu NAND je připojen přímý výstup druhého klopného obvodu typu D a výstup prvního logického členu typu NAND, určený pro výstup signálu stop media, je připojen na první vstup druhého logického členu typu NAND, jehož výstup je určen pro výstup signálu záznamu do prvního registru a jehož druhý vstup je spojen s druhým vstupem třetího logického členu typu NAND a zároveň s negovaným výstupem druhého klopného obvodu typu D. Výstup třetího logického členu typu NAND je spojen s nastavovacím vstupem klopného obvodu typu RS, jehož výstup je spojen s nulovacím vstupem binárního čítače. Výstup C třetího stupně binárního čítače je připojen na výstup pro signál informace připravena a současně je připojen na vstup logického členu negace, jehož výstup je připojen na první vstup čtvrtého logického členu typu NAND, jehož výstup je připojen na vstup binárního čítače. Druhý vstup čtvrtého logického členu typu NAND je spojen s prvním vstupem druhého součtinového logického členu a současně se vstupem pro signál taktovacího generátoru. Druhý vstup druhého součtinového logického členu je připojen výstup A prvního stupně binárního čítače a výstup B druhého stupně binárního čítače je připojen na první vstup logického členu typu NOR, jehož druhý vstup je připojen na vstup pro negovaný signál připravenosti zařízení a jehož výstup je spojen s třetím vstupem druhého součtinového logického členu a současně s nastavovacím vstupem prvního klopného obvodu typu D a s nastavovacím vstupem druhého klopného obvodu typu D. Výstup druhého součtinového logického členu je spojen s výstupem pro signál přepis druhého registru a výstup logického členu typu NOR je spojen s výstupem pro signál nulování prvního registru.

Použití takto řešeného zapojení pro ovládání dvou registrů vyrovnávací paměti a k ovládání pohybu media u snímače děrné pásky umožňuje významně prodloužit vlastní brzdnou dráhu snímače a tím podstatně snížit mechanické nároky na medium a tak zvýšit spolehlivost čtení. Zároveň je zde vytvořena možnost vynechávat prázdné znaky pouhým zablokováním negovaného signálu vodicí stopy.

Příklad zapojení pro ovládání dvou registrů vyrovnávací paměti a k ovládání pohybu media u snímače děrné pásky podle vynálezu je znázorněn ve schematu na připojeném výkrese.

Jednotlivé prvky zapojení jsou spojeny tak, že vstup 13 pro startovací signál je připojen na nulovací vstup P klopného obvodu 6 typu RS a současně je připojen na hodinový vstup prvního klopného obvodu 1 typu D, jehož datový vstup D je spojen s logickou úrovní nula a jehož negovaný výstup je připojen současně na první vstup prvního logického členu 2 typu NAND a na první vstup třetího logického členu 7 typu NAND. Na hodinový vstup druhého klopného obvodu 4 typu D, jehož datový vstup D je spojen s logickou úrovní nula, je připojen na výstup prvního součinnového logického členu 3, jehož první vstup je určen pro vstup 14 negovaného signálu vodící stopy a druhý jeho vstup je určen pro vstup 15 negovaného logického součtu všech informačních stop. Na druhý vstup prvního logického členu 2 typu NAND je připojen přímý výstup druhého klopného obvodu 4 typu D a výstup prvního logického členu 2 typu NAND, určený pro výstup 18 signálu stop media, je připojen na první vstup druhého logického členu 5 typu NAND, jehož výstup je určen pro výstup 19 signálu záznamu do prvního registru a jehož druhý vstup je spojen s druhým vstupem třetího logického členu 7 typu NAND a zároveň s negovaným výstupem druhého klopného obvodu 4 typu D. Výstup třetího logického členu 7 typu NAND je spojen s nastavovacím vstupem klopného obvodu 6 typu RS, jehož výstup je spojen s nulovacím vstupem binárního čítače 11. Výstup C třetího stupně binárního čítače 11 je připojen na výstup 22 pro signál informace připravena a současně je připojen na vstup logického členu 12 negace, jehož výstup je připojen na první vstup čtvrtého logického členu 10 typu NAND, jehož výstup je připojen na vstup binárního čítače 11. Druhý vstup čtvrtého logického členu 10 typu NAND je spojen s prvním vstupem druhého součinnového logického členu 8 a současně se vstupem 17 pro signál taktovacího generátoru. Na druhý vstup druhého součinnového logického členu 8 je připojen výstup A prvního stupně binárního čítače 11 a

výstup B druhého stupně binárního čítače 11 je připojen na první vstup logického členu 9 typu NOR, jehož druhý vstup je připojen na vstup 16 pro negovaný signál připravenosti zařízení a jehož výstup 21 je spojen s třetím vstupem druhého součinnového logického členu 8 a současně s nastavovacím vstupem prvního klopného obvodu 1 typu D a s nastavovacím vstupem druhého klopného obvodu 4 typu D. Výstup druhého součinnového logického členu 8 je spojen s výstupem 20 pro signál přepis druhého registru a výstup logického členu 9 typu NOR je spojen s výstupem 21 pro signál nulování prvního registru.

Funkci zapojení lze charakterizovat takto
při připojení napájecího napětí se drží negovaný signál připravenosti zařízení 16 po jistou dobu na úrovni logická jedna. Tato úroveň způsobí nastavení prvního klopného obvodu 1 i druhého klopného obvodu 4 typu D do stavu, kdy na jejich negovaných výstupech jsou logické nuly. Startovací signál 13, který je na počátku rovněž na úrovni logická nula, způsobí překlopení klopného obvodu 6 typu RS do stavu, kdy tento svým výstupem nuluje binární čítač 11. Při přechodu startovacího signálu 13 do aktivní úrovně překlopí první klopný obvod 1 typu D do stavu, kdy na jeho negovaném výstupu je logická jedna. Tím se na výstupu prvního logického členu 2 typu NAND objeví úroveň logická nula, která vedena do obvodů řízení posuvu způsobí pohyb media. V okamžiku, kdy čtecím blokem snímače projde závěrná hrana vodící stopy, to jest objeví se negovaný signál 14 vodící stopy u prázdného znaku nebo závěrná hrana poslední informační stopy, to jest objeví se signál negovaný logický součet 12 všech informačních stop u znaku s nějakým informačním otvorem, dojde k překlopení druhého klopného obvodu 4 typu D do stavu, kdy na jeho přímém výstupu je logická nula, čímž přejde signál 18 stop media do logické jedna a obvody řízení posuvu tak obdrží pokyn k brzdění media. Negované výstupy prvního a druhého klopného obvodu 1, 4 typu D zároveň prostřednictvím třetího logického členu 7 typu NAND a klopného obvodu 6 typu RS odblokují binární čítač 11, který začne čítat v rytmu signálu taktovacího generátoru 17.

230 000

Binární čítač tak postupně vygeneruje signál přepis druhého registru 20, který přepíše informaci zapsanou v prvním registru vyrovnávací paměti do druhého registru, dále signál nulování prvního registru 21, který vynuluje první registr a připraví jej pro zapsání dalšího znaku a konečně též signál informace připravena 22.

Pokud se medium pohybuje setrvačností dále, je při průchodu následujícího znaku přes čtecí blok znak zapsán do prvního registru a závěrnou hranou tohoto znaku je prostřednictvím druhého logického členu 2 typu NAND zablokován signál záznam do prvního registru 19 a tak umožněn pohyb media až do dalšího, v pořadí již třetího znaku, bez ztráty informace při dalším čtení. První čtený znak je zapamatován ve druhém registru, druhý čtený znak je v prvním registru a třetí znak je k dispozici ve čtecím bloku.

Zapojení pro ovládání dvou registrů vyrovnávací paměti a k ovládání pohybu media u snímačů děrné pásky podle vynálezu je určeno, jak z názvu vyplývá, především pro ovládání logické části snímačů papírové děrné pásky, ale lze jej využít i pro snímání informace z jiného media.

Zapojení pro ovládání dvou registrů vyrovnávací paměti a k ovládání pohybu media u snímačů děrné pásy vyznačené tím, že jeho vstup (13) pro startovací signál je připojen na nulovací vstup R klopného obvodu (6) typu RS a současně je připojen na hodinový vstup prvního klopného obvodu (1) typu D, jehož datový vstup D je spojen s logickou úrovní nula a jehož negovaný výstup je připojen současně na první vstup prvního logického členu (2) typu NAND a na první vstup třetího logického členu (7) typu NAND, dále na hodinový vstup druhého klopného obvodu (4) typu D, jehož datový vstup D je spojen s logickou úrovní nula, je připojen na výstup prvního součinnového logického členu (3), jehož první vstup je určen pro vstup (14) negovaného signálu vodící stopy a druhý jeho vstup je určen pro vstup (15) negovaného logického součtu informačních stop, dále na druhý vstup prvního logického členu (2) typu NAND je připojen přímý výstup druhého klopného obvodu (4) typu D a výstup prvního logického členu (2) typu NAND, určený pro výstup (18) signálu stop media, je připojen na první vstup druhého logického členu (5) typu NAND, jehož výstup je určen pro výstup (19) signálu záznamu do prvního registru a jehož druhý vstup je spojen s druhým vstupem třetího logického členu (7) typu NAND a zároveň s negovaným výstupem druhého klopného obvodu (4) typu D, dále výstup třetího logického členu (7) typu NAND je spojen s nastavovacím vstupem klopného obvodu (6) typu RS, jehož výstup je spojen s nulovacím vstupem binárního čítače (11), dále výstup C třetího stupně binárního čítače (11) je připojen na výstup (22) pro signál informace připravena a současně je připojen na vstup logického členu (12) negace, jehož výstup je připojen na první vstup čtvrtého logického členu (10) typu NAND, jehož výstup je připojen na vstup binárního čítače (11) a druhý vstup čtvrtého logického členu (10) typu NAND je spojen s prvním vstupem druhého součinnového logického členu (8) a současně se vstupem (17)

230 000

pro signál taktovacího generátoru, dále na druhý vstup druhého součinného logického členu (8) je připojen výstup A prvního stupně binárního čítače (11) a výstup B druhého stupně binárního čítače (11) je připojen na první vstup logického členu (9) typu NOR, jehož druhý vstup je připojen na vstup (16) pro negovaný signál připravenosti zařízení a jehož výstup (21) je spojen s třetím vstupem druhého součinného logického členu (8) a současně s nastavovacím vstupem prvního klopného obvodu (1) typu D a s nastavovacím vstupem druhého klopného obvodu (4) typu D, dále výstup druhého součinného logického členu (8) je spojen s výstupem (20) pro signál přepis druhého registru a výstup logického členu (9) typu NOR je spojen s výstupem (21) pro signál nulování prvního registru.

vykres

