



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I886377 B

(45)公告日：中華民國 114 (2025) 年 06 月 11 日

---

(21)申請案號：111106180 (22)申請日：中華民國 111 (2022) 年 02 月 21 日  
(51)Int. Cl. : **H10D30/67 (2025.01)** **H10N97/00 (2023.01)**  
(30)優先權：2021/02/22 日本 2021-026653  
2021/10/25 日本 2021-174071  
(71)申請人：國立研究開發法人科學技術振興機構(日本) JAPAN SCIENCE AND TECHNOLOGY AGENCY (JP)  
日本  
(72)發明人：細野秀雄 HOSONO, HIDEO (JP)；金正煥 KIM, JUNGHWAN (KR)；雲見日出也 KUMOMI, HIDEYA (JP)  
(74)代理人：許世正  
(56)參考文獻：  
TW 201246551A TW 201801187A  
JP 2012222176A JP 2016-171282A  
JP 2016-225602A  
審查人員：蕭允政  
申請專利範圍項數：26 項 圖式數：39 共 89 頁

---

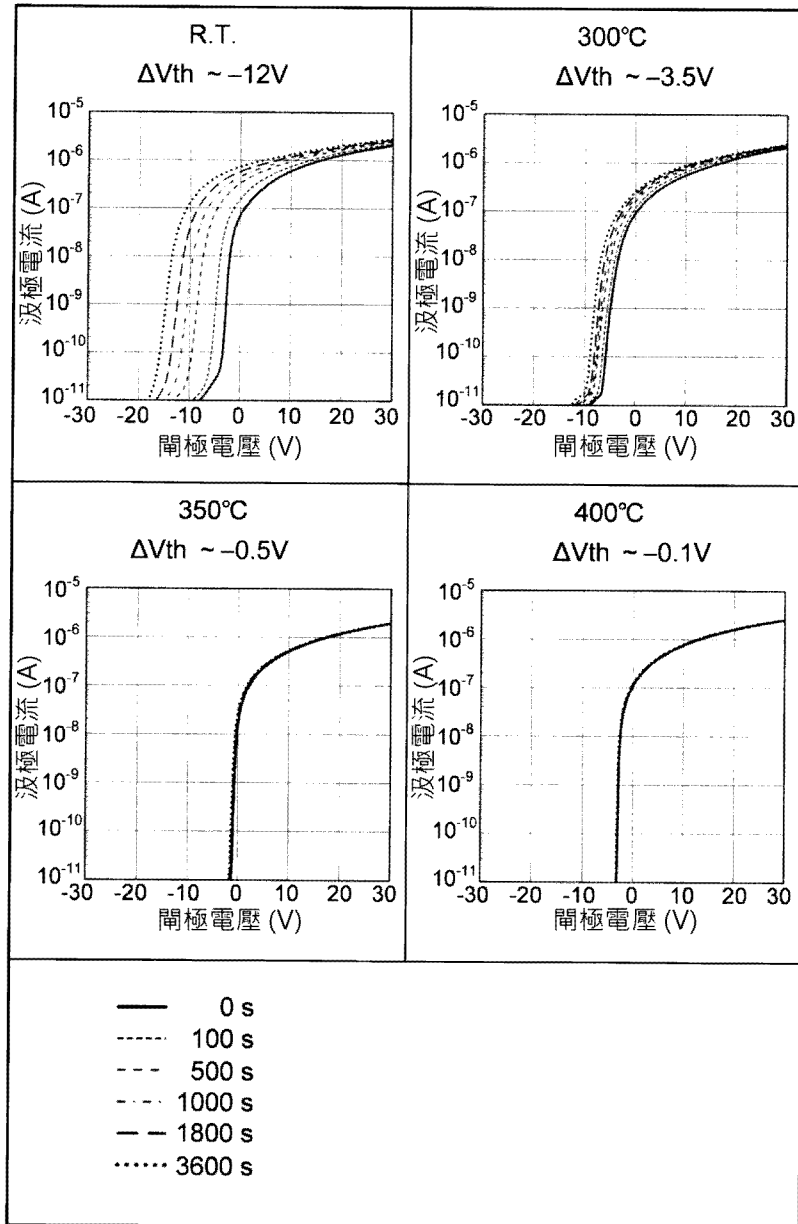
## (54)名稱

薄膜電晶體、顯示裝置、電子設備及薄膜電晶體的製造方法

## (57)摘要

在一實施型態中之薄膜電晶體係形成於基板上的薄膜電晶體，其包含：由至少包含銦(In)之金屬氧化物半導體層之至少一部分形成的通道、閘極電極、配置於前述通道與前述閘極電極之間的閘極絕緣層，以及連接於前述金屬氧化物半導體層的源極電極及汲極電極。舉例而言，藉由前述通道在自表面起至深度 5 nm 的範圍中之碳原子的平均濃度為  $1.5 \times 10^{21} \text{cm}^{-3}$  以下，可有效抑制由電壓應力所致之閾值偏移。

指定代表圖：



【圖 18】



I886377

## 【發明摘要】

【中文發明名稱】 薄膜電晶體、顯示裝置、電子設備及薄膜電晶體的製造方法

【中文】

在一實施型態中之薄膜電晶體係形成於基板上的薄膜電晶體，其包含：由至少包含銦（In）之金屬氧化物半導體層之至少一部分形成的通道、閘極電極、配置於前述通道與前述閘極電極之間的閘極絕緣層，以及連接於前述金屬氧化物半導體層的源極電極及汲極電極。舉例而言，藉由前述通道在自表面起至深度 5 nm 的範圍中之碳原子的平均濃度為  $1.5 \times 10^{21} \text{ cm}^{-3}$  以下，可有效抑制由電壓應力所致之閾值偏移。

【指定代表圖】 圖 18。

【代表圖之符號簡單說明】

無。

【特徵化學式】

無。

## 【發明說明書】

【中文發明名稱】 薄膜電晶體、顯示裝置、電子設備及薄膜電晶體的製造方法

### 【技術領域】

【0001】 本發明係關於使用金屬氧化物半導體的薄膜電晶體。

### 【先前技術】

【0002】 使用以 InGaZnO（以下稱為 IGZO）為例的金屬氧化物半導體之薄膜電晶體作為用以驅動顯示器之像素的元件已為人所利用。使用 In 與 Ga 的組成比為 1：1 之 IGZO 的薄膜電晶體具有  $10 \text{ cm}^2/\text{Vs}$  左右的遷移率。此遷移率若相較於使用非晶矽之薄膜電晶體的遷移率則為高，但若相較於使用低溫多晶矽之薄膜電晶體的遷移率則為低。

【0003】 近年來，因以 4K、8K 為代表之顯示器的高像素化／大型化，已進行採用可製造遷移率較非晶矽還高且在大面積之均勻性較低溫多晶矽還優異之薄膜電晶體的 IGZO。舉例而言，為了提升 IGZO 的遷移率，開發出使用將 In 與 Ga 的組成比做成較 1：1 更富含 In 之 IGZO 的薄膜電晶體。並且，於次世代顯示器用途，使用實現較 IGZO 高之遷移率的金屬氧化物半導體之薄膜電晶體的開發亦在進行中。使用係為其中之一的 InSnZnO（以下稱為 ITZO）的薄膜電晶體能夠實現  $50 \text{ cm}^2/\text{Vs}$  左右的遷移率。是故，

可將使用於需要高遷移率之電路的薄膜電晶體自低溫多晶矽置換成 ITZO。另一方面，使用 ITZO 之 n 型薄膜電晶體具有由 NBTS (Negative Bias Temperature Stress) 所致之閾值電壓 (以下有時候僅稱為閾值。將應力賦予前的閾值表示為  $V_{th}$ ，將自應力賦予後的閾值減掉賦予前的閾值之偏移量表示為  $\Delta V_{th}$ 。此外，在 NBIS 及 PBTS 的情況下，閾值亦同樣使用。) 的負偏移會發生之問題。在 n 型薄膜電晶體中，透過施加連續的負偏壓而閾值會負偏移一事，由於意謂透過施加負偏壓而最初應控制為關閉狀態的電晶體會隨時間的經過自行變成開啟狀態，故負偏移量必須充分抑制。

【0004】 舉例而言，非專利文獻 1 揭示對於使薄膜電晶體的特性惡化之由 C=O 及 C-O 鍵結等所致之缺陷，在適切的時間下進行對 ITZO 的背通道側之 N<sub>2</sub>O 電漿處理，作為解決此問題的方法。

【0005】 『非專利文獻』

《非專利文獻 1》：W.-H, Tseng et.al., Solid-State Electronics 103 (2015), 173-177

【發明內容】

【0006】 根據非專利文獻 1 的 Fig.6，可理解在 ITZO 薄膜電晶體中，隨著 N<sub>2</sub>O 電漿處理的時間變長，由 NBTS 所致之閾值的負偏移會減少，但若該處理時間超過最佳值則該負偏移會增加。亦即，依據非專利文獻 1 記載的製程，可想見為了抑制閾值的負偏移，必須掌握 ITZO 之背通道的表面狀態並因應於此來精密控

JT21P002TW(2022TWP4205)

第 2 頁，共 53 頁 (發明說明書)

制 N<sub>2</sub>O 電漿處理的時間。在 N<sub>2</sub>O 電漿處理之後藉由 PECVD (Plasma Enhanced Chemical Vapor Deposition) 法形成鈍化層時，亦因曝露於 N<sub>2</sub>O 之電漿而變得更難控制其時間。作為其結果，需要此種控制一事亦可能成為發生製造上之參差的原因。因此，尋求藉由有別於 N<sub>2</sub>O 電漿處理的方法來抑制閾值的負偏移。

**【0007】** 本發明之目的之一在於有效抑制在使用包含 In 之金屬氧化物半導體層的薄膜電晶體中所發生之由電壓應力所致之閾值偏移。並且，本發明之目的之一在於有效抑制在使用 ITZO 的薄膜電晶體中所發生之由 NBTS 所致之閾值偏移。

**【0008】** 在一實施型態中之薄膜電晶體係形成於基板上的薄膜電晶體，其包含：由至少包含銦 (In) 之金屬氧化物半導體層之至少一部分形成的通道、閘極電極、配置於前述通道與前述閘極電極之間的閘極絕緣層，以及連接於前述金屬氧化物半導體層的源極電極及汲極電極。前述通道在自表面起至深度 5 nm 的範圍中之碳原子的平均濃度為  $1.5 \times 10^{21} \text{ cm}^{-3}$  以下。平均濃度亦可為  $3.5 \times 10^{20} \text{ cm}^{-3}$  以下。

**【0009】** 在一實施型態中之薄膜電晶體係形成於基板上的薄膜電晶體，其包含：由至少包含銦 (In) 之金屬氧化物半導體層之至少一部分形成的通道、閘極電極、配置於前述通道與前述閘極電極之間的閘極絕緣層，以及連接於前述金屬氧化物半導體層的源極電極及汲極電極。前述通道在自表面起至深度 5 nm 的範圍

圍中之碳原子的最大濃度為 19 at%以下。最大濃度亦可為 8 at% 以下。

【0010】 前述閘極電極亦可配置於前述基板與前述通道之間。

【0011】 前述源極電極及前述汲極電極亦可包含具有抗氧化性的導電性材料。

【0012】 前述通道亦可配置於前述基板與前述閘極電極之間。

【0013】 前述金屬氧化物半導體層之中，與前述源極電極連接的表面及與前述汲極電極連接的表面之碳原子的濃度亦可較前述通道的表面還高。

【0014】 在以前述閘極電極相對於前述源極電極及前述汲極電極的電壓成為  $V_{th}-20\text{ V}$  的方式控制、將溫度定為  $60^{\circ}\text{C}$ 、在暗狀態下維持 3600 秒的情況下，閾值的偏移量亦可為  $0.5\text{ V}$  以下。

【0015】 前述金屬氧化物半導體層亦可更包含錫 (Sn) 及鋅 (Zn)。

【0016】 亦可更包含覆蓋前述通道之具有絕緣性的鈍化層。前述鈍化層亦可為包含鋅 (Zn) 及矽 (Si) 的金屬氧化物層。

【0017】 在一實施型態中之薄膜電晶體係形成於基板上的薄膜電晶體，其包含：由至少包含銦 (In) 之金屬氧化物半導體層之至少一部分形成的通道、閘極電極、配置於前述通道與前述閘

極電極之間的閘極絕緣層、連接於前述金屬氧化物半導體層的源極電極及汲極電極，以及具有絕緣性並覆蓋前述通道的鈍化層。前述鈍化層的電子親和力較前述金屬氧化物半導體層的電子親和力還小。

【0018】 前述鈍化層的電子親和力亦可為 2.0 eV 以上且 4.0 eV 以下的範圍內。該鈍化層的游離電位亦可為 6.0 eV 以上且 8.5 eV 以下的範圍內。

【0019】 前述鈍化層亦可包含非晶質。

【0020】 前述金屬氧化物半導體層亦可更包含錫 (Sn) 及鋅 (Zn)。

【0021】 在一實施型態中之顯示裝置包含多個像素電路，前述多個像素電路分別包含上述記載之薄膜電晶體。

【0022】 亦可包含多個發光元件。前述多個像素電路亦可分別控制利用前述多個發光元件的發光。

【0023】 在一實施型態中之電子設備包含上述記載之顯示裝置與控制前述顯示裝置的控制裝置。

【0024】 在一實施型態中之薄膜電晶體的製造方法包含於基板上形成薄膜電晶體，所述薄膜電晶體包含：由至少包含銦 (In) 之金屬氧化物半導體層之至少一部分形成的通道、閘極電極、配置於前述通道與前述閘極電極之間的閘極絕緣層，以及連接於前述金屬氧化物半導體層的源極電極及汲極電極，其中在前述通道

露出的狀態下在包含氧的氣體環境下加熱至 350°C以上，所述製造方法包含在前述加熱之後且包含碳原子之層體接觸到前述通道露出的部分之前形成覆蓋前述通道的絕緣層。

**【0025】** 在一實施型態中之薄膜電晶體的製造方法包含於基板上形成薄膜電晶體，所述薄膜電晶體包含：由至少包含銦（In）之金屬氧化物半導體層之至少一部分形成的通道、閘極電極、配置於前述通道與前述閘極電極之間的閘極絕緣層，以及連接於前述金屬氧化物半導體層的源極電極及汲極電極，其中在前述通道露出的狀態下在包含氧的氣體環境下照射紫外光，所述製造方法包含在前述照射之後且包含碳原子之層體接觸到前述通道露出的部分之前形成覆蓋前述通道的絕緣層。

**【0026】** 在一實施型態中之薄膜電晶體的製造方法包含於基板上形成薄膜電晶體，所述薄膜電晶體包含：由至少包含銦（In）之金屬氧化物半導體層之至少一部分形成的通道、閘極電極、配置於前述通道與前述閘極電極之間的閘極絕緣層，以及連接於前述金屬氧化物半導體層的源極電極及汲極電極，所述製造方法包含在前述通道露出的狀態下透過氧氣環境下的直流濺鍍形成覆蓋前述通道的絕緣層。

**【0027】** 在前述直流濺鍍中所使用之靶材亦可為具有導電性的金屬氧化物。

**【0028】** 前述金屬氧化物半導體層亦可透過 PVD 法形成。

【0029】 前述通道於前述絕緣層形成前露出的部分在自表面起至深度 5 nm 的範圍中之碳原子的平均濃度，在所述絕緣層形成後亦可為  $1.5 \times 10^{21} \text{ cm}^{-3}$  以下。此平均濃度在所述絕緣層形成後亦可為  $3.5 \times 10^{20} \text{ cm}^{-3}$  以下。

【0030】 前述通道於前述絕緣層形成前露出的部分在自表面起至深度 5 nm 的範圍中之碳原子的最大濃度，在所述絕緣層形成後亦可為 19 at% 以下。此最大濃度在所述絕緣層形成後亦可為 8 at% 以下。

【0031】 前述閘極電極亦可配置於前述基板與前述通道之間。於前述源極電極及前述汲極電極形成後，亦可使存在於前述通道之表面的碳原子之至少一部分脫附。

【0032】 前述通道亦可配置於前述基板與前述閘極電極之間。保護免受前述碳原子影響的絕緣層亦可為前述閘極絕緣層。於前述源極電極及前述汲極電極形成前，亦可使存在於前述通道之表面的碳原子之至少一部分脫附。

【0033】 前述金屬氧化物半導體層亦可更包含錫 (Sn) 及鋅 (Zn)。

【0034】 前述絕緣層亦可為包含鋅 (Zn) 及矽 (Si) 的金屬氧化物層。

【0035】 在一實施型態中之薄膜電晶體的製造方法包含於基板上形成薄膜電晶體，所述薄膜電晶體包含：由至少包含銦 (In)

之金屬氧化物半導體層之至少一部分形成的通道、閘極電極、配置於前述通道與前述閘極電極之間的閘極絕緣層、連接於前述金屬氧化物半導體層的源極電極及汲極電極，以及具有絕緣性並覆蓋前述通道的鈍化層。前述鈍化層的電子親和力較前述金屬氧化物半導體層的電子親和力還小。

【0036】 前述鈍化層的電子親和力亦可為 2.0 eV 以上且 4.0 eV 以下的範圍內。該鈍化層的游離電位亦可為 6.0 eV 以上且 8.5 eV 以下的範圍內。

【0037】 前述鈍化層亦可包含非晶質。

【0038】 前述金屬氧化物半導體層亦可更包含錫 (Sn) 及鋅 (Zn)。

【0039】 根據本發明，可有效抑制在使用包含 In 之金屬氧化物半導體層的薄膜電晶體中所發生之由電壓應力所致之閾值偏移。並且，根據本發明，可有效抑制在使用 ITZO 的薄膜電晶體中所發生之由 NBTS 所致之閾值偏移。

#### 【圖式簡單說明】

【0040】 〈圖 1〉係繪示在一實施型態中之顯示裝置之圖。

【0041】 〈圖 2〉係繪示在一實施型態中之像素的剖面結構之示意圖。

【0042】 〈圖 3〉係用以說明在一實施型態中之顯示裝置的製造方法之圖。

【0043】 〈圖 4〉係用以說明在一實施型態中之顯示裝置的製造方法之圖。

【0044】 〈圖 5〉係用以說明在一實施型態中之顯示裝置的製造方法之圖。

【0045】 〈圖 6〉係繪示在一實施型態中之薄膜電晶體之圖。

【0046】 〈圖 7〉係用以說明在一實施型態中之顯示裝置的製造方法之圖。

【0047】 〈圖 8〉係用以說明在一實施型態中之顯示裝置的製造方法之圖。

【0048】 〈圖 9〉係繪示閾值偏移量測用的薄膜電晶體之圖。

【0049】 〈圖 10〉係用以說明量測用之薄膜電晶體的製造方法之圖。

【0050】 〈圖 11〉係用以說明量測用之薄膜電晶體的製造方法之圖。

【0051】 〈圖 12〉係用以說明量測用之薄膜電晶體的製造方法之圖。

【0052】 〈圖 13〉係繪示光阻形成前及光阻形成／去除後的 TDS 量測結果之圖。

【0053】 〈圖 14〉係繪示光阻形成前及光阻形成／去除後的 HAX-PES 量測結果 (C1s) 之圖。

【0054】 〈圖 15〉係繪示光阻形成前及光阻形成／去除後的

HAX-PES 量測結果 (O1s) 之圖。

【0055】 〈圖 16〉係繪示利用加熱溫度的差異之 TDS 量測結果之圖。

【0056】 〈圖 17〉係繪示對於 AfterPR 樣品及加熱處理後的樣品之歐傑電子分光的量測結果之圖。

【0057】 〈圖 18〉係繪示由 NBTS 所致之閾值偏移的量測結果之圖。

【0058】 〈圖 19〉係繪示由 NBIS 所致之閾值偏移的量測結果之圖。

【0059】 〈圖 20〉係繪示光阻形成／去除後及 UV 臭氧處理後的 TDS 量測結果之圖。

【0060】 〈圖 21〉係繪示 UV 臭氧處理後之由 NBTS 及 PBTS 所示之閾值偏移的量測結果之圖。

【0061】 〈圖 22〉係繪示在一實施型態中之 ESL 型薄膜電晶體之圖。

【0062】 〈圖 23〉係繪示在一實施型態中之頂閘型薄膜電晶體之圖。

【0063】 〈圖 24〉係繪示在一實施型態中之電子設備之圖。

【0064】 〈圖 25〉係繪示在一實施型態中之使用鈍化層的薄膜電晶體之圖。

【0065】 〈圖 26〉係繪示在一實施型態中之使用鈍化層的薄

膜電晶體之圖。

【0066】 〈圖 27〉係繪示在一實施型態中之使用鈍化層的薄膜電晶體之圖。

【0067】 〈圖 28〉係繪示由溫度變化所致之閾值偏移的量測結果之圖。

【0068】 〈圖 29〉係繪示由 NBIS 所致之閾值偏移的量測結果之圖。

【0069】 〈圖 30〉係繪示光照射前後之電子濃度的量測結果之圖。

【0070】 〈圖 31〉係繪示吸收係數的量測結果之圖。

【0071】 〈圖 32〉係繪示由 NBS 所致之閾值偏移之依時間之變化的量測結果與模型公式之圖。

【0072】 〈圖 33〉係繪示由 NBTS 及 PBTS 所致之閾值偏移的量測結果之圖。

【0073】 〈圖 34〉係繪示由 NBTS 及 PBTS 所致之閾值偏移的量測結果之圖。

【0074】 〈圖 35〉係繪示由 NBIS 所致之閾值偏移的量測結果之圖。

【0075】 〈圖 36〉係繪示在一實施型態中之使用鈍化層的頂閘型薄膜電晶體之圖。

【0076】 〈圖 37〉係繪示在一實施型態中之使用鈍化層的頂

閘型薄膜電晶體之圖。

【0077】 〈圖 38〉係繪示在有無 UV 臭氧處理之由 NBS 所致之閾值偏移的量測結果 (ITGO) 之圖。

【0078】 〈圖 39〉係繪示在有無 UV 臭氧處理之由 NBS 所致之閾值偏移的量測結果 (IZO) 之圖。

### 【實施方式】

【0079】 以下一邊參照圖式一邊詳細說明本發明之一實施型態。以下所示之實施型態係一例，本發明並非解釋限定於此等實施型態者。在本實施型態參照的圖式中，相同部分或具有同樣功能的部分附有相同的符號或類似的符號(於數字後僅附有 A、B 等的符號)，其重複的說明有時候會省略。圖式為了使說明明確，有時候尺寸比率會與實際的比率相異或構造的一部分會自圖式省略來示意說明。

【0080】 在表示第 2 構造相對於第 1 構造的位置關係時，「於上」及「於下」之表述不限於位於第 1 構造物之正上或正下的情形，除非特別註明，否則亦包含其他構造進一步介於其中的情形。

### 【0081】 [ 概要 ]

【0082】 在一實施型態中之顯示裝置在此例中係使用 OLED (Organic Light Emitting Diode) 的有機 EL (Electro Luminescence) 顯示器。有機 EL 顯示器可藉由放出彼此相異之顏色之光的多個 OLED 來實現彩色顯示，亦可使用放出白色光之

OLED 及濾色器來實現彩色顯示。顯示裝置亦可進一步具有觸控感測器的功能。觸控感測器，舉例而言，透過自電容方式或互電容方式偵測手指及觸控筆等對顯示面的接觸。

**【0083】** 顯示裝置包含使用 ITZO 的薄膜電晶體。根據顯示裝置的驅動方式，薄膜電晶體控制為關閉狀態的時間長。是故，使用易於發生由 NBTS 所致之閾值的負偏移之薄膜電晶體係不符合期望。如以下所詳述，藉由使用 ITZO 的薄膜電晶體，透過以由發明人等獲得之見解為基礎的方法，可實現抑制由 NBTS 所致之閾值的負偏移。

**【0084】** 首先，說明顯示裝置的構造，針對顯示裝置所包含之薄膜電晶體的構造及用以實現抑制由 NBTS 所致之閾值之負偏移的構造將於後再述。

**【0085】** [ 顯示裝置的構造 ]

**【0086】** 圖 1 係繪示在一實施型態中之顯示裝置之圖。顯示裝置 1000 具有第 1 基板 1 與第 2 基板 2 藉由貼合材貼合的結構。第 1 基板 1 包含顯示區域 D1 及驅動電路 GD。於第 1 基板 1 安裝有驅動 IC ( Integrated Circuit ) 晶片 CD。驅動 IC 晶片 CD 亦可安裝於連接於第 1 基板 1 的 FPC ( Flexible Printed Circuits )。在圖 1 中省略 FPC。第 2 基板 2 保護形成於第 1 基板 1 的元件。亦可配置有覆蓋形成於第 1 基板 1 之元件的覆蓋層來代替第 2 基板 2。

**【0087】** 於顯示區域 D1 配置有多個掃描訊號線 GL、多個資

料訊號線 SL 及多個像素 PX。多個像素 PX 配置為例如矩陣狀。掃描訊號線 GL 與資料訊號線 SL 彼此交叉配置。於掃描訊號線 GL 與資料訊號線 SL 交叉的部分配置有像素 PX。圖 1 繪示相對於 1 個像素 PX 配置 1 個掃描訊號線 GL 及 1 個資料訊號線 SL 之例，但亦可進一步配置有其他訊號線。

【0088】 驅動電路 GD 鄰接於顯示區域 D1 配置並連接於掃描訊號線 GL。驅動 IC 晶片 CD 連接於資料訊號線 SL 及驅動電路 GD。驅動 IC 晶片 CD 依據來自外部的控制訊號控制供應至資料訊號線 SL 的訊號，進一步藉由控制驅動電路 GD 來控制供應至掃描訊號線 GL 的訊號。驅動電路 GD 在此例中包含使用薄膜電晶體 100 (參照圖 2) 之移位暫存器等電路。薄膜電晶體 100 由於係 n 型電晶體，故為了實現驅動電路 GD 所包含之電路構造，亦可使用自舉電路。

【0089】 像素 PX 包含係為 OLED 之發光元件及用以控制利用發光元件之發光的像素電路。像素電路包含薄膜電晶體 100 及電容器等元件。在此例中，於 1 個像素 PX 所包含之像素電路可使用多個薄膜電晶體 100。自發光元件放射之光在此例中沿與形成有發光元件之第 1 基板 1 相反的方向前進，通過第 2 基板 2 而為使用者所觀看。亦即，顯示裝置 1000 採用頂部發光方式。顯示裝置 1000 亦可採用底部發光方式。

【0090】 圖 2 係繪示在一實施型態中之像素的剖面結構之示

意圖。第 1 基板 1 包含第 1 支撐基板 10、基底絕緣層 110、薄膜電晶體 100、層間絕緣層 200、像素電極 300、堤層 400、發光層 500、相對電極 600 及封裝層 900。第 2 基板 2 以覆蓋封裝層 900 的方式配置。如所上述，在 1 個像素電路中可使用多個薄膜電晶體 100，但在圖 2 中，繪示連接於像素電極 300 的 1 個薄膜電晶體 100，省略其他薄膜電晶體 100 的圖式。

【0091】 第 1 支撐基板 10 及第 2 基板 2 係玻璃基板。第 1 支撐基板 10 及第 2 基板 2 之一者或兩者亦可為有機樹脂基板等具有可撓性的基板。

【0092】 基底絕緣層 110 配置於第 1 支撐基板 10 上，抑制水分及氣體往內部侵入。基底絕緣層 110 包含例如氧化矽或氮化矽等絕緣膜。基底絕緣層 110 亦可包含堆疊多個種類之絕緣膜的構造。

【0093】 薄膜電晶體 100 如上所述包含 ITZO 作為半導體層並配置於基底絕緣層 110 上。薄膜電晶體 100 在此例中係 BCE（Back Channel Etch）型的薄膜電晶體。針對薄膜電晶體 100 的詳細構造將於後再述。

【0094】 層間絕緣層 200 覆蓋薄膜電晶體 100。層間絕緣層 200 包含例如氧化矽或氮化矽等無機絕緣膜。層間絕緣層 200 亦可包含堆疊多個種類之絕緣膜的構造。在此例中，層間絕緣層 200 之中氧化矽膜與薄膜電晶體 100 相接。層間絕緣層 200 亦可於無

機絕緣膜上更包含平坦化絕緣膜。平坦化絕緣膜亦可為例如丙烯酸、聚醯亞胺或環氧化物等有機絕緣膜。在層間絕緣層 200 包含堆疊多個絕緣膜的構造之情況下，亦可於多個絕緣膜之間配置有佈線等導電膜。

**【0095】** 像素電極 300 中介形成於層間絕緣層 200 的接觸孔而連接於薄膜電晶體 100 的汲極電極 172 (參照圖 6)。像素電極 300 包含發揮作為發光層 500 的陰極之功能的導電膜。像素電極 300 包含 1 種之導電膜或多個種類之導電膜的堆疊結構。藉由像素電路的構造，像素電極 300 亦可發揮作為發光層 500 的陽極之功能。在此情況下，像素電極 300 連接於薄膜電晶體 100 的源極電極 171。如上所述，顯示裝置 1000 由於採用頂部發光方式，故像素電極 300 亦可不具有透光性。在顯示裝置 1000 採用底部發光方式的情況下，像素電極具有透光性。

**【0096】** 堤層 400 覆蓋像素電極 300 的邊緣部並包含露出像素電極 300 之一部分的開口部。堤層 400 包含例如丙烯酸、聚醯亞胺或環氧化物等有機絕緣膜。

**【0097】** 發光層 500 以覆蓋像素電極 300 及堤層 400 之一部分的方式配置。發光層 500 具有堆疊多個種類之有機材料的結構。發光層 500 透過供應有電流而發光。透過變更構成發光層 500 之多個有機材料之中之至少 1 者，可使發光顏色彼此相異。

**【0098】** 相對電極 600 覆蓋發光層 500。相對電極 600 包含發

揮作為發光層 500 的陽極之功能的導電膜。相對電極 600 包含 1 種之導電膜或多個種類之導電膜的堆疊結構。如上所述，藉由像素電路的構造，相對電極 600 亦可發揮作為發光層 500 的陰極之功能。如上所述，顯示裝置 1000 由於採用頂部發光方式，故相對電極 600 具有透光性。藉由像素電極 300、發光層 500 及相對電極 600，可形成在各像素 PX 中之發光元件。

【0099】 封裝層 900 係覆蓋顯示區域 D1 之整體並抑制水分及氣體往發光層 500 侵入之絕緣層。封裝層 900，舉例而言，包含堆疊配置於相對電極 600 上之氮化矽膜及氮化矽膜上之平坦化絕緣膜的構造，並具有透光性。平坦化絕緣膜亦可為例如丙烯酸、聚醯亞胺或環氧化物等有機絕緣膜。封裝層 900 亦可包夾於氮化矽膜與第 2 基板 2 而配置，以發揮作為用以貼合第 1 基板 1 與第 2 基板 2 的部件之功能。

【0100】 [ 顯示裝置的製造方法 ]

【0101】 接下來，說明顯示裝置 1000 的製造方法。

【0102】 圖 3 至圖 5、圖 7 及圖 8 係用以說明在一實施型態中之顯示裝置 1000 的製造方法之圖。尤其，在圖 3 至圖 5 中，說明顯示裝置 1000 之中薄膜電晶體 100 的製造方法。首先，準備第 1 支撐基板 10，於第 1 支撐基板 10 上形成基底絕緣層 110。基底絕緣層 110 可藉由例如 CVD ( Chemical Vapor Deposition ) 法或 PVD ( Physical Vapor Deposition ) 法來形成。CVD 法包含例如

PECVD 法。PVD 法包含濺鍍法。在以下說明中亦然。

【0103】 閘極電極 120 可藉由將於基底絕緣層 110 上透過 PVD 法形成之導電性材料之膜形成為期望的圖案來獲得。期望的圖案，舉例而言，可藉由使用利用光微影之光阻的蝕刻製程或剝離製程來形成。閘極電極 120 亦可藉由印刷方式、噴墨方式等在經圖案化的狀態下形成。在閘極電極 120 形成時，亦可同時形成掃描訊號線 GL 及資料訊號線 SL 之至少一者。導電性材料係例如鉬、鈹、鎢、金、銅、鉻、鋁等金屬，或包含此等之至少 1 者的金屬化合物。閘極電極 120 亦可包含堆疊多個種類之導電性材料的構造。在此例中，閘極電極 120 包含自第 1 支撐基板 10 側起依序堆疊有鉬及銅的結構。

【0104】 閘極絕緣層 130 可藉由 CVD 法或 PVD 法以覆蓋閘極電極 120 及基底絕緣層 110 的方式來形成。閘極絕緣層 130 的厚度得採取各式各樣，但為例如 20 nm 以上且 200 nm 以下，良好為 50 nm 以上且 150 nm 以下。閘極絕緣層 130 形成後的構造對應於圖 3。閘極絕緣層 130 可由無機絕緣性材料形成。無機絕緣性材料係例如氮化矽、氧化矽、氮氧化矽、氧化鋁或氧化鉛等。閘極絕緣層 130 亦可包含堆疊多個種類之無機絕緣性材料的構造。在此例中、閘極絕緣層 130 包含自閘極電極 120 側起依序堆疊有氮化矽膜及氧化矽膜的結構。

【0105】 接下來，藉由 CVD 法或 PVD 法，於閘極絕緣層 130

上形成 ITZO 膜。在此例中，透過使用包含氫及氧之氣體的濺鍍法來形成 ITZO。ITZO 膜在此例中係非晶質，但亦可包含微晶質。亦可包含 In、Sn、Zn 及 O 以外的要素。通道 CH（參照圖 6）在自表面起 5 nm 的範圍中可包含 Sn 成為 10 at% 以上的部分，亦可包含成為 13 at% 以上的部分。通道 CH 在自表面起 5 nm 的範圍中亦可包含 Sn 之原子百分比比較 Zn 之原子百分比還大的部分。ITZO 膜的厚度得採取各式各樣，但為例如 10 nm 以上且 200 nm 以下，更佳為 20 nm 以上且 100 nm 以下。半導體層 150 可藉由將 ITZO 膜形成為期望的圖案來獲得。期望的圖案，舉例而言，可藉由使用利用光微影之光阻的蝕刻製程或剝離製程來形成。於 ITZO 膜上形成光阻 PR 並藉由蝕刻製程形成島狀之半導體層 150 後的構造對應於圖 4。在圖 4 所示之例中，係去除光阻 PR 前的狀態。

**【0106】** 使用光微影時，半導體層 150 的上面 150a 接觸於光阻 PR。細節將於後再述，但係為 ITZO 膜之半導體層 150 若接觸光阻 PR，則光阻 PR 所包含之有機化合物的碳原子「C」會結合於接觸面（上面 150a）。即使曝露於用以去除光阻 PR 的蝕刻液（以下稱為剝離液），結合於上面 150a 的碳原子亦不會去除。

**【0107】** 此碳原子以「C-O」及「C=O」（以下稱為碳殘留成分）的形式而殘留。ITZO 由於具有 SnO<sub>x</sub>（氧化錫），故可謂具有「C-O」及「C=O」易於吸附的表面。對於 In<sub>2</sub>O<sub>x</sub>（氧化銦）、

$ZnO_x$ （氧化鋅），亦可謂具有與影響少者之  $SnO_x$ （氧化錫）同樣的傾向。此碳殘留成分對 ITZO 導入缺陷。在 ITZO 中，可想見由碳殘留成分供應電子使電子濃度增加，以及電洞因 NBTS 而陷落於此缺陷，係閾值負偏移的主要原因。

【0108】 在半導體層 150 藉由剝離製程形成的形況下，半導體層 150 的上面 150a 不會接觸光阻 PR，但藉由在去除用於剝離之光阻 PR 時曝露於剝離液，因剝離液所包含之有機化合物及溶解之光阻 PR 的成分之影響，而同樣有碳殘留成分產生於上面 150a 的可能性。

【0109】 源極電極 171 及汲極電極 172 可藉由 PVD 法將形成於半導體層 150 上及閘極絕緣層 130 上的導電性材料之膜形成為期望的圖案來獲得。期望的圖案，舉例而言，可藉由使用利用光微影之光阻的蝕刻製程或剝離製程來形成。在源極電極 171 及汲極電極 172 形成時，亦可同時形成掃描訊號線 GL 及資料訊號線 SL 之至少一者。導電性材料可為例如鋁、鈹、鎢、金、銅、鉻、鋁等金屬，或包含此等之至少 1 者的金屬化合物。

【0110】 源極電極 171 及汲極電極 172 以具有抗氧化性的導電性材料為佳。源極電極 171 及汲極電極 172 亦可包含堆疊多個種類之導電性材料的構造。在此情況下，以至少於上面露出之導電性材料具有抗氧化性為佳。在此例中，源極電極 171 及汲極電極 172 包含自半導體層 150 側起依序堆疊有鋁及銅的結構。

【0111】 藉由於導電性材料上形成光阻 PR 之蝕刻製程來形成源極電極 171 及汲極電極 172 後的構造對應於圖 5。在圖 5 所示之例中，係去除光阻 PR 前的狀態。在此狀態下，半導體層 150 的背通道側表面 150b 不接觸於光阻 PR，但在去除光阻 PR 時，因曝露於用以去除光阻 PR 的剝離液，而同樣有碳殘留成分產生於背通道側表面 150b 的可能性。

【0112】 因在形成源極電極 171 及汲極電極 172 時的蝕刻液，而同樣有碳殘留成分產生於背通道側表面 150b 的可能性。舉例而言，在混合磷酸、硝酸及乙酸之 PAN 蝕刻液中，乙酸可能成為碳殘留成分產生的主要原因。至少背通道側表面 150b 在圖 4 所示之狀態下已接觸於光阻 PR。是故，於背通道側表面 150b 有碳殘留成分就此持續存在的可能性。

【0113】 在源極電極 171 及汲極電極 172 藉由剝離製程形成的情況下，由於變得在背通道側表面 150b 形成有光阻 PR，故碳殘留成分產生於背通道側表面 150b。

【0114】 圖 6 係繪示在一實施型態中之薄膜電晶體之圖。圖 6 對應於在圖 5 中去除光阻 PR 後的薄膜電晶體 100。半導體層 150 之中，源極電極 171 與汲極電極 172 之間的區域為通道 CH。在圖 6 中，未繪示針對通道幅寬方向（在圖 6 中之垂直紙面方向）之通道 CH 的範圍，但通道 CH 如一般定義，在沿垂直於基板的方向觀看薄膜電晶體 100 的情況下，包含半導體層 150 與閘極電

極 120 重疊的區域之中為源極電極 171 與汲極電極 172 所包夾的區域。

【0115】 為了抑制由 NBTS 所致之閾值的負偏移，由發明人等的見解可知使通道 CH 的表面中的碳殘留成分減少實屬重要。亦即，以通道 CH 的表面之中在閘極電極 120 側的表面（以下稱為閘極側表面 150g）及相反之側的表面（背通道側表面 150b）中使碳殘留成分減少為佳。

【0116】 另一方面，如上所述，在通道 CH 的表面露出的狀態下，因各式各樣的製造製程，而有碳殘留成分增加的可能性。暫時減低碳殘留成分亦無意義，在通道 CH 的表面成為不露出的狀態時，亦即在通道 CH 的表面成為以其他層體覆蓋的狀態時，減低通道 CH 的表面之碳殘留成分始有意義。並且，在通道 CH 的表面成為不露出的狀態後，自通道 CH 的表面去除碳殘留成分實屬困難。

【0117】 源極表面 150s 及汲極表面 150d 由於無發揮作為通道 CH 之功能的部分，故亦可不使碳殘留成分減少。源極表面 150s 對應於半導體層 150 的表面之中與源極電極 171 相接的部分。汲極表面 150d 對應於半導體層 150 的表面之中與汲極電極 172 相接的部分。

【0118】 在此例中，如圖 6 所示，在背通道側表面 150b 的一部分（源極表面 150s 與汲極表面 150d 之間的區域）露出的狀態

下，執行 UV 臭氧處理及加熱處理之至少一者。UV 臭氧處理係在包含氧的氣體環境中照射紫外光。藉由透過紫外光照射而獲得之臭氧——更詳細而言係自臭氧產生之活性氧——可分解在背通道側表面 150b 的露出部分中之碳殘留成分，使碳原子自此表面脫附。加熱處理係在包含氧的氣體環境中加熱至 350°C 以上，較佳為 370°C 以上。藉由在包含氧的氣體環境下之加熱處理，可分解在背通道側表面 150b 的露出部分中之碳殘留成分，使碳原子自此表面脫附。

**【0119】** 於上已述之包含氧的氣體環境包含大氣環境及包含氧濃度較大氣還高的氣體環境。包含氧的氣體環境，只要包含氧即不排除氧濃度較大氣還低的氣體環境者。

**【0120】** 作為碳原子脫附的結果，可以背通道側表面 150b 在自露出部分起至深度 5 nm 的範圍中之碳原子的平均濃度減少至  $1.5 \times 10^{21} \text{ cm}^{-3}$  以下的方式設定 UV 臭氧處理的條件或加熱處理的條件。以背通道側表面 150b 在自露出部分起至深度 5 nm 的範圍中之碳原子的平均濃度減少至  $3.5 \times 10^{20} \text{ cm}^{-3}$  以下為佳。

**【0121】** 碳原子脫附的結果，在藉由歐傑電子分光法量測的情況下，亦可以背通道側表面 150b 在自露出部分起至深度 5 nm 的範圍中之碳原子的最大濃度減少至 19 at% 以下的方式設定 UV 臭氧處理的條件或加熱處理的條件。以背通道側表面 150b 在自露出部分起至深度 5 nm 的範圍中之碳原子的最大濃度減少至 8

at%以下為佳。UV 臭氧處理的條件為例如紫外光的強度、照射時間、氧濃度、基板溫度等。加熱處理的條件為例如加熱溫度、加熱時間、氧濃度等。

【0122】 背通道側表面 150b 的露出部分以外，即源極表面 150s 被源極電極 171 覆蓋、汲極表面 150d 被汲極電極 172 覆蓋。是故，源極表面 150s 及汲極表面 150d 即使進行 UV 臭氧處理或加熱處理，碳殘留成分亦幾乎不脫附，碳原子的濃度較背通道側表面 150b 的露出部分還高。惟由於源極表面 150s 與汲極表面 150d 並非發揮作為薄膜電晶體 100 的通道之功能的部分，故碳殘留成分即使存在亦幾乎不影響。

【0123】 對於閘極側表面 150g，碳殘留成分產生的主要原因並不存在。即使假設係成為於閘極絕緣層 130 上形成 ITZO 膜前，碳殘留成分存在於閘極絕緣層 130 上的狀況，碳殘留成分亦會藉由透過 PVD 法形成 ITZO 膜時的處理（包含氧的濺鍍）而減少。其結果，碳原子脫附而落於於上已述之濃度範圍。此外，閘極絕緣層或半導體層通常以氣相法製作，但在以溶液法代替氣相法製作的情況下，對於閘極側表面 150g 亦有碳殘留成分產生的主要原因。

【0124】 在使碳殘留成分減少的處理後，可以覆蓋薄膜電晶體 100 的方式形成層間絕緣層 200。薄膜電晶體 100，尤其與背通道側表面 150b 之露出部分接觸的部分，為了碳殘留成分不再次

產生，可藉由幾乎不含碳成分的無機絕緣性材料來保護其免受碳原子影響。亦即，在碳原子自通道 CH 的表面脫附後，在包含碳原子之層體再次形成於通道 CH 的表面前，形成保護通道 CH 的絕緣層。

**【0125】** 在此例中，層間絕緣層 200 包含自薄膜電晶體 100 側起依序堆疊有氧化矽膜、氮化矽膜及有機樹脂膜的結構。無機絕緣性材料之膜可藉由 CVD 法或 PVD 法來形成。在形成無機絕緣性材料之膜時，必須導入碳原子的成膜方式不予以採用。舉例而言，藉由 ALD (Atomic Layer Deposition) 法形成氧化鋁一事，由於使用包含碳之三甲基鋁 (TMA) 而不樂見。惟即使係此種氧化鋁，亦可做成不接觸於通道 CH 的表面的無機絕緣性材料來使用。依據堆積溫度的設定等，若最終可使產生於通道 CH 的表面之碳殘留成分減少，則亦可透過 ALD 法使用無機絕緣性材料作為接觸於通道 CH 的表面之無機絕緣性材料。有機樹脂膜可藉由溶液塗布方式或印刷方式來形成。於層間絕緣層 200 可形成有通過汲極電極 172 的接觸孔。

**【0126】** 像素電極 300 形成於層間絕緣層 200 上，中介接觸孔而連接於汲極電極 172。像素電極 300 可藉由例如 PVD 法來形成。形成像素電極 300 後的構造對應於圖 7。如圖 8 所示，於像素電極 300 的邊緣部上及層間絕緣層 200 上形成堤層 400，進一步形成發光層 500 及相對電極 600。透過形成封裝層 900 並以第

2 基板 2 覆蓋第 1 基板 1，可製造圖 2 所示之顯示裝置 1000。

【0127】 根據於上已述之薄膜電晶體 100，透過將吸附於通道 CH 的表面的碳殘留成分減低之處理，碳原子自該通道 CH 表面脫附，且在包含碳原子之材料接觸到該通道 CH 表面前，形成覆蓋該通道 CH 表面的絕緣層，故可抑制由 NBTS 所致之閾值的負偏移。

【0128】 [ 實驗例 ]

【0129】 接下來，說明揭示可透過碳殘留成分的減低來抑制由 NBTS 所致之閾值的負偏移之實驗結果。如上所述，發明人等發現透過在通道 CH 表面中減低碳殘留成分，可抑制在 NBTS 中之閾值的負偏移。為了進行此驗證，製作閾值偏移量測用的薄膜電晶體。

【0130】 圖 9 係繪示閾值偏移量測用的薄膜電晶體之圖。閾值偏移量測用的薄膜電晶體包含閘極電極 125、閘極電極 125 上的閘極絕緣層 135、閘極絕緣層 135 上的半導體層 155、連接於半導體層 155 的源極電極 176 及汲極電極 177。源極電極 176 及汲極電極 177 包夾通道 CH 而配置。通道 CH 的表面之中，閘極電極 125 側的表面係閘極側表面 155g，其相反之側的表面係背通道側表面 155b。半導體層 155 之中，與源極電極 176 相接的部分為源極表面 155s。半導體層 155 之中，與汲極電極 177 相接的部分為汲極表面 155d。在此例中，背通道側表面 155b 由通道 CH 表

面的露出部分、源極表面 155s 與汲極表面 155d 而成。

【0131】 閘極電極 125 係具有導電性的 P 型矽基板。閘極絕緣層 135 係形成於矽基板之表面的熱氧化膜，具有 150 nm 之厚度。半導體層 155 係 ITZO，具有 20 nm 之厚度。排除 O（氧）的組成比 In（銻）：Sn（錫）：Zn（鋅）為 20：40：40（at%）。此組成比係標稱值（nominal），在使用單一靶材的情況下，對應於此靶材的組成比。實際所形成之半導體層 155 的組成比以於後敘述之歐傑電子分光量測結果的形式表示。在實際的半導體層 155（於上已述之半導體層 150 亦然）中，通道 CH 在自表面起 5 nm 的範圍中，可包含 Sn 成為 10 at% 以上的部分，亦可包含成為 13 at% 以上的部分。通道 CH 在自表面起 5 nm 的範圍中亦可包含 Sn 之原子百分比比較 Zn 之原子百分比還大的部分。在 Sn 的濃度高的情況下，碳殘留成分易於產生，但由於可如以下所述減低碳殘留成分，故並非大問題。此薄膜電晶體之通道 CH 的長度（通道長）為 30  $\mu\text{m}$ ，通道幅寬為 60  $\mu\text{m}$ 。就細微化的觀點而言，通道長以 100  $\mu\text{m}$  以下為佳，以 30  $\mu\text{m}$  以下為較佳，以 10  $\mu\text{m}$  以下為更佳，以 3  $\mu\text{m}$  以下為更佳。接下來，說明閾值偏移量測用的薄膜電晶體的製造方法。

【0132】 圖 10 至圖 12 係用以說明量測用之薄膜電晶體的製造方法之圖。準備形成有閘極絕緣層 135（熱氧化膜）的閘極電極（P 型矽基板）125，如圖 10 所示，形成光阻 PR，進一步形成

ITZO 膜 155f。如圖 11 所示，在透過剝離製程去除光阻 PR 時，不需要的部分之 ITZO 膜 155f 可與光阻 PR 一同去除，可形成半導體層 155。圖案形成前之光阻 PR 接觸於閘極絕緣層 135 的表面，但碳殘留成分不存在於閘極絕緣層 135。即使碳殘留成分少量存在，藉由在透過 PVD 法形成 ITZO 膜 155f 時之在包含氧的氣體環境下之濺鍍，亦會使此碳殘留成分脫附。

【0133】 如圖 12 所示，形成光阻 PR，進一步形成金膜 175f。在光阻 PR 形成時，光阻 PR 接觸於半導體層 155 的上面 155a 整體。如圖 12 所示，即使在圖案形成後，光阻 PR 亦保持接觸於背通道側表面 155b 的狀態而殘留。若透過剝離製程去除光阻 PR，則如圖 9 所示，可形成源極電極 176 及汲極電極 177。此時，於背通道側表面 155b 的露出部分、源極表面 155s 及汲極表面 155d 存在碳殘留成分。如上所述，透過加熱處理或 UV 臭氧處理，可減低在背通道側表面 155b 的露出部分中之碳殘留成分。

【0134】 [ 碳殘留成分 ]

【0135】 準備於基板上形成 ITZO 膜並形成光阻前的樣品(以下稱為 BeforePR 樣品)與於 ITZO 膜上形成光阻後去除光阻的樣品(以下稱為 AfterPR 樣品)，實施 TDS (Thermal Desorption Spectrometry) 量測及 HAX-PES (Hard X-ray Photoelectron Spectroscopy) 量測。

【0136】 圖 13 係繪示光阻形成前及光阻形成／去除後的 TDS

量測結果之圖。根據圖 13，BeforePR 樣品未偵測到 CO。另一方面，AfterPR 樣品確認到在 350°C附近 CO 脫附。亦即，確認到若形成光阻，則即使以剝離液等去除光阻，CO 亦會作為碳殘留成分存在於 ITZO 膜的表面。

【0137】 圖 14 及圖 15 係繪示光阻形成前及光阻形成／去除後的 HAX-PES 量測結果之圖。根據圖 14 之結果 (C1s) 及圖 15 之結果 (O1s)，關乎「C-O」及「C=O」之尖峰在 BeforePR 樣品中未偵測到，但在 AfterPR 樣品中有偵測到。此小尖峰係源自碳者。亦即，在 AfterPR 樣品中確認到碳殘留成分存在。

【0138】 [ 加熱處理對碳殘留成分賦予的影響 ]

【0139】 對於 AfterPR 樣品的加熱處理確認到對碳殘留成分之脫附賦予的影響。

【0140】 圖 16 係繪示利用加熱溫度的差異之 TDS 量測結果之圖。對於 AfterPR 樣品，準備不進行加熱處理的 (R.T.) 樣品、於 300°C加熱處理 1 小時的樣品、於 350°C加熱處理 1 小時的樣品及於 400°C加熱處理 1 小時的樣品。根據對於各個 AfterPR 樣品的 TDS 量測結果，加熱處理的溫度變得愈高，脫附的 CO 之量愈減少。亦即，確認到加熱溫度變得愈高，碳殘留成分愈減少。

【0141】 具體而言，CO 的脫附量，在不進行加熱處理的(R.T.) AfterPR 樣品之情況下為  $1.0 \times 10^{15} \text{ cm}^{-2}$ ，在於 300°C加熱處理 1 小時的 AfterPR 樣品之情況下為  $0.5 \times 10^{15} \text{ cm}^{-2}$ ，在於 350°C加熱處

理 1 小時的 AfterPR 樣品之情況下為  $1.5 \times 10^{14} \text{ cm}^{-2}$  及在於  $400^\circ\text{C}$  加熱處理 1 小時的 AfterPR 樣品之情況下為偵測極限 ( $1.0 \times 10^{14} \text{ cm}^{-2}$ ) 以下。

【0142】 圖 17 係繪示對於 AfterPR 樣品及加熱處理後的樣品之歐傑電子分光的量測結果之圖。橫軸對應於以 Ar 離子束蝕刻 (濺鍍) ITZO 之表面的時間 (Sputter Time)。在此例中, ITZO 的蝕刻率為  $2.5 \text{ nm} / \text{min}$ 。一邊重複蝕刻與歐傑電子分光量測, 一邊獲得深度方向的組成比 (Atomic Concentration)。在對於 AfterPR 樣品不進行加熱處理的情況下, ITZO 膜在自表面起至 2 nm 或 3 nm 的深度中, 偵測出碳原子。尤其, 在最表面中偵測出 50 at% 的碳原子。另一方面, 在對於 AfterPR 樣品進行  $400^\circ\text{C}$  之加熱處理的情況下, 雖然在最表面中偵測出 8 at% 的碳原子, 但在自 ITZO 膜的表面起未達 1 nm 的深度中, 係成為偵測極限以下的碳原子。

【0143】 若考量 TDS 量測的結果與歐傑電子分光量測的結果, 在不進行加熱處理的 (R.T.) AfterPR 樣品之情況下為  $1.0 \times 10^{15} \text{ cm}^{-2}$  的 CO 脫附量, 在最表面中量測到 50 at% 的碳原子。在此情況下, 依據以下說明的關係, ITZO 膜在自表面起至深度 5 nm 的範圍中之碳原子的平均濃度為  $1.0 \times 10^{22} \text{ cm}^{-3}$  左右, 可謂至少較  $1.5 \times 10^{21} \text{ cm}^{-3}$  還多。

【0144】 在於  $400^\circ\text{C}$  進行 1 小時加熱處理的 AfterPR 樣品之情

況下為偵測極限 ( $1.0 \times 10^{14} \text{ cm}^{-2}$ ) 以下的 CO 脫附量，在最表面中量測到 8 at% 的碳原子。在此情況下，可謂 ITZO 膜在自表面起至深度 5 nm 的範圍中之碳原子的平均濃度為  $3.5 \times 10^{20} \text{ cm}^{-3}$ 。

【0145】 在於  $350^\circ\text{C}$  加熱處理 1 小時的 AfterPR 樣品之情況下為  $1.5 \times 10^{14} \text{ cm}^{-2}$  的 CO 脫附量。若考量 TDS 量測結果，在對於處理後樣品進行  $350^\circ\text{C}$  之加熱處理的情況下，可推測在最表面中之碳原子的最大濃度為 19 at%。在此情況下，可謂 ITZO 膜在自表面起至深度 5 nm 的範圍中之碳原子的平均濃度為  $1.5 \times 10^{21} \text{ cm}^{-3}$ 。

【0146】 說明 TDS 量測的結果及歐傑電子分光量測的結果與碳原子濃度的關係。ITZO，若考量分子量、膜密度，每單位體積（1 立方公分）的原子數大概為  $8.0 \times 10^{22} \text{ cm}^{-3}$ 。根據歐傑電子分光量測的結果，以下將 ITZO 膜在自表面起深度 5 nm（濺鍍時間 2 分鐘）的範圍所包含之 C 的總量相對於 In、Sn、Zn、O 的總量稱為碳相對濃度。碳相對濃度可以將 C 的原子百分比在自表面起至 5 nm 的範圍積分之值相對於定為 100% 之在自表面起至 5 nm 的範圍積分之值（ $100 \times 5$ ）之形式來獲得。

【0147】 根據不進行加熱處理的 AfterPR 樣品的結果，碳相對濃度大概為 12.5%。藉由對碳相對濃度乘以於上已述之每單位體積的原子數，可獲得每單位體積的碳原子數。此每單位體積的碳原子數對應於在自表面起至 5 nm 的範圍中之平均濃度，以下稱為碳原子濃度。

【0148】 不進行加熱處理的 AfterPR 樣品之碳原子濃度計算為  $1.0 \times 10^{22} \text{ cm}^{-3}$  左右。另一方面，於  $400^\circ\text{C}$  進行 1 小時加熱處理的 AfterPR 樣品之所計算的碳原子濃度為  $3.5 \times 10^{20} \text{ cm}^{-3}$ 。於此，根據 TDS 量測結果，於  $350^\circ\text{C}$  進行 1 小時加熱處理的 AfterPR 樣品相對於不進行加熱處理的 AfterPR 樣品為 0.15 倍的 CO 脫附量。因此，於  $350^\circ\text{C}$  加熱處理 1 小時的 AfterPR 樣品可假定碳原子濃度為  $1.5 \times 10^{21} \text{ cm}^{-3}$ 。

【0149】 若考量不進行加熱處理的 AfterPR 樣品及於  $400^\circ\text{C}$  進行 1 小時加熱處理的 AfterPR 樣品之歐傑電子分光量測的碳原子之輪廓圖與上述碳原子濃度，則於  $350^\circ\text{C}$  進行 1 小時加熱處理的 AfterPR 樣品自其碳原子濃度可推測在最表面中成為最大之碳原子的濃度為 19 at%。

【0150】 作為在於上已述之薄膜電晶體 100 中之半導體層 150 中之通道 CH 之表面的位置，只要如下所定義即可。若係背通道側表面 150b，在自鄰接之層間絕緣層 200 的無機絕緣膜朝向半導體層 150（通道 CH）如上所述透過歐傑電子分光來量測的情況下，將偵測到 In、Sn 及 Zn 的位置定為表面。另一方面，若係閘極側表面 150g，在自鄰接之閘極絕緣層 130 朝向半導體層 150（通道 CH）如上所述透過歐傑電子分光來量測的情況下，將偵測到 In、Sn 及 Zn 的位置定為表面。

【0151】 [ 對 NBTS 的影響 ]

【0152】 在閾值量測用的薄膜電晶體中，如圖 9 所示，在形成源極電極 176 及汲極電極 177 後，準備不進行加熱處理的(R.T.)薄膜電晶體、於 300°C加熱處理 1 小時的薄膜電晶體、於 350°C加熱處理 1 小時的薄膜電晶體及於 400°C進行 1 小時加熱處理的薄膜電晶體。對於此等量測用薄膜電晶體實施 NBTS。NBTS 係使用以閘極電極相對於源極電極及汲極電極的電壓成為「 $V_{th}-20\text{ V}$ 」的方式控制、將溫度定為 60°C、在暗狀態下維持的條件。維持施加 NBTS 之狀態的時間最大為 3600 秒。

【0153】 圖 18 係繪示由 NBTS 所致之閾值偏移的量測結果之圖。圖 18 所示之  $I_d$  (Drain Current) –  $V_g$  (Gate Voltage) 特性表示在以汲極電極相對於源極電極的電壓成為「0.1 V」之方式控制的狀態下使閘極電極的電壓變化時的汲極電流。圖 18 對應於各加熱處理條件繪示閾值偏移的 NBTS 時間依賴性。如圖 18 所示，相對於 NBTS 前之閾值的偏移，在不進行加熱處理的情況下為「-12 V」，在 300°C加熱處理的情況下為「-3.5 V」，在 350°C加熱處理的情況下為「-0.5 V」，在 400°C加熱處理的情況下為「-0.1 V」。由此結果確認到碳殘留成分的存在愈少，負偏移量變得愈小。若可抑制至 350°C加熱處理之情形的閾值偏移量，則在實用上可獲得充分的可靠性。

【0154】 [對 NBIS 的影響]

【0155】 在閾值量測用的薄膜電晶體中，如圖 9 所示，在形

成源極電極 176 及汲極電極 177 後，準備不進行加熱處理的(R.T.) 薄膜電晶體及於 400°C進行 1 小時加熱處理的薄膜電晶體。對於此等量測用薄膜電晶體實施 NBIS ( Negative Bias Illumination Stress ) 。NBIS 係使用以閘極電極相對於源極電極及汲極電極的電壓成為「 $V_{th}-20\text{ V}$ 」的方式控制、在 4000 lux 的光照射下維持的條件。維持施加 NBIS 之狀態的時間最大為 3600 秒。

【0156】 圖 19 係繪示由 NBIS 所致之閾值偏移的量測結果之圖。圖 19 所示之  $I_d - V_g$  特性表示在以汲極電極相對於源極電極的電壓成為「 $0.1\text{ V}$ 」的方式控制的狀態下使閘極電極的電壓變化時的汲極電流。圖 19 對應於各加熱處理條件繪示閾值偏移的 NBIS 時間依賴性。如圖 19 所示，閾值的偏移量，在不進行加熱處理的情況下為「 $-12.5\text{ V}$ 」，在 400°C加熱處理的情況下為「 $-6.5\text{ V}$ 」。由此結果確認到即使在光照射下，碳殘留成分的存在愈少，負偏移量亦變得愈小。

【0157】 在將具有由 NBIS 所致之「 $-6.5\text{ V}$ 」之閾值偏移量的薄膜電晶體使用於顯示裝置的情況且此偏移量成為問題的情況下，亦可以在薄膜電晶體的附近妨礙光朝通道 CH 之侵入路徑的方式設置遮光層。藉由利用遮光層妨礙光侵入，可進一步抑制閾值的負偏移，故可提升薄膜電晶體的可靠性。

【0158】 在一實施型態中之顯示裝置中不含遮光層，但在薄膜電晶體 100 的上層或下層中，亦可以防礙光朝通道 CH 之侵入

的方式配置遮光層。藉由碳殘留成分減低，即使在光照射下，閾值偏移量亦變少。因此，為了實現用以確保可靠性所需的閾值偏移量，亦可使應遮光之光的量減少。其結果，藉由減低碳殘留成分，可使配置於薄膜電晶體 100 之周邊的遮光層減小或省略。

【0159】〔UV 臭氧處理對碳殘留成分賦予的影響〕

【0160】確認到對於 AfterPR 樣品的 UV 臭氧處理對碳殘留成分的脫附賦予的影響。

【0161】圖 20 係繪示光阻形成／去除後及 UV 臭氧處理後的 TDS 量測結果之圖。針對 BeforePR 樣品與 AfterPR 樣品的關係，與於上已述之關係相同。即使在對於 AfterPR 樣品在室溫下進行過 UV 臭氧處理（UV Ozone Treatment）的樣品中，亦可獲得與 BeforePR 樣品同等的 TDS 量測結果。亦即，確認到碳殘留成分透過 UV 臭氧處理自 ITZO 膜的表面減少，可等同於形成光阻前的狀態。

【0162】由於藉由 UV 臭氧處理即使在室溫下亦可實現，故即使在圖 6 所示之薄膜電晶體 100 形成前包含耐熱性低的材料，亦可去除碳殘留成分。儘管未圖示，但舉例而言，在薄膜電晶體 100 與第 1 支撐基板 10 之間存在濾色器等有機絕緣膜的情況下，透過 UV 臭氧處理而非加熱處理，有利於減低碳殘留成分。

【0163】〔對 NBTS 的影響〕

【0164】在閾值量測用的薄膜電晶體中，如圖 9 所示，在形

成源極電極 176 及汲極電極 177 後，準備進行過 UV 臭氧處理的薄膜電晶體。對於此等量測用薄膜電晶體實施 NBTS。NBTS 的條件與獲得圖 18 所示之量測結果時的條件相同，使用以閘極電極相對於源極電極及汲極電極的電壓成為「 $V_{th}-20\text{ V}$ 」的方式控制、將溫度定為  $60^{\circ}\text{C}$ 、在暗狀態下維持的條件。亦實施將閘極電極相對於源極電極 176 及汲極電極 177 的電壓控制為「 $V_{th}+20\text{ V}$ 」、將溫度定為  $60^{\circ}\text{C}$ 、在暗狀態下維持之 PBTS ( Positive Bias Temperature Stress ) 。

【0165】 圖 21 係繪示 UV 臭氧處理後之由 NBTS 及 PBTS 所致之閾值偏移的量測結果之圖。圖 21 所示之  $I_d-V_g$  特性表示在將汲極電極相對於源極電極的電壓控制為「 $0.1\text{ V}$ 」使閘極電極的電壓變化時的汲極電流。如圖 21 所示，即使在 UV 臭氧處理中，由 NBTS 所致之閾值的偏移量亦抑制為足夠小。

【0166】 由 PBTS 所致之閾值的偏移量亦與 NBTS 同樣抑制為足夠小。上述說明予以省略，但針對 PBTS，即使對於 AfterPR 樣品不進行碳殘留成分的減低處理 ( UV 臭氧處理或加熱處理 )，閾值的偏移量亦抑制為小，故僅供參考而提示。

【0167】 〈變形例〉

【0168】 本揭露並非限定於於上已述之實施型態者，可包含其他各式各樣的變形例。舉例而言，於上已述之實施型態係為了易於理解說明本揭露而詳細說明者，未必限定於具備所說明之所

有構造者。對於各實施型態之構造的一部分，能夠進行其他構造的追加／刪除／置換。以下說明一部分之變形例。

【0169】〔具有其他結構的薄膜電晶體〕

【0170】顯示裝置 1000 所使用之薄膜電晶體不限於在於上已述之一實施型態中之薄膜電晶體 100，可採用各式各樣結構的薄膜電晶體。以下說明在使用 ITZO 的薄膜電晶體中作為代表的結構之二例。

【0171】薄膜電晶體 100 係 BCE 型的薄膜電晶體，但 ESL (Etch Stop Layer) 型的薄膜電晶體亦可應用於顯示裝置 1000。

【0172】圖 22 係繪示在一實施型態中之 ESL 型薄膜電晶體之圖。在圖 22 中繪示有 ESL 型的薄膜電晶體 100A。薄膜電晶體 100A 相對於薄膜電晶體 100，具有追加有蝕刻終止層 150e 的結構。蝕刻終止層 150e 係在形成源極電極 171 及汲極電極 172 時之成為蝕刻終止的層體，例如透過 CVD 法或 PVD 法形成的氧化矽。在形成源極電極 171 及汲極電極 172 時，背通道側表面 150b 的露出部分已為蝕刻終止層 150e 所覆蓋。因此，在 ESL 型的薄膜電晶體 100A 之情況下，在半導體層 150 形成後、成為此蝕刻終止層 150e 之氧化矽膜形成前，進行用以脫附碳殘留成分的處理（加熱處理或 UV 臭氧處理）。亦即，蝕刻終止層 150e 發揮作為覆蓋通道之絕緣層的功能。

【0173】在 ESL 型的薄膜電晶體 100A 中，藉由蝕刻終止層

150e 的存在，源極電極 171 及汲極電極 172 與半導體層 150 接觸的位置與 BCE 型的薄膜電晶體 100 相異。是故，如圖 22 所示，薄膜電晶體 100A 之通道 CH 的區域與薄膜電晶體 100 的通道 CH 相異。

【0174】 薄膜電晶體 100 係底閘型薄膜電晶體，但頂閘型薄膜電晶體亦可應用於顯示裝置 1000。

【0175】 圖 23 係繪示在一實施型態中之頂閘型薄膜電晶體之圖。底閘型薄膜電晶體 100 之閘極電極 120 配置於第 1 支撐基板 10 與半導體層 150 之間。另一方面，如圖 23 所示，頂閘型薄膜電晶體 100B 之半導體層 150B 配置於第 1 支撐基板 10 與閘極電極 120B 之間。因此，在加工 ITZO 膜時之光阻 PR 所接觸的面，在底閘型薄膜電晶體 100 的情況下為背通道側表面 150b，但在頂閘型薄膜電晶體 100B 的情況下成為閘極側表面 150Bg。因此，在頂閘型薄膜電晶體 100B 中，在半導體層 150B 形成後、閘極絕緣層 130 形成前，可進行用以脫附碳殘留成分的處理（加熱處理或 UV 臭氧處理）。此外，背通道側表面 150Bb 不存在碳殘留成分，即使存在少量碳殘留成分，亦在如上所述形成 ITZO 膜時脫附。

【0176】 在頂閘型薄膜電晶體 100B 中，半導體層 150B 之中閘極電極 120B 之正下的部分對應於通道 CH。在相對於通道 CH 為源極電極 171B 側可形成源極區域 151B，在相對於通道 CH 為汲極電極 172B 側可形成汲極區域 152B。舉例而言，源極區域 151B

及汲極區域 152B 係例如以閘極電極 120B 作為遮罩，氫等藉由自動對準供應至半導體層 150B，藉此低電阻化的區域。

【0177】 如上所述，無論於顯示裝置 1000 採用具有何種結構的薄膜電晶體，只要在通道 CH 露出的狀態下進行脫附碳殘留成分的處理（加熱處理或 UV 臭氧處理）即可。而且，只要在脫附之處理後且包含碳原子之層體（例如光阻、有機絕緣層等）形成於通道 CH 上之前，形成保護通道 CH 免受碳原子影響的絕緣層（例如氧化矽等無機絕緣性材料）即可。

【0178】 使用 ITZO 以外的半導體材料之薄膜電晶體亦可與薄膜電晶體 100 併用。ITZO 以外之半導體材料可為例如其他金屬氧化物半導體（例如 IGZO），亦可為非晶矽、多晶矽等使用矽的半導體。

【0179】 [對電子設備的應用]

【0180】 於上已述之顯示裝置 1000 亦可應用作為智慧型電話、膝上型電腦、電視等各式各樣之電子設備的顯示器。顯示裝置 1000 不限於包含可藉由像素電路控制發光之發光層的有機 EL 顯示器。舉例而言，顯示裝置 1000 可為發光層係為 LED（Light Emitting Diode）的微型 LED 顯示器，亦可為包含可藉由像素電路控制光學特性之光學元件的顯示器，例如包含液晶作為光學元件的液晶顯示器。

【0181】 圖 24 係繪示在一實施型態中之電子設備之圖。圖 24

所示之電子設備 2000 係智慧型電話，其包含收容於框體 1500 之顯示裝置 1000、控制裝置 1600 及記憶裝置 1700。記憶裝置 1700 為例如非揮發性記憶體。控制裝置 1600 包含 CPU (Central Processing Unit) 等，藉由執行記憶裝置 1700 所記憶之程式控制顯示裝置 1000，以控制顯示裝置 1000 所顯示之影像。

【0182】 於上已述之薄膜電晶體不限於應用於構成顯示裝置 1000 之元件的情形，亦可應用於構成控制裝置 1600 及記憶裝置 1700 等之元件。亦即，使用薄膜電晶體 100 的電子設備亦包含不具備顯示裝置 1000 的構造。電子設備之一例包含記憶裝置、邏輯電路及其周邊電路裝置、無線訊號處理裝置、輸入裝置、攝像裝置、類神經運算裝置等顯示裝置以外的電子裝置。於此種電子設備，使用 ITZO 以外之半導體材料的薄膜電晶體亦可與使用 ITZO 之薄膜電晶體併用以進一步使用。

【0183】 [ ZSO 鈍化層 ]

【0184】 在薄膜電晶體 100 中，亦可透過由指定的膜形成之鈍化層覆蓋在通道 CH 中之背通道側表面 150b 以做成覆蓋通道的絕緣層。該鈍化層以可藉由在氧氣環境下之直流濺鍍法形成的氧化物薄膜為佳，例如由非晶質 ZSO (ZnSiO) 膜來形成。鈍化層就密合性的觀點而言，以至少一部分包含非晶質為佳，但亦可一部分包含微晶質等結晶結構。鈍化層的厚度得採取各式各樣，但為例如 2 nm 以上且 200 nm 以下，良佳為 3 nm 以上且 50 nm 以

下。在此例中，鈍化層的厚度為 5 nm。鈍化層亦可應用於圖 23 所示之頂閘型薄膜電晶體 100B。在此情況下，如圖 36 所示，亦可於基底絕緣層 110 與背通道側表面 150Bb 之間形成鈍化層 160F，如圖 37 所示，亦可於閘極絕緣層 130 與閘極側表面 150Bg 之間形成鈍化層 160G。鈍化層 160F 及鈍化層 160G 以至少存在於通道 CH 區域為佳。換言之，鈍化層 160F 及鈍化層 160G 於通道 CH 以外的區域亦可不存在，只要至少覆蓋通道 CH 即可。

**【0185】** ZSO 膜可藉由使用包含 ZnO 及 SiO<sub>2</sub> 之靶材之氧氣環境下的直流濺鍍來形成。作為鈍化層的 ZSO 膜具有絕緣性。ZSO 藉由 ZnO 相對於 SiO<sub>2</sub> 的比例變多，自具有絕緣性的狀態變化成具有導電性的狀態。ZSO 的靶材由於以具有導電性的組成比形成，故能夠利用直流濺鍍來形成。為了抑制半導體層 150 的表面還原，ZSO 的靶材良佳為以金屬氧化物的形式而非金屬的形式包含 Zn。另一方面，透過控制濺鍍的條件，可形成具有絕緣性之 ZSO 膜的鈍化層。ZSO 膜亦可藉由直流濺鍍以外之 PVD 法來形成，若可使最終於通道 CH 的表面產生之碳殘留成分減少，則亦可藉由 CVD 法或 ALD 法來形成。

**【0186】** 此鈍化層不限於係為包含 Zn 及矽 (Si) 之金屬氧化物層的 ZSO 膜，舉例而言，亦可為係為包含 Zn、Si 及 Sn 之金屬氧化物層的 ZSTO 膜。在此情況下，只要分別透過使用包含 ZnO、SnO<sub>2</sub> 之靶材或包含 ZnO、SiO<sub>2</sub>、SnO<sub>2</sub> 之靶材之氧氣環境下的直流

濺鍍即可。

【0187】 在 ZSO 膜的情況下， $Zn / (Zn + Si)$  之比以莫耳比計，以 0.30 以上且 0.95 以下的範圍為佳，以 0.40 以上且 0.85 以下的範圍為較佳。在 ZSTO 膜的情況下， $Sn / (Zn + Sn + Si)$  之比以莫耳比計，以 0.15 以上且 0.95 以下的範圍為佳。並且， $Si / (Zn + Sn + Si)$  之比以莫耳比計，以 0.07 以上且 0.30 以下的範圍為佳。此等莫耳比係做成膜之值。

【0188】 鈍化層相對於 ZSO 膜或 ZSTO 膜亦可更包含鈦(Ti)、鎵(Ga)、鈮(Nb)、鋁(Al)及 In 之至少一者。在此情況下，亦以此等元素以金屬氧化物的形式包含於靶材為佳。

【0189】 鈍化層的電子親和力以較半導體層 150(在此例中係 ITZO 膜)的電子親和力還小為佳。再者，以鈍化層的電子親和力為 2.0 eV 以上且 4.0 eV 以下的範圍內、鈍化層的游離電位為 6.0 eV 以上且 8.5 eV 以下的範圍內為佳。較佳的電子親和力為 2.2 eV 以上且 3.5 eV 以下，更佳為 2.5 eV 以上且 3.0 eV 以下。較佳的游離電位為 6.0 eV 以上且 7.5 eV 以下，更佳為 6.0 eV 以上且 7.0 eV 以下。透過設置電子親和力較半導體層還小的鈍化層，具有防止電子自外部往半導體層注入之效果。並且，透過設置游離電位較半導體層還大的鈍化層，具有防止電洞自外部往半導體層注入之效果。藉此，可抑制由 NBS 或 PBS 所致之閾值偏移。

【0190】 鈍化層的電子親和力可藉由使在靶材中之組成比變

化來調整。舉例而言，若係 ZSO 膜，則藉由在靶材中之 ZnO 與 SiO<sub>2</sub> 的比例可實現期望的電子親和力。電子親和力及游離電位可透過量子化學理論計算（電子親和力 = 中性分子的能量與陰離子的能量差，游離電位 = 陽離子與中性分子的能量差）或光電子分光法等眾所周知的量測方法來求出。具體而言，使用紫外光電子分光法評價游離電位，使用分光光度計評價能帶隙，自該游離電位與該能帶隙之差算出電子親和力。

【0191】 圖 25 至圖 27 係繪示在一實施型態中之使用鈍化層的薄膜電晶體之圖。在圖 25 至圖 27 之各者中繪示 ZSO 膜的鈍化層應用於薄膜電晶體 100 的情形之例。在圖 25 所示之薄膜電晶體 100C 中，在相當於於上已述之蝕刻終止層 150e 的位置形成有鈍化層 160。亦即，可在半導體層 150 形成後形成 ZSO 膜，ZSO 膜可形成為期望的圖案，藉此可於背通道側表面 150b 上形成鈍化層 160。鈍化層 160 的一部分被源極電極 171 及汲極電極 172 所覆蓋。

【0192】 在圖 26 所示之薄膜電晶體 100D 中，在源極電極 171 及汲極電極 172 形成後形成有 ZSO 膜，ZSO 膜可形成為期望的圖案，藉此可於背通道側表面 150b 的露出部分上形成鈍化層 160D。與在薄膜電晶體 100C 中之鈍化層 160 同樣，鈍化層 160D 覆蓋背通道側表面 150b 的露出部分。另一方面，與在薄膜電晶體 100C 中之鈍化層 160 相異，鈍化層 160D 亦覆蓋源極電極 171 及汲極

電極 172 的一部分。

【0193】 圖 27 所示之薄膜電晶體 100E 係在圖 25 所示之薄膜電晶體 100C 中於鈍化層 160 上形成有於上已述之蝕刻終止層 150eE 之例。鈍化層 160 與蝕刻終止層 150eE 亦可以相同圖案的形式形成。藉由調整鈍化層 160 的厚度，在圖 25 所示之薄膜電晶體 100C 中，鈍化層 160 亦可做成具有作為蝕刻終止層 150e 的功能。

【0194】 如此，由發明人等的見解可知使用 ZSO 膜的鈍化層更抑制在 60°C 或光照射條件下之由負閘極電壓施加所致之閾值的偏移。可想見係因透過此鈍化層減低 ITZO 的表面位準，抑制在 ITZO 與外部中電荷的遷移之故。以下說明可抑制閾值的偏移之結果。閾值偏移量測用的薄膜電晶體對應於圖 9 所示之閾值偏移量測用的薄膜電晶體。因此，形成有使用 ZSO 膜之鈍化層的薄膜電晶體成為形成於圖 9 所示之薄膜電晶體的背通道側表面 155b 上。於此，在圖 9 所示之薄膜電晶體形成並進行 400°C 之加熱處理後，進一步形成使用 ZSO 膜的鈍化層。

【0195】 圖 28 係繪示由溫度變化所致之閾值偏移的量測結果之圖。圖 28 所示之  $I_d - V_g$  特性表示在以汲極電極相對於源極電極的電壓成為「0.1 V」的方式控制的狀態下使閘極電極的電壓變化時的汲極電流。圖 28 繪示在不使用 ZSO 膜之鈍化層的情況(w/o a-ZSO)與使用 ZSO 膜之鈍化層的情況(w a-ZSO)下在室溫(R.T.)

及 60°C 下之  $I_d - V_g$  特性。

【0196】 在不使用 ZSO 膜之鈍化層的情況下，在 60°C 下的閾值較在室溫下的閾值還要負偏移。另一方面，在使用 ZSO 膜之鈍化層的情況下，在室溫下、在 60°C 下閾值皆幾乎不偏移。如此，藉由 ZSO 膜的鈍化層，可抑制閾值的溫度依賴性。

【0197】 圖 29 係繪示由 NBIS 所致之閾值偏移的量測結果之圖。圖 29 係對應於於上已述之圖 19 之 NBIS 的量測結果，不使用 ZSO 膜之鈍化層之情形的結果相當於在圖 19 中之 400°C 加熱處理的情形。另一方面，在使用 ZSO 膜之鈍化層的情況下，閾值幾乎不偏移。如此，藉由 ZSO 膜的鈍化層，可進一步抑制由 NBIS 所致之閾值的負偏移。

【0198】 圖 30 係繪示光照射前後之電子濃度的量測結果之圖。圖 30 繪示針對於玻璃基板上形成 ITZO 膜但不形成 ZSO 膜的樣品 (w/o a-ZSO) 與進一步於 ITZO 膜上形成 5 nm 之 ZSO 膜的樣品 (w a-ZSO) 透過電洞量測來量測 ITZO 膜的電子濃度之結果。電子濃度於光照射前 (對應於在時間軸上之「AS」) 及光照射後量測，光照射後亦針對時間變化 (時間軸之「0」對應於剛照射後) 量測。在光照射前與光照射後之間，對於 ITZO 膜自與玻璃基板相反之側 (ITZO 膜所露出之面或 ZSO 膜所露出之面) 照射藉由太陽光模擬器而獲得之光。照射光的時間為 10 分鐘。

【0199】 如圖 30 所示，在不形成 ZSO 膜的樣品中，藉由光的

照射，ITZO 膜的電子濃度自  $2 \times 10^{17} \text{ cm}^{-3}$  增加至  $2 \times 10^{18} \text{ cm}^{-3}$ ，即使經過 6 小時亦幾乎不變化。另一方面，在形成 ZSO 膜的樣品中，藉由光的照射，ITZO 膜的電子濃度自  $1 \times 10^{17} \text{ cm}^{-3}$  稍微上升，但在經過 6 小時後恢復至近乎原本的濃度。此現象可推測係在使用 ZSO 膜之鈍化層的情況下由 NBIS 所致之閾值的負偏移幾乎不發生之主要原因之一。

【0200】 圖 31 係繪示吸收係數的量測結果之圖。圖 31 係對於與圖 30 相同的樣品透過紫外線可見光近紅外線分光法來量測吸收係數的結果。如圖 31 所示，無關乎 ZSO 膜的有無，吸收係數幾乎相同。此量測結果起因於 ZSO 膜為非常薄的 5 nm 及 ZSO 膜具有寬廣的能帶隙。因此，圖 30 所示之結果表示對 ITZO 膜照射之光因 ZSO 膜而受阻並非主要的理由。

【0201】 透過利用直流濺鍍之 ZSO 膜的 formed，產生抑制在 ITZO 膜的表面及 ZSO 膜與 ITZO 膜的界面中之雜質的效果及抑制因各製程所受之損害的效果。作為其結果，可推測可獲得透過 ZSO 膜的鈍化層獲得之特性改善效果。藉由氧氣環境下之直流濺鍍，亦具有減低於上已述之碳殘留成分的效果。因此，亦可期待省略用以減低碳殘留成分的加熱處理及 UV 臭氧處理或將加熱處理及 UV 臭氧處理置換為簡易的處理（低溫化、低照度化或處理時間縮短）。

【0202】 圖 32 係繪示由 NBS (Negative Bias Stress) 所致之

閾值偏移之依時間之變化的量測結果與模型公式之圖。NBS 係使用以閘極電極相對於源極電極及汲極電極的電壓成為「 $V_{th}-20\text{ V}$ 」的方式控制並維持的條件。維持施加 NBS 之狀態的時間，在不進行於上已述之減低碳殘留成分之處理亦不使用 ZSO 膜之鈍化層的樣品（unstable sample）為最大 3600 秒（下圖），在進行減低碳殘留成分之處理進一步形成有 ZSO 膜之鈍化層的樣品（stable sample）為最大 86400 秒（上圖）。

【0203】 圖 32 揭示使用擴張指數函數（Stretched Exponential Function）擬合由 NBS 所致之閾值偏移之情形的各參數。 $V_{th}(0)$  係初期的閾值電壓。 $\tau$  係時間常數， $\beta$  係能障參數。依據是否進行碳殘留成分的去除及 ZSO 膜之鈍化層的形成， $\tau$  與  $\beta$  差異甚大。由於  $\beta$  反映能障的分布，故可想見若電荷傳遞之機制相異，則  $\beta$  相異。亦可知在使用 ZnO 之氣體感測器中依據所導入之氣體種類， $\beta$  差異甚大。在以高遷移率穩定之  $\text{In}_2\text{O}_3$  的 TFT 中，亦表示依據費米能階的不同而  $\beta$  相異的可能性。再者，如圖 32 所示，確認到  $\Delta V_{th}(t \rightarrow \infty)$  在 2 個樣品間亦相差兩位數。

【0204】 [針對相異之組成的 ITZO]

【0205】 在於上已述之一實施型態中，靶材的組成比 In : Sn : Zn 為 20 : 40 : 40 (at%)，但亦可不為此組成比。針對此組成比為 40 : 40 : 20 (at%) 之情形的樣品，說明由 NBTS、PBTS、NBIS 所致之閾值偏移的量測結果。

【0206】 圖 33 及圖 34 係繪示由 NBTS 及 PBTS 所致之閾值偏移的量測結果之圖。圖 33 係在靶材的組成比 In : Sn : Zn 為 20 : 40 : 40 ( at% ) 之情況下的量測結果。圖 34 係在靶材的組成比 In : Sn : Zn 為 40 : 40 : 20 ( at% ) 之情況下的量測結果。圖 33 及圖 34 的量測所使用之樣品皆進行減低碳殘留成分的處理，並形成有 ZSO 膜之鈍化層。在任一靶材的組成比中，閾值的偏移幾乎不發生。並且，圖 33 所示之量測結果相較於進行減低碳殘留成分之處理且未形成 ZSO 膜之鈍化層之情形的量測結果 ( 圖 21 )，亦可獲得大概相同的結果。亦即，未確認到因 ZSO 膜的存在而對於 NBTS 及 PBTS 之不良影響。

【0207】 圖 35 係繪示由 NBIS 所致之閾值偏移的量測結果之圖。在圖 35 中，藉由靶材之組成比相異之 2 個 ITZO 比較在 NBIS 中之量測結果。靶材之組成比 In : Sn : Zn 為 40 : 40 : 20 ( at% ) 之樣品 (  $\text{In}_{0.4}\text{Sn}_{0.4}\text{Zn}_{0.2}\text{O}_x$  ) 的電場效應遷移率為  $70 \text{ cm}^2 / \text{Vs}$ 。靶材之組成比 In : Sn : Zn 為 20 : 40 : 40 ( at% ) 之樣品 (  $\text{In}_{0.2}\text{Sn}_{0.4}\text{Zn}_{0.4}\text{O}_x$  ) 的電場效應遷移率為  $50 \text{ cm}^2 / \text{Vs}$ 。

【0208】 儘管靶材之組成比為  $\text{In}_{0.4}\text{Sn}_{0.4}\text{Zn}_{0.2}\text{O}_x$  之情形者因遷移率較  $\text{In}_{0.2}\text{Sn}_{0.4}\text{Zn}_{0.4}\text{O}_x$  之情形還高故閾值的負偏移稍大，但並無大的差異。如此，即使係特定的組成比以外的 ITZO，亦可透過同樣的方法獲得在各式各樣的電壓應力下之閾值偏移的抑制效果。藉由至少遷移率成為  $70 \text{ cm}^2 / \text{Vs}$  以下的 ITZO，可確認在電壓應

力下之閾值偏移之充分的抑制效果。

【0209】 具有充分的抑制效果之閾值的偏移量，舉例而言，以 3 V 以下為佳，以 1 V 以下為較佳。若可獲得此種抑制效果，則亦可將具有更高之遷移率的 ITZO 使用於薄膜電晶體。

【0210】 〔使用 ITZO 以外之金屬氧化物半導體的薄膜電晶體〕

【0211】 藉由碳殘留成分的減低處理可減低在於上詳述之於半導體層使用 ITZO 膜的薄膜電晶體中所確認到之由電壓應力所致之閾值偏移一事，除了 ITZO 以外，在 ITGO (In-Sn-Ga 氧化物)、IZO (In-Zn 氧化物) 亦可確認。因此，關乎於前已述之減低碳殘留成分之效果的見解，係可通常應用於將包含 In 之金屬氧化物半導體做成通道的薄膜電晶體者。針對關乎鈍化層的見解，若使用電子親和力較半導體層還小且游離電位大的鈍化層，則亦可謂可通常應用於將包含 In 之金屬氧化物半導體做成通道之薄膜電晶體者。如此，可尤為合適應用於使用具有高電場效應遷移率之金屬氧化物半導體的薄膜電晶體。所謂高電場效應遷移率，以  $20 \text{ cm}^2/\text{Vs}$  以上為佳，以  $40 \text{ cm}^2/\text{Vs}$  以上為尤佳。

【0212】 針對在將 ITGO 膜或 IZO 膜使用於半導體層之情況下之由 NBS 所致之閾值偏移，說明利用 UV 臭氧處理的效果。

【0213】 圖 38 及圖 39 係繪示在有無 UV 臭氧處理之由 NBS 所致之閾值偏移的量測結果之圖。圖 38 係在將 ITGO 膜使用於半

導體層之情形（靶材之組成比 In : Sn : Ga 為 40 : 20 : 40 (at%) 之情形）中的量測結果。圖 39 係在將 IZO 膜使用於半導體層之情形（靶材之組成比 In : Zn 為 50 : 50 (at%) 之情形）中的量測結果。

【0214】 在閾值量測用的薄膜電晶體中，樣品的結構及量測條件與獲得圖 21 所示之量測結果時相同。如圖 38 及圖 39 所示，在將 ITGO 膜或 IZO 膜使用於半導體層的情況下，由 NBS 所致之閾值的偏移量亦可抑制為足夠小。

【0215】 以上所示之薄膜電晶體亦可為具有以下所示之特徵的構造。

【0216】 一種薄膜電晶體，其係形成於基板上的薄膜電晶體，其包含：

由至少包含銦 (In)、錫 (Sn) 及鋅 (Zn) 之金屬氧化物半導體層之至少一部分形成的通道、

閘極電極、

配置於前述通道與前述閘極電極之間的閘極絕緣層、

連接於前述金屬氧化物半導體層的源極電極及汲極電極，以極

覆蓋前述通道的絕緣層，其中

前述通道的長度為 100 μm 以下，

在 NBTS、PBTS 及 NBIS 中之各個閾值的偏移量為 3 V 以下。

NBTS：暗狀態、溫度「 $60^{\circ}\text{C}$ 」、閘極電極相對於源極電極及汲極電極的電壓為「 $V_{\text{th}}-20\text{ V}$ 」、應力施加時間「3600 秒」

PBTS：暗狀態、溫度「 $60^{\circ}\text{C}$ 」、閘極電極相對於源極電極及汲極電極的電壓「 $V_{\text{th}}+20\text{ V}$ 」、應力施加時間「3600 秒」

NBIS：光照射條件「15000 Lux」、閘極電極相對於源極電極及汲極電極的電壓「 $V_{\text{th}}-20\text{ V}$ 」、應力施加時間「3600 秒」

閾值電壓量測：汲極電極相對於源極電極的電壓「 $0.1\text{ V}$ 」

【0217】 前述通道之 Sn 相對於 In、Sn 與 Zn 之合計的比例亦可為 30 (at%) 以上。前述通道之 Sn 相對於 In、Sn 與 Zn 之合計的比例亦可為 40 (at%) 以上。

【0218】 前述通道之電場效應遷移率亦可為  $40\text{ cm}^2/\text{Vs}$  以上。前述通道之電場效應遷移率亦可為  $60\text{ cm}^2/\text{Vs}$  以上。

【0219】 前述絕緣層亦可為包含鋅 (Zn) 及矽 (Si) 的金屬氧化物層。

【0220】 前述通道的長度亦可為  $50\text{ }\mu\text{m}$  以下。前述通道的長度亦可為  $20\text{ }\mu\text{m}$  以下。

【0221】 在 NBTS 中之閾值的偏移量亦可為  $1\text{ V}$  以下。

【0222】 在 PBTS 中之閾值的偏移量亦可為  $1\text{ V}$  以下。

【0223】 在 NBIS 中之閾值的偏移量亦可為  $1\text{ V}$  以下。

#### 【符號說明】

【0224】

1:第 1 基板

JT21P002TW(2022TWP4205)

2:第 2 基板

10:第 1 支撐基板

100,100A,100B,100C,100D,100E:薄膜電晶體

110:基底絕緣層

120,120B,125:閘極電極

130,135:閘極絕緣層

150,150B,155:半導體層

150a:上面

150b,150Bb,155b:背通道側表面

150d:汲極表面

150e,150eE:蝕刻終止層

151B:源極區域

152B:汲極區域

155f:ITZO 膜

150g,150Bg,155g:閘極側表面

150s:源極表面

160,160D:鈍化層

171,171B,176:源極電極

172,172B,177:汲極電極

175f:金膜

200:層間絕緣層

- 300:像素電極
- 400:堤層
- 500:發光層
- 600:相對電極
- 900:封裝層
- 1000:顯示裝置
- 1500:框體
- 1600:控制裝置
- 1700:記憶裝置
- 2000:電子設備

## 【發明申請專利範圍】

【請求項1】 一種薄膜電晶體，其係形成於基板上的薄膜電晶體，其包含：

由至少包含銦（In）之金屬氧化物半導體層之至少一部分形成且電場效應遷移率為  $20 \text{ cm}^2/\text{Vs}$  以上的通道、

配置於前述基板與前述通道之間的閘極電極、

配置於前述通道與前述閘極電極之間的閘極絕緣層，以及

連接於前述金屬氧化物半導體層的源極電極及汲極電極，其中

前述通道在自表面起至深度  $5 \text{ nm}$  的範圍中之碳原子的平均濃度為  $1.5 \times 10^{21} \text{ cm}^{-3}$  以下。

【請求項2】 一種薄膜電晶體，其係形成於基板上的薄膜電晶體，其包含：

閘極電極、

配置於前述基板與前述閘極電極之間、由至少包含銦（In）之金屬氧化物半導體層之至少一部分形成且電場效應遷移率為  $20 \text{ cm}^2/\text{Vs}$  以上的通道、

配置於前述通道與前述閘極電極之間的閘極絕緣層，以及

連接於前述金屬氧化物半導體層的源極電極及汲極電極，其中

前述通道在自表面起至深度 5 nm 的範圍中之碳原子的平均濃度為  $1.5 \times 10^{21} \text{ cm}^{-3}$  以下。

**【請求項3】** 一種薄膜電晶體，其係形成於基板上的薄膜電晶體，其包含：

由至少包含銦（In）之金屬氧化物半導體層之至少一部分形成且電場效應遷移率為  $20 \text{ cm}^2 / \text{Vs}$  以上的通道、

配置於前述基板與前述通道之間的閘極電極、

配置於前述通道與前述閘極電極之間的閘極絕緣層，以及

連接於前述金屬氧化物半導體層的源極電極及汲極電極，其中

前述通道在自表面起至深度 5 nm 的範圍中之碳原子的最大濃度為 19 at% 以下。

**【請求項4】** 一種薄膜電晶體，其係形成於基板上的薄膜電晶體，其包含：

閘極電極、

配置於前述基板與前述閘極電極之間、由至少包含銦（In）之金屬氧化物半導體層之至少一部分形成且電場效應遷移率為  $20 \text{ cm}^2 / \text{Vs}$  以上的通道、

配置於前述通道與前述閘極電極之間的閘極絕緣層，以及

連接於前述金屬氧化物半導體層的源極電極及汲極電極，其中

前述通道在自表面起至深度 5 nm 的範圍中之碳原子的最大濃度為 19 at%以下。

**【請求項5】** 如請求項 1 至請求項 4 之任一項所述之薄膜電晶體，其中前述金屬氧化物半導體層之中，與前述源極電極連接的表面及與前述汲極電極連接的表面之碳原子的濃度較前述通道的表面還高。

**【請求項6】** 如請求項 1 至請求項 4 之任一項所述之薄膜電晶體，其更包含具有絕緣性並覆蓋前述通道的鈍化層，其中前述鈍化層的電子親和力較前述金屬氧化物半導體層的電子親和力還小。

**【請求項7】** 如請求項 1 至請求項 4 之任一項所述之薄膜電晶體，其更包含具有絕緣性並覆蓋前述通道的鈍化層，其中前述鈍化層係包含鋅（Zn）及矽（Si）的金屬氧化物層。

**【請求項8】** 如請求項 6 所述之薄膜電晶體，其中前述金屬氧化物半導體層更包含錫（Sn）及鋅（Zn）。

**【請求項9】** 一種薄膜電晶體，其係形成於基板上的薄膜電晶體，其包含：

由至少包含銦（In）之金屬氧化物半導體層之至少一部分形成且電場效應遷移率為  $20 \text{ cm}^2/\text{Vs}$  以上的通道、

閘極電極、

配置於前述通道與前述閘極電極之間的閘極絕緣層、

連接於前述金屬氧化物半導體層的源極電極及汲極電極，以及

具有絕緣性並覆蓋前述通道的鈍化層，其中

前述鈍化層係包含鋅（Zn）及矽（Si）的金屬氧化物層，

前述鈍化層的電子親和力較前述金屬氧化物半導體層的電子親和力還小。

【請求項10】 如請求項9所述之薄膜電晶體，其中前述閘極電極配置於前述基板與前述通道之間，

前述鈍化層覆蓋在前述通道中的背通道側表面。

【請求項11】 如請求項9所述之薄膜電晶體，其中前述金屬氧化物半導體層係排除包含鋅（Zn）及矽（Si）之兩者之情形的金屬氧化物。

【請求項12】 如請求項9所述之薄膜電晶體，其中前述金屬氧化物半導體層更包含錫（Sn）及鋅（Zn）。

【請求項13】 一種薄膜電晶體，其係形成於基板上的薄膜電晶體，其包含：

由至少包含銦（In）之金屬氧化物半導體層之至少一部分形成且電場效應遷移率為  $20 \text{ cm}^2/\text{Vs}$  以上的通道、

閘極電極、

配置於前述通道與前述閘極電極之間的閘極絕緣層、

連接於前述金屬氧化物半導體層的源極電極及汲極電極，以及

具有絕緣性並覆蓋前述通道的鈍化層，其中

在以前述閘極電極相對於前述源極電極及前述汲極電極的電壓成為  $V_{th}-20$  V 的方式控制、將溫度定為  $60^{\circ}\text{C}$ 、在暗狀態下維持 3600 秒的情況下，閾值的偏移量為 0.5 V 以下，

前述鈍化層的電子親和力較前述金屬氧化物半導體層的電子親和力還小。

**【請求項14】** 如請求項 9 或請求項 13 所述之薄膜電晶體，其中前述鈍化層的電子親和力為 2.0 eV 以上且 4.0 eV 以下的範圍內，該鈍化層的游離電位為 6.0 eV 以上且 8.5 eV 以下的範圍內。

**【請求項15】** 如請求項 1 至請求項 4、請求項 13 之任一項所述之薄膜電晶體，其中前述金屬氧化物半導體層更包含錫 (Sn) 及鋅 (Zn)。

**【請求項16】** 如請求項 1 至請求項 4、請求項 9、請求項 13 之任一項所述之薄膜電晶體，其中前述源極電極及前述汲極電極包含具有抗氧化性的導電性材料。

**【請求項17】** 如請求項 1 至請求項 4、請求項 9 之任一項所述之薄膜電晶體，其中在以前述閘極電極相對於前述源極電極及前述汲極電極的電壓成為  $V_{th}-20$  V 的方式控制、將溫度定為

60°C、在暗狀態下維持 3600 秒的情況下，閾值的偏移量為 0.5 V 以下。

**【請求項18】** 一種顯示裝置，其包含多個像素電路，其中前述多個像素電路各自包含如請求項 1 至請求項 4、請求項 9、請求項 13 之任一項所述之薄膜電晶體。

**【請求項19】** 一種薄膜電晶體的製造方法，其係於基板上製造薄膜電晶體的方法，所述薄膜電晶體包含：由至少包含銦（In）之金屬氧化物半導體層之至少一部分形成且電場效應遷移率為  $20 \text{ cm}^2/\text{Vs}$  以上的通道、閘極電極、配置於前述通道與前述閘極電極之間的閘極絕緣層，以及連接於前述金屬氧化物半導體層的源極電極及汲極電極，所述製造方法包含：

在前述通道露出的狀態下在包含氧的氣體環境下加熱至  $350^\circ\text{C}$  以上，將前述通道露出的部分在自表面起至深度 5 nm 的範圍中之碳原子的平均濃度做成  $1.5 \times 10^{21} \text{ cm}^{-3}$  以下之工序，以及

在前述加熱之後且包含碳原子之層體接觸到前述通道露出的部分之前，形成覆蓋前述通道的絕緣層之工序。

**【請求項20】** 一種薄膜電晶體的製造方法，其係於基板上製造薄膜電晶體的方法，所述薄膜電晶體包含：由至少包含銦（In）之金屬氧化物半導體層之至少一部分形成且電場效應遷移率為  $20 \text{ cm}^2/\text{Vs}$  以上的通道、閘極電極、配置於前述通道與前述閘極

電極之間的閘極絕緣層，以及連接於前述金屬氧化物半導體層的源極電極及汲極電極，所述製造方法包含：

在前述通道露出的狀態下在包含氧的氣體環境下照射紫外光，將前述通道露出的部分在自表面起至深度 5 nm 的範圍中之碳原子的平均濃度做成  $1.5 \times 10^{21} \text{ cm}^{-3}$  以下之工序，以及

在前述照射之後且包含碳原子之層體接觸到前述通道露出的部分之前，形成覆蓋前述通道的絕緣層。

**【請求項21】** 一種薄膜電晶體的製造方法，其係於基板上製造薄膜電晶體的方法，所述薄膜電晶體包含：由至少包含銦（In）之金屬氧化物半導體層之至少一部分形成且電場效應遷移率為  $20 \text{ cm}^2/\text{Vs}$  以上的通道、閘極電極、配置於前述通道與前述閘極電極之間的閘極絕緣層，以及連接於前述金屬氧化物半導體層的源極電極及汲極電極，所述製造方法包含：

在前述通道露出的狀態下，透過氧氣環境下的直流濺鍍，在將前述通道露出的部分在自表面起至深度 5 nm 的範圍中之碳原子的平均濃度做成  $1.5 \times 10^{21} \text{ cm}^{-3}$  以下的同時，形成覆蓋前述通道的絕緣層之工序。

**【請求項22】** 如請求項 19 至請求項 21 之任一項所述之薄膜電晶體的製造方法，其中前述金屬氧化物半導體層更包含錫（Sn）及鋅（Zn）。

【請求項23】 如請求項 19 至請求項 21 之任一項所述之薄膜電晶體的製造方法，其中前述絕緣層係包含鋅（Zn）及矽（Si）的金屬氧化物層。

【請求項24】 如請求項 21 所述之薄膜電晶體的製造方法，其中在前述直流濺鍍中所使用之靶材係具有導電性的金屬氧化物。

【請求項25】 如請求項 19 至請求項 21 之任一項所述之薄膜電晶體的製造方法，其中

前述閘極電極配置於前述基板與前述通道之間，

於前述源極電極及前述汲極電極形成後，使存在於前述通道之表面的碳原子之至少一部分脫附。

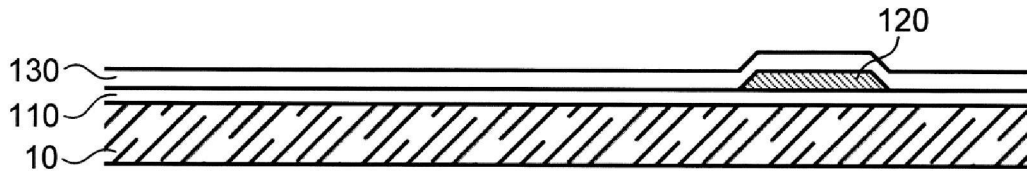
【請求項26】 如請求項 19 至請求項 21 之任一項所述之薄膜電晶體的製造方法，其中

前述通道配置於前述基板與前述閘極電極之間，

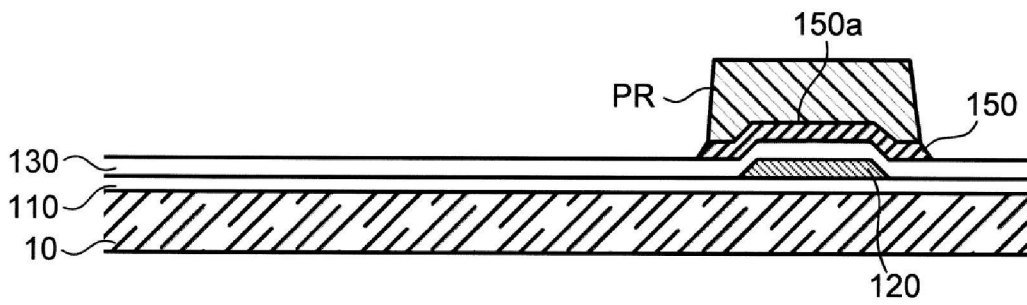
保護免受前述碳原子影響的絕緣層係前述閘極絕緣層，

於前述源極電極及前述汲極電極形成前，使存在於前述通道之表面的碳原子之至少一部分脫附。

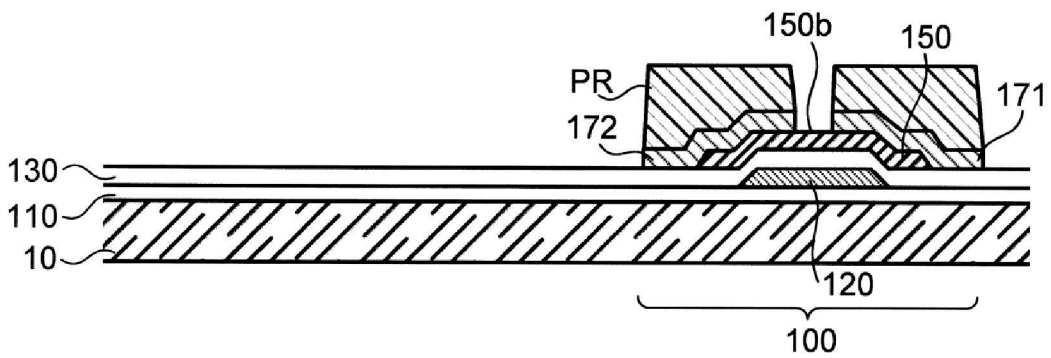




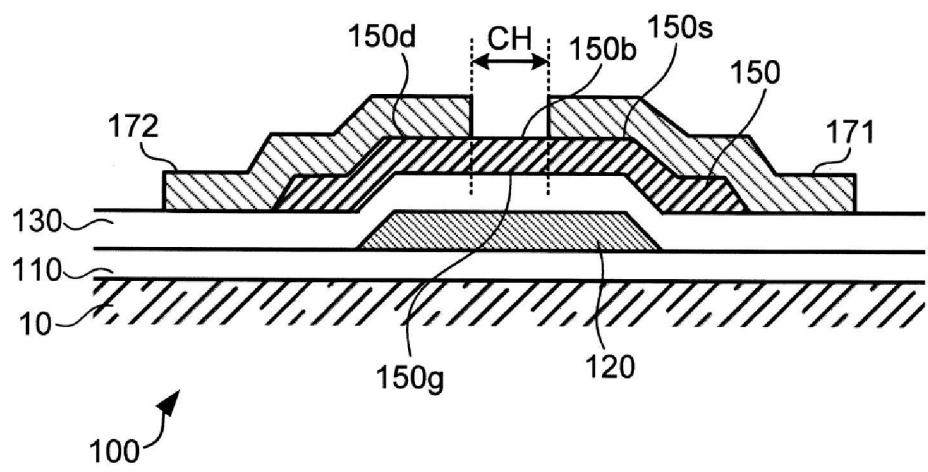
【圖 3】



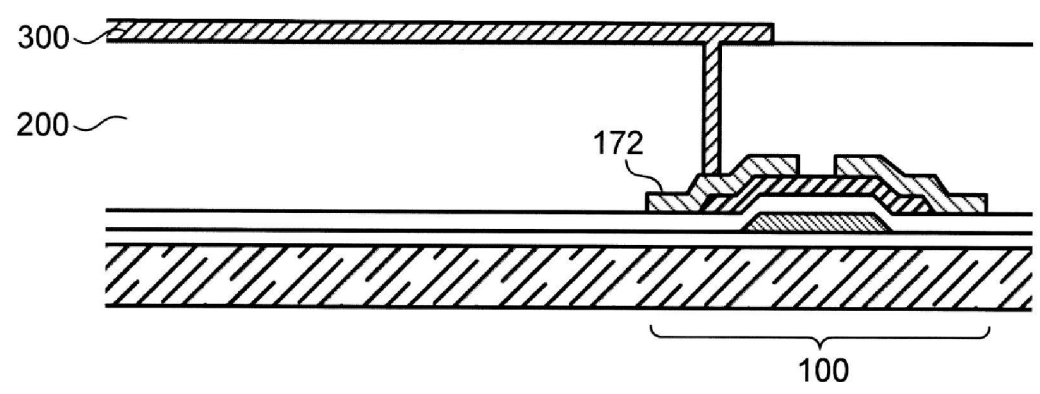
【圖 4】



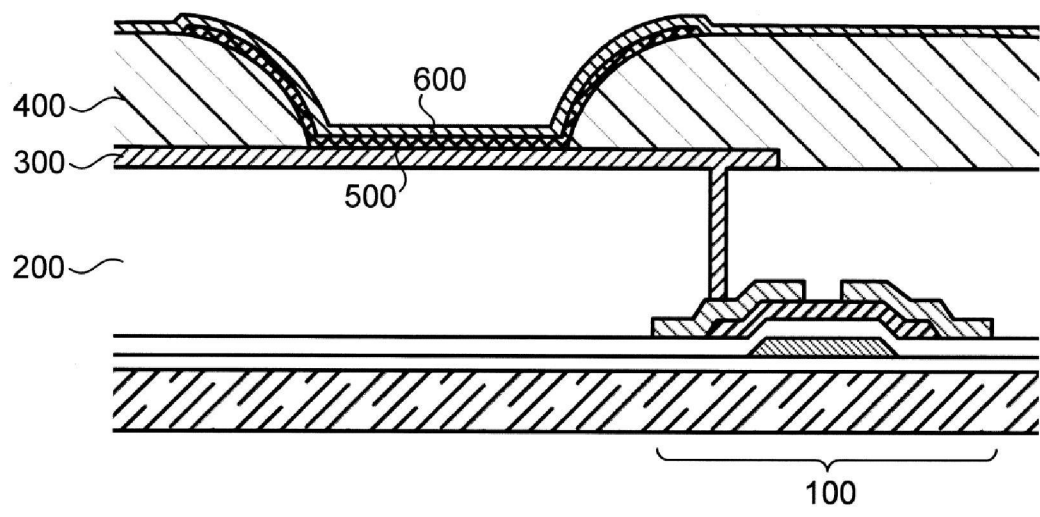
【圖 5】



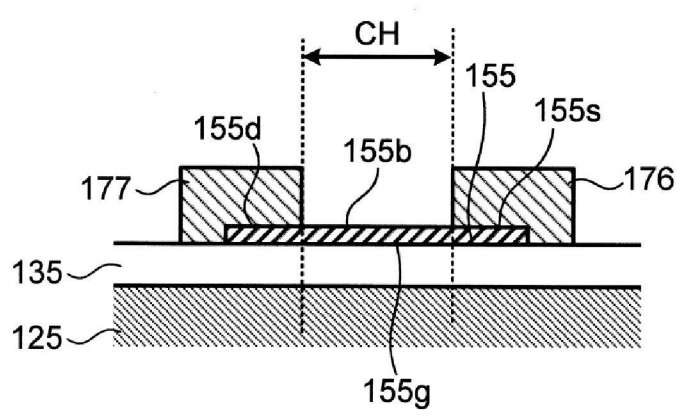
【圖 6】



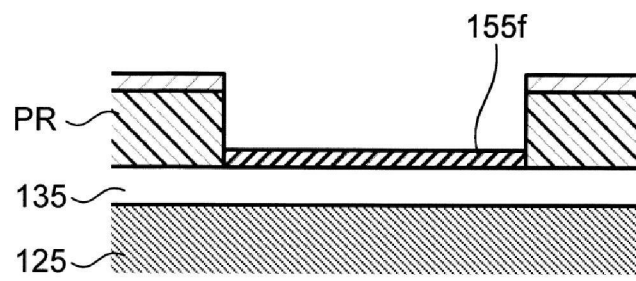
【圖 7】



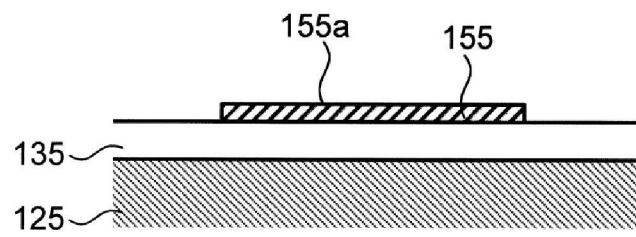
【圖 8】



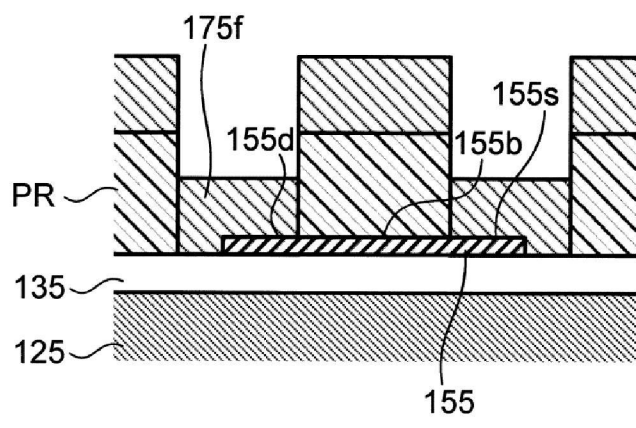
【圖 9】



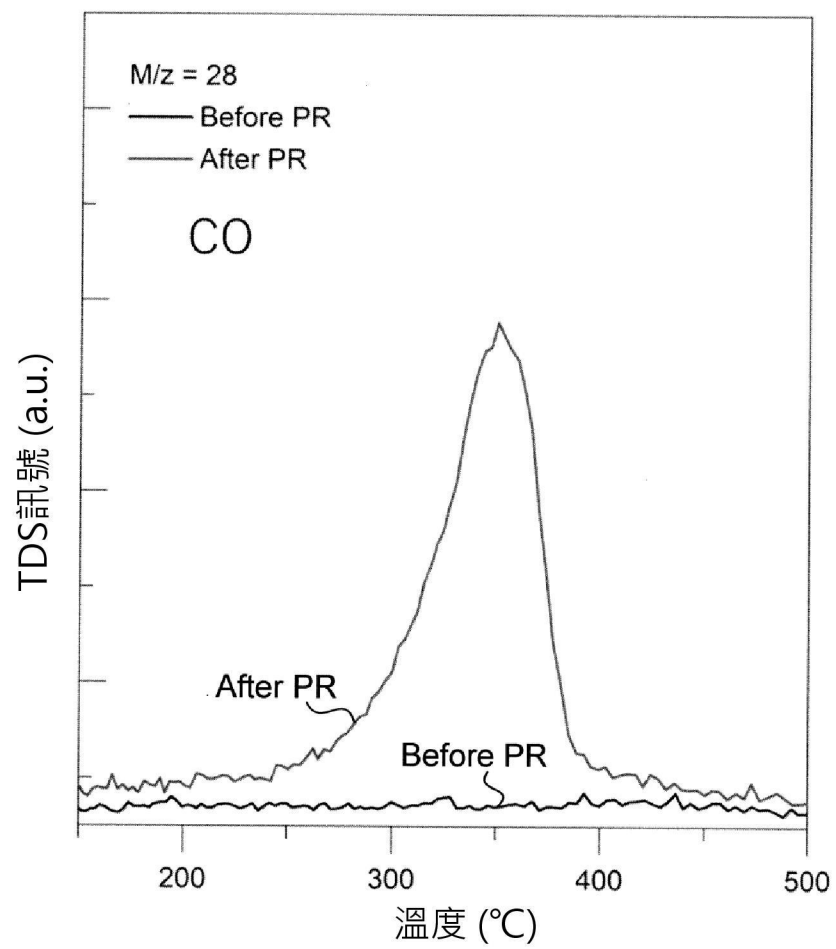
【圖 10】



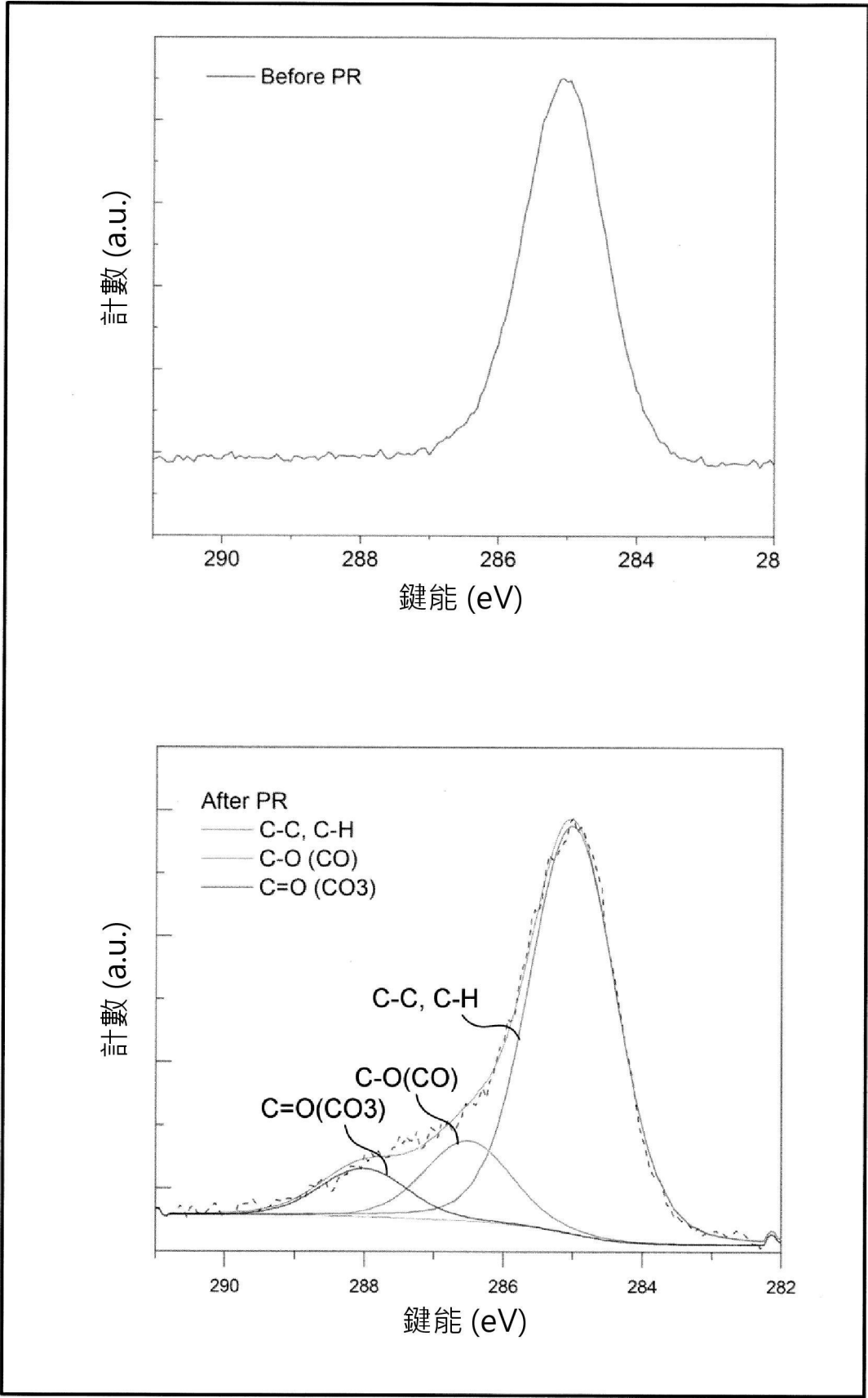
【圖 11】



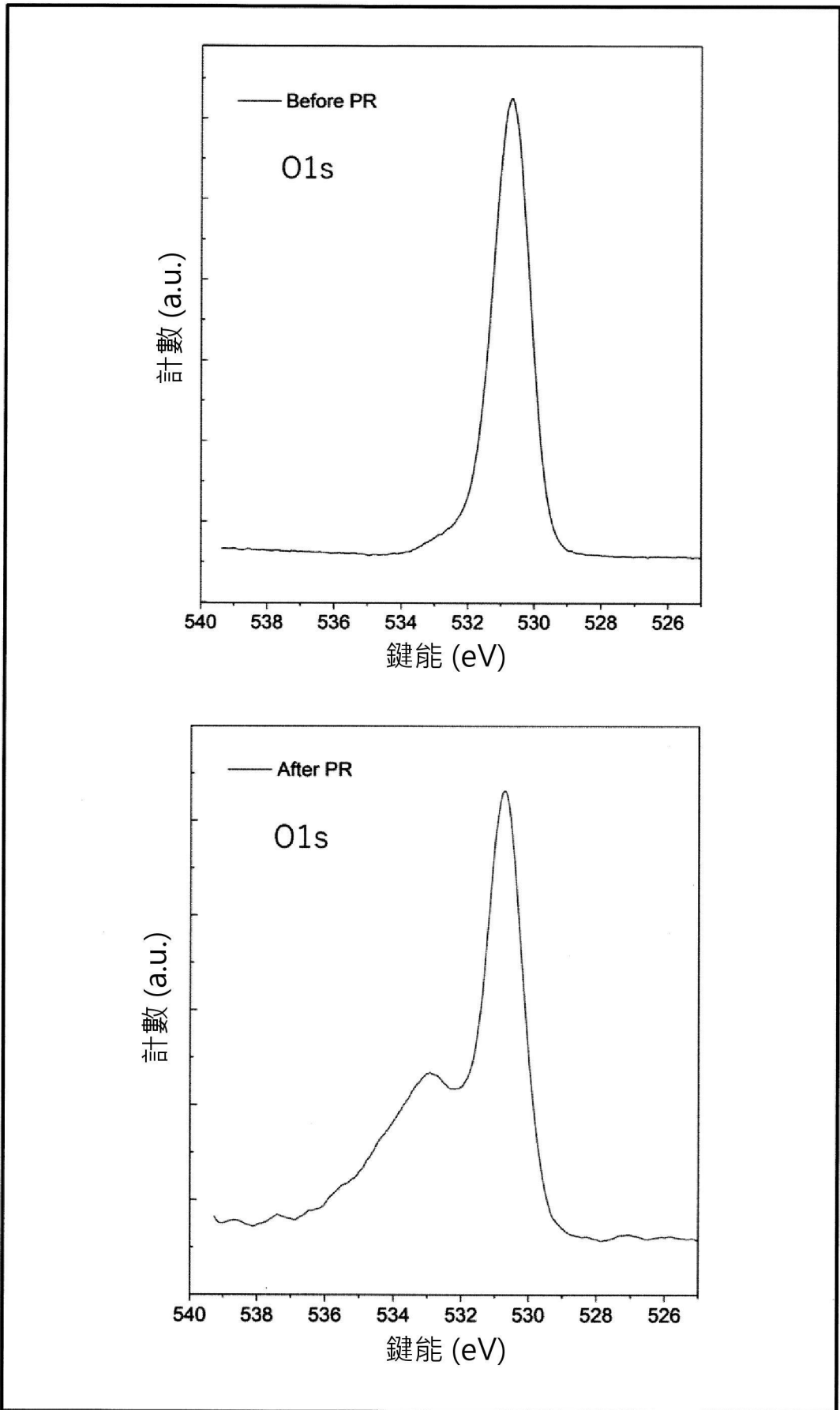
【圖 12】



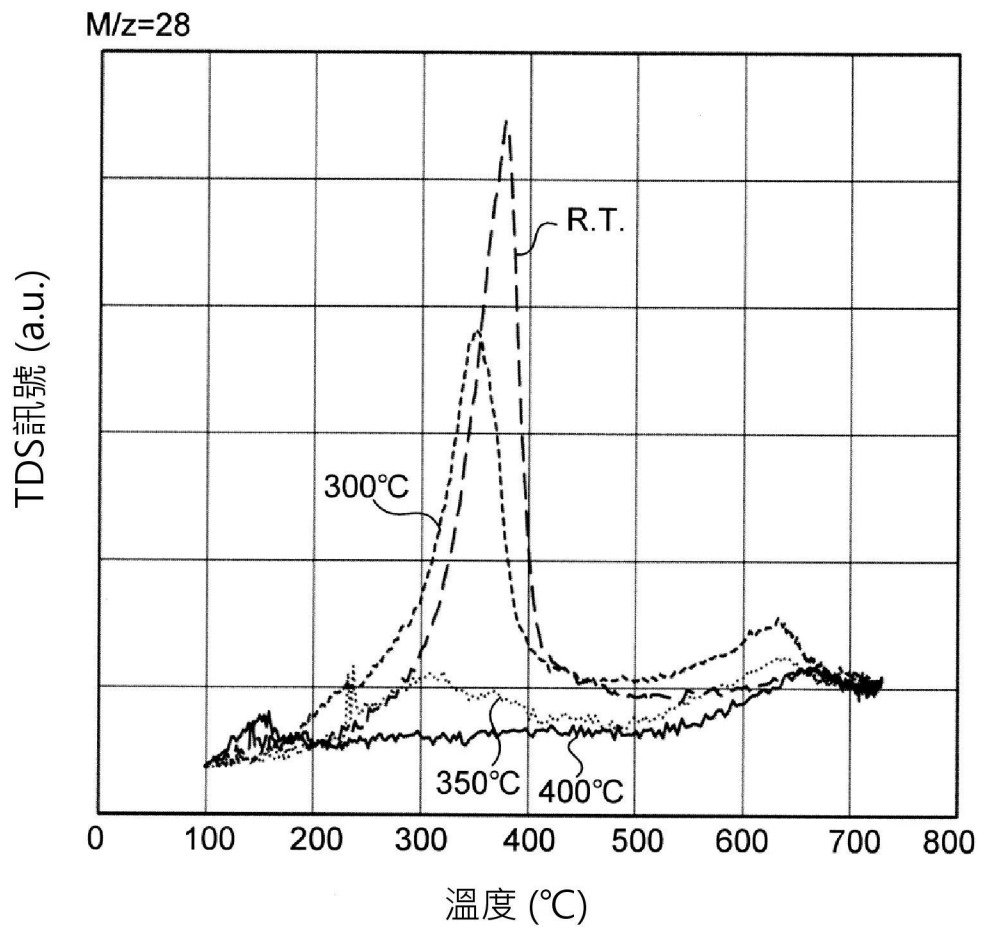
【圖 13】



【圖 14】

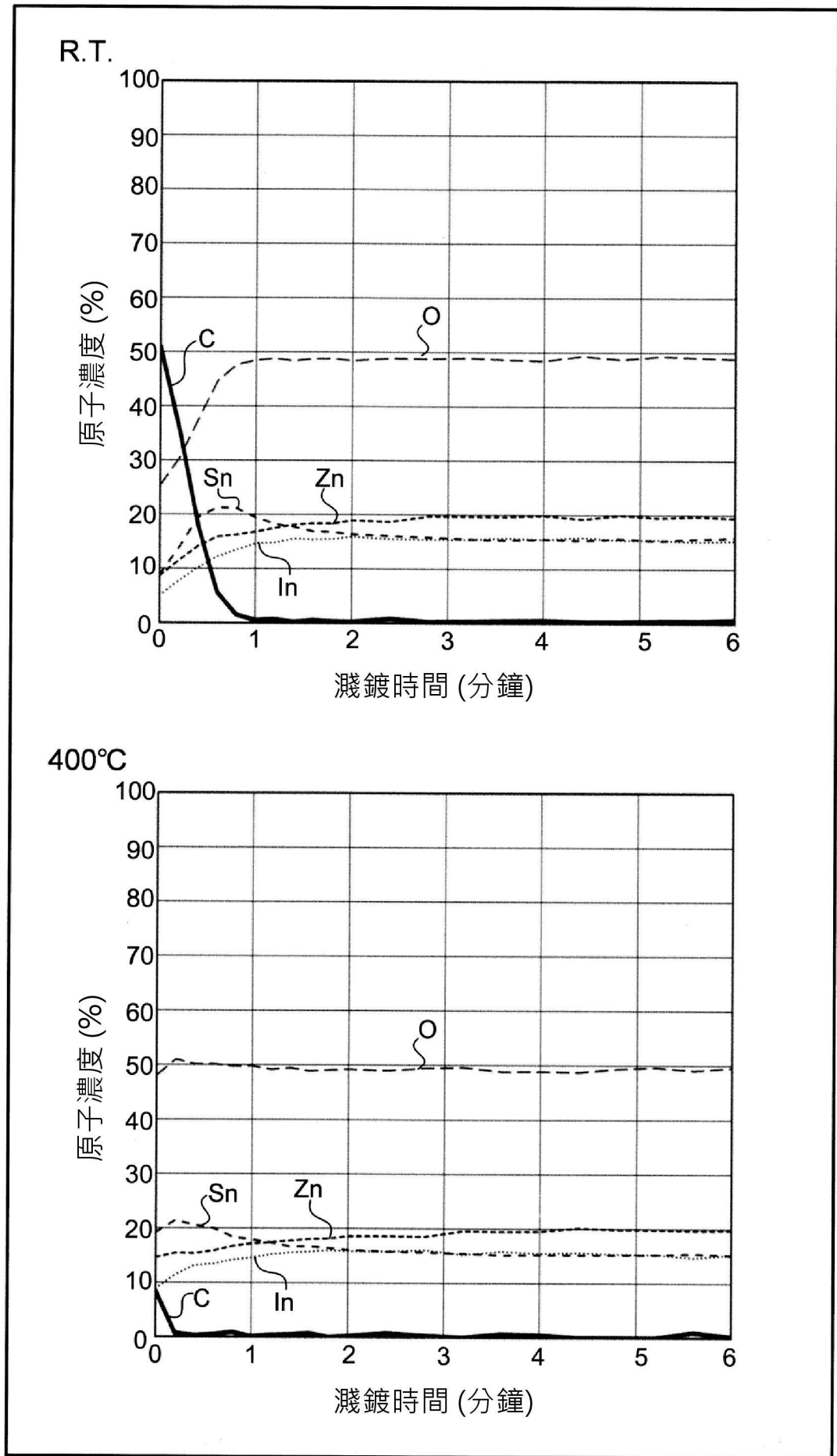


【圖 15】

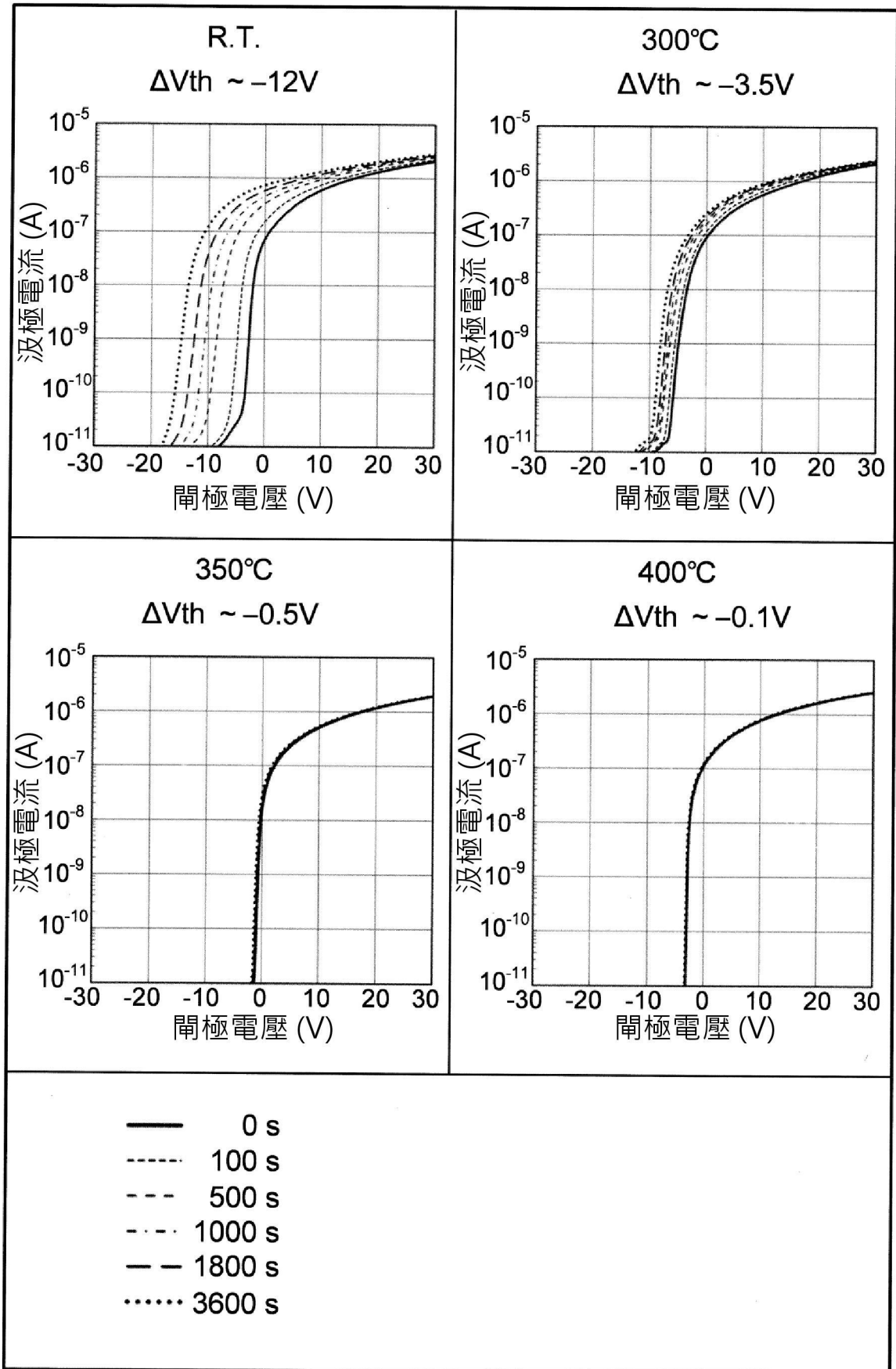


R.T. : ~ 1.0E15/cm<sup>2</sup>  
300°C: ~ 0.5E15/cm<sup>2</sup>  
350°C: ~ 1.5E14/cm<sup>2</sup>  
400°C: 偵測極限以下

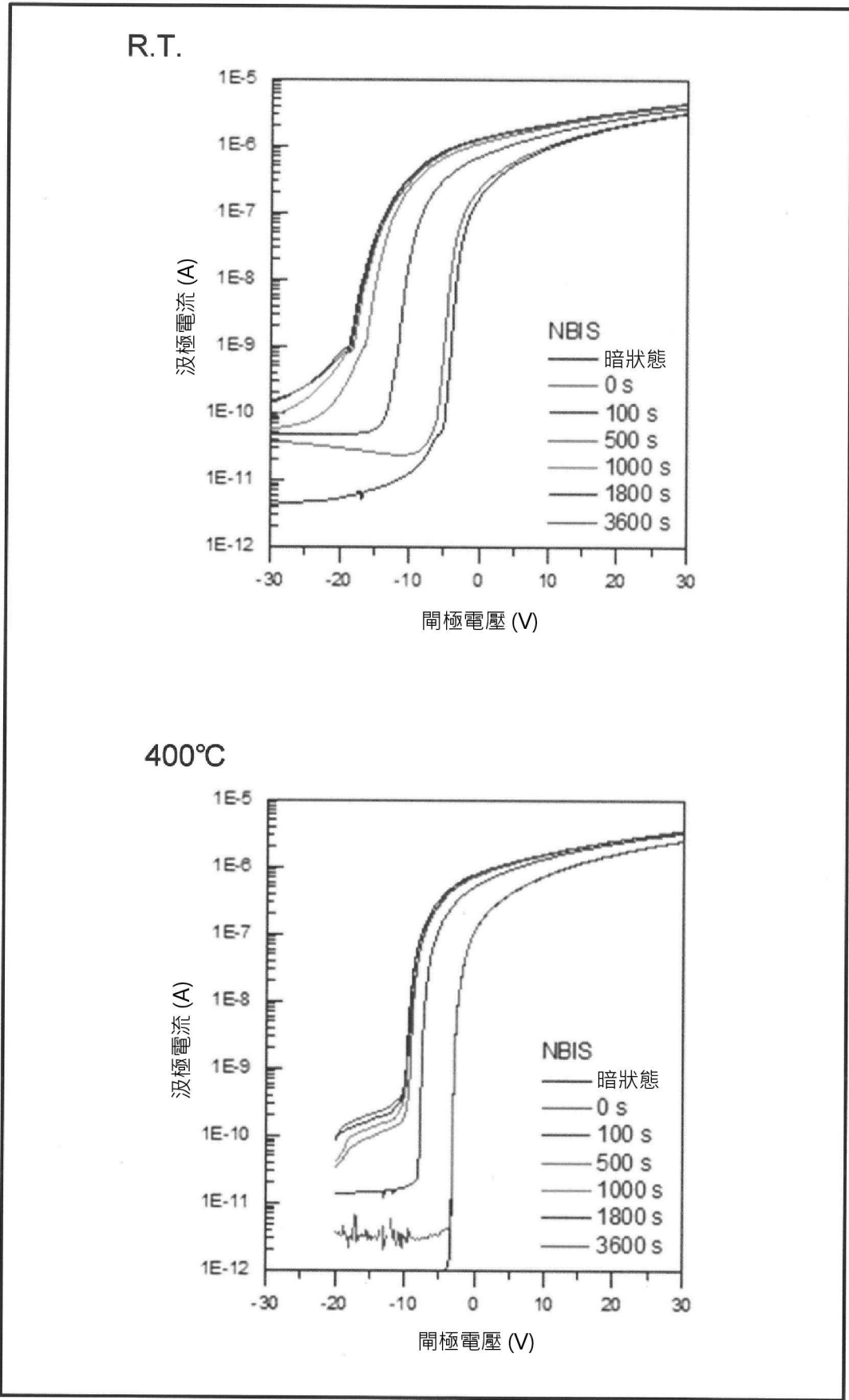
【圖 16】



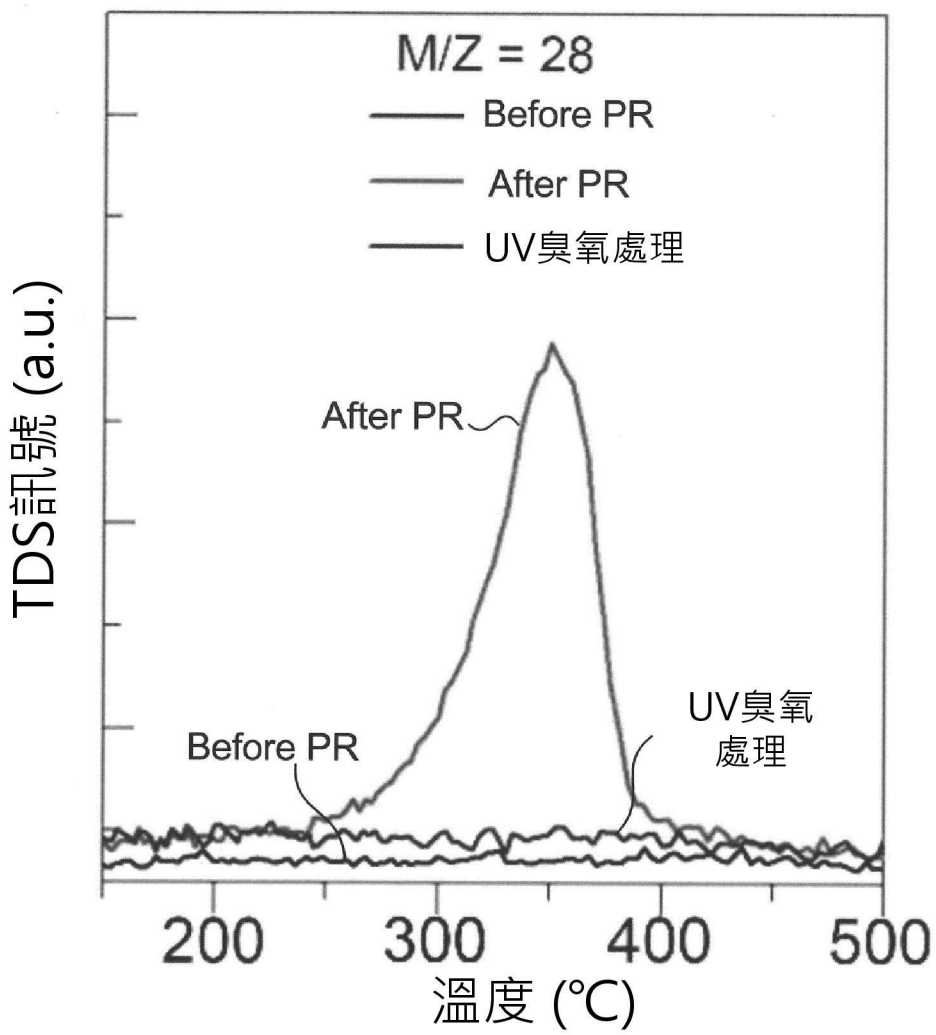
【圖 17】



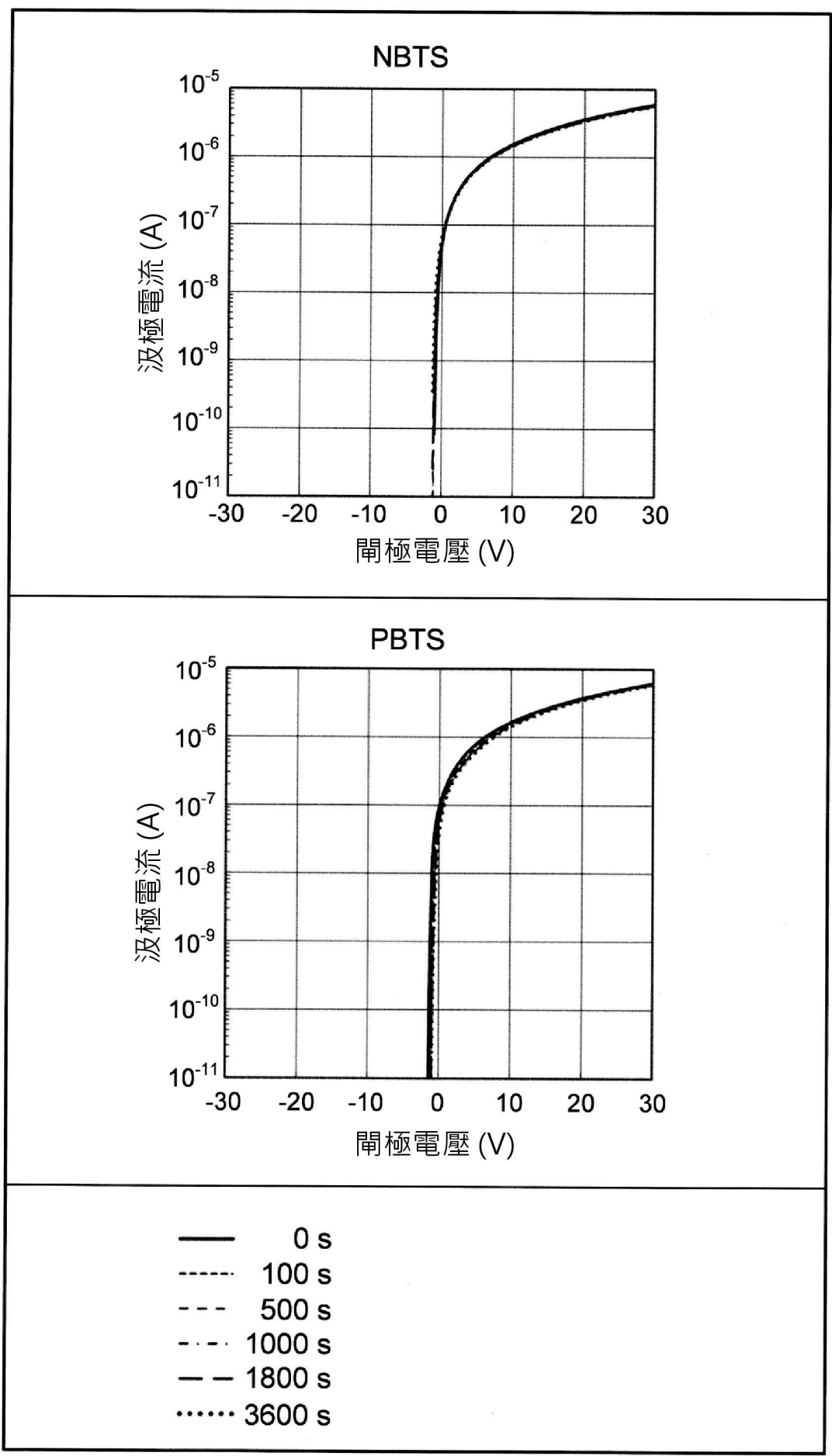
【圖 18】



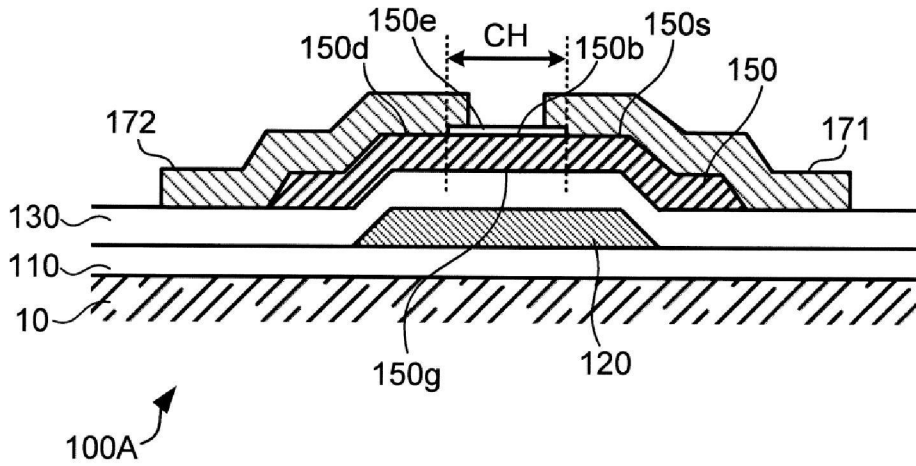
【圖 19】



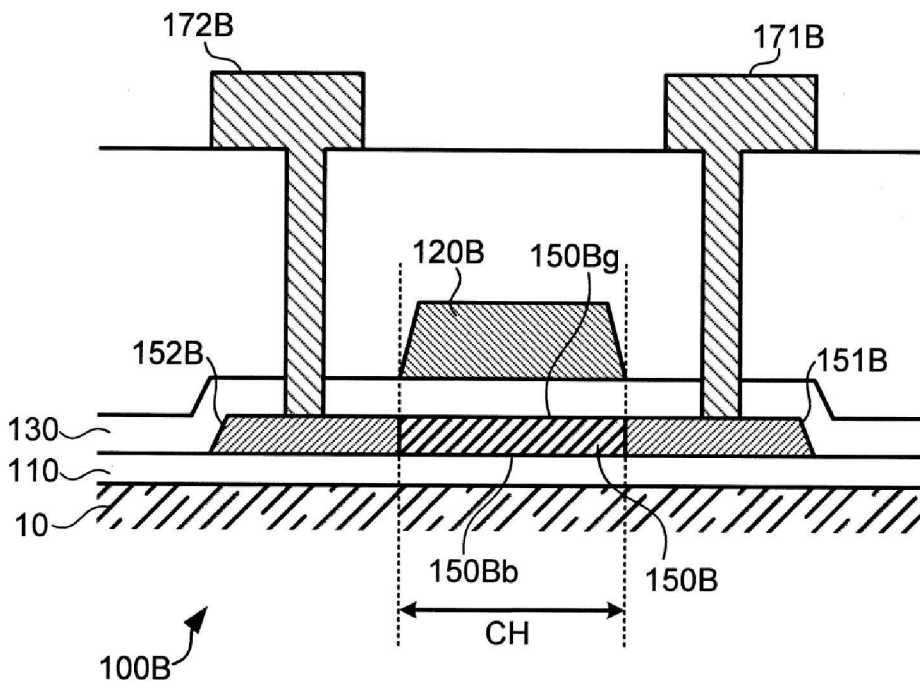
【圖 20】



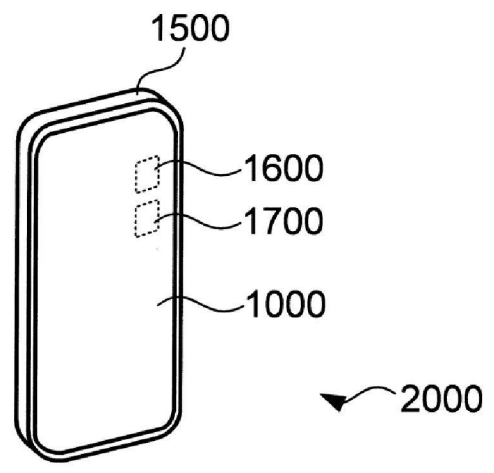
【圖 21】



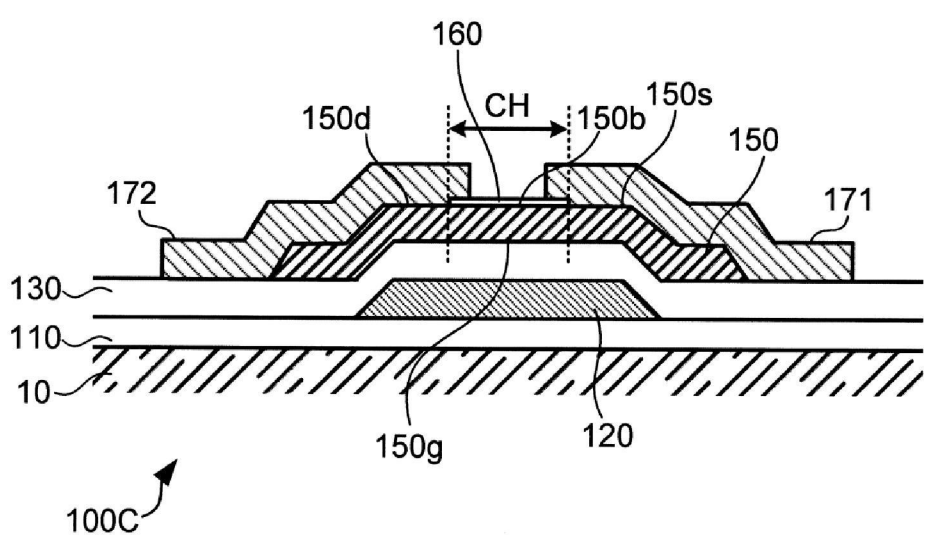
【圖 22】



【圖 23】

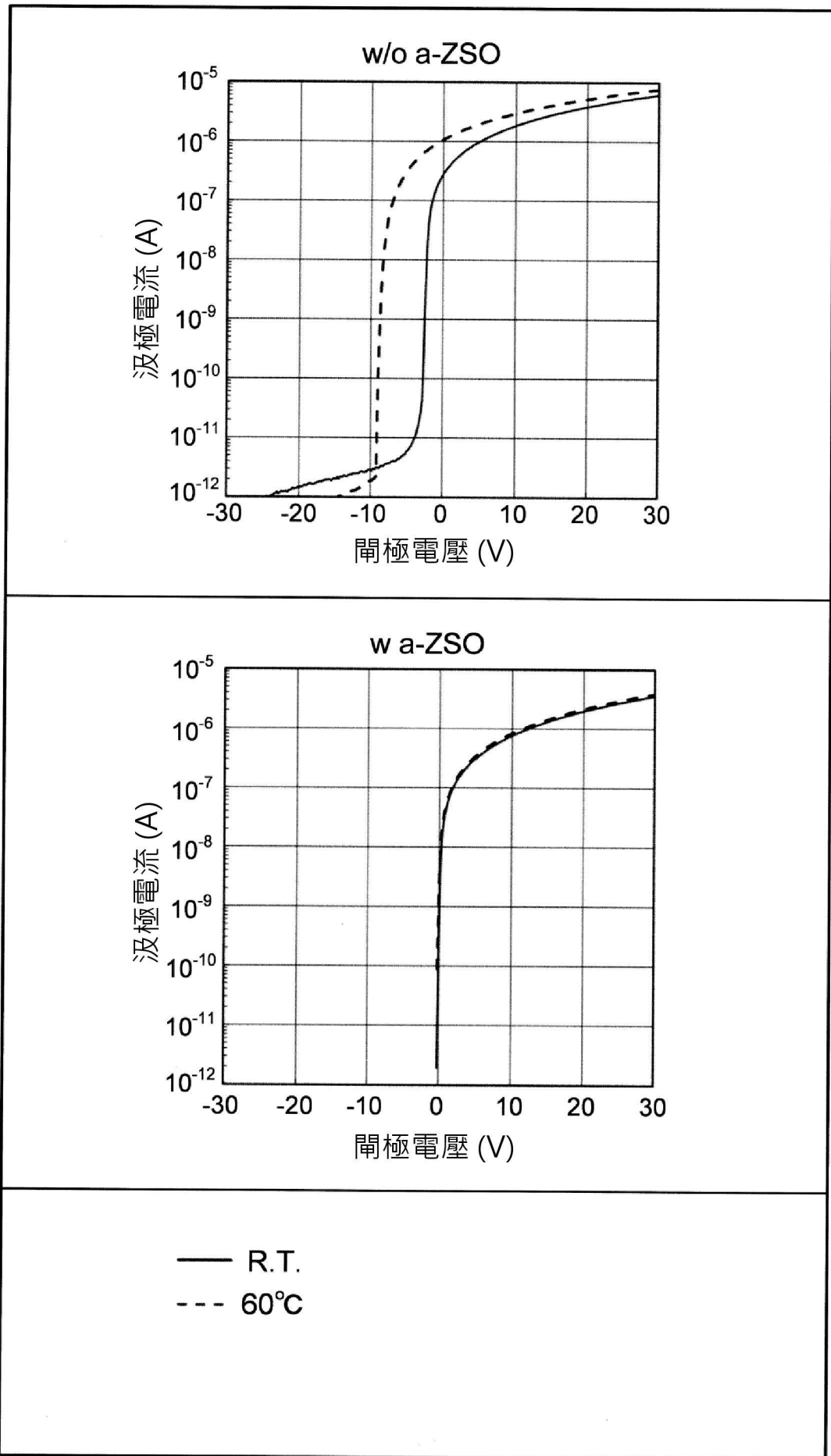


【圖 24】

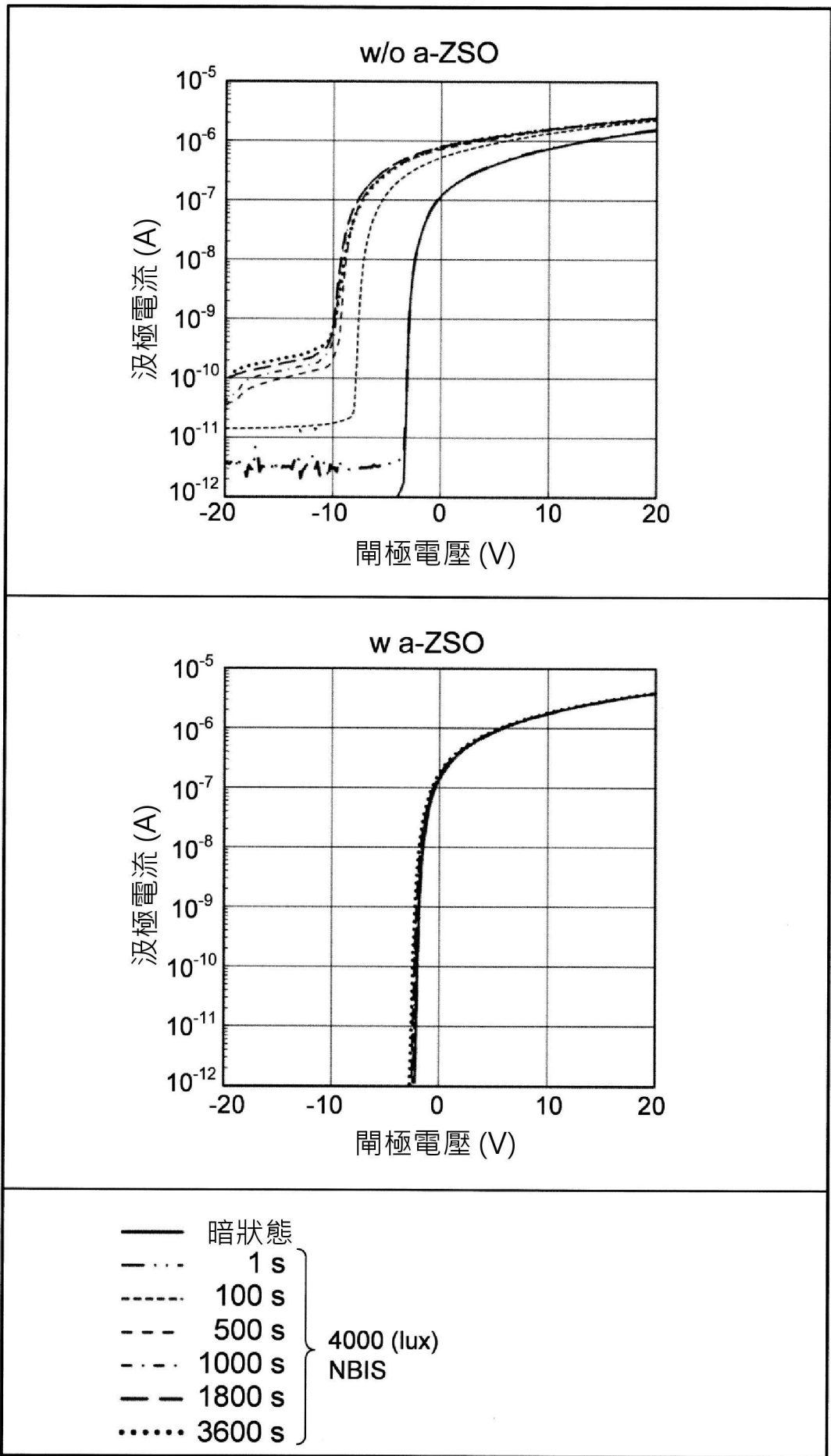


【圖 25】

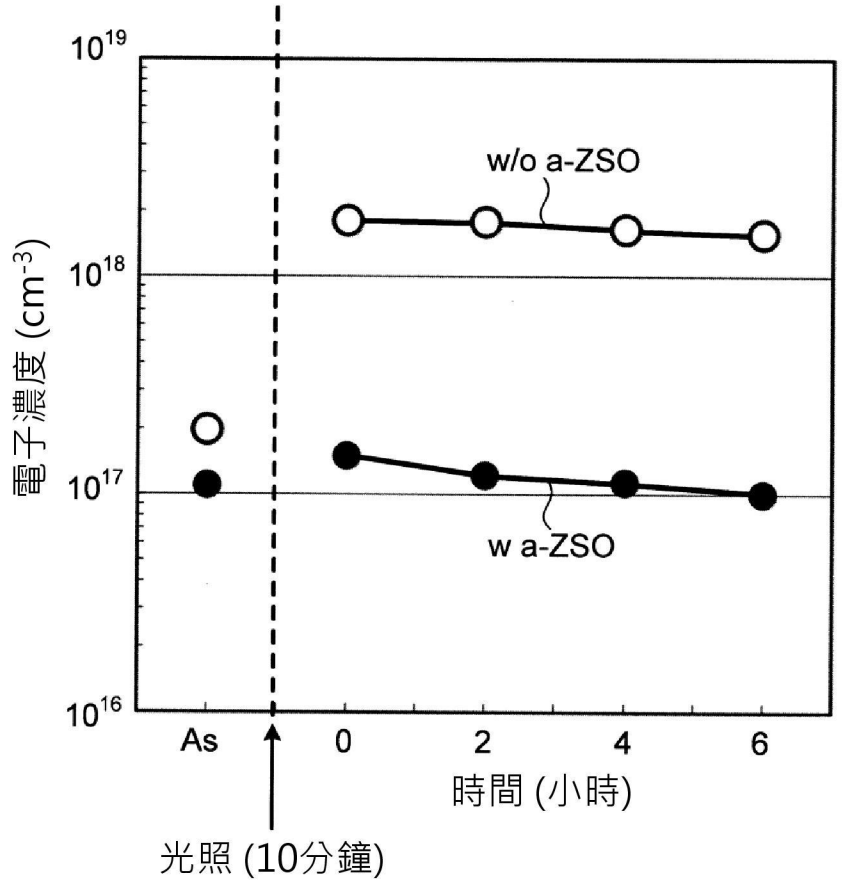




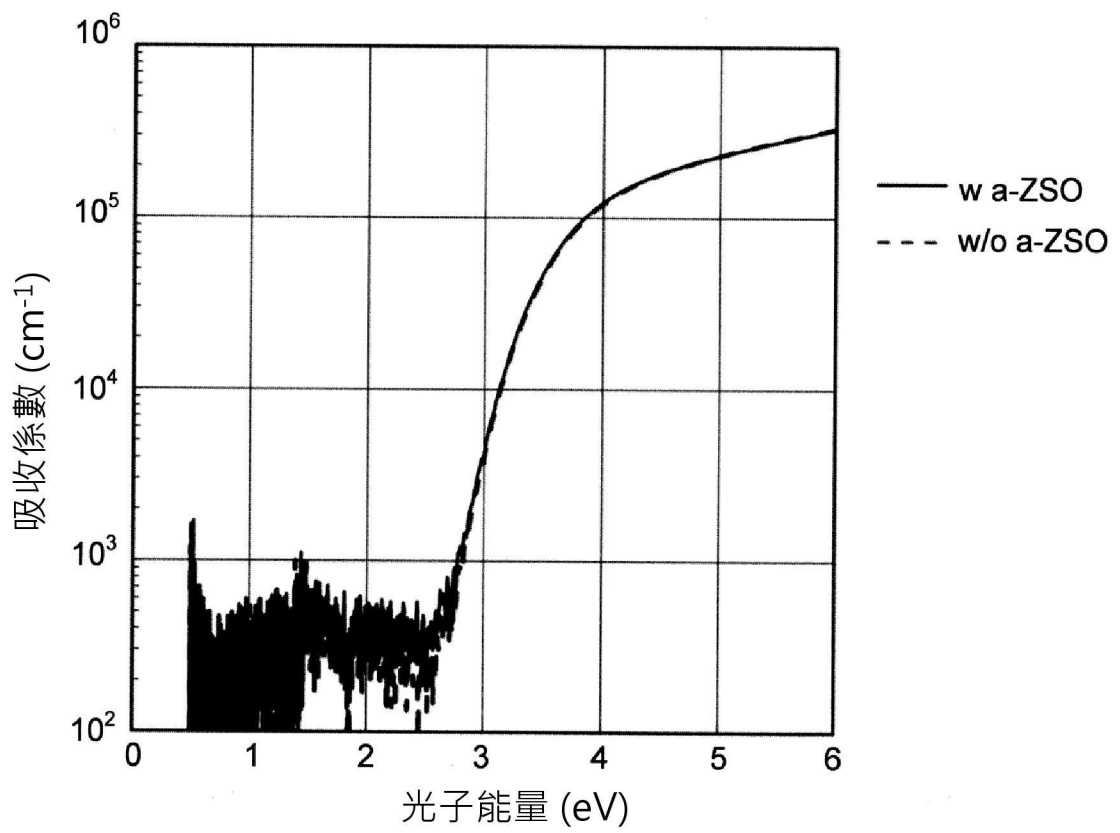
【圖 28】



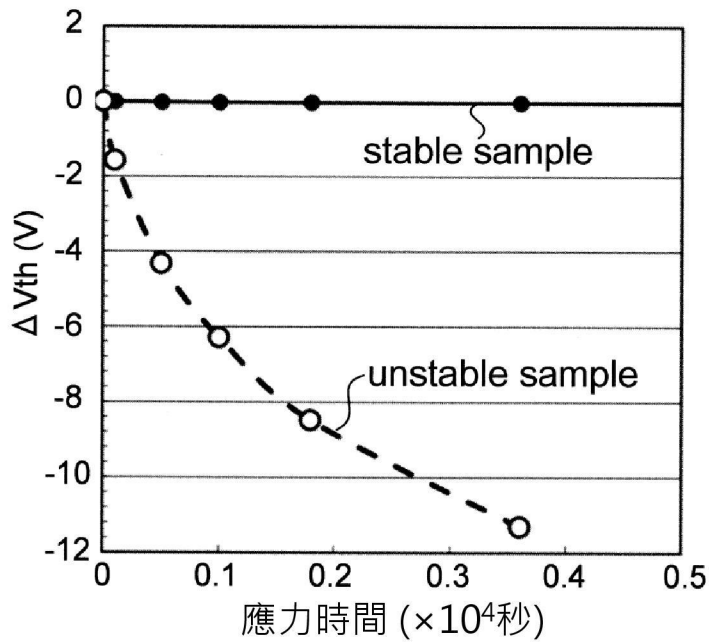
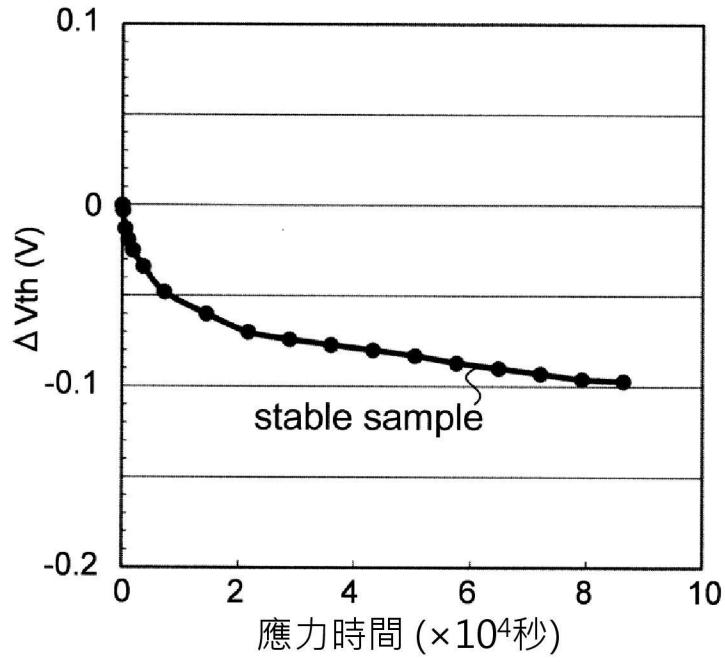
【圖 29】



【圖 30】



【圖 31】

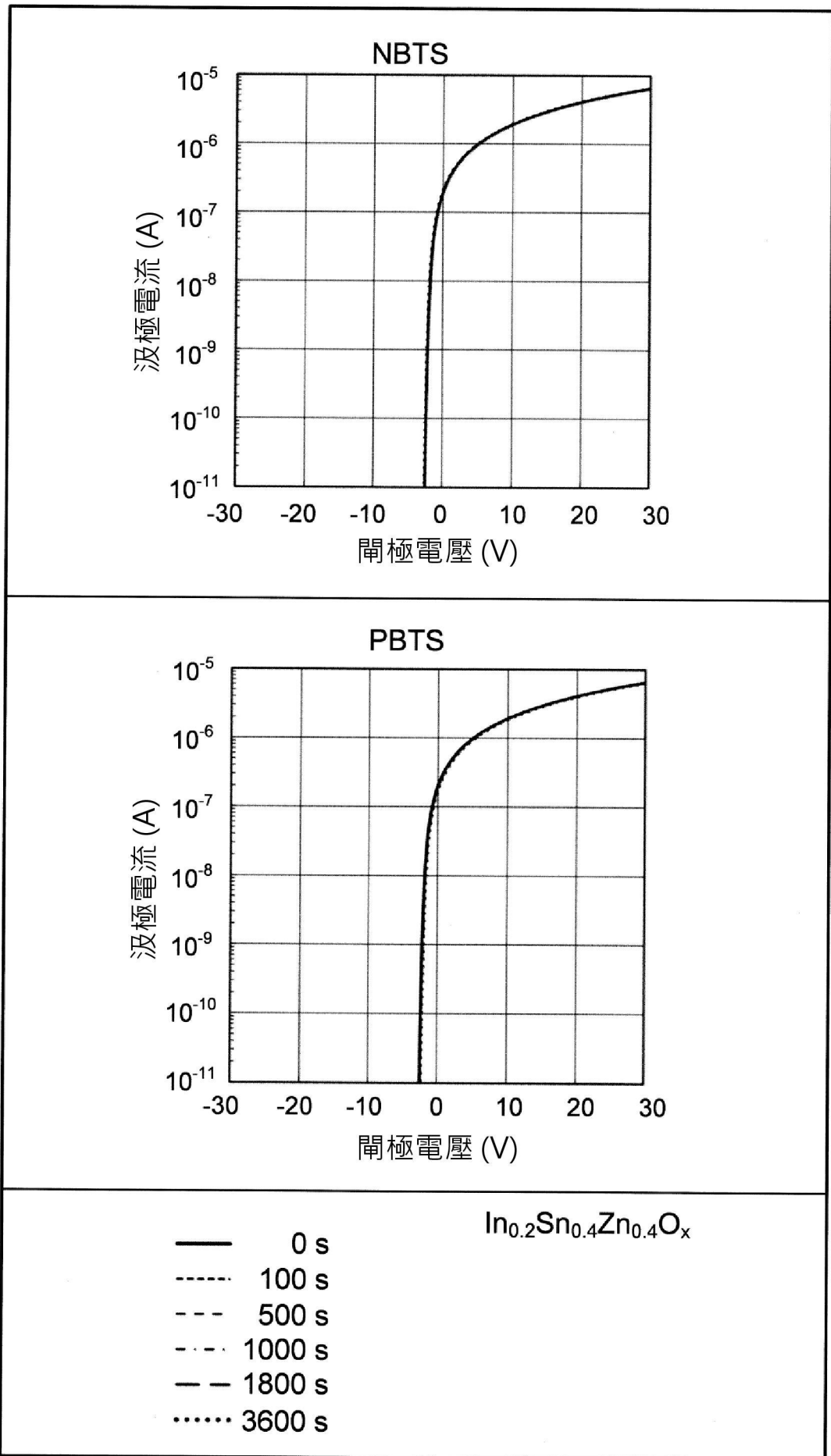


$$\Delta V_{th} = (V_{th}(\infty) - V_{th}(0)) \times (1 - \exp(-(t/\tau)^\beta))$$

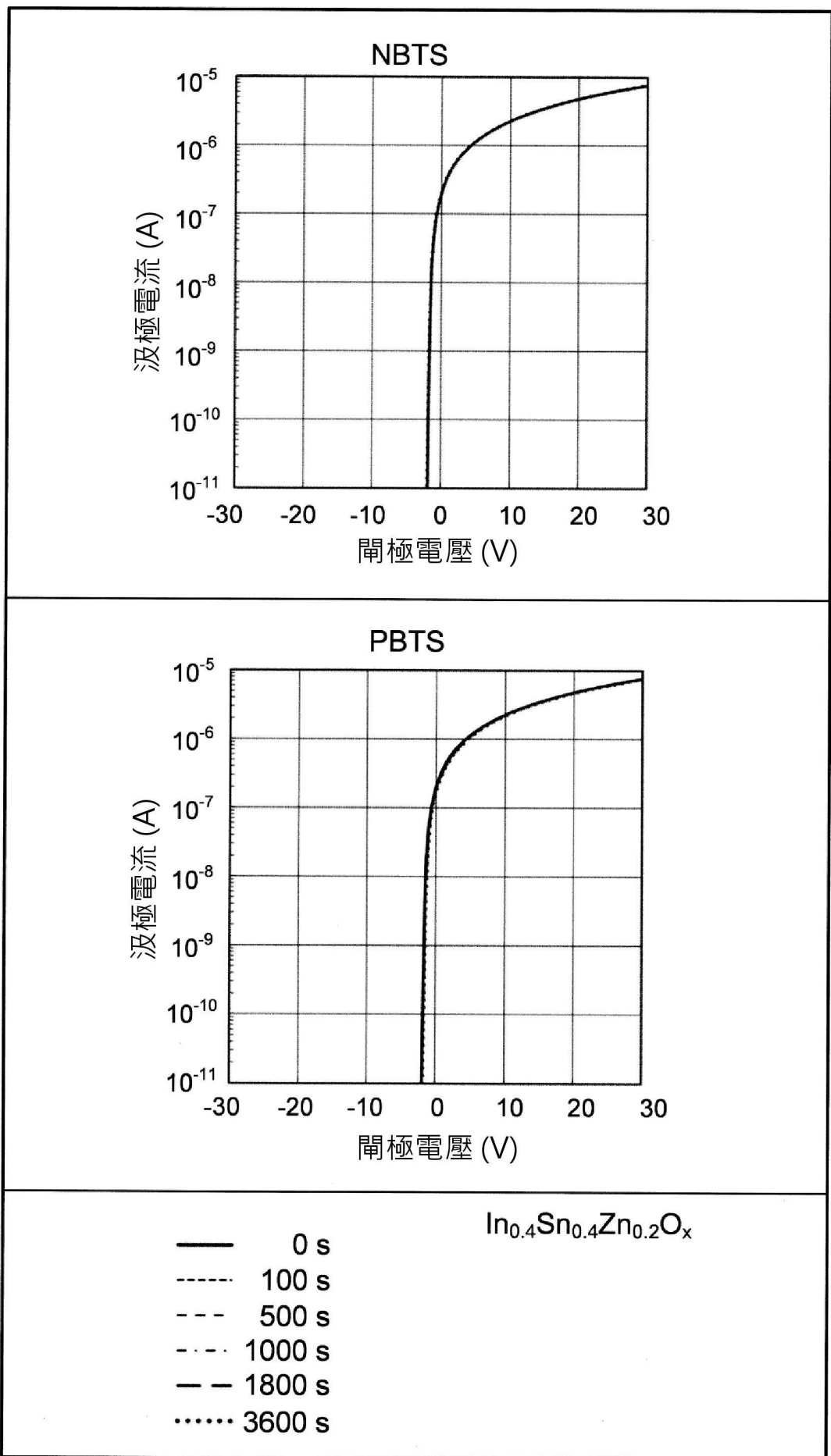
	$\Delta V_{th}(t \rightarrow \infty)$	$\beta$	$\tau$
stable sample	-0.11	0.49	$2.6 \times 10^4$
unstable sample	-16.6	0.69	$2.9 \times 10^3$

$\beta$ : 能障參數  
 $\tau$ : 時間常數

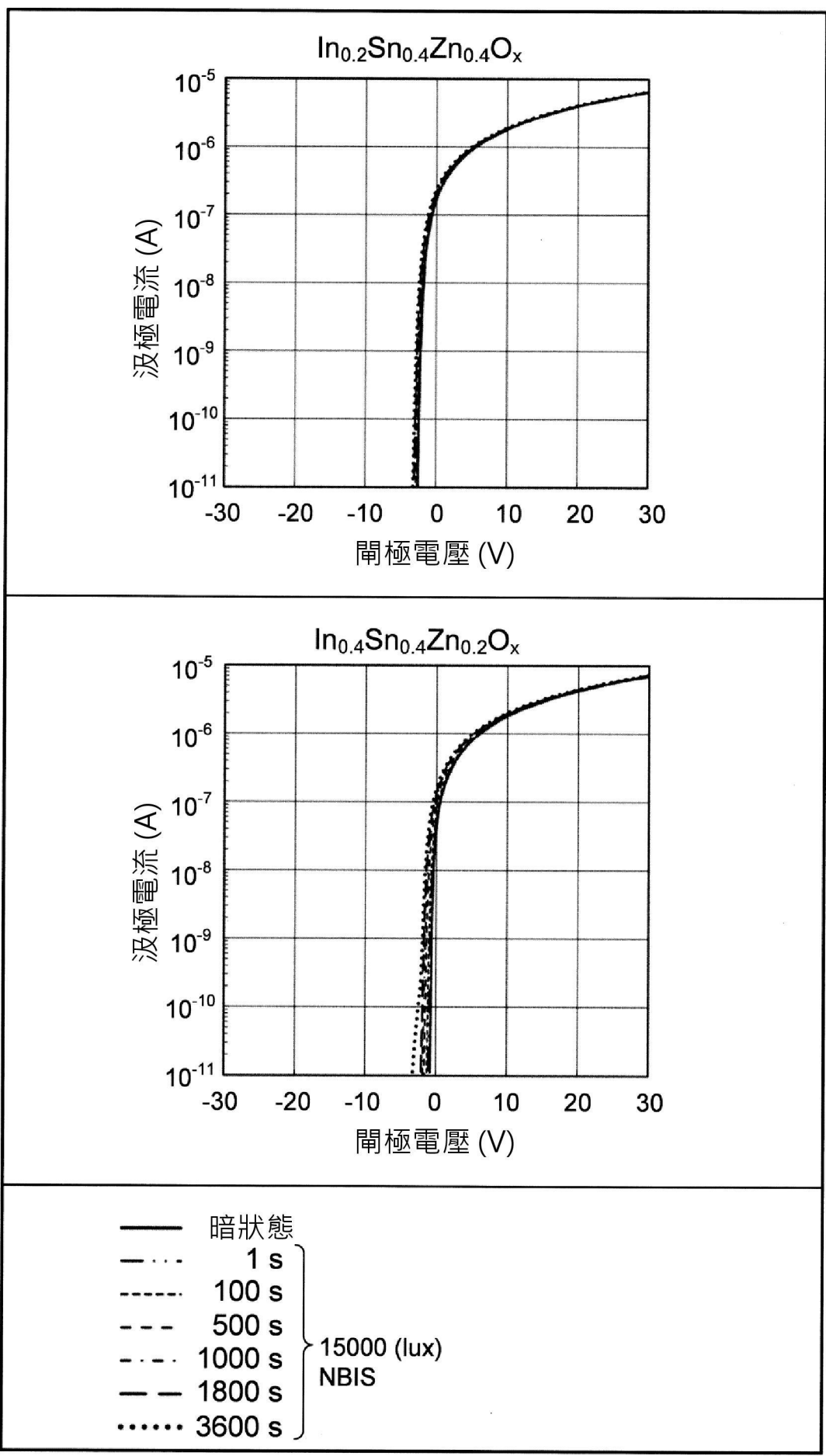
【圖 32】



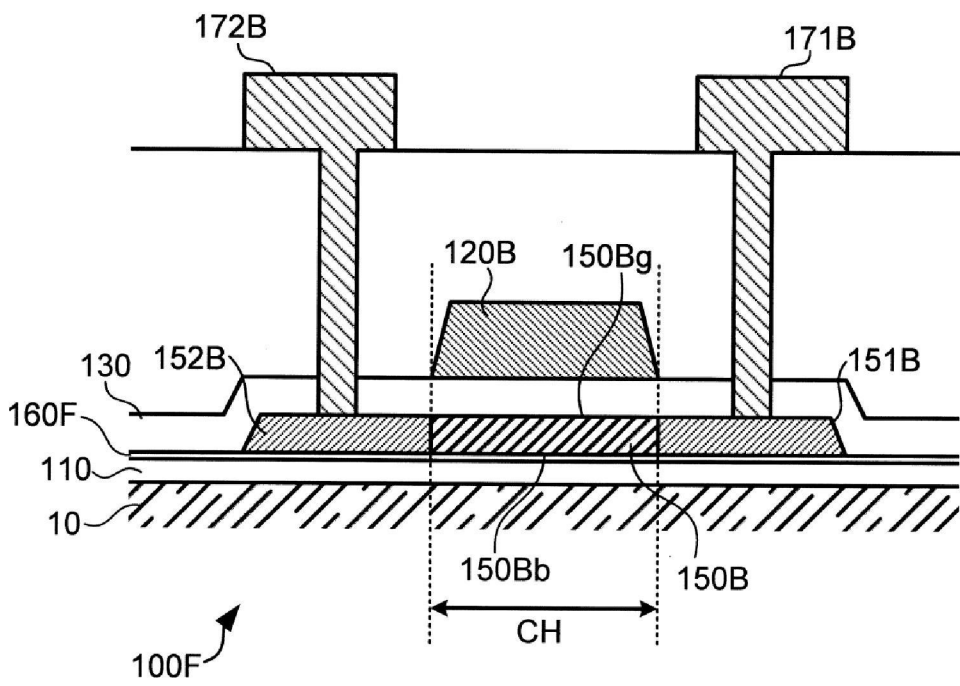
【圖 33】



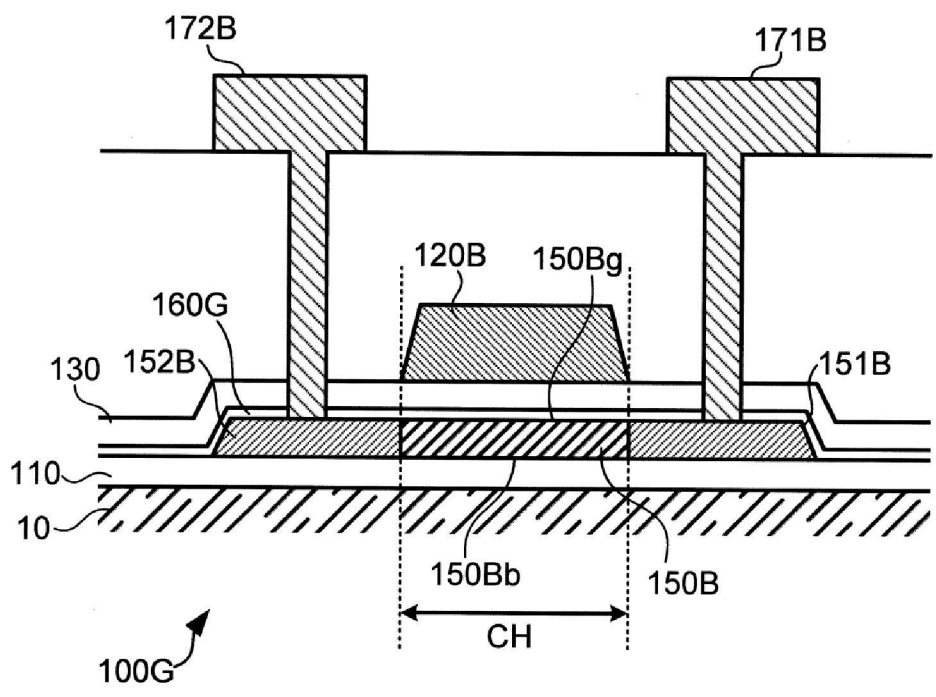
【圖 34】



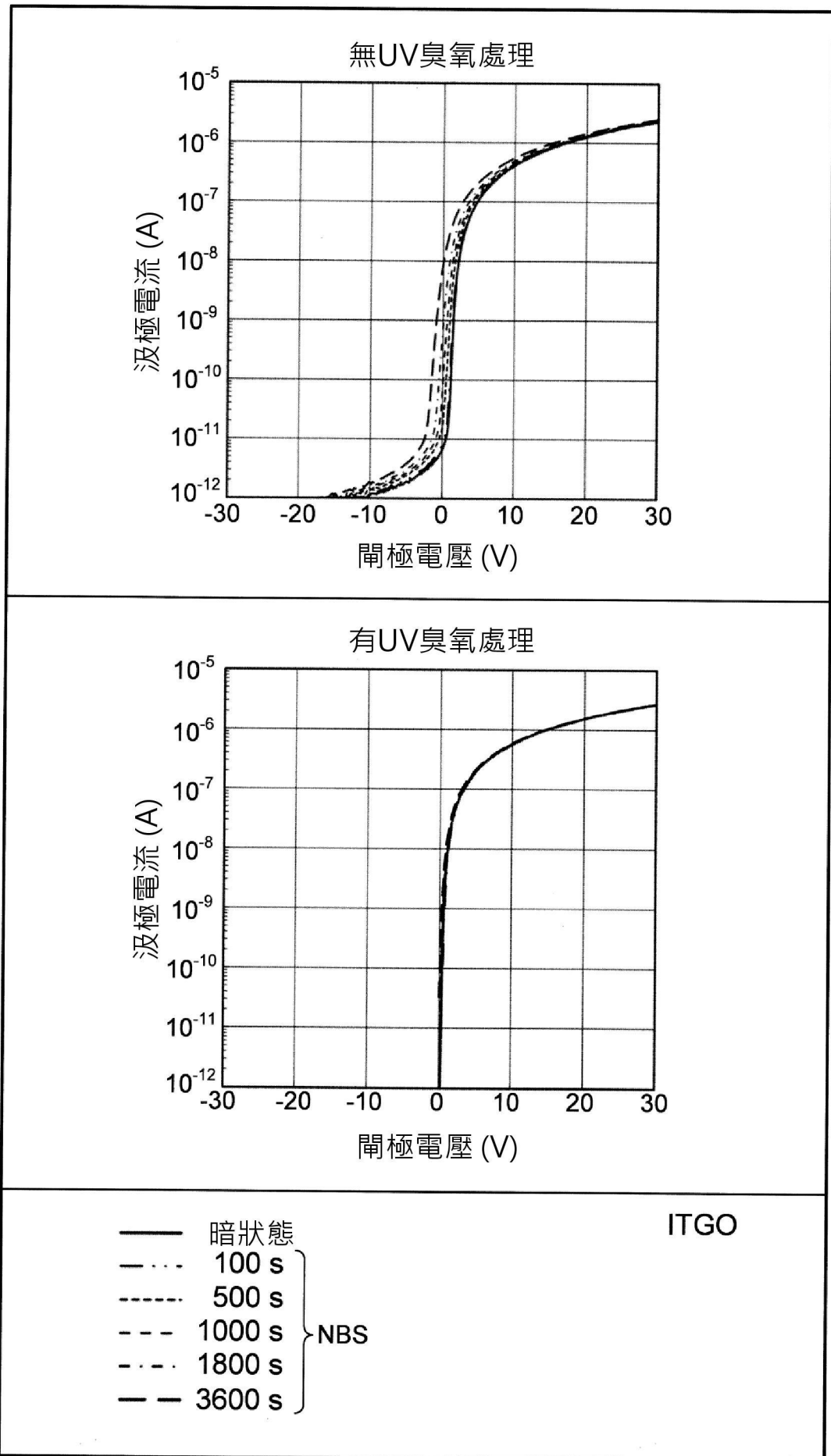
【圖 35】



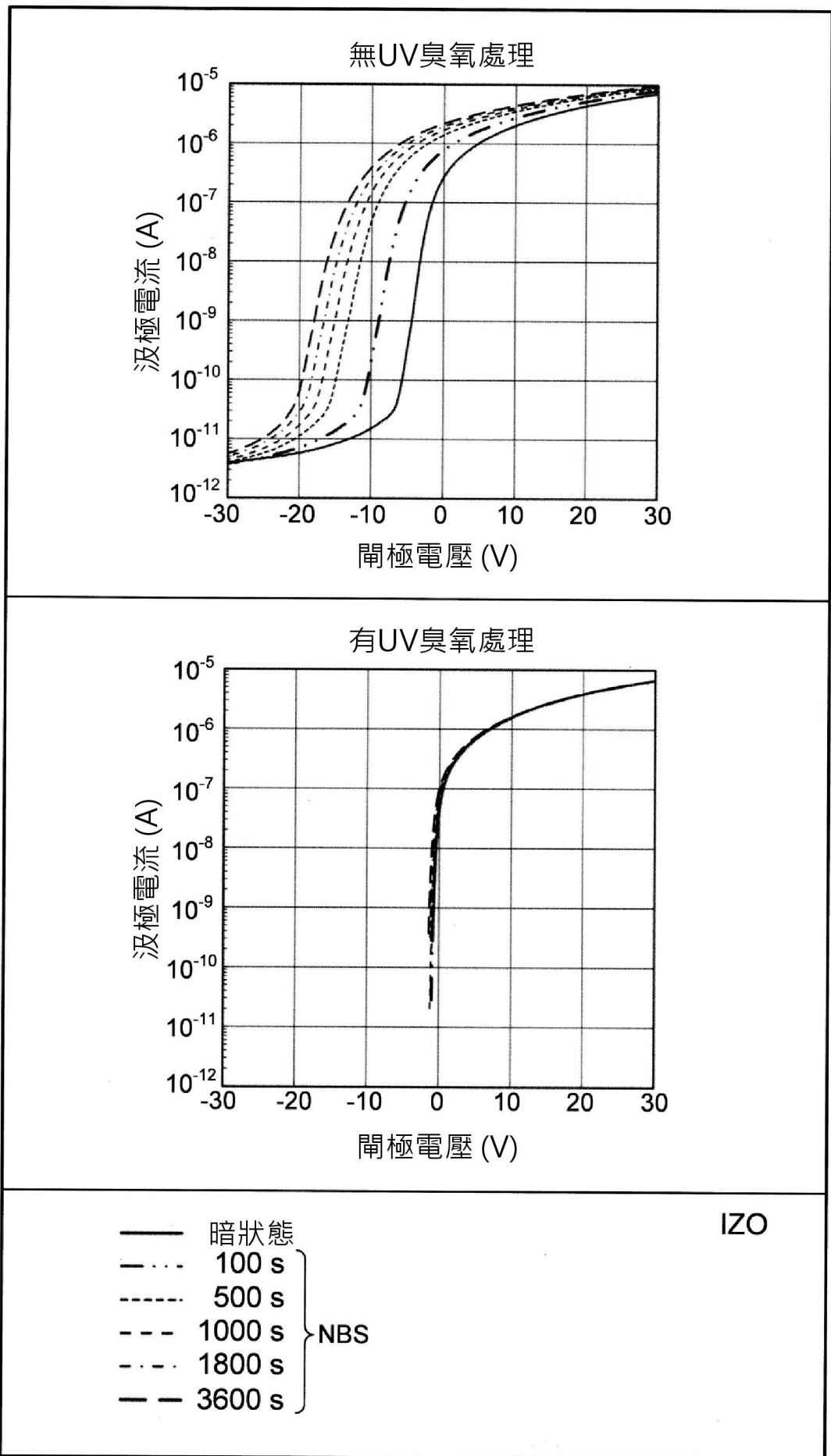
【圖 36】



【圖 37】



【圖 38】



【圖 39】