

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2024年10月3日(03.10.2024)

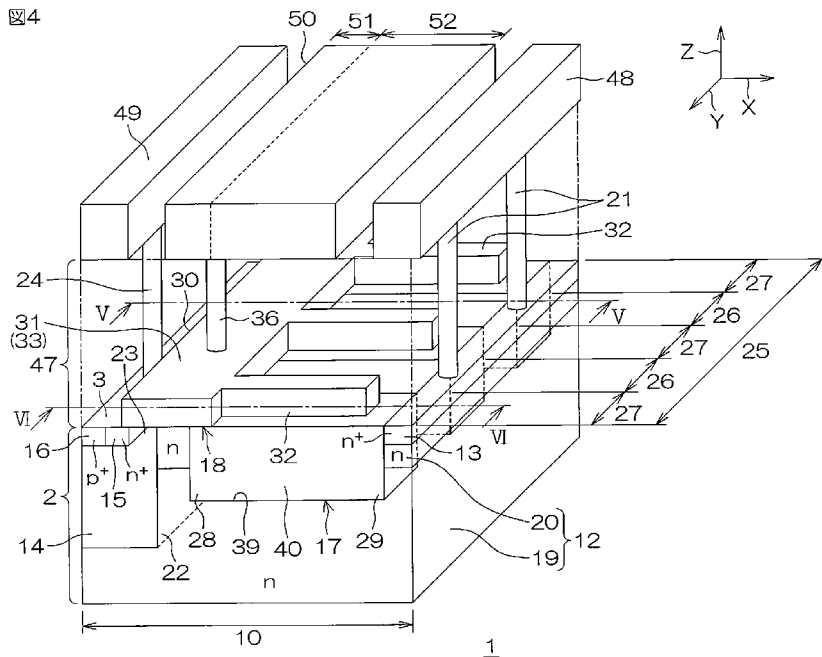


(10) 国際公開番号  
**WO 2024/203661 A1**

- (51) 国際特許分類:  
H01L 29/78 (2006.01) H01L 29/06 (2006.01)  
H01L 21/336 (2006.01)
- (21) 国際出願番号: PCT/JP2024/010860
- (22) 国際出願日: 2024年3月19日(19.03.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2023-055785 2023年3月30日(30.03.2023) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)  
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 清水 雄介 (SHIMIZU, Yusuke);  
〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 弁理士法人 あい 特許事務所 (AI ASSOCIATION OF PATENT AND TRADEMARK ATTORNEYS); 〒5410059 大阪府大阪市中央区博労町三丁目2番8号 岩田東急ビル8階 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: This semiconductor device comprises: a semiconductor chip that has a main surface; a drift region, a drain region, a body region, and a source region that are formed in the semiconductor chip; a gate electrode that faces a channel region formed in the body region with a gate insulation film therebetween; a plurality of insulation separation structures that are embedded in a surface layer portion of the main surface of the semiconductor chip along a first direction between the body region and the drain region; a first active area that is sandwiched by insulation separation structures that are

[続葉有]



WO 2024/203661 A1

KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

adjacent in a second direction; and a gate field plate that extends from the gate electrode to a region on the insulation separation structures. The gate insulation film includes a first portion that is formed on the channel region and a second portion that is formed on the drift region, integrally extends from the first portion toward the drain region, and has a second thickness that is larger than a first thickness of the first portion.

(57) 要約: 半導体装置は、主面を有する半導体チップと、前記半導体チップに形成されたドリフト領域、ドレイン領域、ボディ領域およびソース領域と、ゲート絶縁膜を介して前記ボディ領域に形成されたチャネル領域に対向するゲート電極と、前記ボディ領域と前記ドレイン領域との間において、第1方向に沿って前記半導体チップの前記主面の表層部に埋め込まれた複数の絶縁分離構造と、第2方向において隣り合う絶縁分離構造に挟まれた第1アクティブエリアと、前記ゲート電極から前記絶縁分離構造上の領域に延びるゲートフィールドプレートとを含み、前記ゲート絶縁膜は、前記チャネル領域上に形成された第1部分と、前記第1部分から前記ドレイン領域に向かって一体的に延び、前記ドリフト領域上に形成され、前記第1部分の第1厚さよりも大きな第2厚さを有する第2部分とを含む。

## 明 細 書

**発明の名称**：半導体装置

### 関連出願

[0001] 本出願は、2023年3月30日に日本国特許庁に提出された特願2023-055785号に対応しており、この出願の全開示はここに引用により組み込まれるものとする。

### 技術分野

[0002] 本開示は、半導体装置に関する。

### 背景技術

[0003] たとえば、特許文献1は、ドリフト領域の表層部に形成されたドレイン領域と、ドリフト領域の表層部に形成されたバックゲート領域と、バックゲート領域の表層部に形成されたソース領域と、バックゲート領域の表層部に形成されたバックゲートコンタクト領域と、半導体チップの第1主面に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成され、バックゲート領域に形成されたチャネル領域に対向するゲート電極と、ソース領域のn型側部およびバックゲートコンタクト領域のp型側部に跨って形成された不純物領域とを含む、半導体装置を開示している。

### 先行技術文献

#### 特許文献

[0004] 特許文献1：特開2023-017388号公報

### 発明の概要

#### 発明が解決しようとする課題

[0005] 本開示の一実施形態は、高いオフ耐圧と低いオン抵抗とを両立することができる半導体装置を提供することである。

#### 課題を解決するための手段

[0006] 本開示の一実施形態は、主面を有する半導体チップと、前記半導体チップ

の前記主面の表層部に形成された第1導電型のドリフト領域と、前記ドリフト領域の表層部に形成された第1導電型のドレイン領域と、前記ドリフト領域の表層部に形成され、第1方向において前記ドレイン領域から離れている第2導電型のボディ領域と、前記ボディ領域の表層部に形成された第1導電型のソース領域と、前記半導体チップの前記主面に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成され、前記ボディ領域に形成されたチャンネル領域に対向するゲート電極と、前記ボディ領域と前記ドレイン領域との間において、前記第1方向に沿って前記半導体チップの前記主面の表層部に埋め込まれた複数の絶縁分離構造と、前記第1方向に交差する第2方向において隣り合う絶縁分離構造に挟まれた第1アクティブエリアと、前記ゲート電極から前記絶縁分離構造上の領域に延びるゲートフィールドプレートとを含み、前記ゲート絶縁膜は、前記チャンネル領域上に形成された第1部分と、前記第1部分から前記ドレイン領域に向かって一体的に延び、前記ドリフト領域上に形成され、前記第1部分の第1厚さよりも大きな第2厚さを有する第2部分とを含む、半導体装置である。

### 発明の効果

[0007] 本開示の一実施形態によれば、高いオフ耐圧と低いオン抵抗とを両立することができる半導体装置を提供することができる。

### 図面の簡単な説明

[0008] [図1]図1は、本発明の一実施形態に係る半導体装置の模式的な平面図である。

[図2]図2は、図1に示す領域IIの拡大図である。

[図3]図3は、図2においてゲート電極を透視して示す図である。

[図4]図4は、LDMOSFETの模式的な斜視図である。

[図5]図5は、図4に示すV-V線に沿う断面図である。

[図6]図6は、図4に示すVI-VI線に沿う断面図である。

[図7]図7は、第1アクティブエリアに電流が流れる様子を示す図である。

[図8]図8は、第2アクティブエリアに電流が流れる様子を示す図である。

[図9]図9は、前記半導体装置に導入可能な特徴構造の一例を示す図である。

[図10]図10は、前記半導体装置に導入可能な特徴構造の一例を示す図である。

[図11]図11は、前記半導体装置に導入可能な特徴構造の一例を示す図である。

[図12]図12は、前記半導体装置に導入可能な特徴構造の一例を示す図である。

[図13]図13は、前記半導体装置に導入可能な特徴構造の一例を示す図である。

[図14]図14は、前記半導体装置に導入可能な特徴構造の一例を示す図である。

[図15]図15は、前記半導体装置に導入可能な特徴構造の一例を示す図である。

[図16]図16は、前記半導体装置に導入可能な特徴構造の一例を示す図である。

[図17]図17は、前記半導体装置に導入可能な特徴構造の一例を示す図である。

[図18]図18は、前記半導体装置に導入可能な特徴構造の一例を示す図である。

[図19]図19は、前記半導体装置に導入可能な特徴構造の一例を示す図である。

[図20]図20は、前記半導体装置に導入可能な特徴構造の一例を示す図である。

[図21]図21は、前記半導体装置に導入可能な特徴構造の一例を示す図である。

[図22]図22は、前記半導体装置に導入可能な特徴構造の一例を示す図である。

[図23]図23は、前記半導体装置に導入可能な特徴構造の一例を示す図である。

る。

[図24]図 2 4 は、前記半導体装置に導入可能な特徴構造の一例を示す図である。

### 発明を実施するための形態

[0009] 次に、本開示の実施形態を、添付図面を参照して詳細に説明する。

#### <半導体装置 1 の基本構造>

まず、図 1 ~ 図 6 を参照して、半導体装置 1 の基本構造について説明する。

[0010] 図 1 は、本発明の一実施形態に係る半導体装置 1 の模式的な平面図である。

[0011] 半導体装置 1 は、直方体形状に形成された半導体チップ 2 を含む。半導体チップ 2 は、半導体装置 1 の外形を形成しており、たとえば、単結晶の半導体材料がチップ状（直方体形状）に形成された構造体である。半導体チップ 2 は、Si、SiC等の半導体材料で形成されている。

[0012] 半導体チップ 2 は、一方側の第 1 主面 3、他方側の第 2 主面 4、ならびに、第 1 主面 3 および第 2 主面 4 を接続する第 1 ~ 第 4 側面 5 ~ 8 を有している。第 1 ~ 第 4 側面 5 ~ 8 は、第 1 側面 5、第 2 側面 6、第 3 側面 7 および第 4 側面 8 を含む。第 1 側面 5 および第 2 側面 6 は、第 1 方向 X に延び、第 1 方向 X に直交する第 2 方向 Y に対向している。第 3 側面 7 および第 4 側面 8 は、第 2 方向 Y に延び、第 1 方向 X に対向している。

[0013] 第 1 主面 3 および第 2 主面 4 は、第 3 方向 Z（第 1 主面 3 および第 2 主面 4 の法線方向）から見た平面視（以下、単に「平面視」という。）において四角形状に形成されている。第 1 主面 3 は、機能デバイスが形成されるデバイス面と称してもよい。第 2 主面 4 は、機能デバイスが形成されない非デバイス面と称してもよい。第 1 主面 3 には、複数のデバイス領域 9 が形成されている。複数のデバイス領域 9 の個数および配置は任意である。複数のデバイス領域 9 は、第 1 主面 3 の表層部を利用して形成された機能デバイスを含んでいてもよい。機能デバイスは、たとえば、半導体スイッチングデバイス

、半導体整流デバイスおよび受動デバイスのうちの少なくとも1つを含んでもよい。機能デバイスは、たとえば、半導体スイッチングデバイス、半導体整流デバイスおよび受動デバイスのうちの少なくとも2つが組み合わされた回路網を含んでもよい。

[0014] 半導体スイッチングデバイスは、たとえば、MOSFET (Metal Oxide Semiconductor Field Effect Transistor)、BJT (Bipolar Junction Transistor)、IGBT (Insulated Gate Bipolar Junction Transistor) および JFET (Junction Field Effect Transistor) のうちの少なくとも1つを含んでもよい。半導体整流デバイスは、たとえば、pn接合ダイオード、pin接合ダイオード、ツェナーダイオード、ショットキーバリアダイオードおよびファストリカバリーダイオードのうちの少なくとも1つを含んでもよい。受動デバイスは、たとえば、抵抗、コンデンサおよびインダクタのうちの少なくとも1つを含んでもよい。

[0015] 図2は、図1に示す領域IIの拡大図である。図3は、図2においてゲート導電体18を透視して示す図である。図2および図3では明瞭化のため、ゲート導電体18がハッチングで示され、絶縁分離構造17がグレーの塗りつぶしで示されている。

[0016] 図2および図3を参照して、半導体装置1は、複数のデバイス領域9のうちLDMOSFET10 (Lateral Double diffused MOSFET) が形成されたLDMOS領域11を有している。

[0017] LDMOS領域11には、ドリフト領域12と、ドレイン領域13と、ボディ領域14と、ソース領域15と、ボディコンタクト領域16と、絶縁分離構造17と、ゲート導電体18とを含む。

[0018] ドリフト領域12は、この形態では、n型不純物の拡散領域である。ドリフト領域12は、n型ドリフト領域と称されてもよい。ドリフト領域12は、LDMOSFET10における表面電界を低減する領域であり、n型リサーチ (RESURF : REduced SURface Field) 層と称されてもよい。ドリフト領域12は、半導体チップ2の第1主面3の表層部の全域に形成されている。

- [0019] ドリフト領域12は、第1ドリフト領域19および第2ドリフト領域20を含む。第1ドリフト領域19が第1主面3の表層部の全域に形成され、第2ドリフト領域20は、第1ドリフト領域19の表層部に選択的に形成されている。第2ドリフト領域20は、第1ドリフト領域19にウェル状に形成されているので、n型ウェル領域と称されてもよい。
- [0020] 第1ドリフト領域19のn型不純物濃度は、たとえば、 $1.0 \times 10^{14} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{16} \text{ cm}^{-3}$ 以下であってもよい。第2ドリフト領域20のn型不純物濃度は、第1ドリフト領域19のn型不純物濃度よりも高い。第2ドリフト領域20のn型不純物濃度は、たとえば、 $1.0 \times 10^{15} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{17} \text{ cm}^{-3}$ 以下であってもよい。
- [0021] 第1ドリフト領域19のn型不純物濃度が第2ドリフト領域20のn型不純物濃度よりも低いので、第1ドリフト領域19は、第2ドリフト領域20との相対的な関係において、低濃度ドリフト領域（低濃度リサーフ層）と称されてもよい。反対に、第2ドリフト領域20は、第1ドリフト領域19との相対的な関係において、高濃度ドリフト領域（高濃度リサーフ層）と称されてもよい。また、n型不純物濃度の差に起因する抵抗値の差に着目して、第1ドリフト領域19および第2ドリフト領域20は、それぞれ、高抵抗ドリフト領域および低抵抗ドリフト領域と称されてもよい。
- [0022] ドレイン領域13は、この形態では、ドリフト領域12よりも高いn型不純物濃度を有するn型不純物の拡散領域である。ドレイン領域13は、n型ドレイン領域と称されてもよい。ドレイン領域13のn型不純物濃度は、たとえば、 $1.0 \times 10^{16} \text{ cm}^{-3}$ 以上 $5.0 \times 10^{17} \text{ cm}^{-3}$ 以下であってもよい。
- [0023] ドレイン領域13は、第2ドリフト領域20の表層部に形成されている。ドレイン領域13は、平面視において第2方向Yに沿って延びる帯状に形成されている。この形態では、一对のドレイン領域13が、第1方向Xに間隔を空け、第2方向Yに互いに平行に延びている。図2を参照して、ドレイン領域13には、ドレイン領域13に接続されたドレインコンタクト21が形

成されている。この形態では、複数のドレインコンタクト21が、第2方向Yに間隔を空けて配列されている。複数のドレインコンタクト21は、それぞれ、第1方向Xにおいて第1アクティブエリア26に隣接する位置に配置されている。

[0024] ボディ領域14は、この形態では、p型不純物の拡散領域である。ボディ領域14は、p型ボディ領域と称されてもよい。ボディ領域14は、一对のドレイン領域13から間隔を空けて形成されている。ボディ領域14は、一对のドレイン領域13に挟まれた領域に形成されている。ボディ領域14は、第2ドリフト領域20に取り囲まれていてもよい。図3を参照して、この形態では、ボディ領域14は、第2ドリフト領域20に接し、第2ドリフト領域20との間に境界22を形成しているが、第2ドリフト領域20から内側に間隔を空けて形成されていてもよい。この場合、ボディ領域14と第2ドリフト領域20の間には、第1ドリフト領域19の一部が形成されていてもよい。ボディ領域14は、第1ドリフト領域19にウェル状に形成されているので、p型ウェル領域と称されてもよい。

[0025] ボディ領域14は、平面視において第2方向Yに沿って延びる帯状に形成されている。これにより、ボディ領域14は、ドリフト領域12との間に第2方向Yに延びる直線状の境界22を形成している。ボディ領域14は、各ドレイン領域13に比べて広い第1方向Xの幅を有している。ボディ領域14は、LDMOSFET10のバックゲート電圧が印加されるp型バックゲート領域と称されてもよい。

[0026] ソース領域15は、この形態では、ドリフト領域12よりも高いn型不純物濃度を有するn型不純物の拡散領域である。ソース領域15は、n型ソース領域と称されてもよい。ソース領域15のn型不純物濃度は、たとえば、 $1.0 \times 10^{16} \text{ cm}^{-3}$ 以上 $5.0 \times 10^{17} \text{ cm}^{-3}$ 以下であってもよい。

[0027] ソース領域15は、ボディ領域14の表層部に形成されている。ソース領域15は、ボディ領域14の外周縁から内側に間隔を空けたボディ領域14の内方領域に形成されている。ソース領域15とボディ領域14との間の平

面視環状の領域は、LDMOSFET10のチャンネルが形成されるチャンネル領域23である。ソース領域15は、平面視において第2方向Yに沿って延びる帯状に形成されている。

[0028] ボディコンタクト領域16は、この形態では、ボディ領域14よりも高いp型不純物濃度を有するp型不純物の拡散領域である。ボディコンタクト領域16は、p型ボディコンタクト領域と称されてもよい。ボディコンタクト領域16のp型不純物濃度は、たとえば、 $1.0 \times 10^{16} \text{ cm}^{-3}$ 以上 $5.0 \times 10^{17} \text{ cm}^{-3}$ 以下であってもよい。

[0029] ボディコンタクト領域16は、ボディ領域14の表層部に形成されている。ボディコンタクト領域16は、ソース領域15の外周縁から内側に間隔を空けたソース領域15の内方領域に形成されている。ボディコンタクト領域16は、平面視において第2方向Yに沿って延びる帯状に形成されている。

[0030] 図2を参照して、ソース領域15およびボディコンタクト領域16には、ソース領域15およびボディコンタクト領域16に接続されたソースコンタクト24が形成されている。この形態では、複数のソースコンタクト24が、第2方向Yに間隔を空けて配列されている。各ソースコンタクト24は、ソース領域15およびボディコンタクト領域16に跨っており、ソース領域15およびボディコンタクト領域16の両方に接続されている。

[0031] この形態では、第1方向Xにおいてボディ領域14とドレイン領域13とで挟まれた領域が、LDMOSFET10の電流が流れるアクティブ領域25である。絶縁分離構造17は、アクティブ領域25に形成されている。この形態では、複数の絶縁分離構造17が、第2方向Yに間隔を空けて配列されている。これにより、アクティブ領域25は、隣り合う絶縁分離構造17に挟まれた第1アクティブエリア26と、各絶縁分離構造17に被覆された第2アクティブエリア27とに分離されていてもよい。図2および図3では、複数の第1アクティブエリア26および複数の第2アクティブエリア27が、第2方向Yに交互に配列されている。複数の絶縁分離構造17は、互いに物理的に分離されて独立している。

- [0032] 各絶縁分離構造17は、ボディ領域14からドレイン領域13に向かって第1方向Xにアクティブ領域25を横切る帯状に形成されている。より具体的には、第1方向Xに沿う長辺と、第2方向Yに沿う短辺とを有する長方形に形成されている。これにより、第1アクティブエリア26は、第2方向Yの幅W1が一定である。また、第2アクティブエリア27（絶縁分離構造17）の第2方向Yの幅W2が一定である。幅W1は、幅W2よりも狭くてもよい。たとえば、幅W1が0.1 $\mu\text{m}$ 以上5 $\mu\text{m}$ 以下であり、幅W2が0.2 $\mu\text{m}$ 以上2 $\mu\text{m}$ 以下であってもよい。
- [0033] 図3を参照して、この形態では、各絶縁分離構造17は、第1方向Xの第1端部28と、その反対側の第2端部29とを有している。第1端部28は、ボディ領域14側（ソース領域15側）の端部である。第1端部28は、ボディ領域14から第1方向Xに間隔を空け、第2ドリフト領域20の一部を挟んでボディ領域14に対向していてもよい。第2端部29は、ドレイン領域13側の端部である。第2端部29は、ドレイン領域13に接していてもよい。むしろ、第1端部28がボディ領域14に接し、第2端部29がドレイン領域13から第1方向Xに間隔を空け、第2ドリフト領域20の一部を挟んでボディ領域14に対向していてもよい。
- [0034] 図2を参照して、ゲート導電体18は、平面視において、ソース領域15およびボディコンタクト領域16を取り囲む環状に形成されている。明瞭化のため、図2では、ゲート導電体18にハッチングを付して示している。ゲート導電体18の中央部には、ソース領域15およびボディコンタクト領域16を露出させるソース開口30が形成されている。ソース開口30は、第2方向Yに沿って細長い形状に形成されており、ソース領域15およびボディコンタクト領域16を一体的に露出させている。
- [0035] ゲート導電体18は、チャンネル領域23を被覆するゲート電極31と、ゲート電極31から一体的に延びるゲートフィールドプレート32とを含む。
- [0036] ゲート電極31は、内側から外側に向かって順に、ソース領域15、チャンネル領域23（ボディ領域14）および第2ドリフト領域20を被覆してい

る。ゲート電極 31 は、ソース開口 30 を挟んで第 1 方向 X に間隔を空けて対向する一対の制御部 33 と、一対の制御部 33 の第 2 方向 Y の両端部を接続する一対のコンタクト部 34 とを含む。

[0037] この形態では、第 2 方向 Y に沿って平行な直線状の一対の制御部 33 の両端部のそれぞれに、アイランド状の一対のコンタクト部 34 が一体的に接続されている。各コンタクト部 34 は、一対の制御部 33 に対して第 1 方向 X の外側に張り出しており、一対の制御部 33 よりも幅広に形成されている。言い換えれば、各コンタクト部 34 の第 1 方向 X の端縁に対して各制御部 33 が内側にセットバックして配置されている。これにより、第 2 方向 Y における一対のコンタクト部 34 の間には、各制御部 33 に隣接する凹部 35 が形成されている。

[0038] コンタクト部 34 には、ゲート電圧が印加されるゲートコンタクト 36 が形成されている。この形態では、複数のゲートコンタクト 36 が、第 1 方向 X に間隔を空けて配列されている。

[0039] ゲートフィールドプレート 32 は、ゲート電極 31 から絶縁分離構造 17 上の領域に延びている。この形態では、複数のゲートフィールドプレート 32 が、第 2 方向 Y に間隔を空けて配列されている。複数のゲートフィールドプレート 32 は、全体として、ゲート電極 31 からソース開口 30 の反対側に突出した櫛歯状に形成されている。

[0040] 各ゲートフィールドプレート 32 は、各絶縁分離構造 17 に 1 対 1 で設けられている。ゲート電極 31 に凹部 35 が形成され、複数のゲートフィールドプレート 32 の一部もしくは全部が凹部 35 内に形成されている。凹部 35 をゲートフィールドプレート 32 用のスペースとして有効活用し、ゲート導電体 18 の全体としての第 1 方向 X の幅を狭くすることができる。これにより、アクティブ領域 25 の面積を低減することができる。

[0041] 各ゲートフィールドプレート 32 は、第 1 方向 X に延びる帯状に形成されている。より具体的には、第 1 方向 X に沿う長辺と、第 2 方向 Y に沿う短辺とを有する長形状に形成されている。これにより、各ゲートフィールドプレ

レート32は、第2方向Yの幅W3が一定である。

[0042] ゲート導電体18は、ポリシリコンにより形成されている。この形態では、ゲート導電体18は、ゲート電極31がn型ポリシリコンにより形成され、ゲートフィールドプレート32がi型ポリシリコンにより形成されている。たとえば、不純物が添加されていないポリシリコン材料をCVD等により堆積した後、ゲート電極31の形成領域に部分的にn型不純物を導入することにより、n型部分およびi型部分が分離されたゲート導電体18を形成することができる。

[0043] ゲート導電体18において、ゲート電極31およびゲートフィールドプレート32は、いずれもn型ポリシリコンにより形成されていてもよい。この場合、n型ポリシリコンの電荷蓄積効果により、オン抵抗を低減することができる。

[0044] 一方、ゲート導電体18は、ゲート電極31がn型ポリシリコンにより形成され、ゲートフィールドプレート32がp型ポリシリコンにより形成されていてもよい。p型ポリシリコンは、n型ポリシリコンとは異なる仕事関数を有している。p型ポリシリコンの直下でチャンネルが形成される場合、n型ポリシリコンの直下にチャンネルが形成される場合に比べて、チャンネル形成時の閾値電圧が高くなる。したがって、オフ時に、ゲートフィールドプレート32の直下の第2アクティブエリア27を、ゲートソース間電圧 $V_{gs} = -1V$ で深く遮断できるので、オフ耐圧を向上することができる。

[0045] より詳細には、p型ポリシリコンゲートは、n型ポリシリコンゲートよりもフェルミ順位がバンドギャップ分、1V低い。そのため、シリコン側バンドを曲げようとする、1V余計に印加しなければならない。LDMOSFET10の遮断状態とは $V_{gs}$ （ゲートソース間電圧） $= 0V$ であるが、p型ポリシリコンゲートでは、n型ポリシリコンゲートでの $V_{gs} = -1V$ に相当し、ゲートをより深く遮断することができる。その結果、ソースからドレインに流れるチャンネル表面伝導成分を抑制することができる。他の面からは、ソースチャンネル間のpn接合の障壁高さが1V高いとも言える。こ

れにより、ドレイン遮断電圧を高くすることができる。

[0046] 図4は、LDMOSFET10の模式的な斜視図である。図5は、図4に示すV-V線に沿う断面図である。図6は、図4に示すVI-VI線に沿う断面図である。図5が第1アクティブエリア26の断面を示し、図6が第2アクティブエリア27の断面を示している。

[0047] ドリフト領域12は、半導体チップ2の表層部に形成されている。ドリフト領域12では、第1ドリフト領域19がベース領域として形成され、第1ドリフト領域19上に第2ドリフト領域20が形成されている。なお、図示は省略されるが、半導体チップ2の第2主面側には、ドリフト領域12を支持するp型領域が形成されていてもよい。p型領域は、p型の半導体基板であってもよい。この場合、ドリフト領域12は、n型のエピタキシャル層であってもよい。ドリフト領域12の厚さは、5 $\mu$ m以上20 $\mu$ m以下であってもよい。

[0048] ドリフト領域12は、図示しない素子分離構造（たとえば、素子分離ウェル、DTI（Deep Trench Isolation）、STI（Shallow Trench Isolation）など）によって、複数の領域に絶縁分離されている。当該素子分離構造は、半導体チップ2を複数のデバイス領域9に区画している。図4～図6では、分離された複数のドリフト領域12のうち、LDMOS領域11を形成するドリフト領域12が示されている。

[0049] ドレイン領域13は、第2ドリフト領域20の表層部に形成されている。ドレイン領域13の底部は、第3方向Zにおいて、第1ドリフト領域19と第2ドリフト領域20との境界よりも第1主面3側に位置している。ドレイン領域13上の第1主面3には、ドレインシリサイド37が形成されている。ボディ領域14は、第2ドリフト領域20を貫通し、第1ドリフト領域19に達している。

[0050] ソース領域15およびボディコンタクト領域16は、ボディ領域14の表層部に形成されている。ソース領域15およびボディコンタクト領域16の底部は、第3方向Zにおいて、第1ドリフト領域19とボディ領域14との

境界よりも第1主面3側に位置している。ソース領域15およびボディコンタクト領域16上の第1主面3には、ソースシリサイド38が形成されている。

[0051] 図6を参照して、絶縁分離構造17は、半導体チップ2に形成されたトレンチ39と、トレンチ39に埋め込まれた埋め込み絶縁体40とを含む。

[0052] トレンチ39は、第1主面3から第2ドリフト領域20を貫通し、第1ドリフト領域19に達している。トレンチ39は、第1ドリフト領域19と第2ドリフト領域20との境界よりも深い位置に底部を有している。埋め込み絶縁体40は、トレンチ39の開口端まで埋め込まれている。埋め込み絶縁体40は、この形態では、酸化シリコン(SiO<sub>2</sub>)により形成されている。トレンチ39の深さD(絶縁分離構造17の厚さ)は、たとえば、0.1μm以上1μm以下であってもよい。

[0053] このように、絶縁分離構造17は、いわゆるSTI(Shallow Trench Isolation)構造により形成されている。むしろ、絶縁分離構造17は、LOCOS膜等のフィールド絶縁膜により形成されていてもよい。第2アクティブエリア27は、絶縁分離構造17の直下に広がる第1ドリフト領域19により形成されている。

[0054] 第1主面3には、主面絶縁膜41が形成されている。主面絶縁膜41は、第1主面3を全体的に被覆している。主面絶縁膜41は、この形態では、酸化シリコン(SiO<sub>2</sub>)により形成されているが、窒化シリコン(SiN)により形成されていてもよい。

[0055] 主面絶縁膜41は、ゲート導電体18と第1主面3との間のゲート絶縁膜42と、第1アクティブエリア26を被覆するアクティブ被覆膜43とを含んでいてもよい。

[0056] ゲート絶縁膜42は、ゲート導電体18と半導体チップ2との間に挟まれている。ゲート絶縁膜42は、ゲート導電体18とボディ領域14(チャンネル領域23)との間の第1部分44と、ゲート導電体18とドリフト領域12との間の第2部分45とを含んでいてもよい。ゲート絶縁膜42は、第1

部分44および第2部分45の全体にわたって一様な厚さT1を有していてもよい。ゲート絶縁膜42の厚さT1は、たとえば、2nm以上50nm以下である。

[0057] アクティブ被覆膜43は、第1アクティブエリア26のシリサイド化を防止する膜であり、シリサイドブロック膜と称されてもよい。アクティブ被覆膜43は、ゲート絶縁膜42の厚さT1よりも厚く、たとえば、10nm以上100nm以下の厚さT2を有していてもよい。図5を参照して、アクティブ被覆膜43の一部は、ゲート導電体18の側面および上面を部分的に被覆していてもよい。アクティブ被覆膜43で被覆された部分において、ゲート導電体18の表面には、ゲートシリサイド46が形成されている。

[0058] 図4を参照して、第1主面3には、層間膜47が形成されている。図4では、層間膜47の内部が透視して示されている。層間膜47は、ゲート導電体18を被覆している。層間膜47は、この形態では、酸化シリコン(SiO<sub>2</sub>)により形成されているが、窒化シリコン(SiN)により形成されていてもよい。

[0059] 層間膜47上には、ドレイン配線48、ソース配線49、およびゲート配線50が形成されている。ドレイン配線48は、層間膜47に埋め込まれたドレインコンタクト21を介してドレイン領域13に電氣的に接続されている。ドレイン配線48は、この形態では、層間膜47を挟んでドレイン領域13に沿って延びる帯状に形成されており、ドレイン領域13に対して直線状に対向している。

[0060] ソース配線49は、層間膜47に埋め込まれたソースコンタクト24を介してソース領域15およびボディコンタクト領域16に電氣的に接続されている。ソース配線49は、この形態では、層間膜47を挟んでソース領域15に沿って延びる帯状に形成されており、ソース領域15に対して直線状に対向している。

[0061] ゲート配線50は、層間膜47に埋め込まれたゲートコンタクト36を介してゲート電極31に電氣的に接続されている。図4ではゲート電極31の

制御部 33 に接続されたゲートコンタクト 36 が示されているが、ゲートコンタクト 36 は、図 2 に示したようにコンタクト部 34 に接続されていてもよい。ゲート配線 50 は、この形態では、層間膜 47 を挟んでゲート電極 31 に沿って延びる帯状に形成されている。ゲート配線 50 は、層間膜 47 を挟んでゲート電極 31 を被覆するゲート被覆部 51 と、層間膜 47 を挟んでアクティブ領域 25 を被覆するアクティブ被覆部 52 とを一体的に含んでいてもよい。

[0062] ゲート被覆部 51 は、この形態では、層間膜 47 を挟んでゲート電極 31 に沿って延びる帯状に形成されており、ゲート電極 31 に対して直線状に対向している。アクティブ被覆部 52 は、この形態では、第 2 方向 Y に沿って第 1 アクティブエリア 26 および第 2 アクティブエリア 27（絶縁分離構造 17 およびゲートフィールドプレート 32）を横切って延び、層間膜 47 を挟んで第 1 アクティブエリア 26 および第 2 アクティブエリア 27 に対向している。

[0063] 半導体装置 1 では、たとえば、ソース配線 49 を介してソース領域 15 およびボディコンタクト領域 16 を接地し、ドレイン領域 13 に正極性の電圧（ドレイン電圧）が印加される。そして、ゲート電極 31 の電位を制御することによって、チャンネル領域 23 におけるゲート絶縁膜 42 との界面近傍にチャンネルを形成して、ソース領域 15 とドレイン領域 13 との間にドレイン電流を流すことができる。

[0064] 図 7 および図 8 は、それぞれ、第 1 アクティブエリア 26 および第 2 アクティブエリア 27 に流が流れる様子を示す図である。図 7 が図 5 に対応する断面図であり、図 8 が図 6 に対応する断面図である。

[0065] 図 7 および図 8 を参照して、第 1 ドリフト領域 19 は、その n 型不純物濃度に応じて第 1 抵抗値 R1 を有している。第 2 ドリフト領域 20 は、その n 型不純物濃度に応じて第 2 抵抗値 R2 を有している。第 1 抵抗値 R1 と第 2 抵抗値 R2 とを比較すると、第 2 抵抗値 R2 が第 1 抵抗値 R1 よりも低い。その理由は、第 2 ドリフト領域 20 の n 型不純物濃度が、第 1 ドリフト領域

19のn型不純物濃度よりも低いためである。

[0066] また、第1アクティブエリア26は、絶縁分離構造17が形成されていない領域であるため、ソースドレイン間の電流経路53が第2アクティブエリア27の電流経路54に比べて短い。一方、第2アクティブエリア27では、電流は絶縁分離構造17の下方を迂回して流れるため、ソースドレイン間の電流経路54が第1アクティブエリア26の電流経路53に比べて長い。したがって、ソースドレイン間の電流は、複数の絶縁分離構造17に挟まれた第2ドリフト領域20が形成された第1アクティブエリア26に優先的に流れる。第2ドリフト領域20のn型不純物濃度を高くすることによって、低いオン抵抗でドレイン電流を流すことができる。

[0067] 一方、LDMOSFET10のオフ時には、複数の絶縁分離構造17が第1アクティブエリア26を両側から挟み込み、電界閉じ込め効果が働くため、第1アクティブエリア26の第2ドリフト領域20が高濃度であっても、十分なオフ耐圧を得ることができる。

[0068] 半導体装置1では、オン時に電流が優先的に流れ、相対的に低耐圧な第1アクティブエリア26と、オン時に電流が流れにくい、オフ時に高い耐圧を提供する高耐圧な第2アクティブエリア27とが、交互に並列に配列されている。その結果、低いオン抵抗と高いオフ耐圧とを両立することができる。オン抵抗を低減できるので、損失を低減することができ、チップ面積を低減することもできる。チップ面積の縮小化により、ウエハ1枚当たりのチップの取れ数が増加してコスト低減できる。また、寄生容量や寄生インダクタンスを低減でき、信号遅延を低減することもできる。

[0069] また、図4に示すように、ゲート配線50が、層間膜47を挟んでアクティブ領域25を被覆するアクティブ被覆部52を有している。これにより、アクティブ領域25とゲート配線50との間に容量を形成することができるので、オン抵抗を低減でき、オフ耐圧を向上することができる。

#### <半導体装置1の特徴構造>

以下では、図9～図24を参照して、半導体装置1に導入可能な特徴構造

について説明を加える。

- [0070] 図9を参照して、ゲート絶縁膜42において第1部分44の厚さ $T_3$ と、第2部分45の厚さ $T_4$ とは互いに異なっていてもよい。この形態では、第2部分45の厚さ $T_4$ が第1部分44の厚さ $T_3$ よりも大きい。厚さ $T_4$ は、絶縁分離構造17の厚さ（この形態では、トレンチ39の深さ $D$ ）よりも小さく、たとえば、 $10\text{ nm}$ 以上 $100\text{ nm}$ 以下である。一方、厚さ $T_3$ は、たとえば、 $2\text{ nm}$ 以上 $50\text{ nm}$ 以下である。
- [0071] ドリフト領域12上の第2部分45の厚さ $T_4$ を、チャンネル領域23上の第1部分44の厚さ $T_3$ よりも厚く、絶縁分離構造17の厚さ（この形態では、トレンチ39の深さ $D$ ）よりも薄くすることにより、オン抵抗の増加を抑制しつつ、十分なオフ耐圧を得ることができる。
- [0072] 図10を参照して、第1アクティブエリア26は、平面視において、ソース領域15からドレイン領域13に向かって第2方向 $Y$ の幅 $W_1$ が徐々に狭くなるテーパ形状に形成されていてもよい。この場合、第2アクティブエリア27（絶縁分離構造17）は、平面視において、ドレイン領域13からソース領域15に向かって第2方向 $Y$ の幅 $W_2$ が徐々に狭くなるテーパ形状に形成されていてもよい。この形態では、ソース領域15側に比べて相対的に電界が広がりにくいドレイン領域13側の第2アクティブエリア27の幅を広くすることにより、電界集中を緩和でき、十分なオフ耐圧を得ることができる。
- [0073] 図11を参照して、第1アクティブエリア26は、平面視において、ドレイン領域13からソース領域15に向かって第2方向 $Y$ の幅 $W_1$ が徐々に狭くなるテーパ形状に形成されていてもよい。この場合、第2アクティブエリア27（絶縁分離構造17）は、平面視において、ソース領域15からドレイン領域13に向かって第2方向 $Y$ の幅 $W_2$ が徐々に狭くなるテーパ形状に形成されていてもよい。この形態では、ドレイン領域13側に比べて相対的に電界が集中しやすいソース領域15側の第1アクティブエリア26の幅を狭くすることにより、十分なオフ耐圧を得ることができる。

[0074] 一般的に空乏層は、 $p-n$ 接合境界から発生する。この形態では、 $p-n$ 接合とは $n$ 型ドレインと $p$ 型ボディの接合で、その位置は、第1アクティブエリア26および絶縁分離構造17のスリット形状部に対して、ソース領域15側に位置している。したがって、オフ耐圧を決める要因となる絶縁分離構造17の幅 $W_2$ がソース領域15側で広い（言い換えると、第1アクティブエリア26の幅 $W_1$ がソース領域15側で狭い）と電界集中を抑制することができる。その結果、オフ耐圧を高くすることができる。

[0075] 図12を参照して、絶縁分離構造17は、第1構造55および第2構造56を一体的に含んでもよい。第1構造55は、第1方向 $X$ に沿って伸び、第2方向 $Y$ において第1アクティブエリア26を挟んでいる。第2構造56は、第2方向 $Y$ に沿って伸び、一对の第1構造55のソース領域15側の第1端部28を連結している。隣り合う第1構造55において、ドレイン領域13側の第2端部29は開放されている。これにより、第1アクティブエリア26は、一对の第1構造55と、これらを連結する第2構造56とにより三方から区画されている。この形態では、ドレイン領域13側に比べて相対的に電界が集中しやすいソース領域15側の第1アクティブエリア26を第2構造56で閉塞することにより、十分なオフ耐圧を得ることができる。

[0076] 図13を参照して、絶縁分離構造17は、第1構造57および第2構造58を一体的に含んでもよい。第1構造57は、第1方向 $X$ に沿って伸び、第2方向 $Y$ において第1アクティブエリア26を挟んでいる。第2構造58は、第2方向 $Y$ に沿って伸び、一对の第1構造57のドレイン領域13側の第2端部29を連結している。隣り合う第1構造57において、ソース領域15側の第1端部28は開放されている。これにより、第1アクティブエリア26は、一对の第1構造57と、これらを連結する第2構造58とにより三方から区画されている。この形態では、ソース領域15側に比べて相対的に電界が広がりにくいドレイン領域13側の第1アクティブエリア26を第2構造58で閉塞することにより、十分なオフ耐圧を得ることができる。

[0077] 図14を参照して、ドレイン領域13は、第2方向 $Y$ の両端部が絶縁分離

構造 17 に接しており、隣り合う絶縁分離構造 17 に挟まれていてもよい。言い換えれば、複数の絶縁分離構造 17 が、平面視帯状のドレイン領域 13 (図 3 参照) を第 1 方向 X に横切ることにより、ドレイン領域 13 が複数の部分に分割されていてもよい。この形態では、ドレイン領域 13 の一部が絶縁分離構造 17 に置き換わってドレイン領域 13 の面積が減少するため、図 3 の構造に比べてオン抵抗は高くなる。しかしながら、第 1 アクティブエリア 26 の第 2 方向 Y の両側からの電界閉じ込め効果を向上できるので、オフ耐圧を向上することができる。

[0078] 図 15 を参照して、ゲートフィールドプレート 32 は、平面視において、ソース領域 15 からドレイン領域 13 に向かって第 2 方向 Y の幅 W3 が徐々に狭くなるテーパ形状に形成されていてもよい。この形態では、ドレイン領域 13 側に比べて相対的に電界が集中しやすいソース領域 15 側のゲートフィールドプレート 32 の幅を広くすることにより、十分なオフ耐圧を得ることができる。

[0079] より詳細には、LDMOSFET 10 が遮断状態のとき、ドレイン電圧はドレインからソースに向かって分配される。0V のゲートフィールドプレート 32 が第 1 アクティブエリア 26 に近いと電界を第 1 アクティブエリア 26 側かつドレイン領域 13 側へ押し出す効果がある。これにより、ドレイン電圧は、ドレイン側に多く分配されて電界が集中する。ゲートフィールドプレート 32 の形状をドレイン側で細い楔形にすることにより、ドレイン側の第 1 アクティブエリア 26 から遠ざけると、電界集中が緩和できるため、遮断耐圧を高くできる場合がある。

[0080] 図 16 を参照して、ゲートフィールドプレート 32 は、平面視において、ドレイン領域 13 からソース領域 15 に向かって第 2 方向 Y の幅 W3 が徐々に狭くなるテーパ形状に形成されていてもよい。この形態では、ソース領域 15 側に比べて相対的に電界が広がりにくいドレイン領域 13 側のゲートフィールドプレート 32 の幅を広くすることにより、十分なオフ耐圧を得ることができる。

- [0081] より詳細には、たとえばドレイン濃度やその他の前提条件により、電界がソース領域15側に集中している場合、ゲートフィールドプレート32の形状をソース側で細い楔形にすることにより、ソース側の第1アクティブエリア26から遠ざけると、電界緩和を緩和できるため、遮断耐圧を高くできる場合がある。
- [0082] 図17を参照して、半導体装置1は、第1アクティブエリア26上に形成され、電氣的に浮遊状態とされた浮遊フィールドプレート59をさらに含んでもよい。この形態では、複数の浮遊フィールドプレート59が、各第1アクティブエリア26に1つずつ形成されている。これにより、第2方向Yにおいて、ゲートフィールドプレート32および浮遊フィールドプレート59が交互に間隔を空けて配列されている。
- [0083] 各浮遊フィールドプレート59は、第1方向Xに延びる帯状に形成されている。より具体的には、第1方向Xに沿う長辺と、第2方向Yに沿う短辺とを有する長方形に形成されている。これにより、各浮遊フィールドプレート59は、第2方向Yの幅が一定である。各浮遊フィールドプレート59は、図17に示すように、第1アクティブエリア26と絶縁分離構造17との境界よりも第1アクティブエリア26の内側にのみ形成されていてもよいし、第1アクティブエリア26と絶縁分離構造17との境界を横切り、絶縁分離構造17を部分的に被覆していてもよい。
- [0084] この形態では、第1アクティブエリア26上に浮遊フィールドプレート59が配置されているので、第1アクティブエリア26の表層部における電界集中を緩和することができる。これにより、オフ耐圧を向上することができる。
- [0085] 図18を参照して、半導体装置1は、第2方向Yにおいて第1アクティブエリア26および絶縁分離構造17（第2アクティブエリア27）を横切って延び、電氣的に浮遊状態とされた浮遊フィールドプレート60をさらに含んでもよい。この形態では、複数の浮遊フィールドプレート60が、第1方向Xに間隔を空けて配列されている。

- [0086] 各浮遊フィールドプレート60は、第2方向Yに延びる帯状に形成されている。より具体的には、第2方向Yに沿う長辺と、第1方向Xに沿う短辺とを有する長方形に形成されている。これにより、各浮遊フィールドプレート60は、第1方向Xの幅が一定である。各浮遊フィールドプレート60は、図18に示すように、複数の第1アクティブエリア26および複数の絶縁分離構造17を連続して横切ってもよいし、1つの第1アクティブエリア26と1つの絶縁分離構造17との境界を横切るだけでもよい。
- [0087] 図19を参照して、ドリフト領域12（この形態では、第2ドリフト領域20）は、第1方向Xにおいて第1アクティブエリア26からボディ領域14に向かって選択的に突出した凸部61を有している。この形態では、複数の凸部61が第2方向Yに間隔を空けて配列され、各第1アクティブエリア26から凸部61が1つずつ突出している。
- [0088] これにより、ボディ領域14と第2ドリフト領域20との境界22は、第1アクティブエリア26に隣接する区間でソース領域15側に凸となり、絶縁分離構造17に隣接する区間でドレイン領域13側に凸となるジグザグ状に形成されている。境界22のジグザグは、図19に示すように、パルス波形状に形成されていてもよいし、サインカーブ形状に形成されていてもよい。
- [0089] 図20を参照して、ドリフト領域12（この形態では、第2ドリフト領域20）は、第1方向Xにおいてボディ領域14から第1アクティブエリア26に向かって選択的に窪んだ凹部62を有している。この形態では、複数の凹部62が第2方向Yに間隔を空けて配列され、各第1アクティブエリア26へ向かって凹部62が1つずつ設けられている。
- [0090] これにより、ボディ領域14と第2ドリフト領域20との境界22は、第1アクティブエリア26に隣接する区間でドレイン領域13側に凹となり、絶縁分離構造17に隣接する区間でソース領域15側に凸となるジグザグ状に形成されている。境界22のジグザグは、図20に示すように、パルス波形状に形成されていてもよいし、サインカーブ形状に形成されていてもよい。

。

[0091] 図21を参照して、第2ドリフト領域20は、第2方向Yにおいて交互に縞状に配列された複数の第1拡散領域63および複数の第2拡散領域64を含んでいてもよい。複数の第1拡散領域63は、複数の第2拡散領域64よりも高いn型不純物濃度を有していてもよい。この形態では、複数の第1拡散領域63および複数の第2拡散領域64は、第2方向Yに交互に配列されている。

[0092] たとえば、第1ドリフト領域19における第1拡散領域63を形成すべき領域にn型不純物を選択的に注入し、その後、アニール処理をする。これより、第1拡散領域63から第1主面3に沿う横方向に不純物が拡散する。その結果、第1拡散領域63よりは不純物濃度が低く、かつ第1ドリフト領域19よりも不純物濃度が高い第2拡散領域64を形成することができる。

[0093] この形態では、ウエハへの不純物注入にあたり、既存の縞状パターンの拡散層のマスクを代用することができるので、第2ドリフト領域20のための専用のマスクが不要となる。これにより、製造コストを低減することができる。また、縞状パターンの幅を調整することにより不純物濃度の拡散範囲を調節できるので、第2拡散領域64の不純物濃度を調整することもできる。

[0094] 図22を参照して、第2ドリフト領域20は、第1方向Xにおいて交互に縞状に配列された複数の第1拡散領域65および複数の第2拡散領域66を含んでいてもよい。複数の第1拡散領域65は、複数の第2拡散領域66よりも高いn型不純物濃度を有していてもよい。この形態では、複数の第1拡散領域65および複数の第2拡散領域66は、第1方向Yに交互に配列されている。

[0095] たとえば、第1ドリフト領域19における第1拡散領域65を形成すべき領域にn型不純物を選択的に注入し、その後、アニール処理をする。これより、第1拡散領域65から第1主面3に沿う横方向に不純物が拡散する。その結果、第1拡散領域65よりは不純物濃度が低く、かつ第1ドリフト領域19よりも不純物濃度が高い第2拡散領域66を形成することができる。

[0096] この形態では、ウエハへの不純物注入にあたり、既存の縞状パターンの拡散層のマスクを代用することができるので、第2ドリフト領域20のための専用のマスクが不要となる。これにより、製造コストを低減することができる。また、縞状パターンの幅を調整することにより不純物濃度の拡散範囲を調節できるので、第2拡散領域66の不純物濃度を調整することもできる。

[0097] 図23を参照して、半導体装置1は、第1アクティブエリア26において第2ドリフト領域20の表層部に選択的に形成されたp型のトップ拡散領域67をさらに含んでもよい。トップ拡散領域67は、第2ドリフト領域20の底部および側部（ボディ領域14との境界22）から離れ、第2ドリフト領域20にフローティングした状態で形成されている。トップ拡散領域67は、アクティブ被覆膜43に被覆され、ドレインコンタクト21、ソースコンタクト24およびゲートコンタクト36のいずれからも物理的に分離されている。

[0098] この形態では、第2ドリフト領域20にp型のトップ拡散領域67が形成されている。これにより、トップ拡散領域67（p型）と第2ドリフト領域20（n型）との間のpn接合部から空乏層を広げることができる。これにより、第1ドリフト領域19に比べてn型不純物濃度が高い第2ドリフト領域20における電界緩和を促進することができるので、オフ耐圧を向上することができる。また、トップ拡散領域67の形成にあたり、既存パターンの拡散層のマスクを代用することにより、製造コストを低減することもできる。

[0099] 図24を参照して、この形態では、ボディ領域14において、複数のソース領域15および複数のボディコンタクト領域16が、第2方向Yにおいて交互に配列されている。より具体的には、ボディ領域14において第1アクティブエリア26に隣接する区間にソース領域15が形成され、絶縁分離構造17に隣接する区間にボディコンタクト領域16が形成されている。また、複数のソースコンタクト24は、複数のソース領域15のそれぞれに接続されている。したがって、各ソースコンタクト24は、第1方向Xにおいて

第1アクティブエリア26に隣接する位置に配置されている。

[0100] この形態では、ソース領域15およびソースコンタクト24のいずれもが、第1方向Xにおいて第1アクティブエリア26に隣接している。これにより、第1方向Xにおいて、ソースコンタクト24、第1アクティブエリア26およびドレインコンタクト21が直線状に並ぶので、ソースドレイン間に短い電流経路68で電流を流すことができる。

[0101] 本開示の実施形態について説明したが、本開示は他の形態で実施することもできる。

[0102] たとえば、前述の実施形態では、第1導電型がn型、第2導電型がp型である例について説明したが、第1導電型p型、第2導電型がn型であってもよい。この場合の具体的な構成は、前述の説明および添付図面においてn型領域をp型領域に置き換え、p型領域をn型領域に置き換えることによって得られる。

[0103] 本開示の実施形態は、すべての点において例示であり限定的に解釈されるべきではなく、すべての点において変更が含まれることが意図される。

[0104] この明細書および図面の記載から以下に付記する特徴が抽出され得る。

[0105] [付記1-1]

主面(3)を有する半導体チップ(2)と、

前記半導体チップ(2)の前記主面(3)の表層部に形成された第1導電型のドリフト領域(12)と、

前記ドリフト領域(12)の表層部に形成された第1導電型のドレイン領域(13)と、

前記ドリフト領域(12)の表層部に形成され、第1方向(X)において前記ドレイン領域(13)から離れている第2導電型のボディ領域(14)と、

前記ボディ領域(14)の表層部に形成された第1導電型のソース領域(15)と、

前記半導体チップ(2)の前記主面(3)に形成されたゲート絶縁膜(4

2) と、

前記ゲート絶縁膜 (42) 上に形成され、前記ボディ領域 (14) に形成されたチャンネル領域 (23) に対向するゲート電極 (31) と、

前記ボディ領域 (14) と前記ドレイン領域 (13) との間において、前記第1方向 (X) に沿って前記半導体チップ (2) の前記主面 (3) の表層部に埋め込まれた複数の絶縁分離構造 (17) と、

前記第1方向 (X) に交差する第2方向 (Y) において隣り合う絶縁分離構造 (17) に挟まれた第1アクティブエリア (26) と、

前記ゲート電極 (31) から前記絶縁分離構造 (17) 上の領域に延びるゲートフィールドプレート (32) とを含み、

前記ゲート絶縁膜 (42) は、前記チャンネル領域 (23) 上に形成された第1部分 (44) と、前記第1部分 (44) から前記ドレイン領域 (13) に向かって一体的に延び、前記ドリフト領域 (12) 上に形成され、前記第1部分 (44) の第1厚さ (T3) よりも大きな第2厚さ (T4) を有する第2部分 (45) とを含む、半導体装置 (1) 。

[0106] [付記1-2]

主面 (3) を有する半導体チップ (2) と、

前記半導体チップ (2) の前記主面 (3) の表層部に形成された第1導電型のドリフト領域 (12) と、

前記ドリフト領域 (12) の表層部に形成された第1導電型のドレイン領域 (13) と、

前記ドリフト領域 (12) の表層部に形成され、第1方向 (X) において前記ドレイン領域 (13) から離れている第2導電型のボディ領域 (14) と、

前記ボディ領域 (14) の表層部に形成された第1導電型のソース領域 (15) と、

前記半導体チップ (2) の前記主面 (3) に形成されたゲート絶縁膜 (42) と、

前記ゲート絶縁膜（４２）上に形成され、前記ボディ領域（１４）に形成されたチャンネル領域（２３）に対向するゲート電極（３１）と、

前記ボディ領域（１４）と前記ドレイン領域（１３）との間において、前記第１方向（Ｘ）に沿って前記半導体チップ（２）の前記主面（３）の表層部に埋め込まれた複数の絶縁分離構造（１７）と、

前記第１方向（Ｘ）に交差する第２方向（Ｙ）において隣り合う絶縁分離構造（１７）に挟まれた第１アクティブエリア（２６）と、

前記ゲート電極（３１）から前記絶縁分離構造（１７）上の領域に延びるゲートフィールドプレート（３２）とを含み、

前記第１アクティブエリア（２６）は、平面視において、前記ソース領域（１５）から前記ドレイン領域（１３）に向かって前記第２方向（Ｙ）の幅（Ｗ１）が徐々に狭くなるテーパ形状に形成されている、半導体装置（１）

。

[0107] [付記１－３]

主面（３）を有する半導体チップ（２）と、

前記半導体チップ（２）の前記主面（３）の表層部に形成された第１導電型のドリフト領域（１２）と、

前記ドリフト領域（１２）の表層部に形成された第１導電型のドレイン領域（１３）と、

前記ドリフト領域（１２）の表層部に形成され、第１方向（Ｘ）において前記ドレイン領域（１３）から離れている第２導電型のボディ領域（１４）と、

前記ボディ領域（１４）の表層部に形成された第１導電型のソース領域（１５）と、

前記半導体チップ（２）の前記主面（３）に形成されたゲート絶縁膜（４２）と、

前記ゲート絶縁膜（４２）上に形成され、前記ボディ領域（１４）に形成されたチャンネル領域（２３）に対向するゲート電極（３１）と、

前記ボディ領域（１４）と前記ドレイン領域（１３）との間において、前記第１方向（Ｘ）に沿って前記半導体チップ（２）の前記主面（３）の表層部に埋め込まれた複数の絶縁分離構造（１７）と、

前記第１方向（Ｘ）に交差する第２方向（Ｙ）において隣り合う絶縁分離構造（１７）に挟まれた第１アクティブエリア（２６）と、

前記ゲート電極（３１）から前記絶縁分離構造（１７）上の領域に延びるゲートフィールドプレート（３２）とを含み、

前記第１アクティブエリア（２６）は、平面視において、前記ドレイン領域（１３）から前記ソース領域（１５）に向かって前記第２方向（Ｙ）の幅（Ｗ１）が徐々に狭くなるテーパ形状に形成されている、半導体装置（１）

。

[0108] [付記１－４]

主面（３）を有する半導体チップ（２）と、

前記半導体チップ（２）の前記主面（３）の表層部に形成された第１導電型のドリフト領域（１２）と、

前記ドリフト領域（１２）の表層部に形成された第１導電型のドレイン領域（１３）と、

前記ドリフト領域（１２）の表層部に形成され、第１方向（Ｘ）において前記ドレイン領域（１３）から離れている第２導電型のボディ領域（１４）と、

前記ボディ領域（１４）の表層部に形成された第１導電型のソース領域（１５）と、

前記半導体チップ（２）の前記主面（３）に形成されたゲート絶縁膜（４２）と、

前記ゲート絶縁膜（４２）上に形成され、前記ボディ領域（１４）に形成されたチャンネル領域（２３）に対向するゲート電極（３１）と、

前記ボディ領域（１４）と前記ドレイン領域（１３）との間において、前記第１方向（Ｘ）に沿って前記半導体チップ（２）の前記主面（３）の表層

部に埋め込まれた複数の絶縁分離構造（17）と、

前記第1方向（X）に交差する第2方向（Y）において隣り合う絶縁分離構造（17）に挟まれた第1アクティブエリア（26）と、

前記ゲート電極（31）から前記絶縁分離構造（17）上の領域に延びるゲートフィールドプレート（32）とを含み、

前記絶縁分離構造（17）は、前記第1方向（X）に沿って延び、前記第2方向（Y）において前記第1アクティブエリア（26）を挟む一对の第1構造（55）と、前記第2方向（Y）に沿って延び、前記一对の第1構造（55）の前記ソース領域（15）側の端部（28）を連結する第2構造（56）とを一体的に含み、前記第1アクティブエリア（26）を三方から区画している、半導体装置（1）。

[0109] [付記1-5]

主面（3）を有する半導体チップ（2）と、

前記半導体チップ（2）の前記主面（3）の表層部に形成された第1導電型のドリフト領域（12）と、

前記ドリフト領域（12）の表層部に形成された第1導電型のドレイン領域（13）と、

前記ドリフト領域（12）の表層部に形成され、第1方向（X）において前記ドレイン領域（13）から離れている第2導電型のボディ領域（14）と、

前記ボディ領域（14）の表層部に形成された第1導電型のソース領域（15）と、

前記半導体チップ（2）の前記主面（3）に形成されたゲート絶縁膜（42）と、

前記ゲート絶縁膜（42）上に形成され、前記ボディ領域（14）に形成されたチャネル領域（23）に対向するゲート電極（31）と、

前記ボディ領域（14）と前記ドレイン領域（13）との間において、前記第1方向（X）に沿って前記半導体チップ（2）の前記主面（3）の表層

部に埋め込まれた複数の絶縁分離構造（１７）と、

前記第１方向（Ｘ）に交差する第２方向（Ｙ）において隣り合う絶縁分離構造（１７）に挟まれた第１アクティブエリア（２６）と、

前記ゲート電極（３１）から前記絶縁分離構造（１７）上の領域に延びるゲートフィールドプレート（３２）とを含み、

前記絶縁分離構造（１７）は、前記第１方向（Ｘ）に沿って延び、前記第２方向（Ｙ）において前記第１アクティブエリア（２６）を挟む一对の第１構造（５７）と、前記第２方向（Ｙ）に沿って延び、前記一对の第１構造（５７）の前記ドレイン領域（１３）側の端部（２９）を連結する第２構造（５８）とを一体的に含み、前記第１アクティブエリア（２６）を三方から区画している、半導体装置（１）。

[0110] [付記１－６]

主面（３）を有する半導体チップ（２）と、

前記半導体チップ（２）の前記主面（３）の表層部に形成された第１導電型のドリフト領域（１２）と、

前記ドリフト領域（１２）の表層部に形成された第１導電型のドレイン領域（１３）と、

前記ドリフト領域（１２）の表層部に形成され、第１方向（Ｘ）において前記ドレイン領域（１３）から離れている第２導電型のボディ領域（１４）と、

前記ボディ領域（１４）の表層部に形成された第１導電型のソース領域（１５）と、

前記半導体チップ（２）の前記主面（３）に形成されたゲート絶縁膜（４２）と、

前記ゲート絶縁膜（４２）上に形成され、前記ボディ領域（１４）に形成されたチャネル領域（２３）に対向するゲート電極（３１）と、

前記ボディ領域（１４）と前記ドレイン領域（１３）との間において、前記第１方向（Ｘ）に沿って前記半導体チップ（２）の前記主面（３）の表層

部に埋め込まれた複数の絶縁分離構造（１７）と、

前記第１方向（Ｘ）に交差する第２方向（Ｙ）において隣り合う前記絶縁分離構造（１７）に挟まれた第１アクティブエリア（２６）と、

前記ゲート電極（３１）から前記絶縁分離構造（１７）上の領域に延びるゲートフィールドプレート（３２）とを含み、

前記ドレイン領域（１３）は、前記第２方向（Ｙ）の両端部が前記絶縁分離構造（１７）に接しており、前記隣り合う前記絶縁分離構造（１７）に挟まれている、半導体装置（１）。

[0111] [付記１－７]

前記絶縁分離構造（１７）は、前記半導体チップ（２）に形成されたトレンチ（３９）と、前記トレンチ（３９）に埋め込まれた埋め込み絶縁体（４０）とを含む、付記１－１～付記１－６のいずれか一項に記載の半導体装置（１）。

[0112] [付記１－８]

前記ドリフト領域（１２）は、第１不純物濃度を有する第１ドリフト領域（１９）と、前記第１ドリフト領域（１９）上に形成され、前記第１不純物濃度よりも高い第２不純物濃度を有する第２ドリフト領域（２０）とを含み、

前記トレンチ（３９）は、前記第１ドリフト領域（１９）と前記第２ドリフト領域（２０）との境界よりも深い位置に底部を有している、付記１－７に記載の半導体装置（１）。

[0113] [付記１－９]

前記第２方向（Ｙ）において、複数の前記第１アクティブエリア（２６）と複数の前記絶縁分離構造（１７）とが交互に配列されている、付記１－１～付記１－８のいずれか一項に記載の半導体装置（１）。

[0114] [付記１－１０]

前記半導体チップ（２）の厚さ方向において前記絶縁分離構造（１７）の直下に形成された第２アクティブエリア（２７）を含み、

前記ドリフト領域（１２）は、前記第２アクティブエリア（２７）に比べて前記第１アクティブエリア（２６）において高い不純物濃度を有している、付記１－１～付記１－９のいずれか一項に記載の半導体装置（１）。

[0115] [付記２－１]

主面（３）を有する半導体チップ（２）と、

前記半導体チップ（２）の前記主面（３）の表層部に形成された第１導電型のドリフト領域（１２）と、

前記ドリフト領域（１２）の表層部に形成された第１導電型のドレイン領域（１３）と、

前記ドリフト領域（１２）の表層部に形成され、第１方向（Ｘ）において前記ドレイン領域（１３）から離れている第２導電型のボディ領域（１４）と、

前記ボディ領域（１４）の表層部に形成された第１導電型のソース領域（１５）と、

前記半導体チップ（２）の前記主面（３）に形成されたゲート絶縁膜（４２）と、

前記ゲート絶縁膜（４２）上に形成され、前記ボディ領域（１４）に形成されたチャネル領域（２３）に対向するゲート電極（３１）と、

前記ボディ領域（１４）と前記ドレイン領域（１３）との間において、前記第１方向（Ｘ）に沿って前記半導体チップ（２）の前記主面（３）の表層部に埋め込まれた複数の絶縁分離構造（１７）と、

前記第１方向（Ｘ）に交差する第２方向（Ｙ）において隣り合う絶縁分離構造（１７）に挟まれた第１アクティブエリア（２６）と、

前記ゲート電極（３１）から前記絶縁分離構造（１７）上の領域に延びるゲートフィールドプレート（３２）と、

前記ゲート電極（３１）に電氣的に接続されたゲート配線（５０）とを含み、

前記ゲート配線（５０）は、前記半導体チップ（２）の厚さ方向において

前記第1アクティブ領域から離れ、前記第1アクティブエリア(26)を被覆する被覆部(52)を含む、半導体装置(1)。

[0116] [付記2-2]

前記ゲート電極(31)および前記ゲートフィールドプレート(32)を被覆する層間膜(47)を含み、

前記ゲート配線(50)の前記被覆部(52)は、前記層間膜(47)上に形成されている、付記2-2に記載の半導体装置(1)。

[0117] [付記2-3]

前記第2方向(Y)において、複数の前記第1アクティブエリア(26)と複数の前記絶縁分離構造(17)とが交互に配列されており、

前記ゲート配線(50)の前記被覆部(52)は、前記複数の前記第1アクティブエリア(26)および前記複数の前記絶縁分離構造(17)を前記第2方向(Y)に沿って横切って延びている、付記2-2に記載の半導体装置(1)。

[0118] [付記2-4]

主面(3)を有する半導体チップ(2)と、

前記半導体チップ(2)の前記主面(3)の表層部に形成された第1導電型のドリフト領域(12)と、

前記ドリフト領域(12)の表層部に形成された第1導電型のドレイン領域(13)と、

前記ドリフト領域(12)の表層部に形成され、第1方向(X)において前記ドレイン領域(13)から離れている第2導電型のボディ領域(14)と、

前記ボディ領域(14)の表層部に形成された第1導電型のソース領域(15)と、

前記半導体チップ(2)の前記主面(3)に形成されたゲート絶縁膜(42)と、

前記ゲート絶縁膜(42)上に形成され、前記ボディ領域(14)に形成

されたチャネル領域（23）に対向するゲート電極（31）と、

前記ボディ領域（14）と前記ドレイン領域（13）との間において、前記第1方向（X）に沿って前記半導体チップ（2）の前記主面（3）の表層部に埋め込まれた複数の絶縁分離構造（17）と、

前記第1方向（X）に交差する第2方向（Y）において隣り合う絶縁分離構造（17）に挟まれた第1アクティブエリア（26）と、

前記ゲート電極（31）から前記絶縁分離構造（17）上の領域に延びるゲートフィールドプレート（32）とを含み、

前記ゲート電極（31）および前記ゲートフィールドプレート（32）は、n型ポリシリコンにより形成されている、半導体装置（1）。

[0119] [付記2-5]

主面（3）を有する半導体チップ（2）と、

前記半導体チップ（2）の前記主面（3）の表層部に形成された第1導電型のドリフト領域（12）と、

前記ドリフト領域（12）の表層部に形成された第1導電型のドレイン領域（13）と、

前記ドリフト領域（12）の表層部に形成され、第1方向（X）において前記ドレイン領域（13）から離れている第2導電型のボディ領域（14）と、

前記ボディ領域（14）の表層部に形成された第1導電型のソース領域（15）と、

前記半導体チップ（2）の前記主面（3）に形成されたゲート絶縁膜（42）と、

前記ゲート絶縁膜（42）上に形成され、前記ボディ領域（14）に形成されたチャネル領域（23）に対向するゲート電極（31）と、

前記ボディ領域（14）と前記ドレイン領域（13）との間において、前記第1方向（X）に沿って前記半導体チップ（2）の前記主面（3）の表層部に埋め込まれた複数の絶縁分離構造（17）と、

前記第1方向(X)に交差する第2方向(Y)において隣り合う絶縁分離構造(17)に挟まれた第1アクティブエリア(26)と、

前記ゲート電極(31)から前記絶縁分離構造(17)上の領域に延びるゲートフィールドプレート(32)とを含み、

前記ゲート電極(31)は、n型ポリシリコンにより形成され、前記ゲートフィールドプレート(32)は、p型ポリシリコンにより形成されている、半導体装置(1)。

[0120] [付記2-6]

主面(3)を有する半導体チップ(2)と、

前記半導体チップ(2)の前記主面(3)の表層部に形成された第1導電型のドリフト領域(12)と、

前記ドリフト領域(12)の表層部に形成された第1導電型のドレイン領域(13)と、

前記ドリフト領域(12)の表層部に形成され、第1方向(X)において前記ドレイン領域(13)から離れている第2導電型のボディ領域(14)と、

前記ボディ領域(14)の表層部に形成された第1導電型のソース領域(15)と、

前記半導体チップ(2)の前記主面(3)に形成されたゲート絶縁膜(42)と、

前記ゲート絶縁膜(42)上に形成され、前記ボディ領域(14)に形成されたチャネル領域(23)に対向するゲート電極(31)と、

前記ボディ領域(14)と前記ドレイン領域(13)との間において、前記第1方向(X)に沿って前記半導体チップ(2)の前記主面(3)の表層部に埋め込まれた複数の絶縁分離構造(17)と、

前記第1方向(X)に交差する第2方向(Y)において隣り合う絶縁分離構造(17)に挟まれた第1アクティブエリア(26)と、

前記ゲート電極(31)から前記絶縁分離構造(17)上の領域に延びる

ゲートフィールドプレート（32）とを含み、

前記ゲートフィールドプレート（32）は、平面視において、前記ソース領域（15）から前記ドレイン領域（13）に向かって前記第2方向（Y）の幅（W3）が徐々に狭くなるテーパ形状に形成されている、半導体装置（1）。

[0121] [付記2-7]

主面（3）を有する半導体チップ（2）と、

前記半導体チップ（2）の前記主面（3）の表層部に形成された第1導電型のドリフト領域（12）と、

前記ドリフト領域（12）の表層部に形成された第1導電型のドレイン領域（13）と、

前記ドリフト領域（12）の表層部に形成され、第1方向（X）において前記ドレイン領域（13）から離れている第2導電型のボディ領域（14）と、

前記ボディ領域（14）の表層部に形成された第1導電型のソース領域（15）と、

前記半導体チップ（2）の前記主面（3）に形成されたゲート絶縁膜（42）と、

前記ゲート絶縁膜（42）上に形成され、前記ボディ領域（14）に形成されたチャンネル領域（23）に対向するゲート電極（31）と、

前記ボディ領域（14）と前記ドレイン領域（13）との間において、前記第1方向（X）に沿って前記半導体チップ（2）の前記主面（3）の表層部に埋め込まれた複数の絶縁分離構造（17）と、

前記第1方向（X）に交差する第2方向（Y）において隣り合う絶縁分離構造（17）に挟まれた第1アクティブエリア（26）と、

前記ゲート電極（31）から前記絶縁分離構造（17）上の領域に延びるゲートフィールドプレート（32）とを含み、

前記ゲートフィールドプレート（32）は、平面視において、前記ドレイ

ン領域（13）から前記ソース領域（15）に向かって前記第2方向（Y）の幅（W3）が徐々に狭くなるテーパ形状に形成されている、半導体装置（1）。

[0122] [付記2-8]

主面（3）を有する半導体チップ（2）と、

前記半導体チップ（2）の前記主面（3）の表層部に形成された第1導電型のドリフト領域（12）と、

前記ドリフト領域（12）の表層部に形成された第1導電型のドレイン領域（13）と、

前記ドリフト領域（12）の表層部に形成され、第1方向（X）において前記ドレイン領域（13）から離れている第2導電型のボディ領域（14）と、

前記ボディ領域（14）の表層部に形成された第1導電型のソース領域（15）と、

前記半導体チップ（2）の前記主面（3）に形成されたゲート絶縁膜（42）と、

前記ゲート絶縁膜（42）上に形成され、前記ボディ領域（14）に形成されたチャネル領域（23）に対向するゲート電極（31）と、

前記ボディ領域（14）と前記ドレイン領域（13）との間において、前記第1方向（X）に沿って前記半導体チップ（2）の前記主面（3）の表層部に埋め込まれた複数の絶縁分離構造（17）と、

前記第1方向（X）に交差する第2方向（Y）において隣り合う絶縁分離構造（17）に挟まれた第1アクティブエリア（26）と、

前記ゲート電極（31）から前記絶縁分離構造（17）上の領域に延びるゲートフィールドプレート（32）と、

前記第1アクティブエリア（26）上に形成され、電氣的に浮遊状態とされた浮遊フィールドプレート（59）とを含む、半導体装置（1）。

[0123] [付記2-9]

主面（３）を有する半導体チップ（２）と、  
前記半導体チップ（２）の前記主面（３）の表層部に形成された第１導電型のドリフト領域（１２）と、  
前記ドリフト領域（１２）の表層部に形成された第１導電型のドレイン領域（１３）と、  
前記ドリフト領域（１２）の表層部に形成され、第１方向（Ｘ）において前記ドレイン領域（１３）から離れている第２導電型のボディ領域（１４）と、  
前記ボディ領域（１４）の表層部に形成された第１導電型のソース領域（１５）と、  
前記半導体チップ（２）の前記主面（３）に形成されたゲート絶縁膜（４２）と、  
前記ゲート絶縁膜（４２）上に形成され、前記ボディ領域（１４）に形成されたチャネル領域（２３）に対向するゲート電極（３１）と、  
前記ボディ領域（１４）と前記ドレイン領域（１３）との間において、前記第１方向（Ｘ）に沿って前記半導体チップ（２）の前記主面（３）の表層部に埋め込まれた複数の絶縁分離構造（１７）と、  
前記第１方向（Ｘ）に交差する第２方向（Ｙ）において隣り合う絶縁分離構造（１７）に挟まれた第１アクティブエリア（２６）と、  
前記第２方向（Ｙ）において前記第１アクティブエリア（２６）および前記絶縁分離構造（１７）を横切って延び、電氣的に浮遊状態とされた浮遊フィールドプレート（６０）とを含む、半導体装置（１）。

[0124] [付記２－１０]

前記絶縁分離構造（１７）は、前記半導体チップ（２）に形成されたトレンチ（３９）と、前記トレンチ（３９）に埋め込まれた埋め込み絶縁体（４０）とを含む、付記２－１～付記２－９のいずれか一項に記載の半導体装置（１）。

[0125] [付記２－１１]

前記ドリフト領域（１２）は、第１不純物濃度を有する第１ドリフト領域（１９）と、前記第１ドリフト領域（１９）上に形成され、前記第１不純物濃度よりも高い第２不純物濃度を有する第２ドリフト領域（２０）とを含み、

前記トレンチ（３９）は、前記第１ドリフト領域（１９）と前記第２ドリフト領域（２０）との境界よりも深い位置に底部を有している、付記２－１０に記載の半導体装置（１）。

[0126] [付記２－１２]

前記半導体チップ（２）の厚さ方向において前記絶縁分離構造（１７）の直下に形成された第２アクティブエリア（２７）を含み、

前記ドリフト領域（１２）は、前記第２アクティブエリア（２７）に比べて前記第１アクティブエリア（２６）において高い不純物濃度を有している、付記２－１～付記２－９のいずれか一項に記載の半導体装置（１）。

[0127] [付記３－１]

主面（３）を有する半導体チップ（２）と、

前記半導体チップ（２）の前記主面（３）の表層部に形成された第１導電型のドリフト領域（１２）と、

前記ドリフト領域（１２）の表層部に形成された第１導電型のドレイン領域（１３）と、

前記ドリフト領域（１２）の表層部に形成され、第１方向（X）において前記ドレイン領域（１３）から離れている第２導電型のボディ領域（１４）と、

前記ボディ領域（１４）の表層部に形成された第１導電型のソース領域（１５）と、

前記半導体チップ（２）の前記主面（３）に形成されたゲート絶縁膜（４２）と、

前記ゲート絶縁膜（４２）上に形成され、前記ボディ領域（１４）に形成されたチャンネル領域（２３）に対向するゲート電極（３１）と、

前記ボディ領域（１４）と前記ドレイン領域（１３）との間において、前記第１方向（Ｘ）に沿って前記半導体チップ（２）の前記主面（３）の表層部に埋め込まれた複数の絶縁分離構造（１７）と、

前記第１方向（Ｘ）に交差する第２方向（Ｙ）において隣り合う絶縁分離構造（１７）に挟まれた第１アクティブエリア（２６）と、

前記ゲート電極（３１）から前記絶縁分離構造（１７）上の領域に延びるゲートフィールドプレート（３２）とを含み、

前記ドリフト領域（１２）は、前記第１方向（Ｘ）において前記第１アクティブエリア（２６）から前記ボディ領域（１４）に向かって選択的に突出した凸部６１を有している、半導体装置（１）。

[0128] [付記３－２]

主面（３）を有する半導体チップ（２）と、

前記半導体チップ（２）の前記主面（３）の表層部に形成された第１導電型のドリフト領域（１２）と、

前記ドリフト領域（１２）の表層部に形成された第１導電型のドレイン領域（１３）と、

前記ドリフト領域（１２）の表層部に形成され、第１方向（Ｘ）において前記ドレイン領域（１３）から離れている第２導電型のボディ領域（１４）と、

前記ボディ領域（１４）の表層部に形成された第１導電型のソース領域（１５）と、

前記半導体チップ（２）の前記主面（３）に形成されたゲート絶縁膜（４２）と、

前記ゲート絶縁膜（４２）上に形成され、前記ボディ領域（１４）に形成されたチャンネル領域（２３）に対向するゲート電極（３１）と、

前記ボディ領域（１４）と前記ドレイン領域（１３）との間において、前記第１方向（Ｘ）に沿って前記半導体チップ（２）の前記主面（３）の表層部に埋め込まれた複数の絶縁分離構造（１７）と、

前記第1方向(X)に交差する第2方向(Y)において隣り合う絶縁分離構造(17)に挟まれた第1アクティブエリア(26)と、

前記ゲート電極(31)から前記絶縁分離構造(17)上の領域に延びるゲートフィールドプレート(32)とを含み、

前記ドリフト領域(12)は、前記第1方向(X)において前記ボディ領域(14)から前記第1アクティブエリア(26)に向かって選択的に窪んだ凹部62を有している、半導体装置(1)。

[0129] [付記3-3]

主面(3)を有する半導体チップ(2)と、

前記半導体チップ(2)の前記主面(3)の表層部に形成された第1導電型のドリフト領域(12)と、

前記ドリフト領域(12)の表層部に形成された第1導電型のドレイン領域(13)と、

前記ドリフト領域(12)の表層部に形成され、第1方向(X)において前記ドレイン領域(13)から離れている第2導電型のボディ領域(14)と、

前記ボディ領域(14)の表層部に形成された第1導電型のソース領域(15)と、

前記半導体チップ(2)の前記主面(3)に形成されたゲート絶縁膜(42)と、

前記ゲート絶縁膜(42)上に形成され、前記ボディ領域(14)に形成されたチャンネル領域(23)に対向するゲート電極(31)と、

前記ボディ領域(14)と前記ドレイン領域(13)との間において、前記第1方向(X)に沿って前記半導体チップ(2)の前記主面(3)の表層部に埋め込まれた複数の絶縁分離構造(17)と、

前記第1方向(X)に交差する第2方向(Y)において隣り合う絶縁分離構造(17)に挟まれた第1アクティブエリア(26)と、

前記ゲート電極(31)から前記絶縁分離構造(17)上の領域に延びる

ゲートフィールドプレート（32）とを含み、

前記ドリフト領域（12）は、第1不純物濃度を有する第1ドリフト領域（19）と、

前記第1ドリフト領域（19）上に形成され、前記第1不純物濃度よりも高い第2不純物濃度を有する第2ドリフト領域（20）とを含み、

前記第2ドリフト領域（20）は、前記第2方向（Y）において交互に縞状に配列された複数の第1拡散領域（63）および複数の第2拡散領域（64）を含み、

前記複数の第1拡散領域（63）は、前記複数の第2拡散領域（64）よりも高い第1導電型の不純物濃度を有している、半導体装置（1）。

[0130] [付記3-4]

主面（3）を有する半導体チップ（2）と、

前記半導体チップ（2）の前記主面（3）の表層部に形成された第1導電型のドリフト領域（12）と、

前記ドリフト領域（12）の表層部に形成された第1導電型のドレイン領域（13）と、

前記ドリフト領域（12）の表層部に形成され、第1方向（X）において前記ドレイン領域（13）から離れている第2導電型のボディ領域（14）と、

前記ボディ領域（14）の表層部に形成された第1導電型のソース領域（15）と、

前記半導体チップ（2）の前記主面（3）に形成されたゲート絶縁膜（42）と、

前記ゲート絶縁膜（42）上に形成され、前記ボディ領域（14）に形成されたチャネル領域（23）に対向するゲート電極（31）と、

前記ボディ領域（14）と前記ドレイン領域（13）との間において、前記第1方向（X）に沿って前記半導体チップ（2）の前記主面（3）の表層部に埋め込まれた複数の絶縁分離構造（17）と、

前記第1方向(X)に交差する第2方向(Y)において隣り合う絶縁分離構造(17)に挟まれた第1アクティブエリア(26)と、

前記ゲート電極(31)から前記絶縁分離構造(17)上の領域に延びるゲートフィールドプレート(32)とを含み、

前記ドリフト領域(12)は、第1不純物濃度を有する第1ドリフト領域(19)と、前記第1ドリフト領域(19)上に形成され、前記第1不純物濃度よりも高い第2不純物濃度を有する第2ドリフト領域(20)とを含み、

前記第2ドリフト領域(20)は、前記第1方向(X)において交互に縞状に配列された複数の第1拡散領域(65)および複数の第2拡散領域(66)を含み、

前記複数の第1拡散領域(65)は、前記複数の第2拡散領域(66)よりも高い第1導電型の不純物濃度を有している、半導体装置(1)。

[0131] [付記3-5]

主面(3)を有する半導体チップ(2)と、

前記半導体チップ(2)の前記主面(3)の表層部に形成された第1導電型のドリフト領域(12)と、

前記ドリフト領域(12)の表層部に形成された第1導電型のドレイン領域(13)と、

前記ドリフト領域(12)の表層部に形成され、第1方向(X)において前記ドレイン領域(13)から離れている第2導電型のボディ領域(14)と、

前記ボディ領域(14)の表層部に形成された第1導電型のソース領域(15)と、

前記半導体チップ(2)の前記主面(3)に形成されたゲート絶縁膜(42)と、

前記ゲート絶縁膜(42)上に形成され、前記ボディ領域(14)に形成されたチャンネル領域(23)に対向するゲート電極(31)と、

前記ボディ領域（１４）と前記ドレイン領域（１３）との間において、前記第１方向（Ｘ）に沿って前記半導体チップ（２）の前記主面（３）の表層部に埋め込まれた複数の絶縁分離構造（１７）と、

前記第１方向（Ｘ）に交差する第２方向（Ｙ）において隣り合う絶縁分離構造（１７）に挟まれた第１アクティブエリア（２６）と、

前記ゲート電極（３１）から前記絶縁分離構造（１７）上の領域に延びるゲートフィールドプレート（３２）とを含み、

前記ドリフト領域（１２）は、第１不純物濃度を有する第１ドリフト領域（１９）と、前記第１ドリフト領域（１９）上に形成され、前記第１不純物濃度よりも高い第２不純物濃度を有する第２ドリフト領域（２０）とを含み、

前記第１アクティブエリア（２６）において前記第２ドリフト領域（２０）の表層部に選択的に形成された第２導電型のトップ拡散領域（６７）をさらに含む、半導体装置（１）。

[0132] [付記３－６]

前記絶縁分離構造（１７）は、前記半導体チップ（２）に形成されたトレンチ（３９）と、前記トレンチ（３９）に埋め込まれた埋め込み絶縁体（４０）とを含む、付記３－１または付記３－２に記載の半導体装置（１）。

[0133] [付記３－７]

前記ドリフト領域（１２）は、第１不純物濃度を有する第１ドリフト領域（１９）と、前記第１ドリフト領域（１９）上に形成され、前記第１不純物濃度よりも高い第２不純物濃度を有する第２ドリフト領域（２０）とを含み、

前記トレンチ（３９）は、前記第１ドリフト領域（１９）と前記第２ドリフト領域（２０）との境界よりも深い位置に底部を有している、付記３－７に記載の半導体装置（１）。

[0134] [付記３－８]

前記第２方向（Ｙ）において、複数の前記第１アクティブエリア（２６）

と複数の前記絶縁分離構造（１７）とが交互に配列されている、付記３－１～付記３－５のいずれか一項に記載の半導体装置（１）。

[0135] [付記３－９]

前記半導体チップ（２）の厚さ方向において前記絶縁分離構造（１７）の直下に形成された第２アクティブエリア（２７）を含み、

前記ドリフト領域（１２）は、前記第２アクティブエリア（２７）に比べて前記第１アクティブエリア（２６）において高い不純物濃度を有している、付記３－１または付記３－２に記載の半導体装置（１）。

[0136] [付記４－１]

主面（３）を有する半導体チップ（２）と、

前記半導体チップ（２）の前記主面（３）の表層部に形成された第１導電型のドリフト領域（１２）と、

前記ドリフト領域（１２）の表層部に形成された第１導電型のドレイン領域（１３）と、

前記ドリフト領域（１２）の表層部に形成され、第１方向（ $X$ ）において前記ドレイン領域（１３）から離れている第２導電型のボディ領域（１４）と、

前記ボディ領域（１４）の表層部に形成された第１導電型のソース領域（１５）と、

前記ボディ領域（１４）の放送部に形成された第２導電型のボディコンタクト領域（１６）と、

前記半導体チップ（２）の前記主面（３）に形成されたゲート絶縁膜（４２）と、

前記ゲート絶縁膜（４２）上に形成され、前記ボディ領域（１４）に形成されたチャネル領域（２３）に対向するゲート電極（３１）と、

前記ボディ領域（１４）と前記ドレイン領域（１３）との間において、前記第１方向（ $X$ ）に沿って前記半導体チップ（２）の前記主面（３）の表層部に埋め込まれた複数の絶縁分離構造（１７）と、

前記第1方向(X)に交差する第2方向(Y)において隣り合う絶縁分離構造(17)に挟まれた第1アクティブエリア(26)と、

前記ゲート電極(31)から前記絶縁分離構造(17)上の領域に延びるゲートフィールドプレート(32)とを含み、

複数の前記ソース領域(15)および複数の前記ボディコンタクト領域(16)が、前記第2方向(Y)において交互に配列されており、

各前記ソース領域(15)は、前記第1方向(X)において前記第1アクティブエリア(26)に隣接している、半導体装置(1)。

[0137] [付記4-2]

主面(3)を有する半導体チップ(2)と、

前記半導体チップ(2)の前記主面(3)の表層部に形成された第1導電型のドリフト領域(12)と、

前記ドリフト領域(12)の表層部に形成された第1導電型のドレイン領域(13)と、

前記ドリフト領域(12)の表層部に形成され、第1方向(X)において前記ドレイン領域(13)から離れている第2導電型のボディ領域(14)と、

前記ボディ領域(14)の表層部に形成された第1導電型のソース領域(15)と、

前記ボディ領域(14)の放送部に形成された第2導電型のボディコンタクト領域(16)と、

前記半導体チップ(2)の前記主面(3)に形成されたゲート絶縁膜(42)と、

前記ゲート絶縁膜(42)上に形成され、前記ボディ領域(14)に形成されたチャネル領域(23)に対向するゲート電極(31)と、

前記ボディ領域(14)と前記ドレイン領域(13)との間において、前記第1方向(X)に沿って前記半導体チップ(2)の前記主面(3)の表層部に埋め込まれた複数の絶縁分離構造(17)と、

前記第1方向(X)に交差する第2方向(Y)において隣り合う絶縁分離構造(17)に挟まれた第1アクティブエリア(26)と、

前記ゲート電極(31)から前記絶縁分離構造(17)上の領域に延びるゲートフィールドプレート(32)とを含み、

複数の前記ソース領域(15)および複数の前記ボディコンタクト領域(16)が、前記第2方向(Y)において交互に配列されており、

前記第2方向(Y)に沿って配列され、前記ソース領域(15)および前記ボディコンタクト領域(16)に接続された複数のソースコンタクト(24)をさらに含み、

前記複数のソースコンタクト(24)は、前記第1方向(X)において前記第1アクティブエリア(26)に隣接している、半導体装置(1)。

[0138] [付記4-3]

前記絶縁分離構造(17)は、前記半導体チップ(2)に形成されたトレンチ(39)と、前記トレンチ(39)に埋め込まれた埋め込み絶縁体(40)とを含む、付記4-1または付記4-2に記載の半導体装置(1)。

[0139] [付記4-4]

前記ドリフト領域(12)は、第1不純物濃度を有する第1ドリフト領域(19)と、前記第1ドリフト領域(19)上に形成され、前記第1不純物濃度よりも高い第2不純物濃度を有する第2ドリフト領域(20)とを含み、

前記トレンチ(39)は、前記第1ドリフト領域(19)と前記第2ドリフト領域(20)との境界よりも深い位置に底部を有している、付記4-3に記載の半導体装置(1)。

[0140] [付記4-5]

前記第2方向(Y)において、複数の前記第1アクティブエリア(26)と複数の前記絶縁分離構造(17)とが交互に配列されている、付記4-1または付記4-2に記載の半導体装置(1)。

[0141] [付記4-6]

前記半導体チップ（２）の厚さ方向において前記絶縁分離構造（１７）の直下に形成された第２アクティブエリア（２７）を含み、

前記ドリフト領域（１２）は、前記第２アクティブエリア（２７）に比べて前記第１アクティブエリア（２６）において高い不純物濃度を有している、付記４－１または付記４－２に記載の半導体装置（１）。

### 符号の説明

- [0142]
- １ : 半導体装置
  - ２ : 半導体チップ
  - ３ : 第１主面
  - ４ : 第２主面
  - ５ : 第１側面
  - ６ : 第２側面
  - ７ : 第３側面
  - ８ : 第４側面
  - ９ : デバイス領域
  - １１ : LDMOS領域
  - １２ : ドリフト領域
  - １３ : ドレイン領域
  - １４ : ボディ領域
  - １５ : ソース領域
  - １６ : ボディコンタクト領域
  - １７ : 絶縁分離構造
  - １８ : ゲート導電体
  - １９ : 第１ドリフト領域
  - ２０ : 第２ドリフト領域
  - ２１ : ドレインコンタクト
  - ２２ : 境界
  - ２３ : チャネル領域

- 24 : ソースコンタクト
- 25 : アクティブ領域
- 26 : 第1アクティブエリア
- 27 : 第2アクティブエリア
- 28 : 第1端部
- 29 : 第2端部
- 30 : ソース開口
- 31 : ゲート電極
- 32 : ゲートフィールドプレート
- 33 : 制御部
- 34 : コンタクト部
- 35 : 凹部
- 36 : ゲートコンタクト
- 37 : ドレインシリサイド
- 38 : ソースシリサイド
- 39 : トレンチ
- 40 : 埋め込み絶縁体
- 41 : 主面絶縁膜
- 42 : ゲート絶縁膜
- 43 : アクティブ被覆膜
- 44 : 第1部分
- 45 : 第2部分
- 46 : ゲートシリサイド
- 47 : 層間膜
- 48 : ドレイン配線
- 49 : ソース配線
- 50 : ゲート配線
- 51 : ゲート被覆部

- 5 2 : アクティブ被覆部
- 5 3 : 電流経路
- 5 4 : 電流経路
- 5 5 : 第 1 構造
- 5 6 : 第 2 構造
- 5 7 : 第 1 構造
- 5 8 : 第 2 構造
- 5 9 : 浮遊フィールドプレート
- 6 0 : 浮遊フィールドプレート
- 6 1 : 凸部
- 6 2 : 凹部
- 6 3 : 第 1 拡散領域
- 6 4 : 第 2 拡散領域
- 6 5 : 第 1 拡散領域
- 6 6 : 第 2 拡散領域
- 6 7 : トップ拡散領域
- 6 8 : 電流経路

## 請求の範囲

### [請求項1]

主面を有する半導体チップと、  
前記半導体チップの前記主面の表層部に形成された第1導電型のドリフト領域と、  
前記ドリフト領域の表層部に形成された第1導電型のドレイン領域と、  
前記ドリフト領域の表層部に形成され、第1方向において前記ドレイン領域から離れている第2導電型のボディ領域と、  
前記ボディ領域の表層部に形成された第1導電型のソース領域と、  
前記半導体チップの前記主面に形成されたゲート絶縁膜と、  
前記ゲート絶縁膜上に形成され、前記ボディ領域に形成されたチャネル領域に対向するゲート電極と、  
前記ボディ領域と前記ドレイン領域との間において、前記第1方向に沿って前記半導体チップの前記主面の表層部に埋め込まれた複数の絶縁分離構造と、  
前記第1方向に交差する第2方向において隣り合う絶縁分離構造に挟まれた第1アクティブエリアと、  
前記ゲート電極から前記絶縁分離構造上の領域に延びるゲートフィールドプレートとを含み、  
前記ゲート絶縁膜は、前記チャネル領域上に形成された第1部分と、前記第1部分から前記ドレイン領域に向かって一体的に延び、前記ドリフト領域上に形成され、前記第1部分の第1厚さよりも大きな第2厚さを有する第2部分とを含む、半導体装置。

### [請求項2]

主面を有する半導体チップと、  
前記半導体チップの前記主面の表層部に形成された第1導電型のドリフト領域と、  
前記ドリフト領域の表層部に形成された第1導電型のドレイン領域と、

前記ドリフト領域の表層部に形成され、第1方向において前記ドレイン領域から離れている第2導電型のボディ領域と、

前記ボディ領域の表層部に形成された第1導電型のソース領域と、

前記半導体チップの前記主面に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成され、前記ボディ領域に形成されたチャネル領域に対向するゲート電極と、

前記ボディ領域と前記ドレイン領域との間において、前記第1方向に沿って前記半導体チップの前記主面の表層部に埋め込まれた複数の絶縁分離構造と、

前記第1方向に交差する第2方向において隣り合う絶縁分離構造に挟まれた第1アクティブエリアと、

前記ゲート電極から前記絶縁分離構造上の領域に延びるゲートフィールドプレートとを含み、

前記第1アクティブエリアは、平面視において、前記ソース領域から前記ドレイン領域に向かって前記第2方向の幅が徐々に狭くなるテーパー形状に形成されている、半導体装置。

[請求項3]

主面を有する半導体チップと、

前記半導体チップの前記主面の表層部に形成された第1導電型のドリフト領域と、

前記ドリフト領域の表層部に形成された第1導電型のドレイン領域と、

前記ドリフト領域の表層部に形成され、第1方向において前記ドレイン領域から離れている第2導電型のボディ領域と、

前記ボディ領域の表層部に形成された第1導電型のソース領域と、

前記半導体チップの前記主面に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成され、前記ボディ領域に形成されたチャネル領域に対向するゲート電極と、

前記ボディ領域と前記ドレイン領域との間において、前記第1方向

に沿って前記半導体チップの前記主面の表層部に埋め込まれた複数の絶縁分離構造と、

前記第1方向に交差する第2方向において隣り合う絶縁分離構造に挟まれた第1アクティブエリアと、

前記ゲート電極から前記絶縁分離構造上の領域に延びるゲートフィールドプレートとを含み、

前記第1アクティブエリアは、平面視において、前記ドレイン領域から前記ソース領域に向かって前記第2方向の幅が徐々に狭くなるテーパー形状に形成されている、半導体装置。

[請求項4]

主面を有する半導体チップと、

前記半導体チップの前記主面の表層部に形成された第1導電型のドリフト領域と、

前記ドリフト領域の表層部に形成された第1導電型のドレイン領域と、

前記ドリフト領域の表層部に形成され、第1方向において前記ドレイン領域から離れている第2導電型のボディ領域と、

前記ボディ領域の表層部に形成された第1導電型のソース領域と、

前記半導体チップの前記主面に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成され、前記ボディ領域に形成されたチャネル領域に対向するゲート電極と、

前記ボディ領域と前記ドレイン領域との間において、前記第1方向に沿って前記半導体チップの前記主面の表層部に埋め込まれた複数の絶縁分離構造と、

前記第1方向に交差する第2方向において隣り合う絶縁分離構造に挟まれた第1アクティブエリアと、

前記ゲート電極から前記絶縁分離構造上の領域に延びるゲートフィールドプレートとを含み、

前記絶縁分離構造は、前記第1方向に沿って延び、前記第2方向に

において前記第1アクティブエリアを挟む一对の第1構造と、前記第2方向に沿って延び、前記一对の第1構造の前記ソース領域側の端部を連結する第2構造とを一体的に含み、前記第1アクティブエリアを三方から区画している、半導体装置。

[請求項5]

主面を有する半導体チップと、  
前記半導体チップの前記主面の表層部に形成された第1導電型のドリフト領域と、  
前記ドリフト領域の表層部に形成された第1導電型のドレイン領域と、  
前記ドリフト領域の表層部に形成され、第1方向において前記ドレイン領域から離れている第2導電型のボディ領域と、  
前記ボディ領域の表層部に形成された第1導電型のソース領域と、  
前記半導体チップの前記主面に形成されたゲート絶縁膜と、  
前記ゲート絶縁膜上に形成され、前記ボディ領域に形成されたチャネル領域に対向するゲート電極と、  
前記ボディ領域と前記ドレイン領域との間において、前記第1方向に沿って前記半導体チップの前記主面の表層部に埋め込まれた複数の絶縁分離構造と、  
前記第1方向に交差する第2方向において隣り合う絶縁分離構造に挟まれた第1アクティブエリアと、  
前記ゲート電極から前記絶縁分離構造上の領域に延びるゲートフィールドプレートとを含み、  
前記絶縁分離構造は、前記第1方向に沿って延び、前記第2方向において前記第1アクティブエリアを挟む一对の第1構造と、前記第2方向に沿って延び、前記一对の第1構造の前記ドレイン領域側の端部を連結する第2構造とを一体的に含み、前記第1アクティブエリアを三方から区画している、半導体装置。

[請求項6]

主面を有する半導体チップと、

前記半導体チップの前記主面の表層部に形成された第1導電型のドリフト領域と、

前記ドリフト領域の表層部に形成された第1導電型のドレイン領域と、

前記ドリフト領域の表層部に形成され、第1方向において前記ドレイン領域から離れている第2導電型のボディ領域と、

前記ボディ領域の表層部に形成された第1導電型のソース領域と、

前記半導体チップの前記主面に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成され、前記ボディ領域に形成されたチャネル領域に対向するゲート電極と、

前記ボディ領域と前記ドレイン領域との間において、前記第1方向に沿って前記半導体チップの前記主面の表層部に埋め込まれた複数の絶縁分離構造と、

前記第1方向に交差する第2方向において隣り合う前記絶縁分離構造に挟まれた第1アクティブエリアと、

前記ゲート電極から前記絶縁分離構造上の領域に延びるゲートフィールドプレートとを含み、

前記ドレイン領域は、前記第2方向の両端部が前記絶縁分離構造に接しており、前記隣り合う前記絶縁分離構造に挟まれている、半導体装置。

[請求項7] 前記絶縁分離構造は、前記半導体チップに形成されたトレンチと、前記トレンチに埋め込まれた埋め込み絶縁体とを含む、請求項1～6のいずれか一項に記載の半導体装置。

[請求項8] 前記ドリフト領域は、第1不純物濃度を有する第1ドリフト領域と、前記第1ドリフト領域上に形成され、前記第1不純物濃度よりも高い第2不純物濃度を有する第2ドリフト領域とを含み、

前記トレンチは、前記第1ドリフト領域と前記第2ドリフト領域との境界よりも深い位置に底部を有している、請求項7に記載の半導体

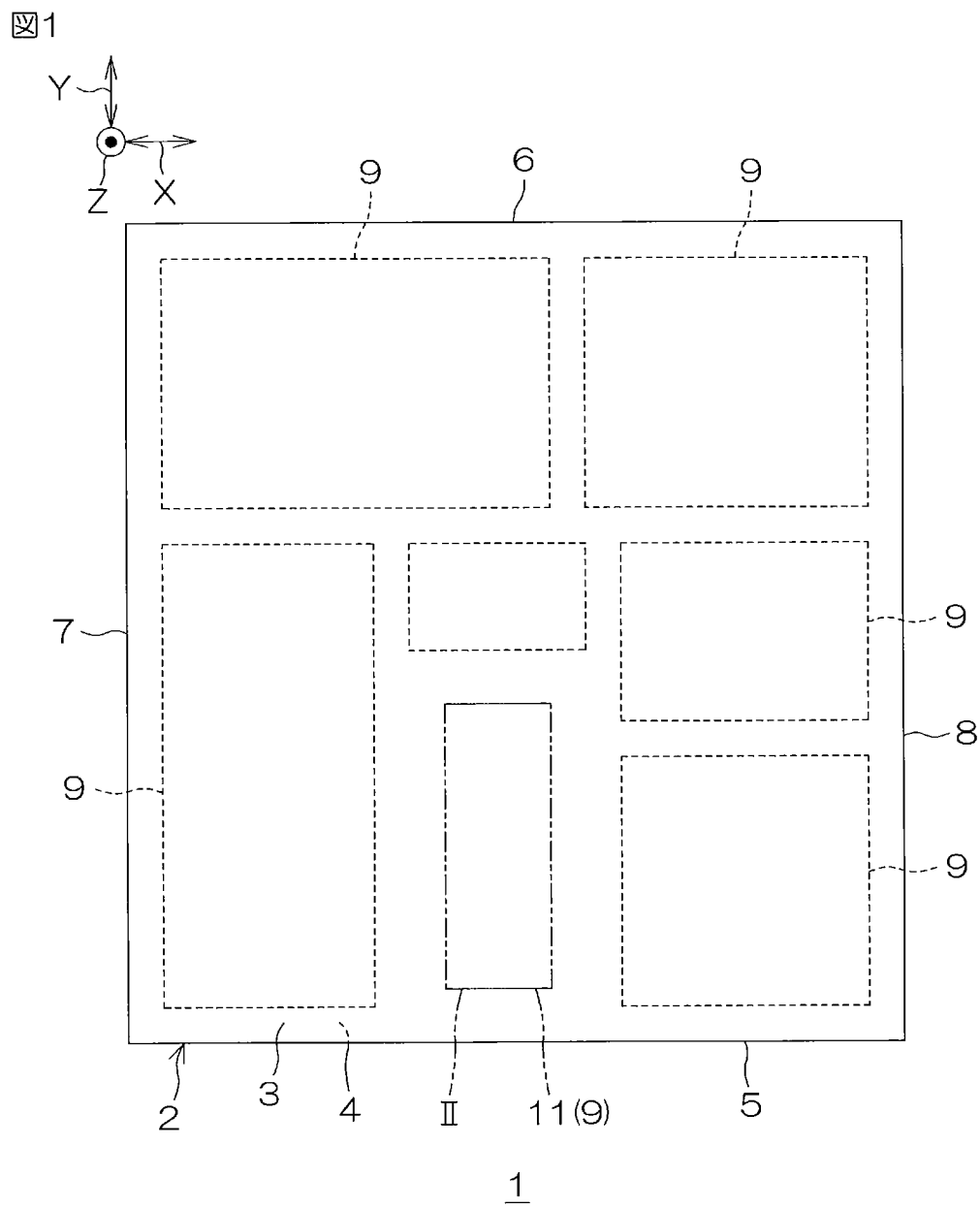
装置。

[請求項9] 前記第2方向において、複数の前記第1アクティブエリアと複数の前記絶縁分離構造とが交互に配列されている、請求項1～8のいずれか一項に記載の半導体装置。

[請求項10] 前記半導体チップの厚さ方向において前記絶縁分離構造の直下に形成された第2アクティブエリアを含み、

前記ドリフト領域は、前記第2アクティブエリアに比べて前記第1アクティブエリアにおいて高い不純物濃度を有している、請求項1～9のいずれか一項に記載の半導体装置。

[図1]



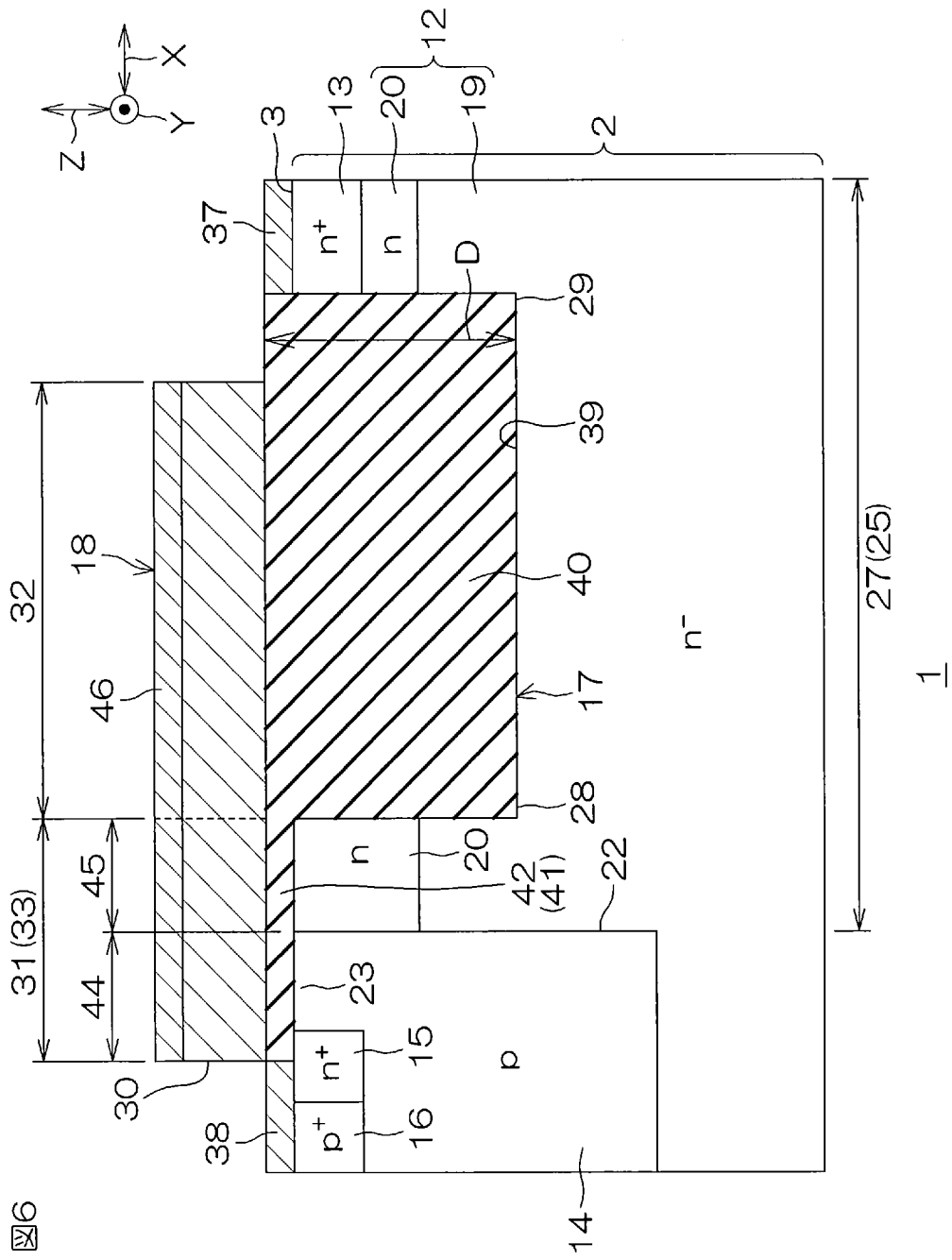








[図6]



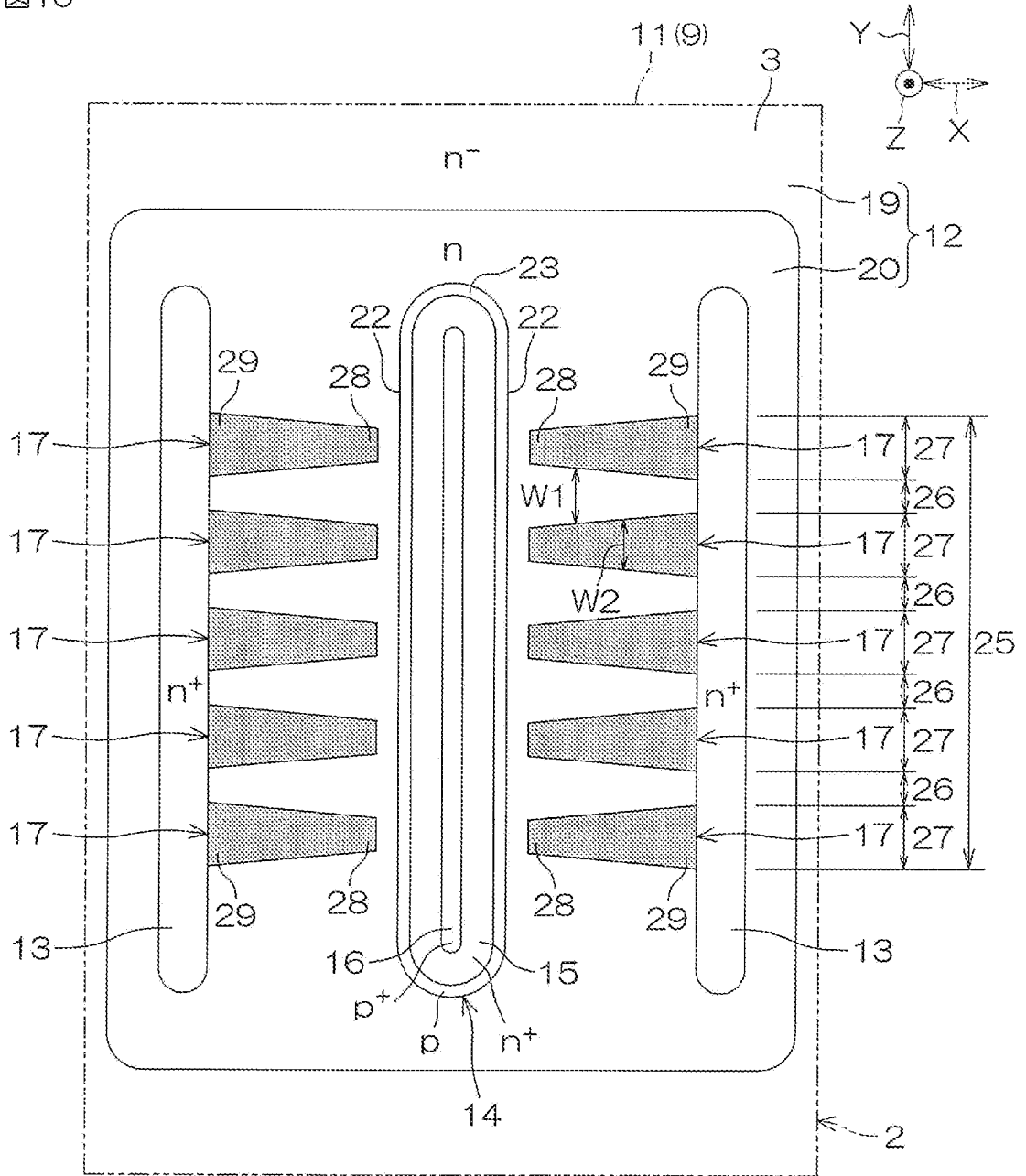






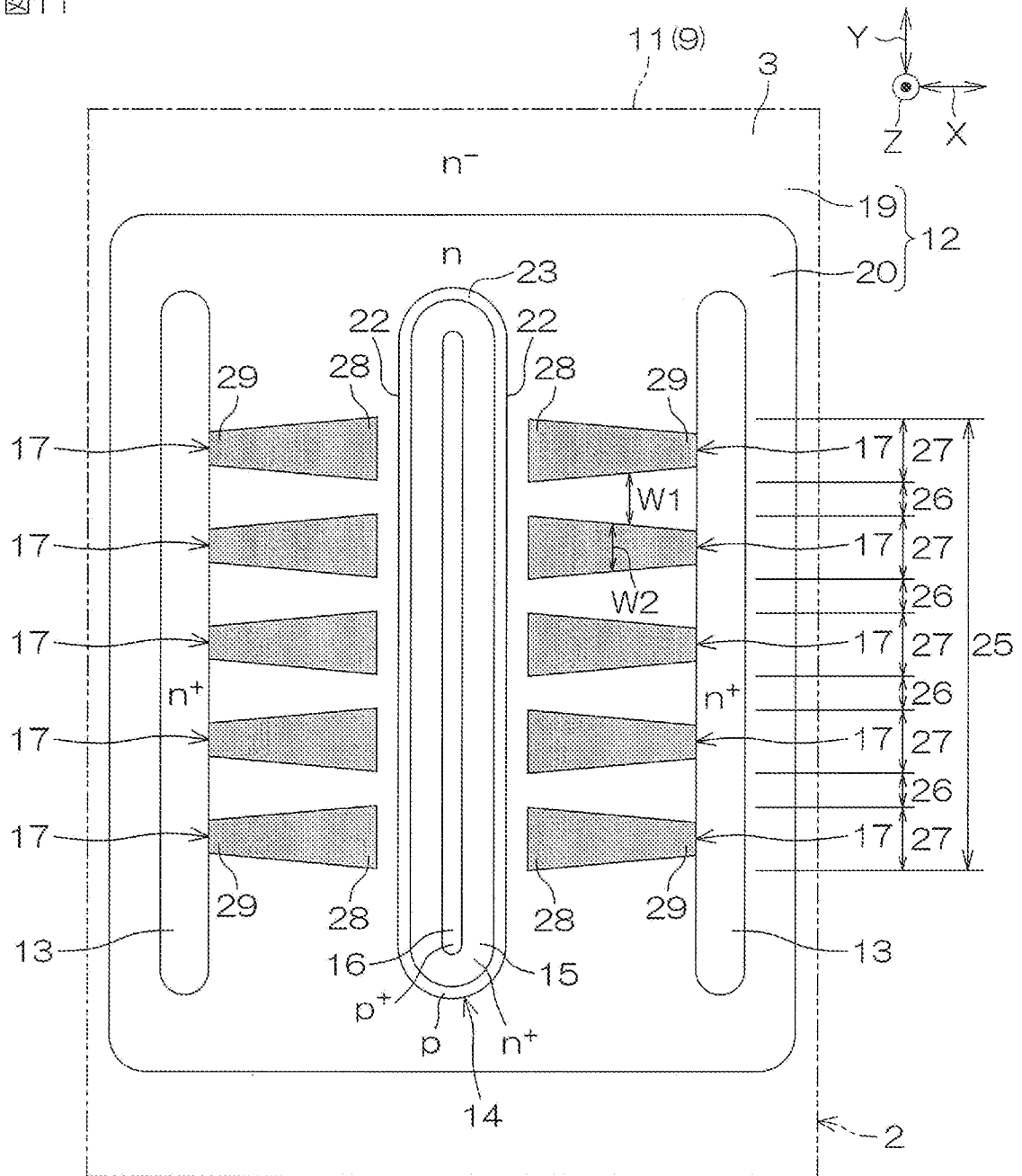
[図10]

図10



[図11]

図11

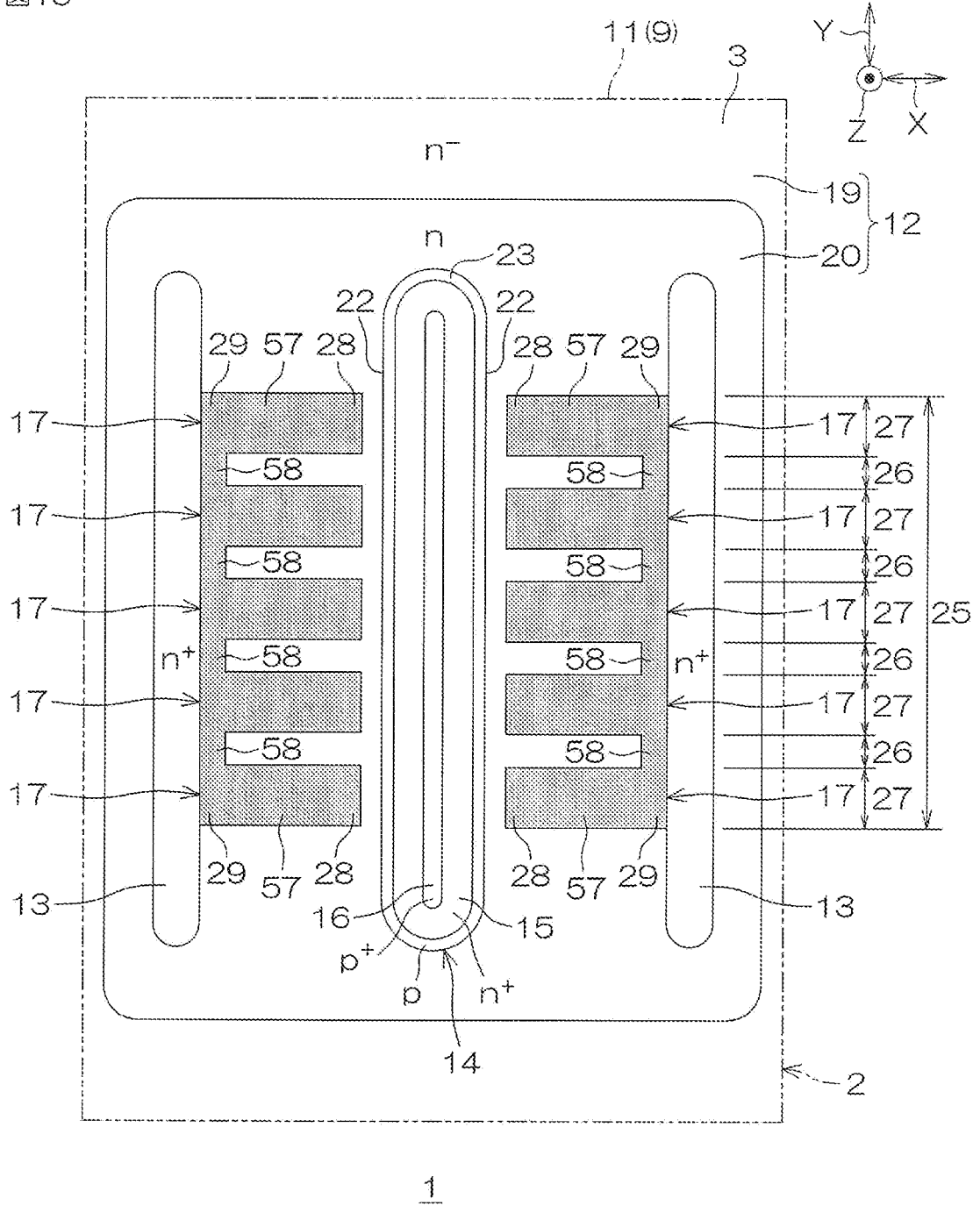


1



[図13]

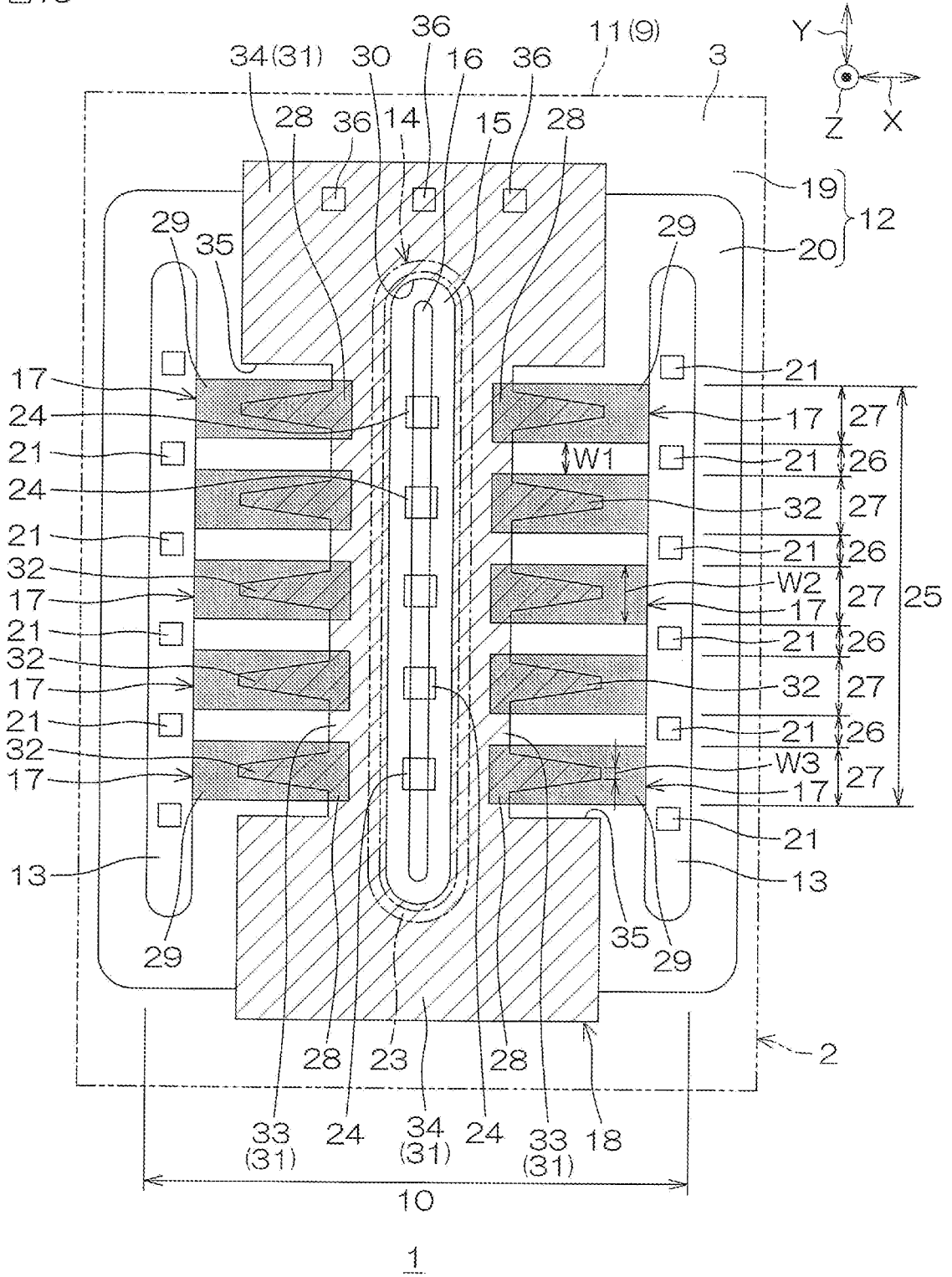
図13





[図15]

図15



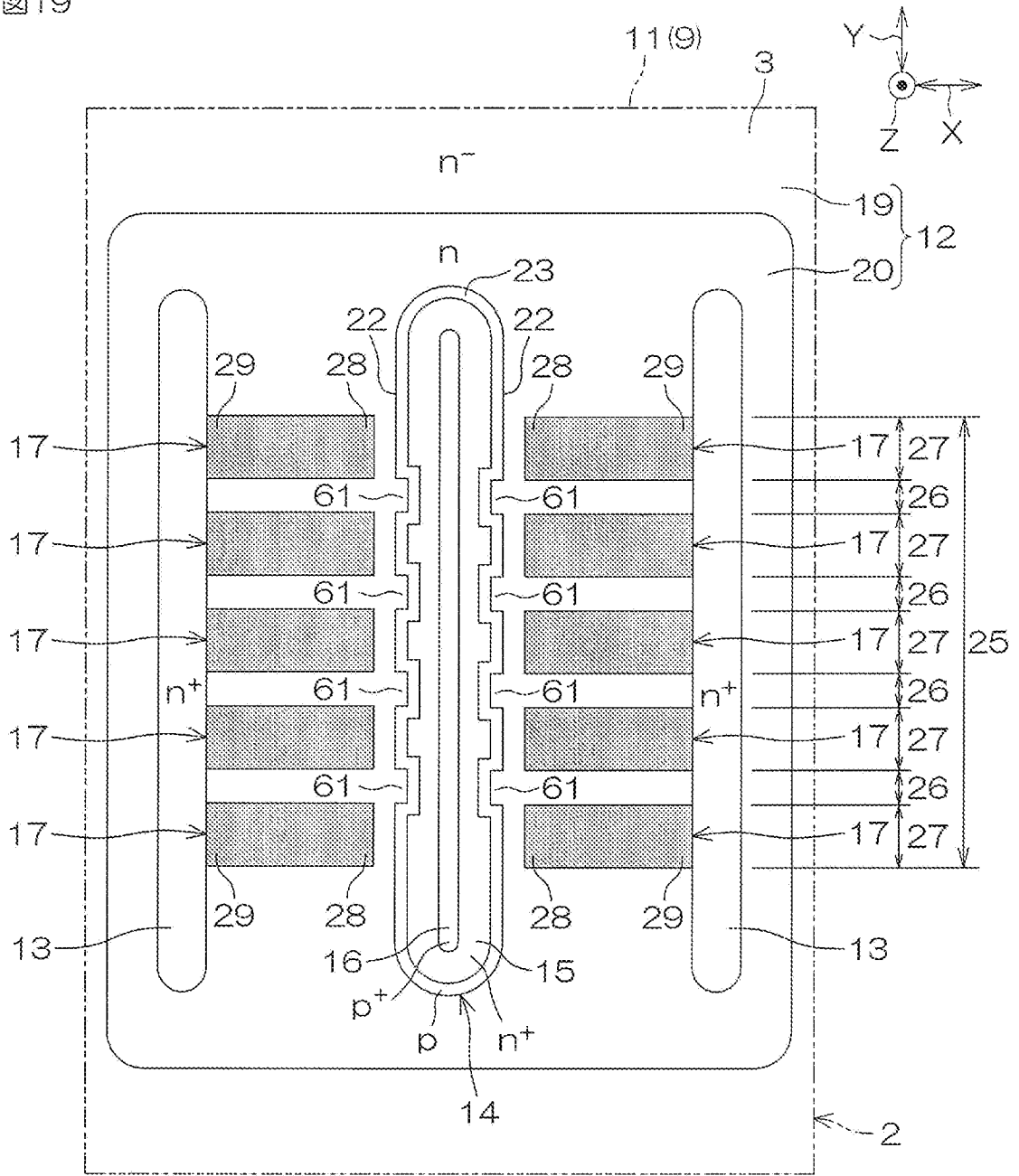






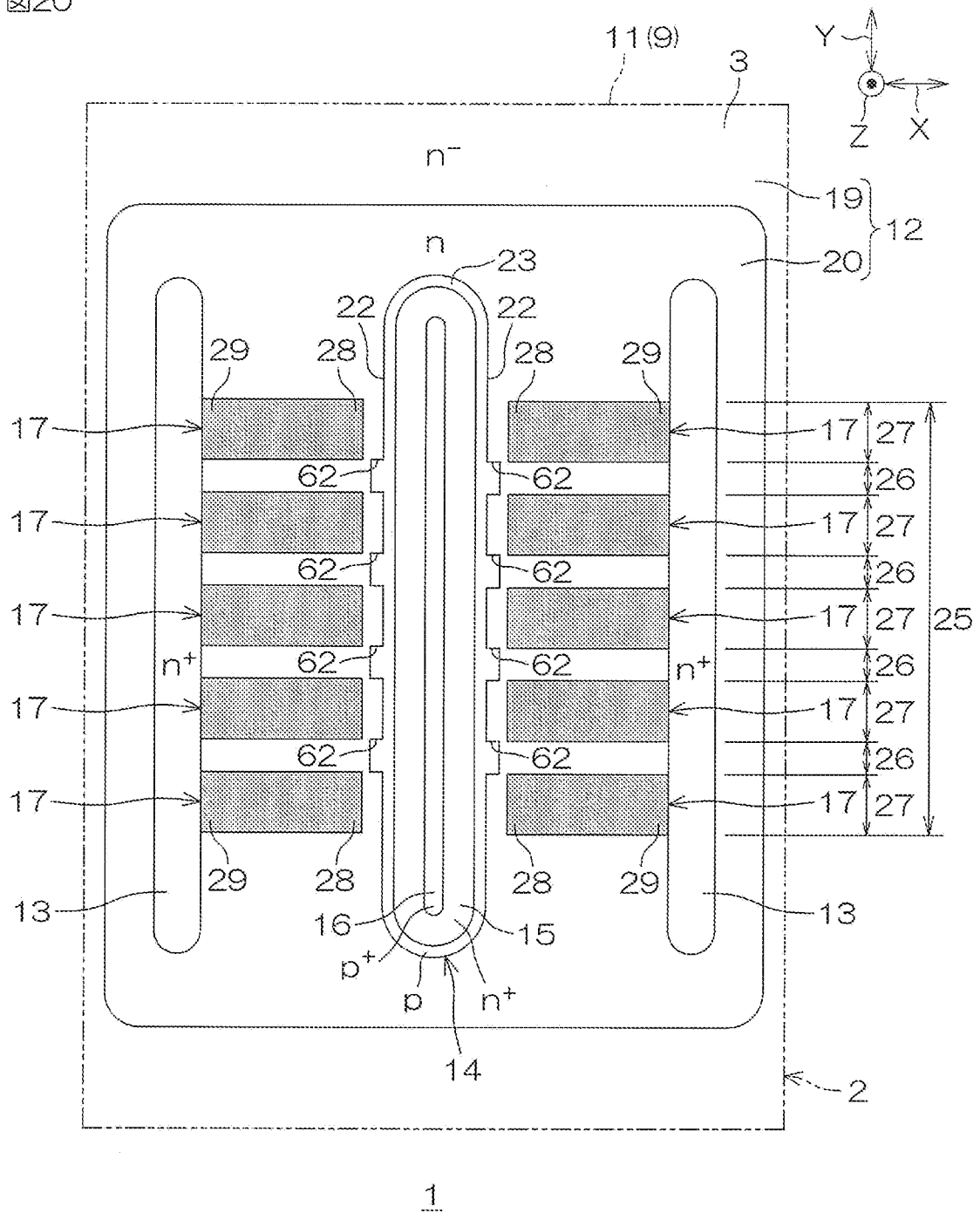
[圖19]

圖19



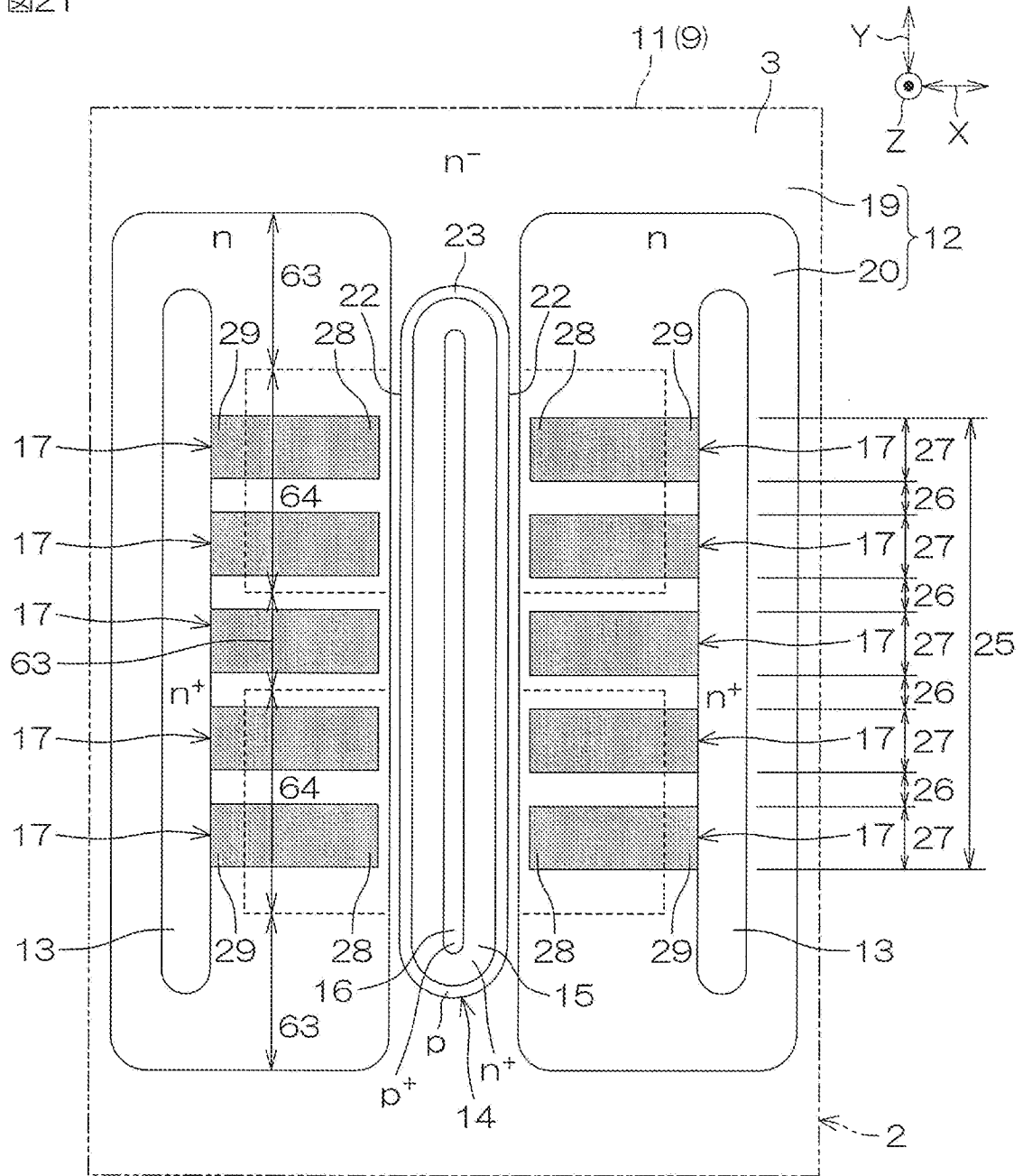
[図20]

図20



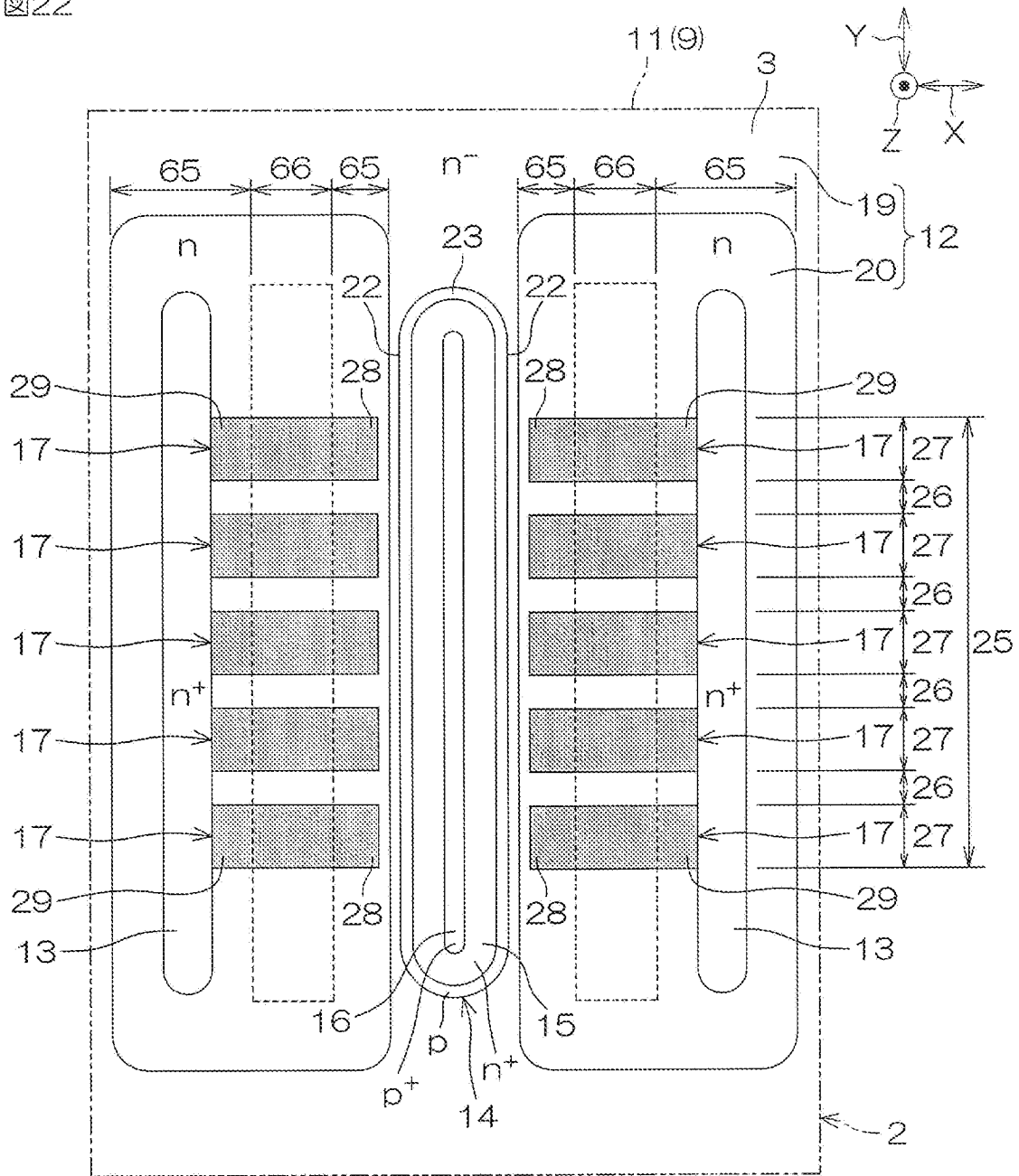
[図21]


図21

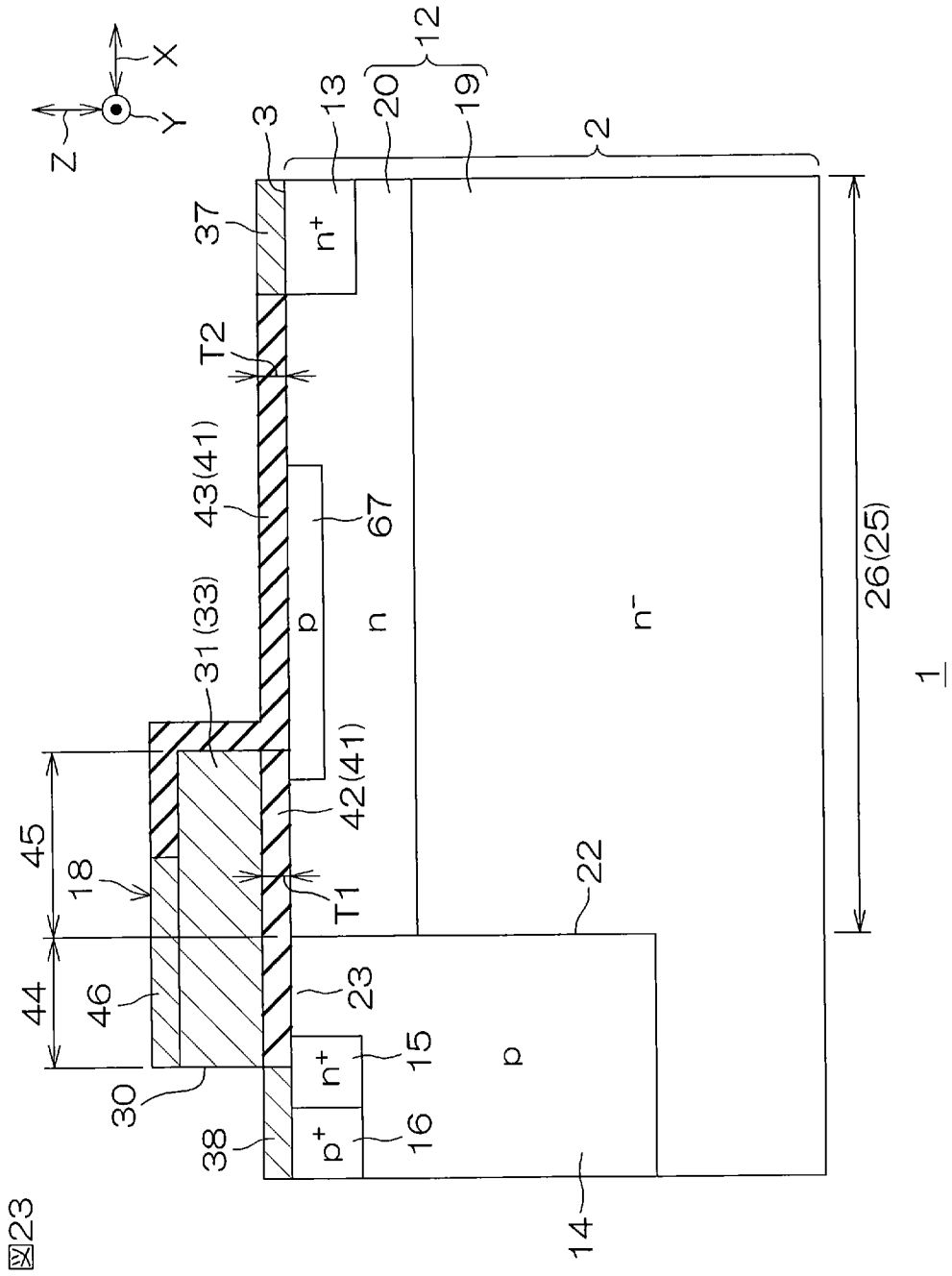


[図22]

図22



[ 23]





## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/010860

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<i>H01L 29/78</i> (2006.01)i; <i>H01L 21/336</i> (2006.01)i; <i>H01L 29/06</i> (2006.01)i FI: H01L29/78 301D; H01L29/06 301F; H01L29/78 301G; H01L29/78 301S		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H01L29/78; H01L21/336; H01L29/06		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2015-216218 A (RENESAS ELECTRONICS CORPORATION) 03 December 2015 (2015-12-03) paragraphs [0011]-[0084], fig. 1, 31	2-5, 7-10
Y		1, 7-10
A		6
Y	JP 2019-176061 A (LAPIS SEMICONDUCTOR CO., LTD.) 10 October 2019 (2019-10-10) paragraphs [0036]-[0050], fig. 5-8	1, 7-10
A	JP 2001-44424 A (KABUSHIKI KAISHA TOSHIBA) 16 February 2001 (2001-02-16) entire text	1-10
A	JP 2010-157688 A (KABUSHIKI KAISHA TOSHIBA) 15 July 2010 (2010-07-15) entire text	1-10
A	JP 2008-41913 A (RICOH COMPANY, LTD.) 21 February 2008 (2008-02-21) entire text	1-10
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search <b>29 May 2024</b>		Date of mailing of the international search report <b>11 June 2024</b>
Name and mailing address of the ISA/JP <b>Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan</b>		Authorized officer  Telephone No.



**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/JP2024/010860**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2015-216218	A	03 December 2015	US 2015/0325693 A1 paragraphs [0039]-[1113], fig. 1-31	
				KR 10-2015-0128563 A	
				TW 201543671 A	
				CN 105895691 A	
JP	2019-176061	A	10 October 2019	US 2019/0305129 A1 paragraphs [0049]-[0063], fig. 5-8	
				CN 110323279 A	
JP	2001-44424	A	16 February 2001	US 6353252 B1	
				EP 1073123 A2	
JP	2010-157688	A	15 July 2010	US 2010/0140715 A1	
JP	2008-41913	A	21 February 2008	(Family: none)	
JP	2016-178323	A	06 October 2016	US 2012/0098062 A1	
				CN 103189987 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/78(2006.01)i; H01L 21/336(2006.01)i; H01L 29/06(2006.01)i FI: H01L29/78 301D; H01L29/06 301F; H01L29/78 301G; H01L29/78 301S		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/78; H01L21/336; H01L29/06 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2024年 日本国実用新案登録公報 1996 - 2024年 日本国登録実用新案公報 1994 - 2024年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2015-216218 A (ルネサスエレクトロニクス株式会社) 03.12.2015 (2015 - 12 - 03) [0011]-[0084], [図1]-[図31]	2-5, 7-10
Y		1, 7-10
A		6
Y	JP 2019-176061 A (ラピスセミコンダクタ株式会社) 10.10.2019 (2019 - 10 - 10) [0036]-[0050], [図5]-[図8]	1, 7-10
A	JP 2001-44424 A (株式会社東芝) 16.02.2001 (2001 - 02 - 16) 全文	1-10
A	JP 2010-157688 A (株式会社東芝) 15.07.2010 (2010 - 07 - 15) 全文	1-10
A	JP 2008-41913 A (株式会社リコー) 21.02.2008 (2008 - 02 - 21) 全文	1-10
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日	29.05.2024	国際調査報告の発送日 11.06.2024
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官）  河合 俊英 5F 3238  電話番号 03-3581-1101 内線 3514	



国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/010860

引用文献			公表日	パテントファミリー文献		公表日
JP	2015-216218	A	03.12.2015	US 2015/0325693	A1	
				[0039]-[1113], FIG. 1- FIG. 31		
				KR 10-2015-0128563	A	
				TW 201543671	A	
				CN 105895691	A	
-----						
JP	2019-176061	A	10.10.2019	US 2019/0305129	A1	
				[0049]-[0063], FIG. 5-FIG. 8		
				CN 110323279	A	
-----						
JP	2001-44424	A	16.02.2001	US 6353252	B1	
				EP 1073123	A2	
-----						
JP	2010-157688	A	15.07.2010	US 2010/0140715	A1	
-----						
JP	2008-41913	A	21.02.2008	(ファミリーなし)		
-----						
JP	2016-178323	A	06.10.2016	US 2012/0098062	A1	
				CN 103189987	A	
-----						