

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2007年2月8日 (08.02.2007)

PCT

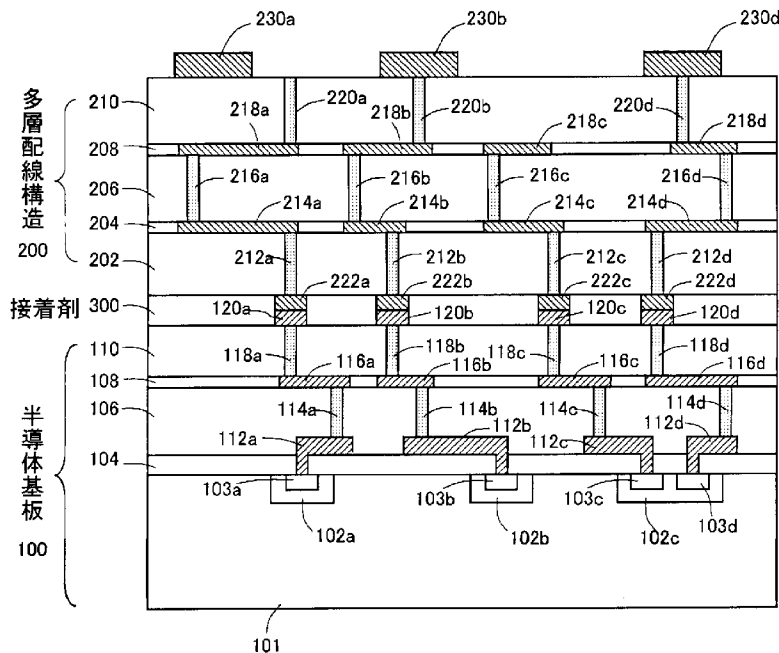
(10) 国際公開番号
WO 2007/015507 A1

- (51) 国際特許分類: H01L 23/12 (2006.01) H01L 23/522 (2006.01)
H01L 21/768 (2006.01)
- (21) 国際出願番号: PCT/JP2006/315279
- (22) 国際出願日: 2006年8月2日 (02.08.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2005-224754 2005年8月2日 (02.08.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): 国立大学法人大阪大学 (OSAKA UNIVERSITY) [JP/JP]; 〒5650871 大阪府吹田市山田丘1番1号 Osaka (JP). 株式会社ザイキューブ (ZYCUBE CO., LTD.) [JP/JP]; 〒1030027 東京都中央区日本橋3丁目5番13号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 佐藤 了平 (SATO, Ryohei) [JP/JP]; 〒5650871 大阪府吹田市山田丘1番1号 国立大学法人大阪大学 先端科学イノベーションセンター内 Osaka (JP). 盆子原 學 (BONKOHARA, Manabu) [JP/JP]; 〒1030027 東京都中央区日本橋3丁目5番13号 株式会社ザイキューブ内 Tokyo (JP). 岩田 剛治 (IWATA, Yoshiharu) [JP/JP]; 〒5650871 大阪府吹田市山田丘1番1号 国立大学法人大阪大学 先端科学イノベーションセンター内 Osaka (JP). 安田 尚平 (YASUDA, Shouhei) [JP/JP]; 〒5650871 大阪府吹田市山田丘1番1号 国立大学法人大阪大学大学院工学研究科内 Osaka (JP).

[続葉有]

(54) Title: ELECTRONIC CIRCUIT DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 電子回路装置とその製造方法



200- MULTILAYER WIRING STRUCTURE
300- ADHESIVE
100- SEMICONDUCTOR SUBSTRATE

(57) Abstract: An electronic circuit device, which can be mounted with a great number of wirings by a relatively simple manufacturing process and can be manufactured at an extremely high yield, and a method for manufacturing such electronic circuit device are provided. At the same time, a wiring structure which can achieve high speed signal transmission required by high frequency of GHz order of a clock signal is provided. The electronic circuit device is provided with a semiconductor substrate (100) having a plurality of electronic circuit elements and a wiring layer which connects the electronic circuit elements; and a multilayer wiring structure (200) incorporating a multilayer wiring layer. The surface of the wiring layer of the semiconductor substrate (100) and the bonding plane of the multilayer wiring structure (200) are electrically and mechanically connected each other, by using or without using a connecting electrode. Thus, the semiconductor substrate and the multilayer wiring structure are integrated.

[続葉有]

WO 2007/015507 A1



(74) 代理人: 泉 克文 (IZUMI, Katsufumi); 〒1050001 東京都港区虎ノ門一丁目20番6号 菅沼ビル2階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告書
- 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 比較的簡単な製造工程によって膨大な数の配線を実装することができると共に、極めて高い歩留まりで製造することが可能な電子回路装置とその製造方法を提供し、併せてクロック信号のGHzオーダーへの高周波化に伴う高速信号伝送を実現可能な配線構造を実現する。複数の電子回路素子と、当該電子回路素子を相互接続する配線層とを有する半導体基板100と、多層配線層を内蔵する多層配線構造200とを備える。半導体基板100の前記配線層の表面と多層配線構造200の接合面とが、接続用電極を用いてあるいは接続用電極を用いずに電氣的・機械的に相互接続されることによって、前記半導体基板と前記多層配線構造とが一体化される。

明 細 書

電子回路装置とその製造方法

技術分野

- [0001] 本発明は、電子回路装置とその製造方法に関し、さらに言えば、配線層によって相互接続された複数の電子回路素子を有する半導体基板と、多層配線層を内蔵した多層配線構造とを備え、前記半導体基板上の前記配線層と前記多層配線構造の前記多層配線層とを複数の接続用電極を用いて相互接続してなる電子回路装置と、その製造方法に関する。

背景技術

- [0002] 近年、超大規模集積回路装置(Ultra Large-Scale Integrated Circuit Devices、ULSI)は、ますます高集積化が進んでおり、それに応じて当該装置の内部の各種素子はますます微細化・複雑化している。そして、これらの膨大な数の素子を相互接続して複雑な電子回路を形成するために、膨大な数の配線が内蔵されている。これら配線は、例えば、素子の近傍にあつて素子間を相互接続するローカル(下位)配線層と、当該ローカル(下位)配線層の上に形成された中間配線層と、当該中間配線層の上に形成されたグローバル(上位)配線層とからなる多層配線構造として構成される。
- [0003] ULSIチップのサイズが大きくなると、製造コストが上昇し、歩留まりが低下するため、従来より、ULSIチップとは別に多層配線構造を三次元的に形成し、その多層配線構造をULSIチップの表面に電氣的・機械的に接続することが提案されている。その一例が、ULSIチップとは別個に形成されたインターポーザ(interposer)を、ULSIチップに接合して電子回路装置(システム)とする技術(積層パッケージ技術)である。この技術は、パッケージ内にシステムが組み込まれることから、システム・イン・ア・パッケージ(System-in-a-Package、SiP)とも呼ばれる。
- [0004] 例えば、特許文献1には、「基板に形成された素子から基板を貫通する電極を介して他の配線構造体の電極に接続する構造を有する半導体装置であつて、前記基板の裏面の略全面が前記他の配線構造体の主面に接着または接合されていることを特徴とする半導体装置」が開示されている(請求項1参照)。この半導体装置によれ

ば、「基板と配線構造体(例えばインターポーザー、素子が形成された他の基板など)の間の間隙をなくすことができるため、積層方向の厚さをその分薄くすることができ、実装サイズのさらなる小型化をすることができる」とともに、チップの放熱性を良好にすることができる」とされている(段落(0011)、(0013)を参照)。

[0005] 特許文献1には、二種類の半導体装置の製造方法も開示されている。一つは、「素子が形成された基板の裏面の略全面に絶縁膜を介して電極を有する他の配線構造体を接着または接合する工程と、その後、前記基板に形成された素子から他の配線構造体に形成された電極に達する孔を形成する工程と、前記孔内に金属を埋め込んで、前記素子の電極と前記配線構造体の電極とを接続する接続電極を形成する工程とを具備することを特徴とする半導体装置の製造方法」である(請求項8参照)。この製造方法によれば、「ハンダバンプにともなう間隙を生じることなく素子が形成された基板と他の配線構造体とを接合することができるため、積層方向の厚さをその分薄くすることができ、実装サイズのさらなる小型化をすることができる」とともに、チップの放熱性を良好にすることができる。また、前記孔に金属を埋め込んで接続電極を形成した際にその周囲の絶縁耐圧の信頼性が高い」とされている(段落(0008)を参照)。

[0006] 他の一つは、「素子が形成された基板の素子と電氣的に繋がっている電極に対応する位置にその裏面に達する孔を形成する工程と、少なくとも前記基板の裏面の略全面に絶縁膜を形成する工程と、前記基板の裏面に前記絶縁膜を介して電極を有する他の配線構造体を電極が前記孔に対応するように接着または接合する工程と、前記孔内に金属を埋め込んで、前記素子の電極と前記配線構造体の電極とを接続する接続電極を形成する工程とを具備することと特徴とする半導体装置の製造方法」である(請求項10参照)。この製造方法によれば、上記の製造方法と同じ効果が得られると共に、「上記方法よりも工程を簡略化することが可能である」という効果も得られる、とされている(段落(0010)を参照)。

特許文献1:特開2005-012180号公報 (図1～図5)

発明の開示

発明が解決しようとする課題

- [0007] 上述した特許文献1に開示された半導体装置によれば、「貫通電極」と「積層パッケージ技術」を用いた半導体装置において実装サイズの小型化と放熱性の改善が可能である。しかし、特許文献1の半導体装置は、その請求項1の記載からも明らかなように、素子を内蔵した基板の貫通電極を利用して、前記基板中の素子を配線構造体の電極に接続する構造を持つものである。したがって、特許文献1の半導体装置を製造する際には、前記基板をその表裏両面から加工しなければならず、製造工程が複雑であるという難点がある。
- [0008] また、特許文献1の半導体装置は、所定の素子を有する基板と、所定の配線を有する配線構造体とを別個に製造しておき、前記基板の裏面に前記配線構造体の主面を接着または接合することが必要であるが、その製造歩留まりについては言及されていない。
- [0009] 他方、半導体装置のいっそうの性能向上のため、クロック信号のGHzオーダーへの高周波化に伴う高速信号伝送を可能にする配線構造が求められている。
- [0010] 本発明は、これらの点を考慮してなされたものであって、その目的とするところは、比較的簡単な製造工程によって膨大な数の配線を実装することができると共に、極めて高い歩留まりで製造することが可能な電子回路装置とその製造方法を提供することにある。
- [0011] 本発明の他の目的は、クロック信号のGHzオーダーへの高周波化に伴う高速信号伝送を実現可能な配線構造を持つ電子回路装置とその製造方法を提供することにある。
- [0012] ここに明記しない本発明の他の目的は、以下の説明及び添付図面から明らかになるであろう。

課題を解決するための手段

- [0013] (1) 本発明の第1の観点では、電子回路装置が提供される。この電子回路装置は、
複数の電子回路素子と、当該電子回路素子を相互接続する配線層とを有する半導体基板と、
多層配線層を内蔵すると共に、前記半導体基板の熱膨張係数とほぼ同一の熱膨

張係数を持つ多層配線構造とを備え、

前記半導体基板の前記配線層の表面と前記多層配線構造の接合面とが、接続用電極を用いてあるいは接続用電極を用いずに電氣的・機械的に相互接続されることによって、前記半導体基板と前記多層配線構造とが一体化されていることを特徴とするものである。

[0014] (2) 本発明の電子回路装置は、上記構成の半導体基板の前記配線層の表面と上記構成の多層配線構造の接合面とが、接続用電極を用いてあるいは用いずに電氣的・機械的に相互接続されており、それによって一体化されている。したがって、比較的簡単な製造工程によって膨大な数の配線を実装することができる。また、前記多層配線構造の熱膨張係数が前記半導体基板の熱膨張係数とほぼ同一であるので、一体化された前記半導体基板と前記多層配線構造が、温度変化に起因して剥離する恐れもない。

[0015] また、上記構成の半導体基板の製造歩留まりは、一般的に、半導体基板上の電子回路素子とそれら素子の上に形成される配線層（例えば2～3層程度の下位配線部）については、98～99%が得られる。他方、上記構成の多層配線構造については、ほぼ100%の製造歩留まりが得られる。そこで、上記構成の半導体基板を製造して試験を行い、良品と判断されたものに対して、上記構成の多層配線構造を接合・一体化することにより、電子回路装置全体としての歩留まりをほぼ100%に上げることができる。つまり、本発明の電子回路装置を極めて高い歩留まりで製造することが可能である。

[0016] (3) 本発明の電子回路装置において、「半導体基板」は、任意の素子（電子素子または回路素子）を内蔵した半導体基板であればよい。所望の素子や回路を形成できるものであれば、シリコンでもよいし、化合物半導体でもよいし、その他の半導体でもよい。「半導体基板」の構造も任意であり、半導体製の単なる板でもよいし、いわゆるSOI (Silicon On Insulator) 基板でもよい。典型的には、内部に素子や回路が形成された半導体基板、すなわち、いわゆるLSIウェハーまたはLSIチップが使用されるが、これに限定されるわけではない。

[0017] 「半導体基板」の物理寸法には制限はなく、半導体ウェハーのサイズ（ウェハーサイ

ズ)でもよいし、半導体ウェハーを分割して得られるチップのサイズ(チップサイズ)でもよいし、ウェハーサイズとチップサイズの間サイズのサイズであってもよいし、ウェハーサイズより大きいサイズであってもよい。

[0018] 「多層配線構造」は、「半導体基板」と一体化されて単一のULSIのような構造としてもよいし、インターポーザの構造でもよい。

[0019] 「半導体基板」と「多層配線構造」の相互接続は、上記「接続用電極」を用いて行うことができるが、その際に、電氣的絶縁性を持つ接着剤(例えばエポキシ樹脂、ポリイミド)を併用するのが好ましい。

[0020] 「接続用電極」としては、半導体装置の電極として使用できるものであればよく、任意の導電性材料が使用できる。例えば、ポリシリコン等の半導体、タングステン(W)、銅(Cu)、アルミニウム(Al)等の金属が好適に使用できる。

[0021] 「接続用電極」の材質が、加熱・加圧しながら接触させた時に両者が互いに接合するもの(例えば、金(Au))であれば、両者を直接接触させて機械的に接続すればよい。しかし、そのようにしただけでは両者が互いに接合しない場合(例えば、タングステン(W))は、適当な接合用金属を挟んで両者の機械的接続を行う必要がある。接合用金属としては、例えば、In-Au合金、錫(Sn)-金(Ag)合金、In単体、Sn単体等を使用することができる。

[0022] (4) 本発明の電子回路装置の好ましい例では、前記多層配線構造が、前記半導体基板と一体化されて単一のULSIと同様の構造を持つ。

[0023] 本発明の電子回路装置の他の好ましい例では、前記半導体基板が半導体装置として機能し、前記多層配線構造が前記半導体装置のインターポーザとして前記半導体基板と一体化される。

[0024] 本発明の電子回路装置のさらに他の好ましい例では、前記多層配線構造の前記多層配線層を構成する各層の熱膨張率及び厚さが、温度変化に伴う前記多層配線構造の反りを防止するように調整される。この例では、温度変化に伴う前記多層配線構造の反りが確実に防止されるので、一体化された前記半導体基板と前記多層配線構造が温度変化によって剥離するのをいっそう確実に防止できる、という利点がある。

。

- [0025] 本発明の電子回路装置のさらに他の好ましい例では、前記半導体基板の前記配線層の表面と前記多層配線構造の接合面とが、接続用電極を用いて電氣的・機械的に相互接続される。この場合、前記半導体基板の前記配線層の表面と前記多層配線構造の接合面の間に、電氣的絶縁性の接着剤が充填されるのが好ましい。
- [0026] 本発明の電子回路装置のさらに他の好ましい例では、前記半導体基板の前記配線層の表面と前記多層配線構造の接合面とが、接続用電極を用いずに電氣的・機械的に相互接続されてもよい。この場合、前記半導体基板の前記配線層の表面と前記多層配線構造の接合面に、それぞれアモルファス絶縁膜が配置されており、それら二つのアモルファス絶縁膜が直接的に相互接合されるのが好ましい。
- [0027] 本発明の電子回路装置のさらに他の好ましい例では、前記多層配線構造が、絶縁層と、その絶縁層の内部に一方向に沿って所定間隔をあけて交互に配置された信号線及びグランド線と、前記信号線及びグランド線を含む面に対して直交する方向において前記絶縁層の両側に配置された一对のグランド層とを備える。この例では、クロック信号のGHzオーダーへの高周波化に伴う高速信号伝送を実現することが可能となる、という利点がある。
- [0028] この例では、前記所定間隔が $2.4\mu\text{m}$ であり、前記信号線及び前記グランド線の各々が一辺 $1.2\mu\text{m}$ の正方形断面を持ち、前記信号線及び前記グランド線の各々と前記一对のグランド層との距離が $2.4\mu\text{m}$ であるのがより好ましい。上記のような高速信号伝送に最適化されるからである。
- [0029] (5) 本発明の第2の観点では、電子回路装置の製造方法が提供される。この製造方法は、
- 複数の電子回路素子と、当該電子回路素子を相互接続する配線層とを有する半導体基板を形成する工程と、
 - 多層配線層を内蔵すると共に、前記半導体基板の熱膨張係数とほぼ同一の熱膨張係数を持つ多層配線構造を形成する工程と、
 - 複数の接続用電極を用いてあるいは用いずに、前記半導体基板と前記多層配線構造とを相互接続し、もって前記半導体基板と前記多層配線構造とを一体化する工程と

を備えたことを特徴とするものである。

- [0030] (6) 本発明の電子回路装置の製造方法では、上記のようにして前記半導体基板と前記多層配線構造とを一体化して電子回路装置を製造するので、比較的簡単な製造工程によって素子間接続用の膨大な数の配線を実装することができると共に、極めて高い歩留まりで製造することが可能である。
- [0031] (7) 本発明の電子回路装置の製造方法の好ましい例では、前記半導体基板と前記多層配線構造とを相互接続するための複数の接続用電極を形成する工程を含む。この場合、前記半導体基板と前記多層配線構造とが、複数の接続用電極を用いて相互接続せしめられる。この例では、前記半導体基板と前記多層配線構造の間の隙間に電氣的絶縁性の接着剤を充填する工程を含むのが好ましい。前記接着剤としては、例えば、エポキシ樹脂またはポリイミド樹脂が使用される。
- [0032] 本発明の電子回路装置の製造方法のさらに他の好ましい例では、前記半導体基板の前記配線層の表面と前記多層配線構造の接合面に、それぞれアモルファス絶縁膜が配置されており、それら二つのアモルファス絶縁膜が直接的に相互接合されることによって、前記半導体基板と前記多層配線構造とが相互接続せしめられる。この例では、前記半導体基板と前記多層配線構造とを相互接続するための複数の接続用電極を形成する工程が不要であるという利点がある。
- [0033] (8) 上述した本発明の電子回路装置およびその製造方法は、上記のような半導体基板と多層配線構造を持つ任意の電子回路装置に適用可能であり、そのサイズは問わない。電子回路装置がウェハーサイズ(この場合、基板がウェハーサイズとなる)であってもよいし、チップサイズ(この場合、基板がチップサイズとなる)であってもよいし、ウェハーサイズとチップサイズの間サイズの(この場合、基板がウェハーサイズとチップサイズの間サイズの)であってもよいし、ウェハーサイズより大きいサイズ(この場合、基板がウェハーサイズより大きいサイズとなる)であってもよい。ここに「ウェハーサイズ」とは、半導体ウェハーとほぼ同じサイズ(例えば直径8インチ)を意味する。

発明の効果

- [0034] 本発明の電子回路装置及びその製造方法では、(i) 比較的簡単な製造工程によっ

て膨大な数の配線を実装することができると共に、極めて高い歩留まりで製造することが可能である、(ii)クロック信号のGHzオーダーへの高周波化に伴う高速信号伝送を実現可能である、といった効果が得られる。

発明を実施するための最良の形態

[0035] 以下、本発明の好適な実施の形態について、添付図面を参照して詳細に説明する。

[0036] (第1実施形態)

図1は、本発明の第1実施形態に係る電子回路装置の概略構成を示す要部断面図である。

[0037] この電子回路装置は、図1に示すように、多数の回路素子とそれら回路素子を相互接続するローカル配線層を有する半導体基板(半導体装置)100と、インターポーザとして機能する多層配線構造200とを備えている。半導体基板100は、所定機能を持つ半導体装置(半導体チップ)として機能する。

[0038] 半導体基板(半導体装置)100と多層配線構造200は、半導体基板100のマイクロバンプ電極(接続用電極)120a、120b、120c及び120dと、それらに対応する多層配線構造200のマイクロバンプ電極(接続用電極)222a、222b、222c及び222dとを接合することにより、電氣的・機械的に接続されている。半導体基板100と多層配線構造200はまた、両者の間の隙間に充填された電氣的絶縁性の接着剤300によって相互に接合・一体化されている。

[0039] 半導体基板100は、内部にウェル領域102a、102b及び102cを持つ板状のシリコン基材101を有している。シリコン基材101は第1導電型(例えばp型)の単結晶シリコン(Si)であり、ウェル領域102a、102b及び102cはいずれも第2導電型(例えばn型)である。ウェル領域102a及び102bの内部には、それぞれ拡散領域103a及び103bが形成されている。ウェル領域102cの内部には、拡散領域103c及び103dが形成されている。基材101の全表面は絶縁膜(例えばSiO₂膜)104で覆われている。

[0040] 絶縁膜104の上には、パターン化された導電膜(例えばポリシリコン膜やAl等の金属膜)112a、112b、112c及び112dが形成されている。導電膜112a、112b、112c及び112dは、それぞれ、絶縁膜104に形成されたコンタクトホールを介して、拡散

領域103a、103b、103c及び103dに接触せしめられている。これらの導電膜112a、112b、112c及び112dは、絶縁膜104上に形成された層間絶縁膜(例えばSiO₂膜やBPSG膜)106によって覆われている。

[0041] 層間絶縁膜106の上には、絶縁膜(例えばSiO₂膜)108が形成されており、その中にパターン化された導電膜(例えばAl、Cu等の金属膜)116a、116b、116c及び116dが埋め込まれている。導電膜116a、116b、116c及び116dは、それぞれ、層間絶縁膜106のコンタクトホール内に埋め込まれた導電性プラグ(例えばポリシリコンや金属)114a、114b、114c及び114dを介して、導電膜112a、112b、112c及び112dに接続されている。

[0042] 絶縁膜108の上には、層間絶縁膜(例えばSiO₂膜やBPSG膜)110が形成されており、その中に導電性プラグ(例えばポリシリコンや金属)118a、118b、118c及び118dが埋め込まれている。導電性プラグ118a、118b、118c及び118dの下端は、それぞれ、導電膜116a、116b、116c及び116dに接続され、それらの上端は、層間絶縁膜110の表面に露出せしめられている。

[0043] 層間絶縁膜110の表面には、接続用電極としてのマイクロバンプ電極120a、120b、120c及び120dが形成されている。これらマイクロバンプ電極120a、120b、120c及び120dは、導電性プラグ118a、118b、118c及び118dの上端に接続されている。

[0044] 以上のようにして、シリコン基材101内に形成された拡散層103a、103b、103c及び103dは、半導体基板100の上面(接合面)にあるマイクロバンプ電極120a、120b、120c及び120dに対して、電氣的に接続されている。

[0045] 多層配線構造200は、その下端から上端に向かって順に積層形成された層間絶縁膜202、絶縁膜204、層間絶縁膜206、絶縁膜208及び層間絶縁膜210を有している。絶縁膜204の内部には、パターン化された配線膜214a、214b、214c及び214dが形成されている。同様に、絶縁膜208の内部には、パターン化された配線膜218a、218b、218c及び218dが形成されている。

[0046] 配線膜214a、214b、214c及び214dは、それぞれ、層間絶縁膜202の内部に埋め込まれた導電性プラグ212a、212b、212c及び212dを介して、層間絶縁膜202

の下面(接合面)にある接続用電極としてのマイクロバンプ電極220a、220b、220c及び220dに、電氣的に接続されている。

[0047] 配線膜218a、218b、218c及び218dは、それぞれ、層間絶縁膜206の内部に埋め込まれた導電性プラグ216a、216b、216c及び216dを介して、配線膜214a、214b、214c及び214dに電氣的に接続されている。また、配線膜218b及び218dは、それぞれ、層間絶縁膜210の内部に埋め込まれた導電性プラグ220b及び220dを介して、層間絶縁膜210の上面にある外部電極230b及び230dに電氣的に接続されている。配線膜218aは、層間絶縁膜210の内部に埋め込まれた導電性プラグ220aを介して、層間絶縁膜210の上面にある図示しない外部電極に電氣的に接続されている。配線膜218cは、層間絶縁膜210の内部に埋め込まれた図示しない導電性プラグを介して、層間絶縁膜210の上面にある図示しない外部電極に電氣的に接続されている。

[0048] 多層配線構造200は、配線膜214a、214b、214c及び214dからなる第1配線層と、配線膜218a、218b、218c及び218dからなる第2配線層とを含んでいるが、多層配線構造200全体の熱膨張係数は、半導体基板100の熱膨張係数(Siの熱膨張係数 $\approx 3 \sim 3.5 \times 10^{-6} / ^\circ\text{C}$)とほぼ同一となっている。また、温度変化に起因する反りを防止する構造になっている。このような多層配線構造200は、次のようにして実現できる。

[0049] [第1の方法]

負の熱膨張係数を持つ「 β ユークリプタイト」と呼ばれる結晶化ガラス(セラミック)を、絶縁材料に添加・混合する方法である。

[0050] β ユークリプタイトは、 β -石英固溶体($\text{Li}_2\text{O}-\text{Al}_2\text{O}_3-n\text{SiO}_2$; $n \geq 2$)であり、日本電気硝子株式会社が「CERST」という名称で市販しているマイナス膨張セラミックス基板材料である。この材料には「N-80」、「N-70」の2種類があり、「N-80」は熱膨張係数が $-82 \times 10^{-7} / ^\circ\text{C}$ 、「N-70」は熱膨張係数が $-70 \times 10^{-7} / ^\circ\text{C}$ である。

[0051] 「 β ユークリプタイト」を繊維状または粒子状として、エポキシ、ポリイミド等の有機絶縁材料に添加・混合することにより、当該絶縁膜の熱膨張係数をSiの熱膨張係数($\approx 3 \sim 3.5 \times 10^{-6} / ^\circ\text{C}$)にほぼ一致させることが可能である。そして、こうして得た

有機絶縁材料を用いて、層間絶縁膜202、206、210(と絶縁膜204、208)を形成すればよい。

[0052] [第2の方法]

負の熱膨張係数を持つ「 β ユークリプタイト」と呼ばれる結晶化ガラス(セラミック)による板に、セラミック板やガラス板を貼り合わせる方法である。

[0053] 当該絶縁膜の熱膨張係数をSiの熱膨張係数(=約 $3 \sim 3.5 \times 10^{-6} / ^\circ\text{C}$)にほぼ一致させることが可能である。

[0054] 例えば、中間の層間絶縁膜206を「 β ユークリプタイト」と呼ばれる結晶化ガラスで形成し、その上下両側に配置される層間絶縁膜210と202をそれぞれアルミナ(Al_2O_3)または石英ガラス(SiO_2)または窒化アルミニウム(AlN)で形成するのである。逆に、中間の層間絶縁膜206をアルミナや石英ガラスや窒化アルミニウムで形成し、その上下両側に配置される層間絶縁膜210と202をそれぞれ「 β ユークリプタイト」と呼ばれる結晶化ガラスで形成してもよい。

[0055] 層間絶縁膜210と202は、同じ材料で形成し、その厚さは互いに等しくすることが、簡単で好ましい。しかし、熱膨張係数とヤング率と厚さがバランスしていれば、層間絶縁膜210と202を互いに異なる材料で形成してもよい。これにより、多層配線構造200の反りを回避することも可能となる。

[0056] 具体例を挙げれば次のようになる。

[0057] [具体例1]

層間絶縁膜210: Al_2O_3 (純度=96%)で形成

$$\text{ヤング率}(Y_{210}) = 3.7 \times 10^4 \text{ kg/mm}^2$$

$$\text{熱膨張係数}(\alpha_{210}) = 6.7 \times 10^{-6} / ^\circ\text{C}$$

$$\text{厚さ}(t_{210}) = 0.2 \text{ mm}$$

層間絶縁膜206: β ユークリプタイト「N-70」で形成

$$\text{ヤング率}(Y_{206}) = 1.7 \times 10^4 \text{ kg/mm}^2$$

$$\text{熱膨張係数}(\alpha_{206}) = -7.0 \times 10^{-6} / ^\circ\text{C}$$

$$\text{厚さ}(t_{206}) = 0.3 \text{ mm}$$

層間絶縁膜202: 層間絶縁膜210と同じ

[具体例2]

層間絶縁膜210: Al_2O_3 (純度=96%)で形成

$$\text{ヤング率}(Y_{210}) = 3.7 \times 10^4 \text{ kg/mm}^2$$

$$\text{熱膨張係数}(\alpha_{210}) = 6.7 \times 10^{-6} / ^\circ\text{C}$$

$$\text{厚さ}(t_{210}) = 0.2 \text{ mm}$$

層間絶縁膜206: β ユークリプタイト「N-70」で形成

$$\text{ヤング率}(Y_{206}) = 1.7 \times 10^4 \text{ kg/mm}^2$$

$$\text{熱膨張係数}(\alpha_{206}) = -7.0 \times 10^{-6} / ^\circ\text{C}$$

$$\text{厚さ}(t_{206}) = 0.25 \text{ mm}$$

層間絶縁膜202: AlNで形成、

$$\text{ヤング率}(Y_{202}) = 3.3 \times 10^4 \text{ kg/mm}^2$$

$$\text{熱膨張係数}(\alpha_{202}) = 4.5 \times 10^{-6} / ^\circ\text{C}$$

$$\text{厚さ}(t_{202}) = 0.33 \text{ mm}$$

[具体例3]

層間絶縁膜210: AlNで形成

$$\text{ヤング率}(Y_{210}) = 3.3 \times 10^4 \text{ kg/mm}^2$$

$$\text{熱膨張係数}(\alpha_{210}) = 4.5 \times 10^{-6} / ^\circ\text{C}$$

$$\text{厚さ}(t_{210}) = 0.1 \text{ mm}$$

層間絶縁膜206: β ユークリプタイト「N-70」で形成

$$\text{ヤング率}(Y_{206}) = 1.7 \times 10^4 \text{ kg/mm}^2$$

$$\text{熱膨張係数}(\alpha_{206}) = -7.0 \times 10^{-6} / ^\circ\text{C}$$

$$\text{厚さ}(t_{206}) = 0.037 \text{ mm}$$

層間絶縁膜202: 層間絶縁膜210と同じ

上記以外の方法としては、有機材料系の低熱膨張率の芳香族ポリアミド(例えば、「CDH360」と呼ばれるもの)も使用可能である。この芳香族ポリアミドを膜状に形成すると、当該膜の面内方向の熱膨張率がゼロとなる特徴がある。

[0058] この場合、上下の層間絶縁膜210と202を上記芳香族ポリアミドで形成し、中間の層間絶縁膜206をポリイミド樹脂やエポキシ樹脂やトリアジン等で形成すればよい。

あるいは、上記芳香族ポリアミドを粒子状として適当な有機材料に添加・混合したものを使用してもよい。

- [0059] また、Fe-Ni合金系のインバー合金は、マイナス熱膨張係数を持つので、これを用いて配線膜214a、214b、214c及び214dや配線膜218a、218b、218c及び218dを形成してもよい。
- [0060] さらに、必要に応じて、上述した絶縁膜や導電膜を複数個組み合わせて複合構造としてもよいことは言うまでもない。
- [0061] 上述した絶縁膜や導電膜は、後述する第3実施形態の絶縁膜401やグランド線411、信号線412、グランド層402、403にも使用可能である。
- [0062] 半導体基板100中に形成される拡散領域103a及び103b等の距離(ピッチ)は、約0.1~2 μm であるが、導電性プラグ118a、118b、118c及び118dやマイクロバンプ電極120a、120b、120c及び120dのピッチは、約3~5 μm まで大きくなっている。また、多層配線構造200のマイクロバンプ電極222a、222b、222c及び222dや導電性プラグ212a、212b、212c及び212dのピッチは、約3~5 μm であるが、外部電極230a、230b及び230dのピッチは30~100 μm まで大きくなっている。
- [0063] 次に、図2(a)~図5(f)を参照しながら、上記構成を持つ第1実施形態の電子回路装置の製造方法について説明する。
- [0064] まず、図2(a)に示すように、公知の方法によって半導体基板100を形成する。次に、図2(b)に示すように、最上位にある層間絶縁膜110の表面に、接続用のマイクロバンプ電極120a、120b、120c及び120dを形成する。これは、例えば、層間絶縁膜110の表面に導電膜を堆積してからパターニングする等の公知の方法によって、容易に実現できる。
- [0065] 他方、図3(c)に示すように、公知の方法によって、支持基板400の上に多層配線構造200を形成する。次に、図3(d)に示すように、最下位にある層間絶縁膜202の下面に、接続用のマイクロバンプ電極222a、222b、222c及び222dを形成する。これは、例えば、層間絶縁膜202の下面に導電膜を堆積してからパターニングする等の公知の方法によって、容易に実現できる。
- [0066] 次に、図4(e)に示すように、支持基板400上に取り付けられた多層配線構造200

の下面を、半導体基板100の表面に対向させてから、両者を徐々に近接させる。そして、図5(f)に示すように、多層配線構造200の下面のマイクロバンプ電極222a、222b、222c及び222dを、それぞれ、半導体基板100の表面のマイクロバンプ電極120a、120b、120c及び120dに接触させ、相互に固着させる。この状態では、多層配線構造200の下面と半導体基板100の表面の間には隙間があいているので、その隙間に接着剤300を充填し、加熱、紫外線照射等によって硬化させる。こうして、図1に示す構成を持つ第1実施形態の電子回路装置が製造される。

[0067] 以上説明したように、本発明の第1実施形態の電子回路装置では、上記構成の半導体基板100の配線層の表面と上記構成の多層配線構造200の下面とが、マイクロバンプ電極120a、120b、120c及び120dと222a、222b、222c及び222dを用いて電氣的・機械的に相互接続され、それによって一体化されている。このため、多層配線構造200を形成する際に半導体基板100における加熱温度の制限を考慮する必要がない。このため、所望の材料(ガラス、セラミック等の無機材料、ポリイミド等の有機材料、金属等)を用いて且つ所望の熱処理を行って多層配線構造200を形成することができる。したがって、比較的簡単な製造工程によって膨大な数の配線を実装することができる。

[0068] また、上記構成の半導体基板100の製造歩留まりは、一般的に、半導体基板100上の電子回路素子とそれら素子の上に形成される配線層(すなわち、配線膜112a、112b、112c及び112d、配線膜116a、116b、116c及び116d)については、98～99%が得られる。他方、上記構成の多層配線構造200については、ほぼ100%の製造歩留まりが得られる。そこで、上記構成の半導体基板100を製造して試験を行い、良品と判断されたものに対して、上記構成の多層配線構造200を接合・一体化することにより、第1実施形態の電子回路装置全体としての歩留まりをほぼ100%に上げることができる。つまり、第1実施形態の電子回路装置を極めて高い歩留まりで製造することが可能である。

[0069] (第2実施形態)

図7(a)～図11(g)は、本発明の第2実施形態に係る電子回路装置の製造方法を工程毎に示す部分断面図である。なお、これらの図では、半導体素子の実際の構造

は省略しており、主として本実施形態に係る配線の接合部分を示してある。

[0070] 本実施形態の電子回路装置は、第1実施形態の電子回路装置と同様に、半導体基板と多層配線構造を接合・一体化している。しかし、半導体基板と多層配線構造をマイクロバンプ電極と接着剤を用いて相互接続した第1実施形態の電子回路装置とは異なり、マイクロバンプ電極と接着剤を用いずに半導体基板と多層配線構造を相互接続している。したがって、第2実施形態に係る電子回路装置は、多層配線構造が半導体基板と一体化されて単一のULSIと同様の構造を持っている。

[0071] 第2実施形態に係る電子回路装置は、次のようにして製造される。

[0072] (素子を有する半導体基板(半導体装置)の形成)

まず最初に、公知の方法によって図7(a)に示す構成を形成する。この構成は、多数の半導体素子を有する半導体基板1と、その半導体基板1の表面上に形成され且つ所定形状にパターン化された二つの配線膜6及び9を持つものである。配線膜6と配線膜9は、半導体基板1上の半導体素子に電氣的に接続されており、本発明の第2実施形態に係る電子回路装置の「下位配線」を構成するものである。図7(a)では、簡単化するため、半導体素子として一つのMOSFETのみが示されている。図7(a)に示す構成を持つ半導体基板11は、例えば、以下のようにして製造される。

[0073] すなわち、まず、半導体基板1として第1導電型(例えばn型)の単結晶シリコン(Si)よりなるウェハー(Siウェハー)を用意する。次に、その半導体基板1(Siウェハー)11の内部の所定位置に、第2導電型(例えばp型)のウェル領域2を形成してから、そのウェル領域2を利用してMOSFETを形成する。図7(a)では、MOSFETのソース・ドレイン領域3(第1導電型)のみが示してある。さらに、ウェル領域2の内部あるいはウェル領域2の外部に、当該MOSFET以外の他の必要な半導体素子も形成する。

[0074] 必要な半導体素子をすべて形成した後、半導体基板11の表面に層間絶縁膜4を形成し、半導体基板11の表面全体を層間絶縁膜4で覆う。これによって、上記MOSFETとそれ以外の必要な半導体素子のすべてが層間絶縁膜によって覆われる。層間絶縁膜4としては、例えば、二酸化シリコン(SiO_2)膜や窒化シリコン(Si_3N_4)膜が好適に使用される。

[0075] 以下の記述では、説明を簡略化するために、上記MOSFETに係る部分のみ

について説明し、当該MOSFET以外の他の必要な半導体素子に関係する部分については、説明を省略する。

- [0076] 続いて、フォトリソグラフィ法とドライエッチング法により、層間絶縁膜4の所定位置にソース・ドレイン領域3に達するコンタクトホール5を形成する。次に、層間絶縁膜4の上に、コンタクトホール5を埋め込むことができる厚さで導電膜を形成し、その導電膜をフォトリソグラフィ法とドライエッチング法により所定形状にパターン化して、配線膜6を形成する。導電膜としては、例えば、アルミニウム(Al)や銅(Cu)が好適に使用される。こうして形成された配線膜6は、第1レベル(最下位レベル)の配線を構成する。
- [0077] 次に、配線膜6の上に層間絶縁膜7を形成し、配線膜6の全体と配線膜6から露出した層間絶縁膜4の全体を覆う。層間絶縁膜7としては、例えば、 SiO_2 膜や Si_3N_4 膜やBPSG膜が好適に使用される。
- [0078] 続いて、フォトリソグラフィ法とドライエッチング法により、層間絶縁膜7の所定位置に配線膜6に達するコンタクトホール8を形成する。次に、層間絶縁膜7の上に、コンタクトホール8を埋め込むことができる厚さで導電膜を形成し、その導電膜をフォトリソグラフィ法とドライエッチング法で所定形状にパターン化して、配線膜9を形成する。導電膜としては、例えば、AlやCuが好適に使用される。こうして形成された配線膜9は、第2レベル(下から二番目のレベル)の配線を構成する。
- [0079] 次に、配線膜9の上に層間絶縁膜10を形成し、配線膜9の全体と配線膜9から露出した層間絶縁膜7の全体を覆う。層間絶縁膜10としては、例えば、CVD法により形成された SiO_2 膜が好適に使用される。層間絶縁膜10は、フォトリソグラフィ法とドライエッチング法で所定形状にパターン化され、配線膜9を選択的に覆うようにする。
- [0080] 次に、層間絶縁膜10の上に重ねて層間絶縁膜11を形成し、層間絶縁膜10の全体と層間絶縁膜10から露出した層間絶縁膜7を覆う。層間絶縁膜11としては、例えば、CVD法により形成されたアモルファスの SiO_2 膜が好適に使用される。
- [0081] 次に、層間絶縁膜11の表面を公知の機械研削法で研削した後、CMP (Chemical Mechanical Polishing) 法により研磨し、層間絶縁膜11の表面全体を平坦化する。こうして、図7(a)に示された構成が得られる。
- [0082] アモルファス SiO_2 膜よりなる層間絶縁膜11の電氣的絶縁性を確保するため、例え

ば、アモルファス SiO_2 膜を形成する際に酸化性雰囲気でCVD法を実行することにより、あるいはCVD法でアモルファス SiO_2 膜を形成した後にそのアモルファス SiO_2 膜酸化性雰囲気で酸化する等により、アモルファス SiO_2 膜の表面にごく薄い酸化膜を形成するのが好ましい。

- [0083] 以上のようにして図7(a)に示された構成が得られると、引き続いて、フォトリソグラフィ法とドライエッチング法により、層間絶縁膜11と10を選択的にエッチングし、図7(b)に示すように、層間絶縁膜11と10の双方を貫通して配線膜9に達するコンタクトホール12を形成する。層間絶縁膜11と10のエッチングは、単一のエッチングプロセスで層間絶縁膜11と10の双方を順次除去するようにしてもよいし、層間絶縁膜11と10のエッチングを別のプロセスで実行してもよい。後者の場合、最初に、フォトリソグラフィ法でパターン化されたマスクを利用して上位にある層間絶縁膜11のエッチングを行い、次に、層間絶縁膜11をマスクとして利用して下位にある層間絶縁膜10のエッチングを行うことになる。
- [0084] その後、図8(c)に示すように、層間絶縁膜11の上に、コンタクトホール12を埋め込むことができる厚さで導電膜13を形成する。この導電膜13としては、例えば、アルミニウム(Al)や銅(Cu)やタングステン(W)が好適に使用される。次に、こうして形成された導電膜13を、公知の機械研削法で研削した後、CMP法で研磨し、層間絶縁膜11の上にある部分を選択的に除去する。その結果、導電膜13はコンタクトホール12の内部にのみ残り、図8(d)に示すように、コンタクトプラグ14となる。コンタクトプラグ14の下端(底)は、配線膜9の表面に接触している。
- [0085] 図8(d)の状態では、最上位にある層間絶縁膜11の表面が平坦化されており、その表面にコンタクトプラグ14の上端(頂)が露出している。この状態にされた半導体基板1が、後述する多層配線構造50と接合される。
- [0086] (多層配線構造の形成)
- 多層配線構造50全体の熱膨張係数は、第1実施形態と同様にして、半導体基板1の熱膨張係数(Siの熱膨張係数 $\approx 3 \sim 3.5 \times 10^{-6} / ^\circ\text{C}$)とほぼ同一となっている。また、温度変化に起因する反りを防止する構造になっている。
- [0087] 多層配線構造50は、図9(e)に示すような構成を持つ。すなわち、支持基板51の

表面(図中では下面)に、コンタクトプラグ53が埋め込まれた層間絶縁膜52、配線膜55が埋め込まれた層間絶縁膜54、コンタクトプラグ57が埋め込まれた層間絶縁膜56、配線膜59が埋め込まれた層間絶縁膜58が、この順に形成されている。層間絶縁膜58の下には、さらに、層間絶縁膜60と61がこの順に重ねて形成されている。層間絶縁膜60と61には、それらを貫通して配線膜59に達するコンタクトプラグ62が埋め込まれている。配線膜55は、コンタクトプラグ53と57にそれぞれ接触している。配線膜59は、コンタクトプラグ57と56にそれぞれ接触している。

- [0088] 最も外側の層間絶縁膜61としては、半導体基板1の最上部に形成された層間絶縁膜11と同一のアモルファスの SiO_2 膜が好適に使用される。コンタクトプラグ53、57、62としては、AlまたはCuまたはW等が好適に使用される。層間絶縁膜52、54、56、58、60としては、熱膨張率と反りを考慮して適当な材料の膜が使用される。
- [0089] 導電膜59は第3レベルの配線を構成し、導電膜55は第4レベルの配線を構成する。したがって、多層配線構造50は、二つの積層された内蔵配線を持つことになる。
- [0090] 多層配線構造50の厚さが大きく、製造工程で必要な機械的強度を持っている場合は、支持基板51は省略することができる。
- [0091] 図9(e)に示す構成の多層配線構造50は、公知の方法で容易に製造することができる。例えば、次のようにして製造することができる。
- [0092] 支持基板51の表面を上に向け、その上に層間絶縁膜52と54をこの順に重ねて形成する。その後、フォトリソグラフィ法とドライエッチング法により、層間絶縁膜54の所定位置に層間絶縁膜52に達する配線用溝を形成する。次に、同様にして、層間絶縁膜54の配線用溝の内部の所定位置で層間絶縁膜52をエッチングし、支持基板51に達するコンタクトホールを形成する。こうして、相互に連結された配線用溝とコンタクトホールが形成される。その後、層間絶縁膜54の上に、連結された配線用溝とコンタクトホールの両方を埋め込むことができる厚さで導電膜を形成してから、公知の機械研削法とCMP法により層間絶縁膜54の上の部分を選択的に除去する。その結果、連結された配線用溝とコンタクトホールの中にその導電膜が残り、相互に接続されたコンタクトプラグ53と配線膜55が得られる(デュアルダマシン法)。
- [0093] 層間絶縁膜56と58についても、これと同様にして形成できる。すなわち、層間絶縁

膜54の上に層間絶縁膜56と58をこの順に重ねて形成する。その後、フォトリソグラフィ法とドライエッチング法により、層間絶縁膜58の所定位置に層間絶縁膜56に達する配線用溝を形成する。次に、同様にして、層間絶縁膜58の配線用溝の内部の所定位置で層間絶縁膜56をエッチングし、層間絶縁膜54に達するコンタクトホールを形成する。こうして、相互に連結された配線用溝とコンタクトホールが形成される。その後、層間絶縁膜58の上に、連結された配線用溝とコンタクトホールの両方を埋め込むことができる厚さで導電膜を形成してから、公知の機械研削法とCMP法により層間絶縁膜58の上の部分を選択的に除去する。その結果、連結された配線用溝とコンタクトホールの中に導電膜が残り、相互に接続されたコンタクトプラグ57と配線膜59が得られる。

[0094] 続いて、層間絶縁膜58の上に層間絶縁膜60と61をこの順に重ねて形成する。その後、フォトリソグラフィ法とドライエッチング法により、所定位置で層間絶縁膜60と61を順に選択的にエッチングし、層間絶縁膜60と61を貫通して配線膜59に達するコンタクトホールを形成する。そして、層間絶縁膜61の上に、そのコンタクトホールを埋め込むことができる厚さで導電膜を形成してから、公知の機械研削法とCMP法により層間絶縁膜61の上の部分を選択的に除去する。その結果、コンタクトホール中に導電膜が残り、コンタクトプラグ62が得られる。

[0095] 以上のようにして、図9(e)に示す構成の多層配線構造50が得られる。

[0096] アモルファス SiO_2 膜よりなる層間絶縁膜11と同様に、アモルファス SiO_2 膜よりなる層間絶縁膜61の電氣的絶縁性を確保するため、例えば、アモルファス SiO_2 膜を形成する際に酸化性雰囲気中でCVD法を実行することにより、あるいはCVD法でアモルファス SiO_2 膜を形成した後にそのアモルファス SiO_2 膜酸化性雰囲気中で酸化する等により、アモルファス SiO_2 膜の表面にごく薄い酸化膜を形成するのが好ましい。

[0097] (半導体基板と上部配線構造の接合)

以上のようにして、半導体素子を有する半導体基板1と、二層の内蔵配線を有する多層配線構造50が別個に形成されると、次に、例えば以下のようにして、半導体基板1と多層配線構造50とを相互に接合させる。

[0098] すなわち、図10(f)のように、上向きにした半導体基板1の表面に、下向きにした多

層配線構造50の裏面を対向して接触させる。この時、相互に対応するコンタクトプラグ14と62が対向して接触せしめられる。図示していない他のコンタクトプラグについても、同様に対向して接触せしめられる。そして、その対向・接触状態を保ちながら所定温度まで加熱し、それと同時に半導体基板1と多層配線構造50の少なくとも一方に押圧力を印加する。すると、コンタクトプラグ14と62は相互に高温圧着せしめられ、機械的に相互接続されると同時に電氣的にも相互接続される。このコンタクトプラグ14と62の相互接続は、コンタクトプラグ14と62を構成するAlやCu原子の相互拡散によって実現するものである。

- [0099] この時の状態を図6に模式的に示す。図6では、コンタクトプラグ(すなわち電極)14と62における原子拡散領域を符号14aと62aで示している。コンタクトプラグ14の原子拡散領域14aには、コンタクトプラグ62中の原子(例えばAlまたはCuまたはW原子)が拡散している。コンタクトプラグ62の原子拡散領域62aには、コンタクトプラグ14中の原子(例えばAlまたはCuまたはW原子)が拡散している。コンタクトプラグ14と62は、このように原子の相互拡散によって相互接合される。
- [0100] 図6の符号9aは、コンタクトプラグ(すなわち電極)14と接触している配線膜9における原子拡散領域を示す。配線膜9の原子拡散領域9aには、コンタクトプラグ14中の原子(例えばAlまたはCuまたはW原子)が拡散している。図6の符号59aは、コンタクトプラグ(すなわち電極)62と接触している配線膜59における原子拡散領域を示す。配線膜59の原子拡散領域59aには、コンタクトプラグ62中の原子(例えばAlまたはCuまたはW原子)が拡散している。
- [0101] 図12は、配線膜59のパターンの一例を模式的に示した平面図である。同図では、配線膜59がその一端でコンタクトプラグ(電極)62と重なっていることが示されている。
- [0102] この接合工程では、半導体基板1の表面に露出した層間絶縁膜11と、配線構造50の裏面に露出した層間絶縁膜61とが対向して全面で接触せしめられているが、上記の所定温度が層間絶縁膜11と61のガラス転移温度より高く設定されているため、層間絶縁膜11と61が軟化して流動状態となる(リフローする)。この時、層間絶縁膜11と61は相互に加圧されているため、相互に接着せしめられる。

[0103] この接合工程で印加された熱により、アモルファス SiO_2 よりなる層間絶縁膜11と61中に含まれている水分が蒸発し、層間絶縁膜11と61の含有水分が減少する。その結果、層間絶縁膜11と61の体積が収縮する。この層間絶縁膜11と61の体積収縮は、層間絶縁膜11と61の間の接着強度の増加をもたらす、という利点がある。

[0104] (配線構造の支持基板の剥離)

上述のようにして半導体基板1の表面に露出した層間絶縁膜11と、多層配線構造50の裏面に露出した層間絶縁膜61とが相互接合せしめられると、次に、多層配線構造50の支持基板51を層間絶縁膜52から引き離す。この時の状態は図11(g)のようになる。こうして、本発明の第2実施形態に係る電子回路装置が得られる。

[0105] この電子回路装置は、半導体素子と第1～第2レベルの配線を持つ半導体基板1の表面に、第3～第4レベルの配線を持つ多層配線構造50が一体的に形成された構成を持つ。したがって、この電子回路装置は第1～第4レベルの配線を持つことになる。また、半導体基板1に対して最も外側にある層間絶縁膜52中に埋め込まれたコンタクトプラグ53は、上端が外部に露出しており、当該電子回路装置の外部引き出し電極として使用される。なお、コンタクトプラグ53の上端にバンプ電極を形成し、それらバンプ電極を外部引き出し電極としてもよい。

[0106] 以上説明したように、本発明の第2実施形態に係る電子回路装置の製造方法では、まず、上述した構成を持つ半導体基板1と多層配線構造50を別個に形成してから、半導体基板1の層間絶縁膜11と多層配線構造50の層間絶縁膜61とを相互に対向・接着させ、さらに、層間絶縁膜11と61の界面の近傍でコンタクトプラグ(電極)14とコンタクトプラグ(電極)62とを相互に接合させ、それによって基板1と多層配線構造50とを一体化させている。この工程では、加熱により層間絶縁膜11と61が相互に接着されると共に、脱水により層間絶縁膜11と61の各々が収縮してそれらの間に引張応力が生じる。このため、層間絶縁膜11と61の間の接合強度が増加する。最後に、アモルファス材料からなる層間絶縁膜11と61の各々を部分的に結晶化させることにより、それらは化学的に安定な状態となる。

[0107] このようにして製造された第2実施形態の電子回路装置は、良品と判断された半導体基板(半導体装置)1に対して、当該半導体基板1とは別個に形成した多層配線構

造50を接合することにより、電子回路装置全体としての歩留まりをほぼ100%に上げることができる。また、半導体基板1の上に多層配線構造50を重ねて接合するだけであるから、当該電子回路装置のサイズが不必要に増加することもない。つまり、半導体装置のサイズを不必要に大きくすることなく、微細化された素子を接続する膨大な数の配線を実装することができると共に、極めて高い歩留まりで製造することが可能である。

[0108] さらに、この半導体装置では、半導体基板1の表面を覆う層間絶縁膜11と、多層配線構造50の裏面を覆う層間絶縁膜61が、相互に接着されていると共に、それら層間絶縁膜11、61の各々が加熱収縮性を持ち且つ部分的に結晶化した(つまり結晶化途中の)アモルファス材料により形成されている。このため、加熱することにより、相互に接着された層間絶縁膜11と61の間に収縮力が作用し、層間絶縁膜61は層間絶縁膜11に向かって強く引かれた状態で接合される。その結果、素子を有する半導体基板1と、内蔵配線を有する多層配線構造50との間に接合強度の問題は生じない。

[0109] なお、以上の説明から明らかなように、第2実施形態の電子回路装置は、第1実施形態の電子回路装置と同様に、半導体基板1と多層配線構造50を接合・一体化した構成を持っている。しかし、半導体基板100と多層配線構造200をマイクロバンプ電極と接着剤を用いて相互接続した第1実施形態の電子回路装置とは異なり、マイクロバンプ電極と接着剤を用いずに半導体基板1と多層配線構造50を相互接続している。したがって、第2実施形態に係る電子回路装置は、多層配線構造50が半導体基板1と一体化されて単一のULSIと同様の構成を持っている。

[0110] 熱膨張係数(または線膨張係数)の差に起因する問題については、層間絶縁膜11及び61として、熱膨張係数(線膨張係数)が同じまたは近接した材料をそれぞれ使用することにより、容易に防止することができる。

[0111] (第3実施形態)

図13～図15は、本発明の第3実施形態に係る電子回路装置の多層配線構造に使用される配線の構成を示す説明図である。本実施形態は、クロック信号のGHzオーダーへの高周波化に伴う高速信号伝送を可能にする配線構成を持ち、電子回路装置のいっそうの性能向上を可能とするものである。

- [0112] 図13の配線構造400は、絶縁膜401と、絶縁膜401の内部に埋設された相互に並行に延在する直線状のグランド(接地)線411及び信号線412と、絶縁膜401の上下両面に配置されたグランド(接地)層402及び403とを備えている。この配線構造400が従来の配線構造と異なる点は、絶縁膜401の上下両面に配置されたグランド層402及び403である。すなわち、従来の配線構造では、グランド層402の位置にグランド線411及び信号線412と直交する複数のグランド線が配置されており、グランド層403の位置にグランド線411及び信号線412と直交する複数のグランド線が配置される。グランド層402の位置にあるグランド線と、グランド層403の位置にあるグランド線は、互いに平行である。つまり、配線構造400は、従来の配線構造において絶縁膜401の上下にあるグランド線に代えてグランド層402及び403を設けたものに相当する。
- [0113] 発明者らが行ったシミュレーションに用いたモデルにおける各要素の大きさと物理特性は、グランド線411及び信号線412の幅 w と高さ h が、それぞれ $0.2\mu\text{m}$ 、 $0.44\mu\text{m}$ 、グランド線411と信号線412の間の距離 d が $0.2\mu\text{m}$ 、グランド線411及び信号線412の長さ x が $20\mu\text{m}$ 、絶縁膜401の厚さ T が $0.44\mu\text{m}$ 、絶縁膜401の比透磁率、比誘電率及び誘電正接がそれぞれ1、2.1及び0、グランド線411及び信号線412の導電率と比透磁率がそれぞれ $5.8\times 10^7\text{S/m}$ 及び1である(図14を参照)。
- [0114] 境界条件は次のとおりである。すなわち、 $X-Y$ 面(絶縁膜401に平行な面)と $X-Z$ 面及び $Y-Z$ 面(絶縁膜401に直交する面)の境界条件は、電磁波が放射できるように設定した。
- [0115] シミュレーションにおいて伝送時における信号減衰、クロストークノイズ、容量性結合、誘導性結合について比較検討した結果、図13の配線構造400は、上記従来の配線構造よりも高周波化に有効であることが判明した。また、グランド線411と信号線412の最適の位置関係と寸法関係が判明した。それを図14に示す。すなわち、グランド線411または信号線412の幅 w と高さ h がいずれも $1.2\mu\text{m}$ であり、グランド線411と信号線412の間の距離 d が $2.4\mu\text{m}$ であり、グランド線411または信号線412とグランド(接地)層402または403との距離 T が $2.4\mu\text{m}$ である。
- [0116] これらの最適値は、ULSIチップ上で実現するのは困難であるため、インターポー

ザ等との組み合わせが必要であると思われる。

[0117] なお、発明者らが行ったこのシミュレーションの詳細は、本発明者らによる下記論文に記載されている。

[0118] 安田尚平、岩田剛治、佐藤了平、11th Symposium on “Microjoining and Assembly Technology in Electronics”, February 3-4, 2005, Yokohama, pp.451-456,「次世代SiPに向けた適正配線に関する基礎検討(Basic Study of Proper Circuit Line Structure for Advanced System in Package)」

図15は、本発明の第3実施形態に係る電子回路装置500の概略構成を示す説明図である。この電子回路装置500は、4個のCPU (Central Processing Unit) チップ501と複数のメモリチップ502及び503を組み合わせたものであり、隣接するCPUチップ501間の電氣的相互接続に図13に示す配線構造400を適用している。本実施形態によれば、10GHzのクロック周波数でULSIサイズの最大距離である10mmの信号伝送が可能である。また、伝送される信号の減衰が抑制されるため、信号減衰対策のためのリピータ回路が不要となり、その結果、消費電力も低減できる。

[0119] なお、図13に示す配線構造400は、上述した第1実施形態の多層配線構造200(これはインターポーザとして機能する)の配線としても使用可能である。

[0120] (変形例)

上述した第1～第3の実施形態は本発明を具体化した例を示すものであり、したがって本発明はこの実施形態に限定されるものではなく、本発明の趣旨を外れることなく種々の変形が可能であることは言うまでもない。例えば、上述した実施形態では、コンタクトプラグ(電極)14が積層された二つの層間絶縁膜10と11に埋め込まれ、コンタクトプラグ(電極)62が積層された二つの層間絶縁膜60と61に埋め込まれているが、本発明はこれに限定されない。コンタクトプラグ(電極)14は単一の層間絶縁膜に埋め込まれてもよいし、コンタクトプラグ(電極)62も単一の層間絶縁膜に埋め込まれてもよいことは言うまでもない。

図面の簡単な説明

[0121] [図1]本発明の第1実施形態に係る電子回路装置の部分断面図である。

[図2]本発明の第1実施形態に係る電子回路装置の製造方法を工程毎に示す部分

断面図で、半導体基板の製造工程を示している。

[図3]本発明の第1実施形態に係る電子回路装置の製造方法を工程毎に示す部分断面図で、多層回線構造の製造工程を示している。

[図4]本発明の第1実施形態に係る電子回路装置の製造方法を工程毎に示す部分断面図で、半導体基板と多層配線構造の接合工程を示している。

[図5]本発明の第1実施形態に係る電子回路装置の製造方法を工程毎に示す部分断面図で、半導体基板と多層配線構造の接合後の状態を示している。

[図6]本発明の第2実施形態に係る電子回路装置の接合部を示す部分拡大断面図である。

[図7]本発明の第2実施形態に係る電子回路装置の製造方法を工程毎に示す部分断面図で、半導体基板の製造工程を示している。

[図8]本発明の第2実施形態に係る電子回路装置の製造方法を工程毎に示す部分断面図で、図7の続きである。

[図9]本発明の第2実施形態に係る電子回路装置の製造方法を工程毎に示す部分断面図で、多層配線構造の製造工程を示している。

[図10]本発明の第2実施形態に係る電子回路装置の製造方法を工程毎に示す部分断面図で、半導体基板と多層配線構造の接合工程を示している。

[図11]本発明の第2実施形態に係る電子回路装置の製造方法を工程毎に示す部分断面図で、半導体基板と多層配線構造の接合後に支持基板を外した状態を示している。

[図12]本発明の第2実施形態に係る電子回路装置において、多層配線構造内の配線膜のパターンの一例を示す概略部分平面図である。

[図13]本発明の第3実施形態に係る電子回路装置の多層配線構造に使用される配線の例を示す部分拡大説明図である。

[図14]本発明の第3実施形態に係る電子回路装置の多層配線構造に使用される配線の寸法関係を示す説明図である。

[図15]本発明の第3実施形態に係る電子回路装置を示す要部断面説明図である。

符号の説明

- [0122]
- 1 半導体基板
 - 2 ウェル領域
 - 3 ソース・ドレイン領域
 - 4 層間絶縁膜
 - 5 コンタクトホール
 - 6 配線膜
 - 7 層間絶縁膜
 - 8 コンタクトホール
 - 9 配線膜
 - 10 層間絶縁膜
 - 11 層間絶縁膜
 - 12 コンタクトホール
 - 13 導電膜
 - 14 コンタクトプラグ
 - 50 配線構造
 - 51 支持基板
 - 52 層間絶縁膜
 - 53 コンタクトプラグ
 - 54 層間絶縁膜
 - 55 配線膜
 - 56 層間絶縁膜
 - 57 コンタクトプラグ
 - 58 層間絶縁膜
 - 59 配線膜
 - 60 層間絶縁膜
 - 61 層間絶縁膜
 - 62 コンタクトプラグ
 - 100 半導体基板

- 101 シリコン基材
- 102a、102b、102c ウェル領域
- 103a、103b、103c、103d 拡散領域
- 104 絶縁膜
- 112a、112b、112c、112d 導電膜
- 106 層間絶縁膜
- 108 絶縁膜
- 110 層間絶縁膜
- 116a、116b、116c、116d 導電膜
- 118a、118b、118c、118d 導電性プラグ
- 120a、120b、120c、120d マイクロバンプ電極(接続用電極)
- 200 多層配線構造
- 202 層間絶縁膜
- 204 絶縁膜
- 206 層間絶縁膜
- 208 絶縁膜
- 210 層間絶縁膜
- 212a、212b、212c、212d 導電性プラグ
- 214a、214b、214c、214d 配線膜
- 216a、216b、216c、216d 導電性プラグ
- 218a、218b、218c、218d 配線膜
- 220b、220d 導電性プラグ
- 222a、222b、222c、222d マイクロバンプ電極(接続用電極)
- 230b、230d 外部電極
- 300 電氣的絶縁性接着剤

請求の範囲

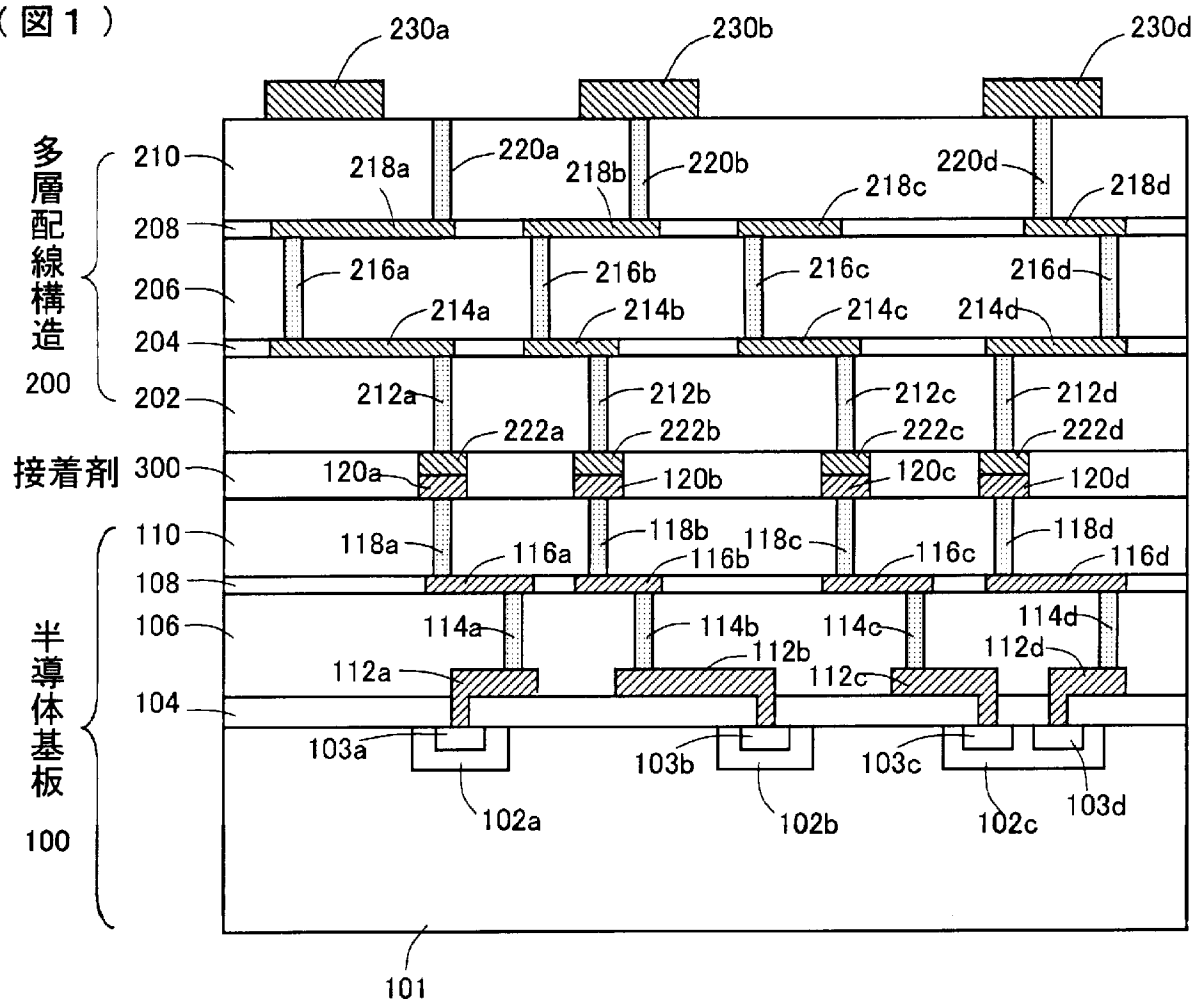
- [1] 複数の電子回路素子と、当該電子回路素子を相互接続する配線層とを有する半導体基板と、
多層配線層を内蔵すると共に、前記半導体基板の熱膨張係数とほぼ同一の熱膨張係数を持つ多層配線構造とを備え、
前記半導体基板の前記配線層の表面と前記多層配線構造の接合面とが、接続用電極を用いてあるいは接続用電極を用いずに電氣的・機械的に相互接続されることによって、前記半導体基板と前記多層配線構造とが一体化されていることを特徴とする電子回路装置。
- [2] 前記多層配線構造が、前記半導体基板と一体化されて単一のULSIのような構造を持つ請求項1に記載の電子回路装置。
- [3] 前記多層配線構造が、インターポーザとして機能する請求項1に記載の電子回路装置。
- [4] 前記多層配線構造の前記多層配線層を構成する各層の熱膨張率及び厚さが、温度変化に伴う前記多層配線構造の反りを防止するように調整される請求項1～3のいずれか1項に記載の電子回路装置。
- [5] 前記半導体基板の前記配線層の表面と前記多層配線構造の接合面とが、接続用電極を用いて電氣的・機械的に相互接続されている請求項1～3のいずれか1項に記載の電子回路装置。
- [6] 前記半導体基板の前記配線層の表面と前記多層配線構造の接合面の間に、電氣的絶縁性の接着剤が充填されている請求項5に記載の電子回路装置。
- [7] 前記半導体基板の前記配線層の表面と前記多層配線構造の接合面とが、接続用電極を用いずに電氣的・機械的に相互接続されている請求項1～3のいずれか1項に記載の電子回路装置。
- [8] 前記半導体基板の前記配線層の表面と前記多層配線構造の接合面に、それぞれアモルファス絶縁膜が配置されており、それら二つのアモルファス絶縁膜が直接的に相互接合されている請求項7に記載の電子回路装置。
- [9] 前記多層配線構造が、絶縁層と、その絶縁層の内部に一方向に沿って所定間隔

をあけて交互に配置された信号線及びグランド線と、前記信号線及びグランド線を含む面に対して直交する方向において前記絶縁層の両側に配置された一对のグランド層とを備えている請求項1～3のいずれか1項に記載の電子回路装置。

- [10] 前記グランド線または前記信号線の幅と高さがいずれも $1.2\mu\text{m}$ であり、前記グランド線と前記信号線の間の距離が $2.4\mu\text{m}$ であり、前記グランド線または前記信号線と一对の前記グランド層のいずれか一方との距離が $2.4\mu\text{m}$ である請求項9に記載の電子回路装置。
- [11] 複数の電子回路素子と、当該電子回路素子を相互接続する配線層とを有する半導体基板を形成する工程と、
多層配線層を内蔵すると共に、前記半導体基板の熱膨張係数とほぼ同一の熱膨張係数を持つ多層配線構造を形成する工程と、
複数の接続用電極を用いてあるいは用いずに、前記半導体基板と前記多層配線構造とを相互接続し、もって前記半導体基板と前記多層配線構造とを一体化する工程と
を備えたことを特徴とする電子回路装置の製造方法。
- [12] 前記半導体基板と前記多層配線構造とを相互接続するための複数の接続用電極を形成する工程を含む請求項11に記載の電子回路装置の製造方法。
- [13] 前記半導体基板と前記多層配線構造の間の隙間に電気的絶縁性の接着剤を充填する工程を含む請求項12に記載の電子回路装置の製造方法。
- [14] 前記半導体基板の前記配線層の表面と前記多層配線構造の接合面に、それぞれアモルファス絶縁膜が配置されており、それら二つのアモルファス絶縁膜が直接的に相互接合されることによって、前記半導体基板と前記多層配線構造とが相互接続せしめられる請求項11に記載の電子回路装置の製造方法。

[図1]

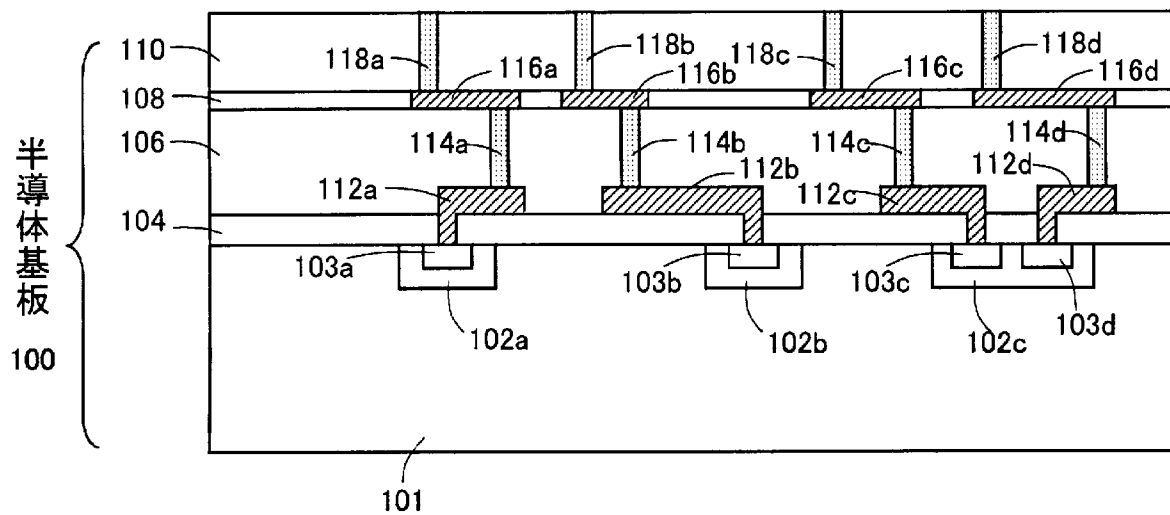
(図 1)



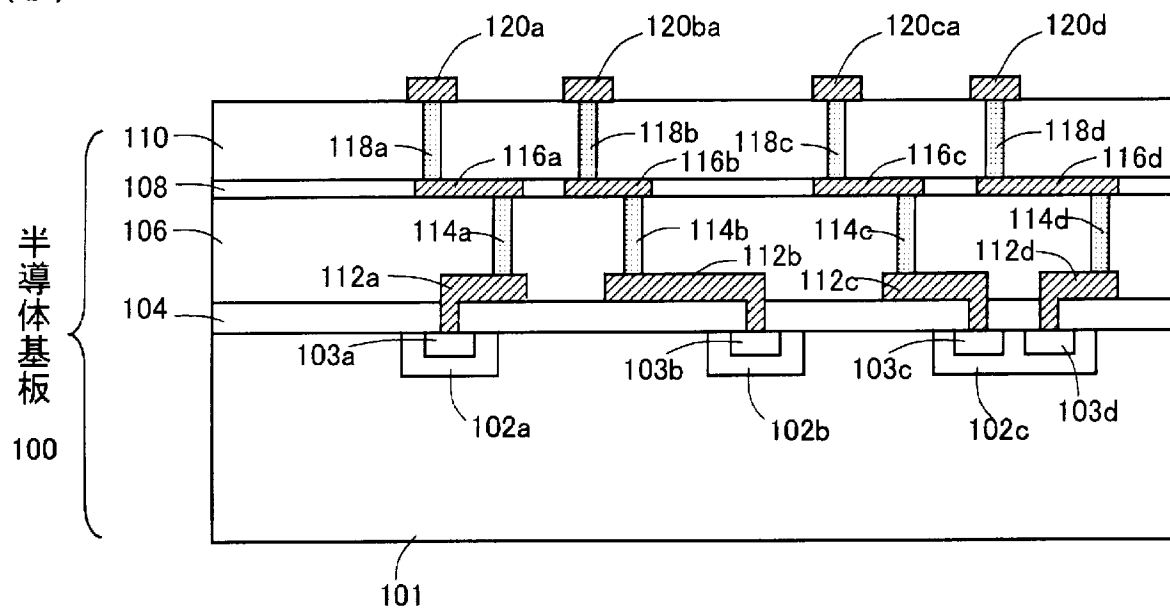
[図2]

(図 2)

(a)



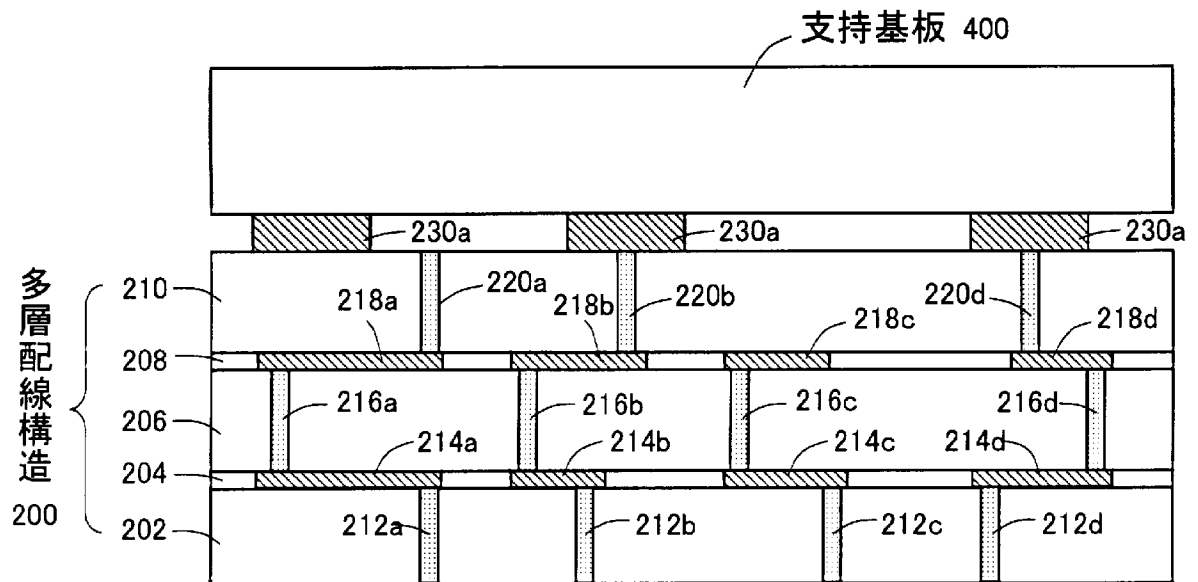
(b)



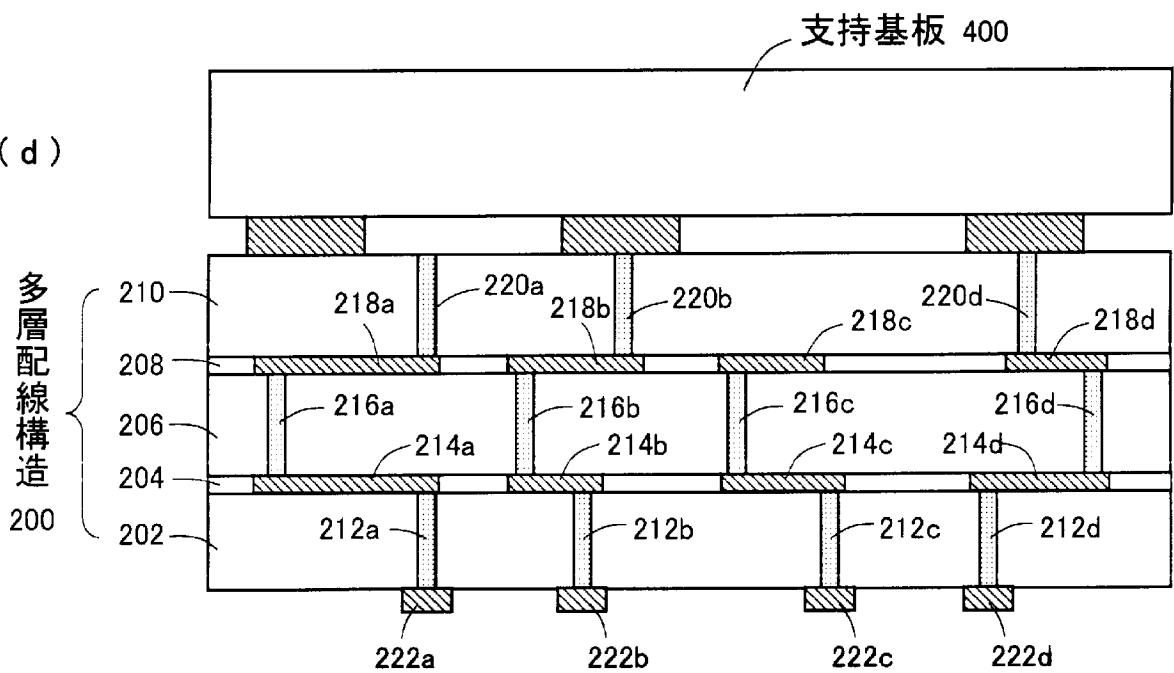
[図3]

(図 3)

(c)

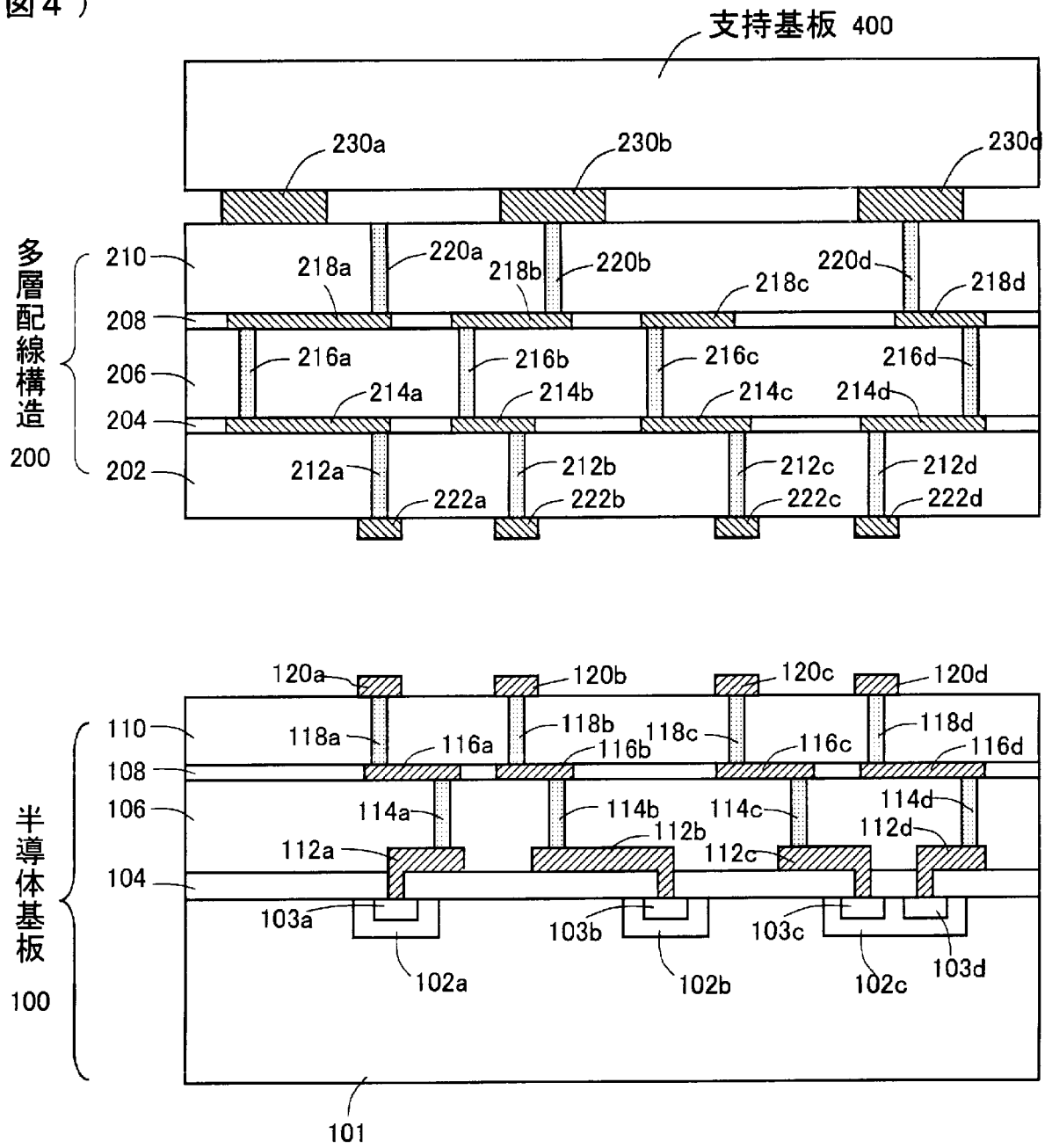


(d)



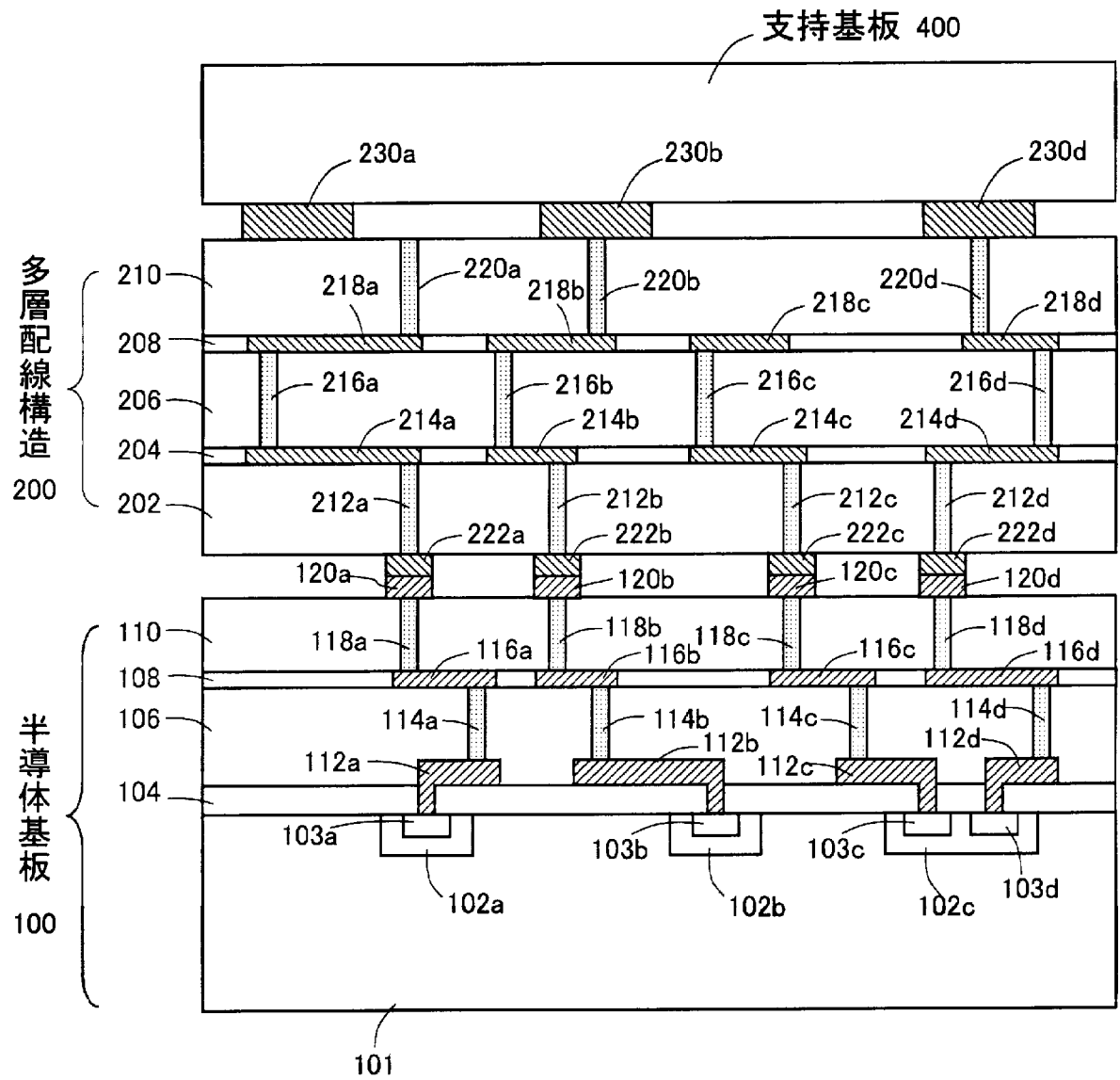
[図4]

(図 4)



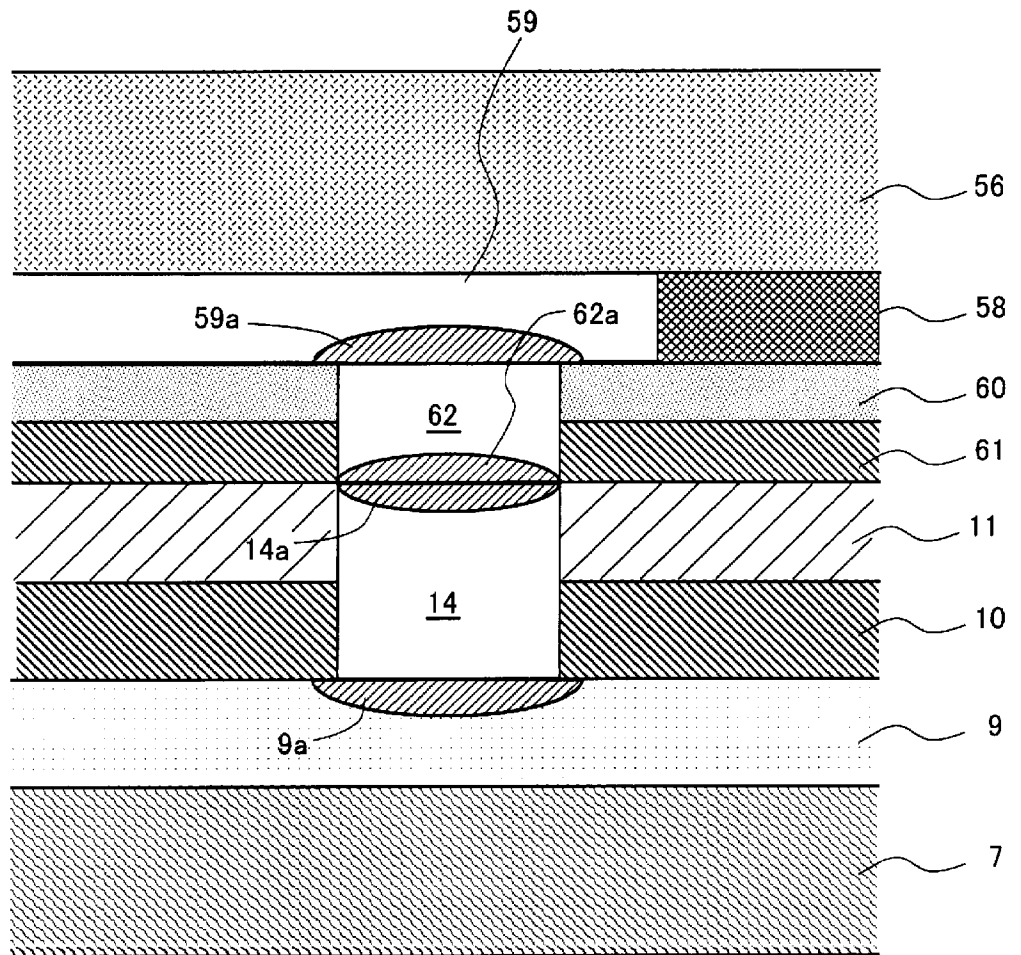
[圖5]

(圖 5)



[図6]

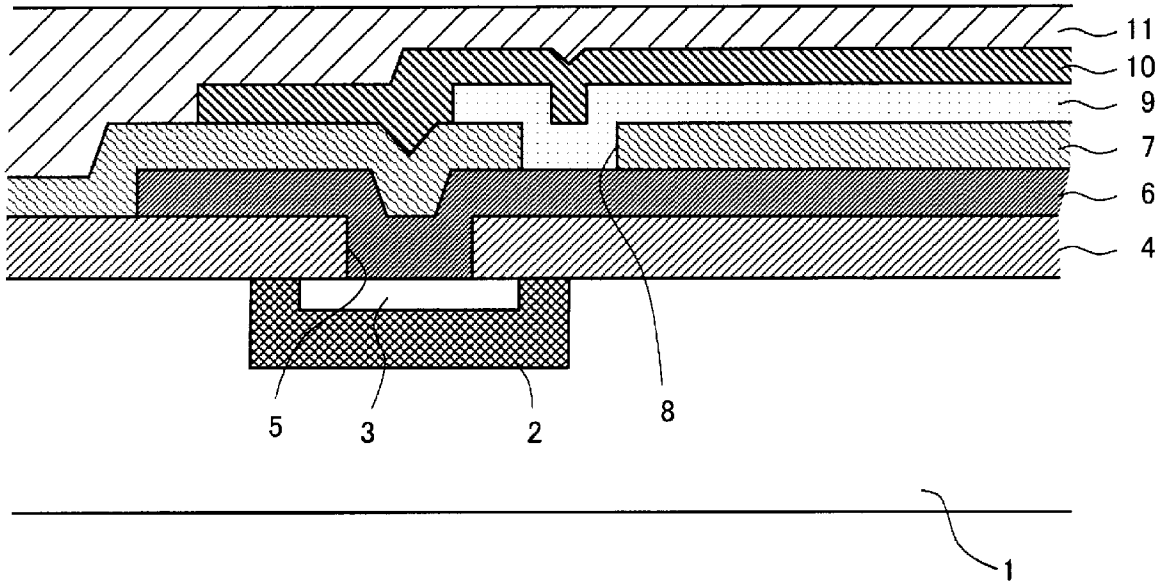
(図 6)



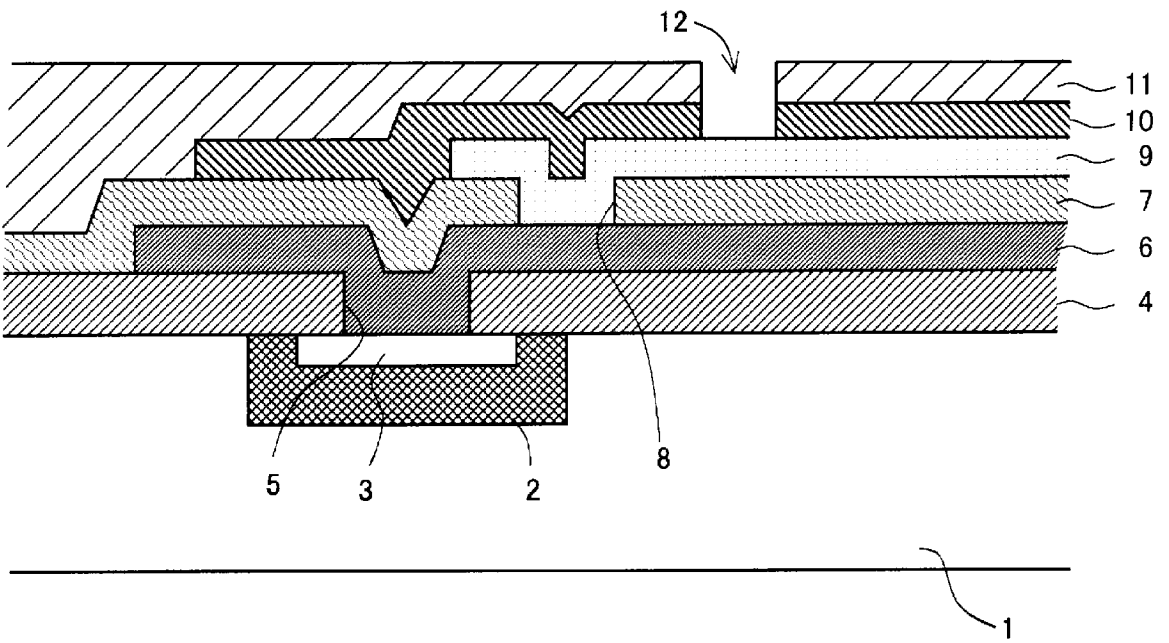
[図7]

(図 7)

(a)



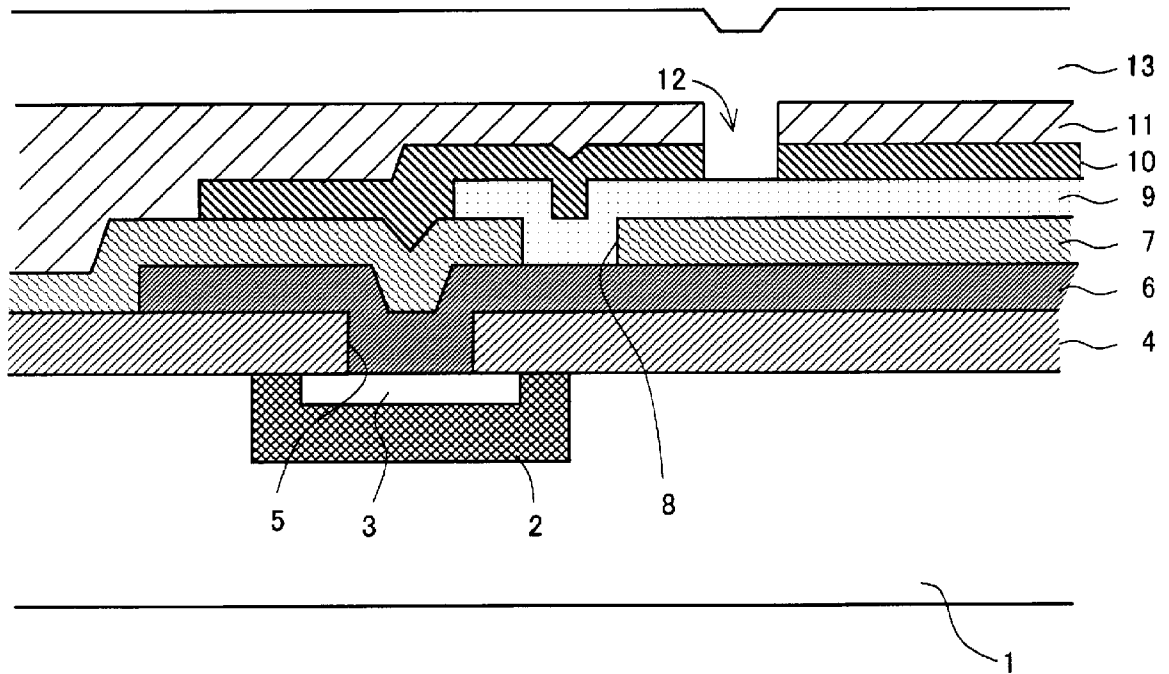
(b)



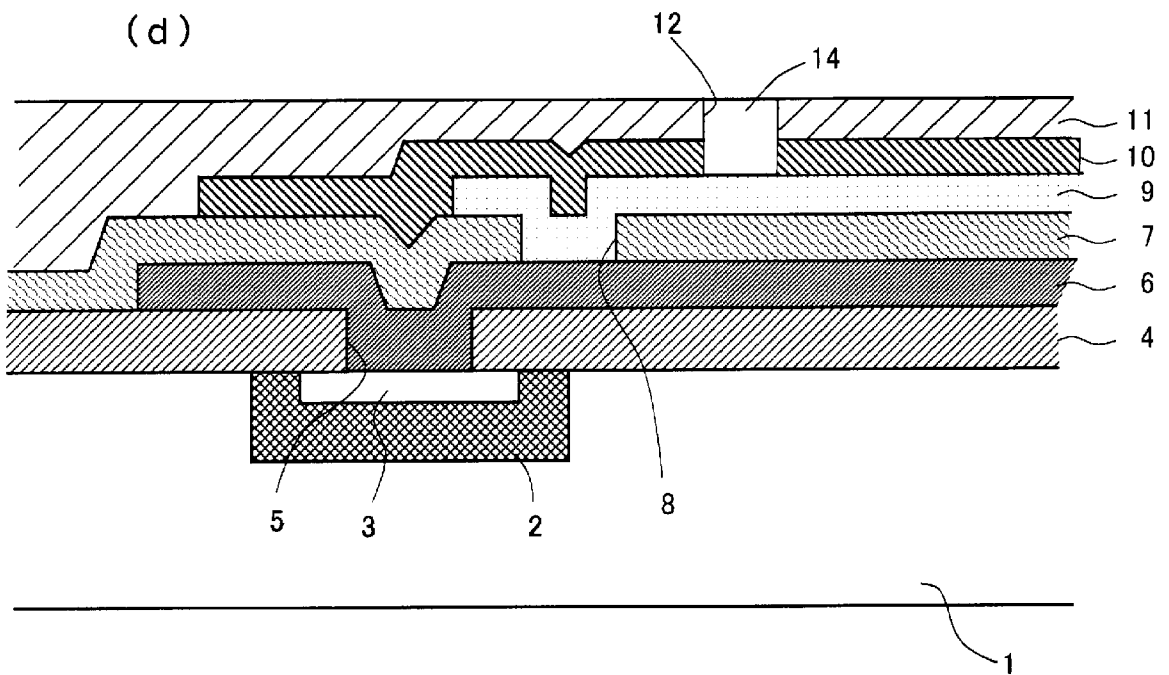
[図8]

(図 8)

(c)



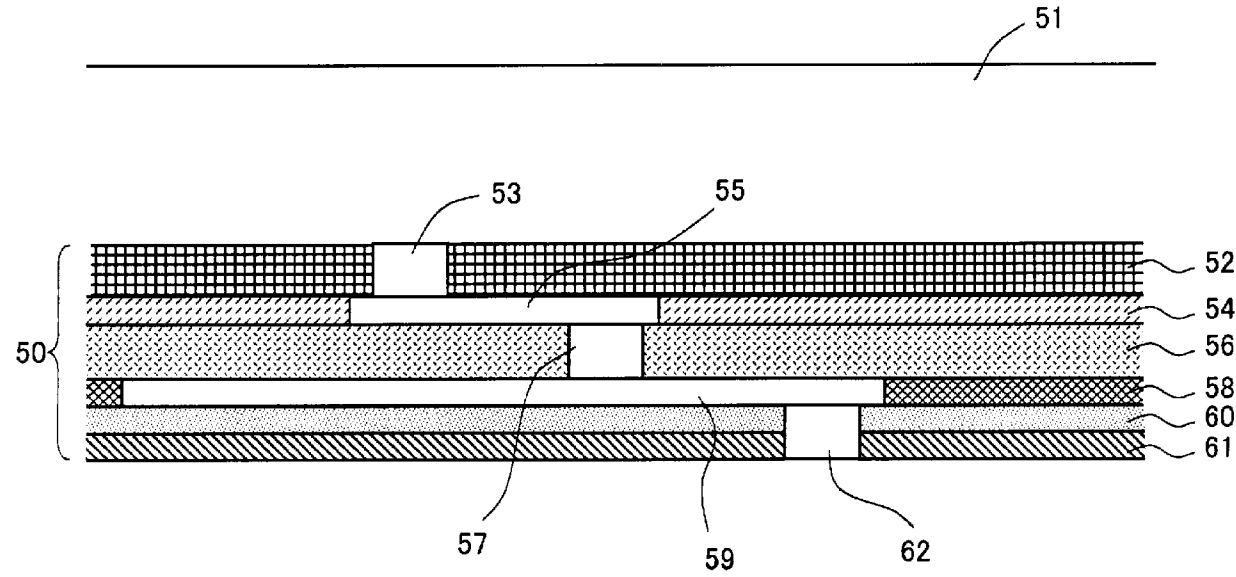
(d)



[図9]

(図 9)

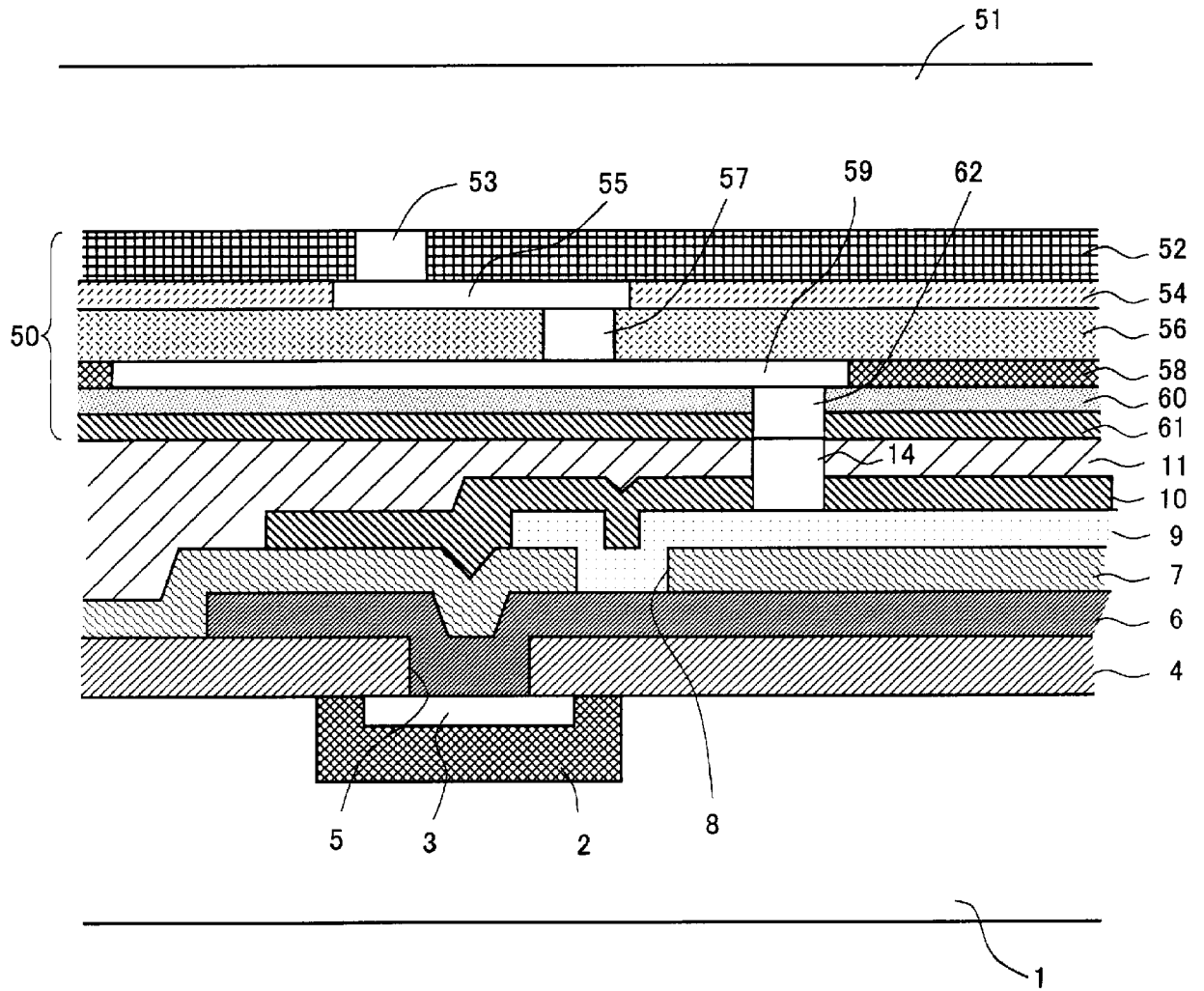
(e)



[図10]

(図10)

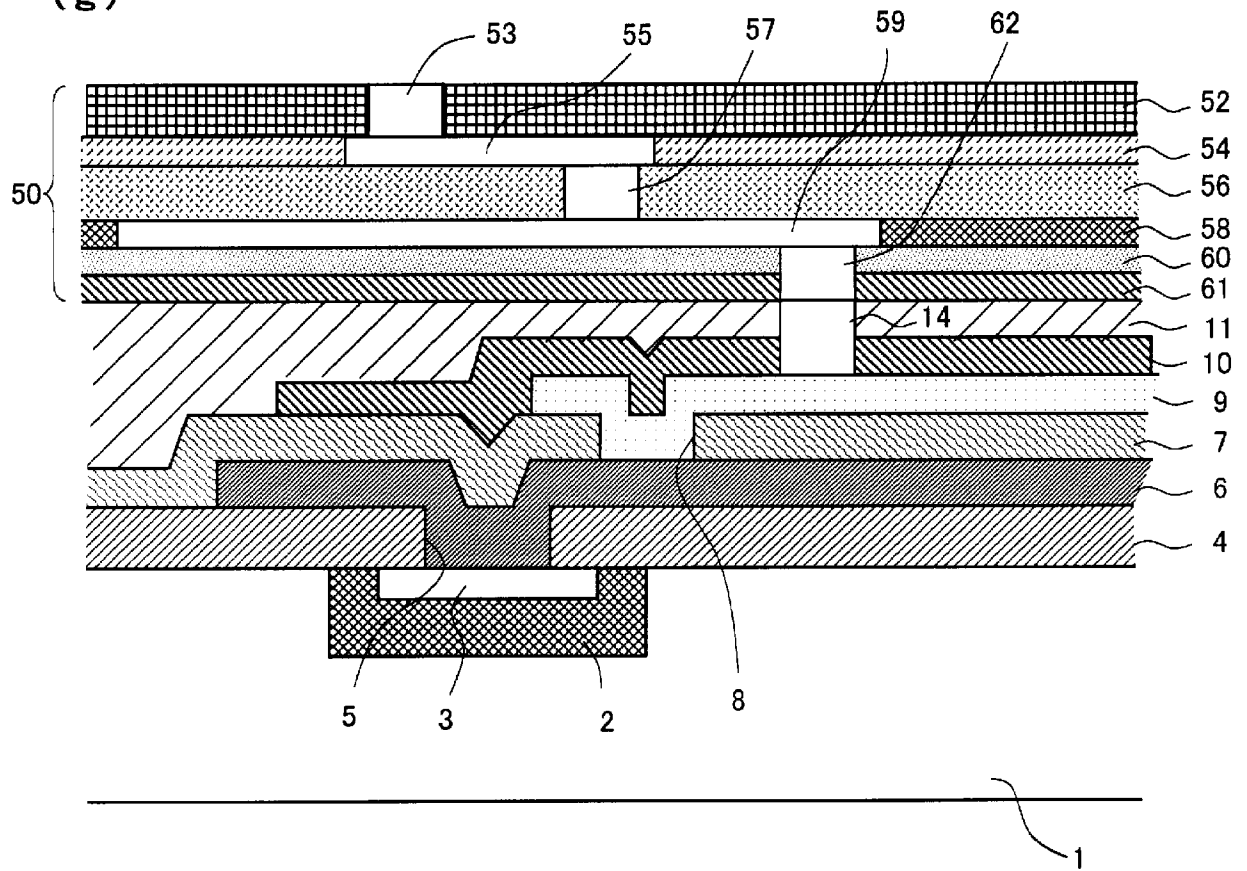
(f)



[図11]

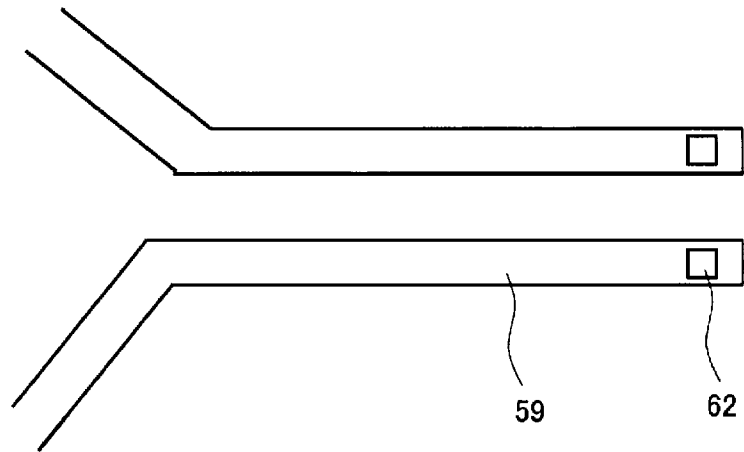
(図11)

(g)



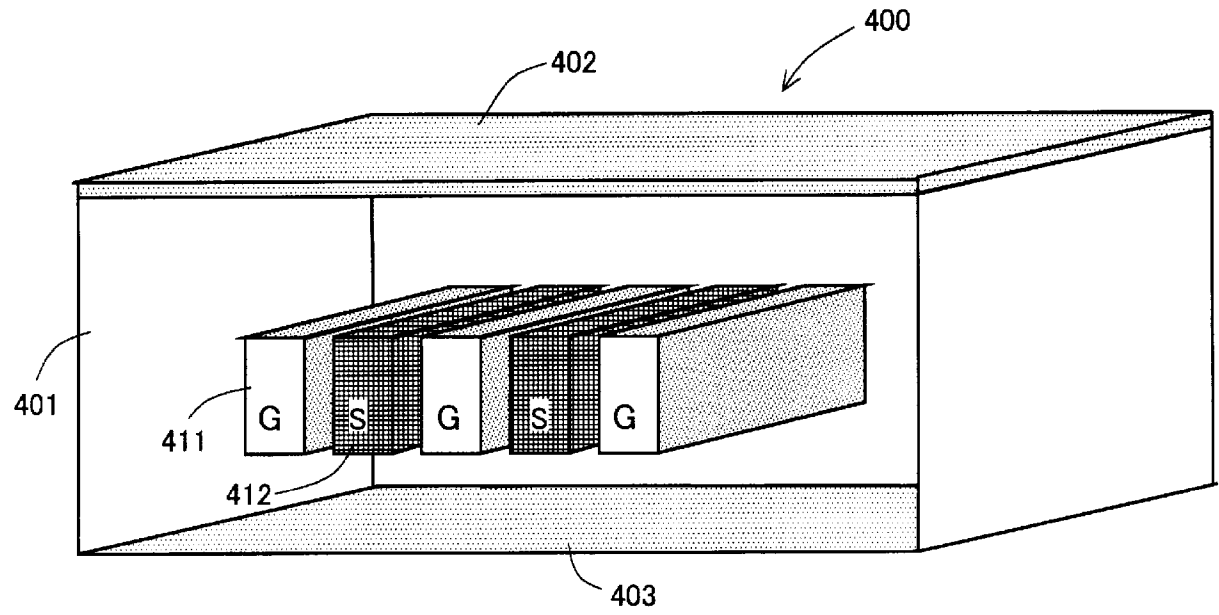
[図12]

(図 1 2)



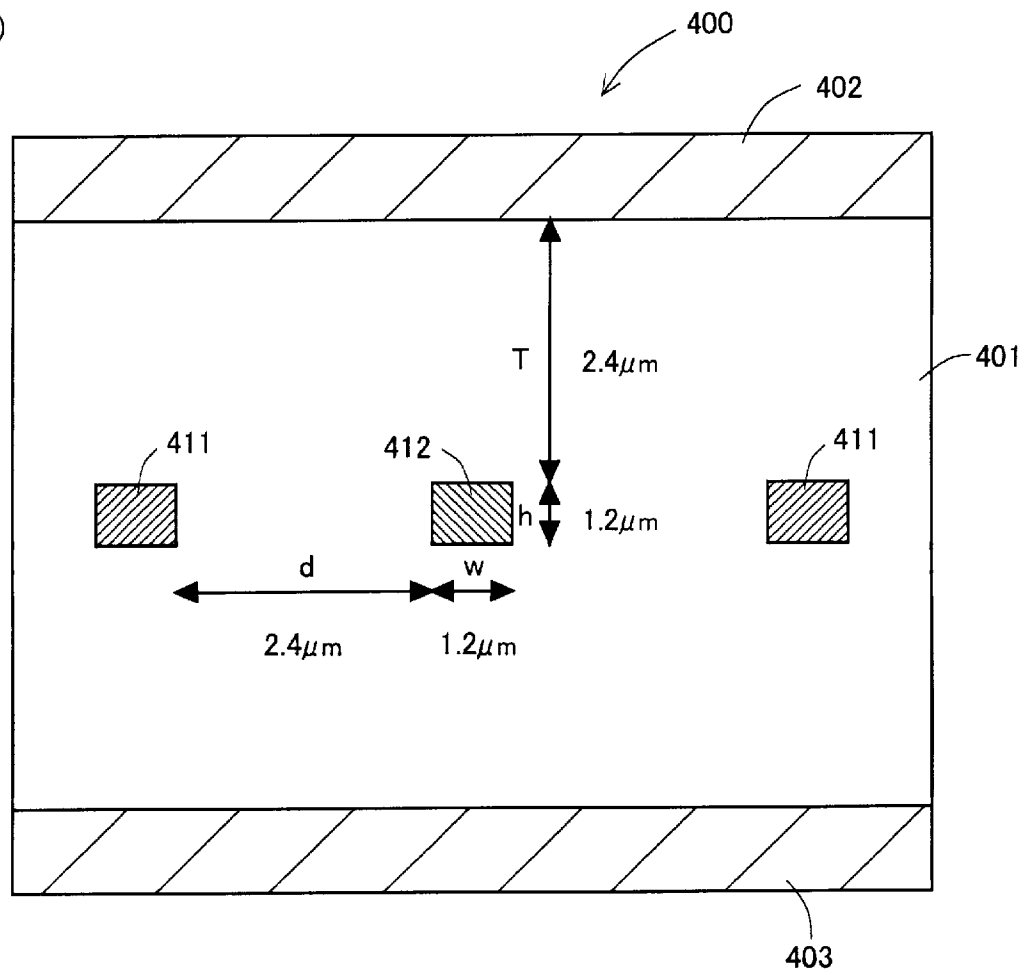
[図13]

(図 1 3)



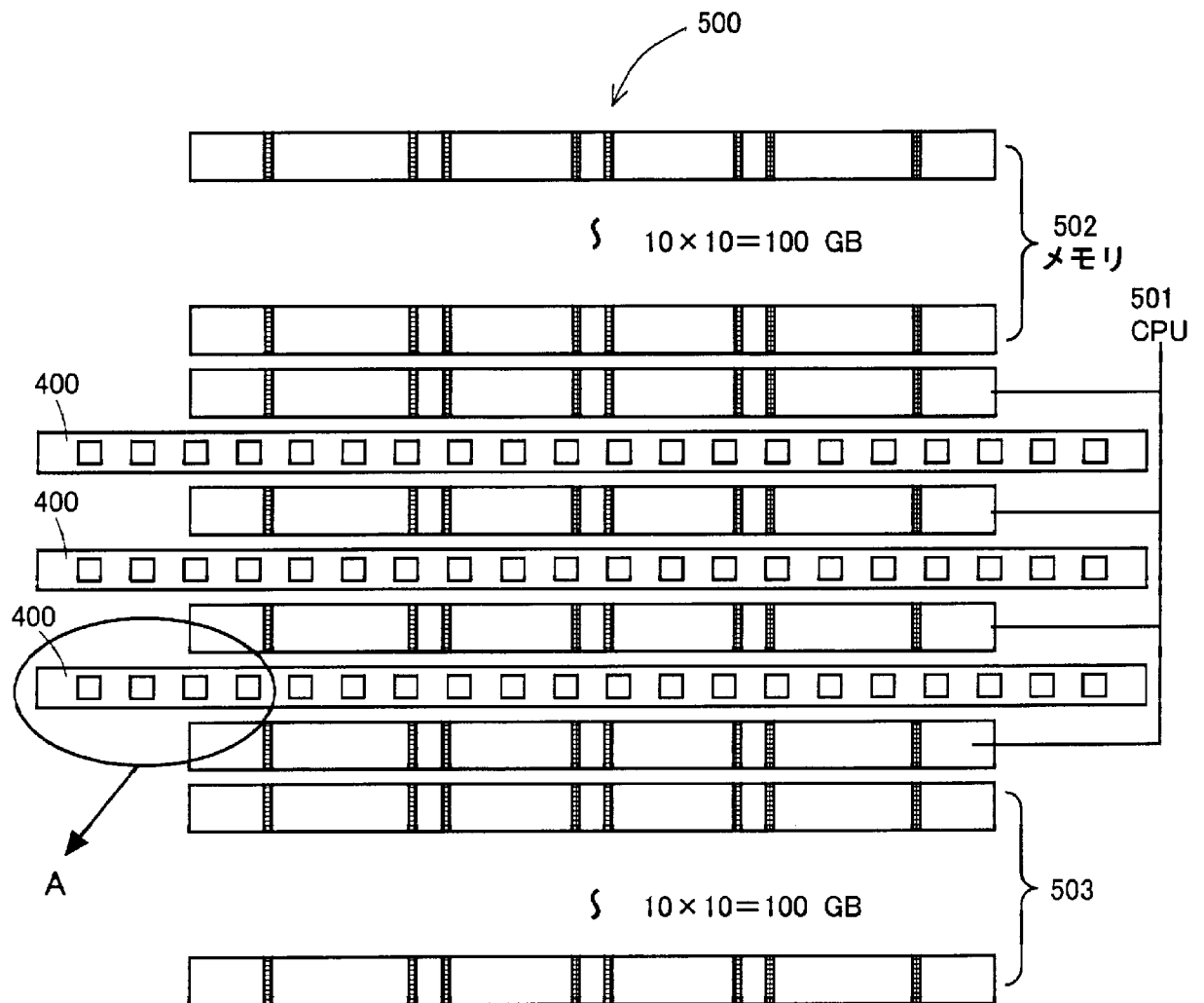
[図14]

(図 1 4)



[図15]

(図 1 5)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/315279

A. CLASSIFICATION OF SUBJECT MATTER

H01L23/12(2006.01) i, H01L21/768(2006.01) i, H01L23/522(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/12, H01L21/768, H01L23/522

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 6-208994 A (Hitachi, Ltd.), 26 July, 1994 (26.07.94), Full text (Family: none)	1-6, 11-13 9-10 7-8, 14
X Y A	JP 8-78622 A (Toshiba Corp.), 22 March, 1996 (22.03.96), Full text (Family: none)	1-4, 7, 11 9-10 5-6, 8, 12-14
X Y A	JP 10-223636 A (NEC Yamagata, Ltd.), 21 August, 1998 (21.08.98), Full text (Family: none)	1-4, 7, 11 9-10 5-6, 8, 12-14

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
28 November, 2006 (28.11.06)

Date of mailing of the international search report
05 December, 2006 (05.12.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/315279

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-299340 A (Sanyo Electric Co., Ltd.), 11 October, 2002 (11.10.02), Full text (Family: none)	9-10

A. 発明の属する分野の分類（国際特許分類（I P C））
 Int.Cl. H01L23/12(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料（国際特許分類（I P C））
 Int.Cl. H01L23/12, H01L21/768, H01L23/522

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2－1 9 9 6年
日本国公開実用新案公報	1 9 7 1－2 0 0 6年
日本国実用新案登録公報	1 9 9 6－2 0 0 6年
日本国登録実用新案公報	1 9 9 4－2 0 0 6年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	JP 6-208994 A（株式会社日立製作所）1994.07.26, 全文（ファミリーなし）	1-6, 11-13 9-10 7-8, 14
X Y A	JP 8-78622 A（株式会社東芝）1996.03.22, 全文（ファミリーなし）	1-4, 7, 11 9-10 5-6, 8, 12-14

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献
--	---

国際調査を完了した日 2 8 . 1 1 . 2 0 0 6	国際調査報告の発送日 0 5 . 1 2 . 2 0 0 6		
国際調査機関の名称及びあて先 日本国特許庁（ I S A / J P ） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目 4 番 3 号	特許庁審査官（権限のある職員） 石野 忠志	4 R	3 5 4 7
	電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 7 1		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	JP 10-223636 A (山形日本電気株式会社) 1998. 08. 21, 全文 (ファミリーなし)	1-4, 7, 11 9-10 5-6, 8, 12-14
Y	JP 2002-299340 A (三洋電機株式会社) 2002. 10. 11, 全文 (ファミリーなし)	9-10