



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0053592
(43) 공개일자 2024년04월24일

(51) 국제특허분류(Int. Cl.)
H01L 23/522 (2006.01) H01L 21/768 (2006.01)
H10N 97/00 (2023.01)
(52) CPC특허분류
H01L 23/5223 (2013.01)
H01L 21/76838 (2013.01)
(21) 출원번호 10-2024-7007095
(22) 출원일자(국제) 2022년07월29일
심사청구일자 없음
(85) 번역문제출일자 2024년02월29일
(86) 국제출원번호 PCT/US2022/074289
(87) 국제공개번호 WO 2023/039319
국제공개일자 2023년03월16일
(30) 우선권주장
17/470,274 2021년09월09일 미국(US)

(71) 출원인
헬컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
주, 존 지안홍
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
게, 리신
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
날라파티, 기리다르
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(74) 대리인
특허법인 남앤남

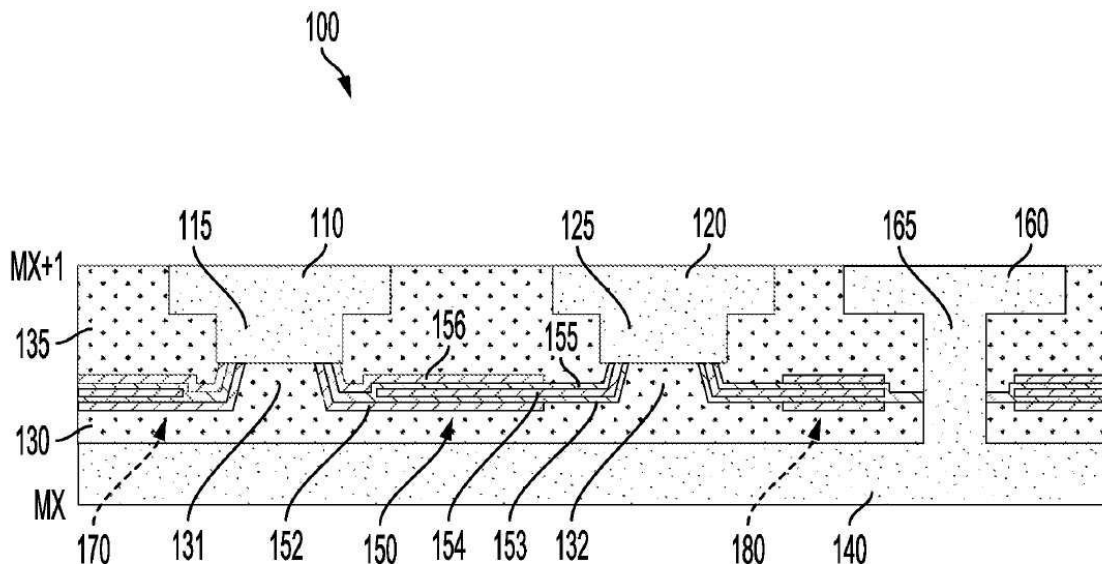
전체 청구항 수 : 총 30 항

(54) 발명의 명칭 최상부 접점을 갖는 금속-절연체-금속 커패시터

(57) 요약

제1 최상부 접점, 제1 최상부 접점에 인접한 제2 최상부 접점, 제1 최상부 접점 아래에 배치된 제1 메사 및 제2 최상부 접점 아래에 배치된 제2 메사를 포함하는 디바이스 및 디바이스 제조 방법에 대한 예들이 개시된다. 금속-절연체-금속(MIM) 커패시터의 제1 플레이트가 제1 최상부 접점 아래에 배치되고 제1 최상부 접점에 전기적으로 결합된다. MIM 커패시터의 제1 절연체가 제1 플레이트 상에 배치된다. MIM 커패시터의 제2 플레이트가 제1 절연체 상에 배치되고 제2 최상부 접점에 전기적으로 결합된다. MIM 커패시터의 제2 절연체가 제2 플레이트 상에 배치된다. MIM 커패시터의 제3 플레이트가 제2 절연체 상에 배치되고 제1 최상부 접점에 전기적으로 결합된다.

대표도 - 도1



(52) CPC특허분류

H01L 23/5226 (2013.01)

H01L 28/60 (2013.01)

명세서

청구범위

청구항 1

장치로서,

제1 최상부 접점;

상기 제1 최상부 접점에 인접한 제2 최상부 접점;

상기 제1 최상부 접점 아래에 배치된 제1 메사;

상기 제2 최상부 접점 아래에 배치된 제2 메사;

상기 제1 최상부 접점 아래에 배치되고 상기 제1 최상부 접점에 전기적으로 결합된 금속-절연체-금속(MIM) 커패시터의 제1 플레이트;

상기 제1 플레이트 상에 배치된 MIM 커패시터의 제1 절연체;

상기 제1 절연체 상에 배치되고 상기 제2 최상부 접점에 전기적으로 결합된 MIM 커패시터의 제2 플레이트;

상기 제2 플레이트 상에 배치된 상기 MIM 커패시터의 제2 절연체; 및

상기 제2 절연체 상에 배치되고 상기 제1 최상부 접점에 전기적으로 결합된 MIM 커패시터의 제3 플레이트를 포함하는, 장치.

청구항 2

제1항에 있어서,

상기 제1 최상부 접점과 상기 제1 메사 사이에 배치된 제1 부분 비아 — 상기 제1 플레이트 및 상기 제3 플레이트는 상기 제1 부분 비아를 통해 상기 제1 최상부 접점에 전기적으로 결합됨 —; 및

상기 제2 최상부 접점과 상기 제2 메사 사이에 배치된 제2 부분 비아 — 상기 제2 플레이트는 상기 제2 부분 비아를 통해 상기 제2 최상부 접점에 전기적으로 결합됨 — 를 더 포함하는, 장치.

청구항 3

제1항에 있어서,

상기 제1 최상부 접점은 상기 제1 메사 상에 직접 배치되고, 상기 제2 최상부 접점은 상기 제2 메사 상에 직접 배치되는, 장치.

청구항 4

제1항에 있어서,

상기 제1 메사 및 상기 제2 메사는 제1 금속 간 유전체(IMD) 층에 형성되는, 장치.

청구항 5

제4항에 있어서,

제2 금속 간 유전체(IMD) 층을 더 포함하며,

상기 제1 최상부 접점 및 상기 제2 최상부 접점은 적어도 부분적으로 상기 제2 IMD 층에 배치되는, 장치.

청구항 6

제5항에 있어서,

상기 제1 최상부 접점 및 상기 제2 최상부 접점은 상기 제2 IMD 층 내 동일한 금속층에 있는, 장치.

청구항 7

제6항에 있어서,

하부 금속층을 더 포함하며, 상기 제1 IMD 층은 상기 하부 금속층 상에 배치되는, 장치.

청구항 8

제4항에 있어서,

상기 제1 절연체는 높은 유전 상수(하이-k(high-k)) 유전체 재료를 포함하고, 상기 제1 IMD 층은 낮은 유전 상수(로우-k(low-k)) 유전체 재료를 포함하는, 장치.

청구항 9

제5항에 있어서,

상기 제2 IMD 층은 낮은 유전 상수(로우-k) 유전체 재료를 포함하는, 장치.

청구항 10

제1항에 있어서,

상기 제1 플레이트, 상기 제2 플레이트, 상기 제3 플레이트, 상기 제1 절연체 및 상기 제2 절연체는 상기 제1 최상부 접점과 상기 제2 최상부 접점 사이에 배치되는, 장치.

청구항 11

제1항에 있어서,

상기 제1 플레이트 및 상기 제3 플레이트는 제1 전력 연결부에 결합되고, 상기 제2 플레이트는 제2 전력 연결부에 결합되는, 장치.

청구항 12

제11항에 있어서,

상기 제1 전력 연결부는 양전위로 구성되고, 상기 제2 전력 연결부는 음전위 또는 접지로 구성되는, 장치.

청구항 13

제1항에 있어서,

제2 MIM 커패시터를 더 포함하며,

상기 제2 MIM 커패시터는 제1 플레이트와 제3 플레이트 사이에 배치되는 제2 플레이트를 갖고, 상기 제1 플레이트 및 상기 제3 플레이트는 상기 제1 최상부 접점에 결합되는, 장치.

청구항 14

제1항에 있어서,

제3 MIM 커패시터를 더 포함하며,

상기 제3 MIM 커패시터는 제1 플레이트와 제3 플레이트 사이에 배치되는 제2 플레이트를 갖고, 상기 제2 플레이트가 상기 제2 최상부 접점에 결합되는, 장치.

청구항 15

제1항에 있어서,

상기 장치는 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인 휴대 정보 단말, 액세스 포인트, 고정 위치 단말기, 태블릿 컴퓨터,

컴퓨터, 웨어러블 디바이스, 사물 인터넷(IoT) 디바이스, 랩톱 컴퓨터, 서버, 기지국 및 자동차 차량의 디바이스로 구성된 그룹으로부터 선택되는, 장치.

청구항 16

장치 제조 방법으로서,

제1 메사를 형성하는 단계;

상기 제1 메사에 인접한 제2 메사를 형성하는 단계;

상기 제1 메사와 상기 제2 메사 사이에 금속-절연체-금속(MIM) 커패시터의 제1 플레이트를 증착하는 단계 - 상기 제1 플레이트의 일부가 상기 제1 메사로 연장됨 -;

상기 제1 플레이트 상에 상기 MIM 커패시터의 제1 절연체를 증착하는 단계 - 상기 제1 절연체의 일부가 상기 제1 메사 및 상기 제2 메사로 연장됨 -;

상기 제1 메사와 상기 제2 메사 사이의 제1 절연체 상에 상기 MIM 커패시터의 제2 플레이트를 증착하는 단계 - 상기 제2 플레이트의 일부가 제2 메사로 연장됨 -;

상기 제2 플레이트 상에 상기 MIM 커패시터의 제2 절연체를 증착하는 단계 - 상기 제2 절연체의 일부가 상기 제1 메사 및 상기 제2 메사로 연장됨 -;

상기 제1 메사와 상기 제2 메사 사이의 제2 절연체 상에 상기 MIM 커패시터의 제3 플레이트를 증착하는 단계 - 상기 제3 플레이트의 일부가 상기 제1 메사로 연장됨 -;

제1 최상부 접점을 형성하는 단계 - 상기 제1 메사는 상기 제1 접점 아래에 배치되고, 상기 제1 플레이트 및 상기 제2 플레이트는 상기 제1 최상부 접점에 전기적으로 결합됨 -; 및

제2 최상부 접점을 형성하는 단계 - 상기 제2 메사는 상기 제2 접점 아래에 배치되고, 상기 제2 플레이트가 상기 제2 접점에 전기적으로 결합됨 - 를 포함하는, 장치 제조 방법.

청구항 17

제16항에 있어서,

상기 제1 최상부 접점과 상기 제1 메사 사이에 제1 부분 비아를 배치하는 단계 - 상기 제1 플레이트 및 상기 제3 플레이트는 상기 제1 부분 비아를 통해 상기 제1 최상부 접점에 전기적으로 결합됨 -; 및

상기 제2 최상부 접점과 상기 제2 메사 사이에 제2 부분 비아를 배치하는 단계 - 상기 제2 플레이트는 상기 제2 부분 비아를 통해 상기 제2 최상부 접점에 전기적으로 결합됨 - 를 더 포함하는, 장치 제조 방법.

청구항 18

제16항에 있어서,

상기 제1 최상부 접점은 상기 제1 메사 상에 직접 배치되고, 상기 제2 최상부 접점은 상기 제2 메사 상에 직접 배치되는, 장치 제조 방법.

청구항 19

제16항에 있어서,

상기 제1 메사 및 상기 제2 메사는 제1 금속 간 유전체(IMD) 층에 형성되는, 장치 제조 방법.

청구항 20

제19항에 있어서,

제2 금속 간 유전체(IMD) 층을 형성하는 단계를 더 포함하며,

상기 제1 최상부 접점 및 상기 제2 최상부 접점은 적어도 부분적으로 상기 제2 IMD 층에 배치되는, 장치 제조 방법.

청구항 21

제20항에 있어서,
상기 제1 최상부 접점 및 상기 제2 최상부 접점은 상기 제2 IMD 층 내 동일한 금속층에 있는, 장치 제조 방법.

청구항 22

제21항에 있어서,
하부 금속층을 배치하는 단계를 더 포함하며,
상기 제1 IMD 층은 상기 하부 금속층 상에 있는, 장치 제조 방법.

청구항 23

제19항에 있어서,
상기 제1 절연체는 높은 유전 상수(하이-k) 유전체 재료를 포함하고, 상기 제1 IMD 층은 낮은 유전 상수(로우-k) 유전체 재료를 포함하는, 장치 제조 방법.

청구항 24

제20항에 있어서,
상기 제2 IMD 층은 낮은 유전 상수(로우-k) 유전체 재료를 포함하는, 장치 제조 방법.

청구항 25

제16항에 있어서,
상기 제1 플레이트, 상기 제2 플레이트, 상기 제3 플레이트, 상기 제1 절연체 및 상기 제2 절연체는 상기 제1 최상부 접점과 상기 제2 최상부 접점 사이에 배치되는, 장치 제조 방법.

청구항 26

제16항에 있어서,
상기 제1 플레이트 및 상기 제3 플레이트는 제1 전력 연결부에 결합되고, 그리고 상기 제2 플레이트는 제2 전력 연결부에 결합되는, 장치 제조 방법.

청구항 27

제26항에 있어서,
상기 제1 전력 연결부는 양전위로 구성되고, 상기 제2 전력 연결부는 음전위 또는 접지로 구성되는, 장치 제조 방법.

청구항 28

제16항에 있어서,
제2 MIM 커패시터를 형성하는 단계를 더 포함하며,
상기 제2 MIM 커패시터는 제1 플레이트와 제3 플레이트 사이에 배치되는 제2 플레이트를 갖고, 상기 제1 플레이트 및 상기 제3 플레이트는 상기 제1 최상부 접점에 결합되는, 장치 제조 방법.

청구항 29

제16항에 있어서,
제3 MIM 커패시터를 형성하는 단계를 더 포함하며,
상기 제3 MIM 커패시터는 제1 플레이트와 제3 플레이트 사이에 배치되는 제2 플레이트를 갖고, 상기 제2 플레이트가 상기 제2 최상부 접점에 결합되는, 장치 제조 방법.

청구항 30

제16항에 있어서,

상기 장치는 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인 휴대 정보 단말, 액세스 포인트, 고정 위치 단말기, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, 사물 인터넷(IoT) 디바이스, 랩톱 컴퓨터, 서버, 기지국 및 자동차 차량의 디바이스로 구성된 그룹으로부터 선택되는, 장치 제조 방법.

발명의 설명

기술 분야

[0001] 본 개시는 일반적으로 커패시터들을 포함하는 반도체 디바이스들, 보다 구체적으로는 금속-절연체-금속(MIM) 커패시터들 및 이의 제조 기법들에 관한 것이다(그러나, 이에 제한되지 않음).

배경 기술

[0002] 인공지능(AI)용 프로세서들과 같은 고성능 연산(HPC) 프로세서들은 크기가 크고, 고성능 고주파 연산들을 위한 전력 IR 강하를 개선하기 위해 전력 디커플링용 커패시터들을 사용한다. 다수의 플레이트 MIM 커패시터들을 사용하여 전력 공급 라인들(Vdd)을 디커플링하여 프로세서 성능을 개선할 수 있다. MIM 커패시터들은 다른 용도들도 가질 수 있다. 그러나, 종래의 MIM 커패시터들은 HPC 프로세서들 및 다른 고성능 시스템들에 대한 불충분한 디커플링 성능을 제공할 수 있다.

[0003] 따라서, 본 명세서에 제공된 방법들, 시스템들 및 장치들을 포함하여 종래의 커패시터 구성들의 결함들을 극복하는 시스템들, 장치 및 방법들이 필요하다.

발명의 내용

해결하려는 과제

[0004] 다음은 본 명세서에 개시된 장치 및 방법들과 연관된 하나 이상의 양태들 및/또는 예들과 관련된 단순화된 요약들을 제시한다. 따라서, 이하의 요약은 모든 고려된 양태들 및/또는 예들과 관련된 광범위한 개요로 간주되어서는 안 되며, 또한 이하의 요약은 모든 고려된 양태들 및/또는 예들과 관련된 핵심 또는 중요한 요소들을 식별하거나 특정 양태 및/또는 예와 연관된 범위를 묘사하는 것으로 간주되어서는 안 된다. 따라서, 이하의 요약은 본 명세서에 개시된 장치 및 방법들과 관련된 하나 이상의 양태들 및/또는 예들과 관련된 특정 개념들을 아래에 제시되는 상세한 설명에 선행하기 위해 단순화된 형태로 제시하는 것을 유일한 목적으로 한다.

과제의 해결 수단

[0005] 본 명세서에 개시된 다양한 양태들에 따르면, 적어도 하나의 양태는, 제1 최상부 접점; 제1 최상부 접점에 인접한 제2 최상부 접점; 제1 최상부 접점 아래에 배치된 제1 메사; 및 제2 최상부 접점 아래에 배치된 제2 메사; 제1 최상부 접점 아래에 배치되고 제1 최상부 접점에 전기적으로 결합된 금속-절연체-금속(MIM) 커패시터의 제1 플레이트; 제1 플레이트 상에 배치된 MIM 커패시터의 제1 절연체; 제1 절연체 상에 배치되고 제2 최상부 접점에 전기적으로 결합된 MIM 커패시터의 제2 플레이트; 제2 플레이트 상에 배치된 MIM 커패시터의 제2 절연체; 및 제2 절연체 상에 배치되고 제1 최상부 접점에 전기적으로 결합된 MIM 커패시터의 제3 플레이트를 포함하는 장치를 포함한다.

[0006] 본 명세서에 개시된 다양한 양태들에 따르면, 적어도 하나의 양태는 디바이스 제조 방법을 포함한다. 이 방법은 제1 메사를 형성하는 단계; 제1 메사에 인접한 제2 메사를 형성하는 단계; 제1 메사와 제2 메사 사이에 금속-절연체-금속(MIM) 커패시터의 제1 플레이트를 증착하는 단계 - 제1 플레이트의 일부가 제1 메사로 연장됨 -; 제1 플레이트 상에 MIM 커패시터의 제1 절연체를 증착하는 단계 - 제1 절연체의 일부가 제1 메사 및 제2 메사로 연장됨 -; 제1 메사와 제2 메사 사이의 제1 절연체 상에 MIM 커패시터의 제2 플레이트를 증착하는 단계 - 제2 플레이트의 일부가 제2 메사로 연장됨 -; 제2 플레이트 상에 MIM 커패시터의 제2 절연체를 증착하는 단계 - 제2 절연체의 일부가 제1 메사 및 제2 메사로 연장됨 -; 제1 메사와 제2 메사 사이의 제2 절연체 상에 MIM 커패시터의 제3 플레이트를 증착하는 단계 - 제3 플레이트의 일부가 제1 메사로 연장됨 -; 제1 최상

부 접점을 형성하는 단계 - 제1 메사는 제1 접점 아래에 배치되고, 제1 플레이트 및 제2 플레이트는 제1 최상부 접점에 전기적으로 결합됨 -; 및 제2 최상부 접점을 형성하는 단계 - 제2 메사는 제2 접점 아래에 배치되고, 제2 플레이트가 제2 접점에 전기적으로 결합됨 - 를 포함한다.

[0007] [0007] 본 명세서에 개시된 장치 및 방법들과 연관된 다른 특징들 및 장점들은 첨부된 도면들 및 상세한 설명에 기초하여 당업자들에게 명백할 것이다.

도면의 간단한 설명

[0008] [0008] 본 개시의 양태들 및 그에 수반되는 많은 장점들에 대한 보다 완전한 이해는 본 개시의 제한이 아니라 단지 예시만을 위해 제시된 첨부된 도면들과 관련하여 고려될 때, 이하의 상세한 설명을 참조함으로써 쉽게 얻을 수 있을 것이다.

[0009] 도 1은 본 개시의 하나 이상의 양태들에 따른 MIM 커패시터를 포함하는 디바이스를 예시한다.

[0010] 도 2는 본 개시의 하나 이상의 양태들에 따른 MIM 커패시터를 포함하는 디바이스를 예시한다.

[0011] 도 3a 내지 도 3k는 본 개시의 하나 이상의 양태들에 따른 MIM 커패시터를 포함하는 디바이스를 제조하기 위한 공정의 일부들을 예시한다.

[0012] 도 4는 본 개시의 하나 이상의 양태들에 따른 MIM 커패시터를 포함하는 디바이스의 평면도를 도시한다.

[0013] 도 5는 본 개시의 하나 이상의 양태들에 따른 MIM 커패시터를 포함하는 디바이스의 일부를 예시한다.

[0014] 도 6은 본 개시의 하나 이상의 양태들에 따른 MIM 커패시터를 포함하는 디바이스의 일부를 예시한다.

[0015] 도 7은 본 개시의 적어도 하나의 양태에 따른 모바일 디바이스를 예시한다.

[0016] 도 8은 본 개시의 하나 이상의 양태들을 활용할 수 있는 다양한 전자 디바이스들을 예시한다.

[0017] 도 9는 본 개시의 하나 이상의 양태들에 따른 MIM 커패시터를 포함하는 디바이스를 제조하기 위한 흐름도를 예시한다.

[0018] 본 명세서에 개시된 양태들과 연관된 다른 목적들 및 장점들은 첨부된 도면들 및 상세한 설명에 기초하여 당업자들에게 명백할 것이다. 통상적인 관례에 따라, 도면들에 의해 묘사된 특징들은 축척에 따라 그려지지 않을 수 있다. 따라서, 묘사된 특징들의 치수들은 명확성을 위해 임의로 확대 또는 축소될 수 있다. 통상적인 관례에 따라 도면들 중 일부는 명확성을 위해 단순화되어 있다. 따라서, 도면들은 특정 장치 또는 방법의 모든 구성요소들을 묘사하지 않을 수 있다. 또한, 참조 번호들은 명세서 및 도면들 전반에 걸쳐 유사한 특징들을 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0009] [0019] 본 개시의 양태들은 이하의 설명 및 특정 양태들에 대한 관련 도면들에 예시되어 있다. 본 명세서의 교시내용들의 범위를 벗어나지 않으면서 대안적인 양태들이 고안될 수 있다. 또한, 본 명세서에서 예시적인 양태들의 잘 알려진 요소들은 본 개시의 교시내용들의 관련 세부 사항들을 모호하게 하지 않기 위해 상세하게 설명되지 않거나 생략될 수 있다.

[0010] [0020] 설명된 특정 예의 구현예들에 있어서, 다양한 구성요소 구조들 및 동작들의 일부들이 공지된 종래 기법들로부터 취해진 다음, 하나 이상의 예시적인 양태들에 따라 배열될 수 있는 사례들이 식별된다. 이러한 경우들에 있어서, 본 명세서에 개시된 예시적인 양태들에 예시된 개념들의 잠재적인 난독화를 피하는 데 도움을 주기 위해, 공지된 종래의 구성요소 구조들 및/또는 동작들의 부분들의 내부 세부 사항들은 생략될 수 있다.

[0011] [0021] 또한, "하부", "상부", "좌측", "우측", "아래", "위", "수평", "수직", "최상부", "저부", "측면", "측벽" 등과 같은 용어들 또는 문구들이 편의를 위해 사용된다는 점에 유의해야 한다. 특별히 달리 표시되지 않는 한, 이러한 용어들/문구들은 절대적인 배향들이나 방향들을 표시하려는 의도가 아니다. 또한, 표시된 바와 같이, "상에" 및 "와 접촉하여"라는 용어들은 특별히 달리 표시되지 않는 한 동의어로 사용될 수 있다.

[0012] [0022] 본 명세서에 사용된 용어는 특정 양태들을 설명하기 위한 목적으로만 사용되며, 이를 제한하기 위한 것이 아니다. 본 명세서에서 사용되는 바와 같이, 문맥에서 달리 표시되지 않는 한, 단수 형태들은 복수 형태들도 포함하도록 의도된다. 본 명세서에서 사용될 때, "포함한다(comprise)", "포함하는(comprising)", "포함한

다(include)" 및/또는 "포함하는(including)"이라는 용어들은 나타낸 특징들, 정수들, 단계들, 동작들, 요소들 및/또는 구성요소들의 존재를 특정하지만, 하나 이상의 다른 특징들, 정수들, 단계들, 동작들, 요소들, 구성요소들 및/또는 이들의 그룹들의 존재 또는 추가를 배제하지 않는다는 것이 더욱 이해될 것이다.

[0013] [0023] 배경기술에서 논의된 바와 같이, 고성능 연산 집적 회로(IC) 설계에서, 큰 크기의 디커플링 커패시터는 전면으로부터 IR 강하를 감소시키기 위해 VDD 디커플링에 사용될 수 있다. 또한, 최상부 금속층(TME) MIM 커패시터들은 전력 디커플링 효율이 낮고 IR 강하가 더 크다.

[0014] [0024] BEOL의 전면으로부터의 IC 레벨 전력 분배 네트워크(PDN) IR 강하는 5 nm 기술들의 IC 스케일링에 추가적인 문제들을 제시한다. 기술들의 스케일링이 계속해서 면적을 축소하고 성능을 개선함에 따라, PDN IR 강하는 축소된 스케일 기술들로부터의 성능 개선을 저하시킨다. 현재의 공정 통합 기법들로는 기술이 스케일링될 때 PDN IR 강하를 개선할 수 없다. 다중 플레이트(예를 들어, 3 개 내지 4 개-플레이트) 구성들의 고밀도 MIM 캡들은 디커플링에 유리하지만, 이러한 구성들은 제조 과정에서 공정 문제들을 증가시킬 수 있다. 본 명세서에서 더 자세히 개시되고 논의되는 다양한 양태들은 MIM 금속 플레이트 수에 제한이 없는 다중 플레이트 MIM 커패시터들의 제조를 용이하게 하기 위한 MIM 커패시터들 및 제조 공정들을 제공한다. 금속 및 비아 공정들은 종래의 금속 모듈들과 호환된다.

[0015] [0025] 도 1은 본 개시의 하나 이상의 양태들에 따른 다중플레이트 MIM 커패시터(150)를 포함하는 디바이스(100)의 부분 단면도를 예시한다. 일부 양태들에서, 디바이스(100)는 다이, 집적 회로, 패키지 등일 수 있다. 또한, 디바이스(100)는 통합 디바이스 내에 다수의 구성요소들을 포함할 수 있으며, 그 중 일부만 예시되어 있음을 이해할 수 있을 것이다. 예시된 바와 같이, 디바이스(100)는 제1 금속 간 유전체(IMD) 층(130) 및 제2 IMD 층(135)을 포함할 수 있으며, 이들 각각은 하나 이상의 유전체 재료의 층들을 포함할 수 있다. 제1 IMD 층(130)은 제1 금속층(Mx) 상에 배치된다. 제2 금속층(Mx+1)은 하나 이상의 비아들(165) 또는 부분 비아들(115 및 125)과 함께 적어도 부분적으로 제2 IMD 층(135)에 매립된다. 제2 IMD 층(135)은 제1 최상부 접점(110) 및 제2 최상부 접점(120)과 같은 최상부 접점들이 Mx+1 금속층 내에 형성될 수 있다. 제1 최상부 접점(110)은 제1 부분 비아(115)에 결합되어, MIM 커패시터(150)의 제1 플레이트(152) 및 MIM 커패시터(150)의 제3 플레이트(156)에의 전기적 연결을 용이하게 할 수 있다. 제1 부분 비아(115)는 제1 IMD 층(130)에 형성된 제1 메사(131) 상에 배치될 수 있다. 일부 양태들에서, 제1 메사(131)는 테이퍼링된 측면을 가질 수 있고, 원추형 구조로 형성되어, 위에서 볼 때 일반적으로 원형 형상을 가질 수 있다. 일부 양태들에서, 제2 최상부 접점(120)은 제1 최상부 접점(110)과 유사한 구조를 가질 수 있다. 제2 최상부 접점(120)은 제2 부분 비아(125)에 결합되어 MIM 커패시터(150)의 제2 플레이트(154)에의 전기적 연결을 용이하게 할 수 있다. 제2 부분 비아(125)는 제1 IMD 층(130)에 형성된 제2 메사(132) 상에 배치될 수 있다. 일부 양태들에서, 제2 메사(132)는 테이퍼링된 측면을 가질 수 있고, 원추형 구조로 형성되어, 위에서 볼 때 일반적으로 원형 형상을 가질 수 있다. 개시된 다양한 양태들은 이러한 예시적인 구성에 제한되지 않으며, 다른 기하학적 형상들을 포함할 수 있음이 이해될 것이다. 예를 들어, 제1 메사(131) 및/또는 제2 메사(132)는 제1 메사(131) 및/또는 제2 메사를 형성하는 대응하는 구조의 사다리꼴, 직사각형, 정사각형, 타원형 등의 형상을 갖는 평면도를 가질 수 있다.

[0016] [0026] 다중플레이트 MIM 커패시터(150)는 3-플레이트 구성으로 예시되고, MIM 커패시터(150)의 제1 절연체(153)에 의해 제1 플레이트(152)로부터 분리되는 제2 플레이트(154)를 포함한다. 제2 플레이트(154)는 제2 절연체(155)에 의해 제3 플레이트(156)로부터 분리된다. 전술한 것에서 논의된 바와 같이, 제1 플레이트(152) 및 제3 플레이트(156)는 제1 최상부 접점(110)에 결합되고, 제2 플레이트(154)는 제2 최상부 접점(120)에 결합되어, MIM 커패시터(150)에 대한 양쪽 연결부들이 동일한 측면 상에 위치될 수 있게 한다. 또한, 일부 양태들에서, 제1 플레이트(152), 제1 절연체(153), 제2 플레이트(154), 제2 절연체(155) 및 제3 플레이트(156)는 최상부 접점들(110 및 220)을 넘어, 심지어 비아(165)를 넘어 연장될 수 있다. 다른 구성들이 본 명세서에서 논의된다. 따라서, 개시된 다양한 양태들은 예시된 예의 구성들에 제한되지 않는다.

[0017] [0027] 제2 IMD 층(135)은 비아(165)를 사용하여 금속층(Mx)에 형성된 금속 트레이스(140)에 결합될 수 있는 금속 트레이스(160)와 같은 Mx+1 금속층으로부터 형성된 추가 구조물들을 가질 수 있다. 금속 트레이스들(140 및 160) 및 비아(165)는 양전위, 접지 전위, 디지털 신호, 아날로그 신호, 또는 디바이스(100) 내의 라우팅을 위한 임의의 다른 적합한 신호에 결합될 수 있다.

[0018] [0028] 또한, 일부 양태들에서는, 추가적인 별도의 MIM 커패시터들이 형성될 수 있다. 예를 들어, MIM 커패시터(170)는 제1 최상부 접점(110)에 결합될 수 있다. 마찬가지로, MIM 커패시터(180)는 제2 최상부 접점(120)에 결합될 수 있다. MIM 커패시터(180)를 갖는 구성에서, (플레이트 패터닝에 의한) 물리적 플레이트 분리가 (도

1에는 예시되어 있지 않지만, 예를 들어, 도 5 및 도 6에 부분적으로 예시된 예시 구성들 참조) 125 또는 115 아래 영역에 존재할 것이다. 이러한 선택적 양태에서, 다른 최상부 접점(예시되지 않음)이 최상부 접점(110)에 인접하고 MIM 커패시터(170)의 중심 플레이트에 결합될 수 있다는 것이 이해될 것이다. 마찬가지로, 또 다른 최상부 접점(예시되지 않음)이 제2 최상부 접점에 인접하여(그러나 단면도에서는 보이지 않음) MIM 커패시터(180)의 최상부 및 저부 플레이트들에 결합될 수 있다. 추가 양태들에서, 다른 접점들 중 하나 또는 둘 모두는 Mx 금속층 또는 Mx+1과는 상이한 다른 금속층에 위치할 수 있다. 따라서, MIM 커패시터들의 일부가 동일한 금속층 상에 최상부 접점들을 갖는 것과 MIM 커패시터들의 다른 일부들이 서로 다른 금속층들 상에 접점들을 갖는 것이 가능하다.

[0019] [0029] 다양한 플레이트들(예를 들어, 152, 154 및 156) 및 다른 금속층들 및 구조물들(예를 들어, 110, 115, 120, 125, 140, 160 및 165)은 구리(Cu), 알루미늄(AL), 은(Ag), 금(Au), 티타늄(Ti), 니켈(Ni), 텅스텐(W), 루테튬(Ru), 코발트(Co), 이들의 합금들 또는 조합들과 같은 임의의 높은 전도성 재료일 수 있다는 것이 이해될 수 있을 것이다. 일부 양태들에서는 Mx 및 Mx+1 금속들이 서로 다를 수 있음을 이해해야 한다. 절연체들(예를 들어, 153 및 155)은 하프늄 산화물(HfOx) 또는 이와 유사한 재료들과 같은 높은 유전 상수(하이-k(high-k)) 재료일 수 있다. 제1 IMD 층(130) 및 제2 IMD 층(135)은 각각 도핑된 이산화규소(SiO2) 또는 그의 불소 도핑, 탄소 도핑 및 탄소 도핑 형태들과 같은 낮은 유전 상수(로우-k(low-k)) 재료일 뿐만 아니라, 폴리이미드(PI), 벤조사이클로부텐(BCB), 폴리테트라플루오로에틸렌(PTFE) 및/또는 실리콘 기반 고분자 유전체들과 같은 스피온 유기 고분자 유전체들일 수 있다. 예시된 구성 및 예시 재료들은 단지 다양한 양태들에 대한 설명을 돕기 위해 제공된 것이며, 개시된 다양한 양태들을 제한하는 것으로 해석되어서는 안 된다는 것을 이해할 것이다. 예를 들어, 3-플레이트 구성이 예시되어 있지만, 본 개시의 다양한 양태들은 MIM 커패시터들에서 4 개 이상의 플레이트들을 허용한다.

[0020] [0030] 본 개시의 일부 양태들에서, 제1 최상부 접점(110)은 전원(예시되지 않음)에 결합될 수 있는 제1 전력 연결부에 결합될 수 있다. 제2 최상부 접점(120)은 제2 전력 연결부에 결합될 수 있으며, 제2 전력 연결부 또한 전원에 결합될 수 있다. 일부 양태들에서, 전원은 제1 전력 연결부 및 제2 전력 연결부로부터 원격으로 위치할 수 있다. 일부 양태들에서, 전원은 제1 전력 연결부 및 제2 전력 연결부에 로컬적이거나 심지어 직접 접촉할 수 있다. 일부 양태들에서, 제1 전력 연결부는 양전위(예를 들어, Vdd)에 있도록 구성될 수 있다. 제2 전력 연결부는 음전위(예를 들어, Vss) 또는 접지에 있도록 구성될 수 있다. 다른 양태들에서는 이 둘이 반대로 구성될 수 있으므로, 제1 전력 연결부가 Vss 또는 접지에, 제2 전력 연결부가 Vdd에 있도록 구성될 수 있다. 제1 전력 연결부 및 제2 전력 연결부는 적어도 부분적으로는 금속층(Mx+1)의 일부들로부터 형성될 수 있거나, 또는 최상부 접점들을 다른 금속층들에 결합시키는 비아들을 사용하여 최상부 접점들에 결합될 수 있다. 전력 입력에 근접한 MIM 커패시터들을 갖는 것은 전력 분배 네트워크의 개선된 디커플링 및 성능을 제공한다는 것이 인식될 것이다. 본 명세서에 개시된 다양한 양태들은 디커플링 커패시터 애플리케이션들에 한정되지 않으며, 임의의 종래의 커패시터 애플리케이션에 사용될 수 있다는 것이 이해될 것이다.

[0021] [0031] 도 2는 본 개시의 하나 이상의 양태들에 따른 다중플레이트 MIM 커패시터(250)를 포함하는 디바이스(200)의 부분 단면도를 예시한다. 일부 양태들에서, 디바이스(200)는 다이, 집적 회로, 패키지 등일 수 있다. 또한, 디바이스(200)는 통합 디바이스 내에 다수의 구성요소들을 포함할 수 있으며, 그 중 일부만 예시되어 있음을 이해할 수 있을 것이다. 예시된 바와 같이, 디바이스(200)는 제1 금속 간 유전체(IMD) 층(230) 및 제2 IMD 층(235)을 포함할 수 있으며, 이들 각각은 하나 이상의 유전체 재료 층들을 포함할 수 있다. 제1 IMD 층(230)은 제1 금속층(Mx) 상에 배치된다. 제2 금속층(Mx+1)은 하나 이상의 비아들(265)과 함께 적어도 부분적으로 제2 IMD 층(235)에 매립된다. 제2 IMD 층(235)은 제1 최상부 접점(210) 및 제2 최상부 접점(220)과 같이, Mx+1 금속층에 형성된 MIM 커패시터 최상부 접점들을 가질 수 있다. 제1 최상부 접점(210)은 MIM 커패시터(250)의 제1 플레이트(252) 및 MIM 커패시터(250)의 제3 플레이트(256)에 직접 결합될 수 있다. 최상부 접점(210)은 제2 IMD 층(235)에 형성된 제1 메사(231) 상에 배치될 수 있다. 일부 양태들에서, 제1 메사(231)는 테이퍼링된 측면들을 가질 수 있고, 원추형 구조로 형성되어, 위에서 볼 때 일반적으로 원형 형상을 가질 것이다. 일부 양태들에서, 제2 최상부 접점(220)은 제1 최상부 접점(210)과 유사한 구조를 가질 수 있다. 제2 최상부 접점(220)은 MIM 커패시터(250)의 제2 플레이트(254)에 결합될 수 있다. 제2 최상부 접점(220)은 제2 IMD 층(235)에 형성된 제2 메사(232) 상에 배치될 수 있다. 일부 양태들에서, 제2 메사(232)는 테이퍼링된 측면들을 가질 수 있고 원추형 구조로 형성되어, 위에서 볼 때 일반적으로 원형 형상을 가질 것이다.

[0022] [0032] 다중플레이트 MIM 커패시터(250)는 3-플레이트 구성으로 예시되고, MIM 커패시터(250)의 제1 절연체(253)에 의해 제1 플레이트(252)로부터 분리되는 제2 플레이트(254)를 포함한다. 제2 플레이트(254)는 제2 절

연체(255)에 의해 제3 플레이트(256)로부터 분리된다. 전술한 것에서 논의된 바와 같이, 제1 플레이트(252) 및 제3 플레이트(256)는 제1 최상부 접점(210)에 결합되고, 제2 플레이트(254)는 제2 최상부 접점(220)에 결합되어, MIM 커패시터(250)에 대한 양쪽 연결부들이 동일한 측면에 위치될 수 있게 한다. 또한, 일부 양태들에서, 제1 플레이트(252), 제1 절연체(253), 제2 플레이트(254), 제2 절연체(255) 및 제3 플레이트(256)는 최상부 접점들(210 및 220)을 넘어, 심지어 비아(265)를 넘어 연장될 수 있다. 다른 구성들이 본 명세서에서 논의된다. 따라서, 개시된 다양한 양태들은 예시된 예의 구성들에 제한되지 않는다.

[0023] [0033] 제2 IMD 층(235)은 비아(265)를 사용하여 금속층(Mx)에 형성된 금속 트레이스(240)에 결합될 수 있는 금속 트레이스(260)와 같은 Mx+1 금속층으로부터 형성된 추가 구조물들을 가질 수 있다. 금속 트레이스들(240 및 260) 및 비아(265)는 양전위, 접지 전위, 디지털 신호, 아날로그 신호, 또는 디바이스(200) 내의 라우팅을 위한 임의의 다른 적합한 신호에 결합될 수 있다.

[0024] [0034] 또한, 일부 양태들에서는, 추가적인 별도의 MIM 커패시터들이 형성될 수 있다. 예를 들어, 선택적 MIM 커패시터(270)는 제1 최상부 접점(210)에 결합될 수 있다. 마찬가지로, 선택적 MIM 커패시터(280)는 제2 최상부 접점(220)에 결합될 수 있다. 예의 구성이 도 5에 부분적으로 예시된다. 다른 최상부 접점(예시되지 않음)이 최상부 접점(210)에 인접하여 MIM 커패시터(270)의 중앙 플레이트에 결합될 수 있음을 이해할 수 있을 것이다. 마찬가지로, 또 다른 최상부 접점(예시되지 않음)은 제2 최상부 접점(220)에 인접하여(그러나, 단면도에서는 보이지 않음) MIM 커패시터(280)의 최상부 및 저부 플레이트들에 결합될 수 있다. 추가의 양태들에서, 다른 접점들 중 하나 또는 둘 모두는 Mx 금속층 또는 Mx+1과는 상이한 다른 금속층에 위치될 수 있다. 따라서, 일부가 동일한 금속층 상에 최상부 접점들을 갖는 것과 MIM 커패시터들의 다른 일부들이 서로 다른 금속층들 상에 접점들을 갖는 것이 가능하다.

[0025] [0035] 다양한 플레이트들(예를 들어, 252, 254 및 256) 및 다른 금속층들 및 구조물들(예를 들어, 210, 215, 220, 225, 240, 260 및 265)은 구리(Cu), 알루미늄(AL), 은(Ag), 금(Au), 티타늄(Ti), 니켈(Ni), 이들의 합금들 또는 조합들과 같은 임의의 높은 전도성 재료일 수 있다는 것이 인식될 것이다. 절연체들(예를 들어, 253 및 255)은 높은 유전 상수(하이-k) 재료일 수 있다. 제1 IMD 층(230) 및 제2 IMD 층(235)은 각각 도핑된 이산화규소(SiO2), 또는 그 불소 도핑, 탄소 도핑 및 탄소 도핑 형태들과 같은 낮은 유전 상수(로우-k) 재료일 뿐만 아니라, 폴리이미드(PI), 벤조사이클로부텐(BCB), 폴리테트라플루오로에틸렌(PTFE) 및/또는 실리콘 기반 고분자 유전체들과 같은 스핀온 유기 고분자 유전체들일 수 있다. 예시된 구성 및 예시 재료들은 단지 다양한 양태들의 설명을 돕기 위해 제공된 것이며, 개시된 다양한 양태들을 제한하는 것으로 해석되어서는 안 된다는 것을 이해할 것이다. 예를 들어, 3-플레이트 구성이 예시되어 있지만, 본 개시의 다양한 양태들은 MIM 커패시터들에서 4 개 이상의 플레이트들을 허용한다.

[0026] [0036] 본 명세서에 개시된 다양한 양태들에 따르면, 적어도 하나의 양태는 다중플레이트 MIM 커패시터(예를 들어, 150, 250)를 포함하는 장치를 포함한다. 장치는 제1 최상부 접점(110, 210); 제1 최상부 접점에 인접한 제2 최상부 접점(120, 220); 제1 최상부 접점 아래에 배치되고 제1 최상부 접점에 전기적으로 결합된 금속-절연체-금속(MIM) 커패시터(150, 250)의 제1 플레이트(152, 252); 제1 플레이트(152, 252) 상에 배치된 MIM 커패시터(150, 250)의 제1 절연체(153, 253); 제1 절연체(153, 253) 상에 배치되고 제2 최상부 접점(120, 220)에 전기적으로 결합된 MIM 커패시터의 제2 플레이트(154, 254); 제2 플레이트(154, 254) 상에 배치된 MIM 커패시터의 제2 절연체(155, 255); 및 제2 절연체 상에 배치되고 제1 최상부 접점(110, 210)에 전기적으로 결합된 MIM 커패시터(150, 250)의 제3 플레이트(156, 256)를 포함한다. 개시된 다양한 양태들은 다양한 기술적 이점들을 제공한다는 것이 인식될 것이다. 예를 들어, 적어도 일부 양태들에서, 양쪽 MIM 접점들이 인접하고 동일한 측면을 갖는 것은 제조를 개선할 수 있고 표준 금속 및 비아 공정들과 호환된다. 본 명세서에 개시된 다양한 양태들로부터 다른 기술적 이점들이 인식될 것이며, 이러한 기술적 이점들은 단지 예들로서 제공된 것이며, 본 명세서에 개시된 다양한 양태들을 제한하는 것으로 해석되어서는 안 된다.

[0027] [0037] 본 양태의 다른 실시예들은 이하의 특징들 중 하나 이상을 포함한다. 장치는: 제1 최상부 접점 아래에 배치되는 제1 메사(131, 231); 및 제2 최상부 접점 아래에 배치되는 제2 메사(132, 232)를 포함할 수 있다. 일부 양태들에서, 제1 부분 비아(115)가 제1 최상부 접점(110)과 제1 메사 사이에 배치되고, 제1 플레이트 및 제3 플레이트는 제1 부분 비아(115)를 통해 제1 최상부 접점(110)에 전기적으로 결합될 수 있으며; 제2 부분 비아(125)가 제2 최상부 접점(120)과 제2 메사(132) 사이에 배치되고, 제2 플레이트(154)는 제2 부분 비아를 통해 제2 최상부 접점(120)에 전기적으로 결합된다. 다른 양태들에서, 제1 최상부 접점(210)은 제1 메사(231) 상에 직접 배치되고, 제2 최상부 접점(220)은 제2 메사(232) 상에 직접 배치된다. 제1 최상부 접점(110, 210) 및 제2 최상부 접점(120, 220)은 적어도 부분적으로 제2 IMD 층(135, 235)에 배치된다. 제1 최상부 접점(110, 210)

및 제2 최상부 접점(120, 220)은 제2 IMD 층(135, 235) 내의 동일한 금속층(M_x+1)에 있다. 제1 IMD 층(130, 230)은 하부 금속층(M_x) 상에 배치된다. 본 명세서에 개시된 다양한 양태들로부터 추가적인 양태들이 이해될 것이다.

- [0028] [0038] 본 개시의 설계의 양태들을 완전히 예시하기 위해, 제조 방법들이 제시된다. 다른 제조 방법들이 가능하며, 논의된 제조 방법들은 본 명세서에 개시된 개념들의 이해를 돕기 위해서만 제시된다.
- [0029] [0039] 도 3a 내지 도 3k는 본 개시의 하나 이상의 양태들에 따라, 도 1 및 도 2에 예시된 디바이스와 같은 디바이스(300)를 제조하는 예시적인 부분들을 예시한다. 도 3a 내지 도 3k는 일반적으로 제조의 다양한 스테이지들의 단면도들을 예시한다.
- [0030] [0040] 도 3a는 본 개시의 하나 이상의 양태들에 따른 디바이스(300)의 제조 공정의 일부를 예시한다. 도 3a에 도시된 바와 같이, 공정은 금속층(M_x) 상에 금속 간 유전체(IMD) 층(330)을 증착하는 것으로 시작될 수 있다.
- [0031] [0041] 도 3b는 본 개시의 하나 이상의 양태들에 따른 디바이스(300)의 제조 공정의 일부를 예시한다. 도 3b에 도시된 바와 같이, 공정은 IMD 층(330)이 금속층(M_x) 상에 증착된 상태에서 후속될 수 있다. 이 부분에서, IMD 층(330)은 제1 메사(331) 및 제2 메사(332)를 형성하도록 패터닝 및 에칭된다. 일부 양태들에서, IMD 층(330)은 제1 메사(331) 및 제2 메사(332)의 높이보다 크거나 동일한 두께를 갖는 하나의 층을 증착함으로써 형성될 수 있다. 대안적인 양태들에서, IMD 층(330)은 둘 이상의 층을 증착함으로써 형성될 수 있고, 그 후 제1 메사(331) 및 제2 메사(332)를 형성하기 위해 패터닝 및 에칭될 수 있다.
- [0032] [0042] 도 3c는 본 개시의 하나 이상의 양태들에 따른 디바이스(300)의 제조 공정의 일부를 예시한다. 도 3b에 도시된 바와 같이, 공정은 IMD 층(330)이 금속층(M_x) 상에 증착되고 제1 메사(331) 및 제2 메사(332)가 형성된 상태에서 후속될 수 있다. 이 부분에서, MIM 커패시터(350)를 위한 제1 금속(381)(완전히 형성되지 않음)이 제1 메사(331) 및 제2 메사(332)를 포함한 IMD(330) 위에 증착된다. 제1 금속(381)은 패터닝 및 에칭되고, 일부는 제1 금속(381)의 다른 부분들과 여전히 연결된 제1 플레이트(352)를 형성하는 데 사용된다. 일부 양태들에서, 제1 플레이트(352) 및 MIM 커패시터(350)는 MIM 커패시터(350) 노드 영역 너머로(예를 들어, 제1 메사(331)의 반대편으로) 연장될 수 있다. 또한, 예시된 바와 같이, 금속 제1 금속(381)은 제1 메사(331) 위로 연장되는 반면 제2 메사(332)로부터는 제거되었다. 일부 양태들에서, 추가적인 MIM 커패시터들이 있는 경우, 다른 MIM 커패시터들을 위한 다른 플레이트들이 이때 제1 금속(381)으로부터 형성될 수 있다는 것이 이해될 것이다. 또한, 일부 양태들에서, 제1 금속(381)은 다른 금속 구조물들을 형성하도록 패터닝될 수 있다. 마찬가지로, 제조 공정은 MIM 커패시터(350) 노드 영역(예를 들어, MIM 커패시터(350)의 최상부 접점들이 형성되는 영역) 및 정규 비아(regular via) 영역에 대해 동시에 진행될 수 있다는 것이 이해될 것이다.
- [0033] [0043] 도 3d는 본 개시의 하나 이상의 양태들에 따른 디바이스(300)의 제조 공정의 일부를 예시한다. 도 3d에 도시된 바와 같이, 공정은 IMD 층(330)이 금속층(M_x) 상에 증착되고 제1 메사(331) 및 제2 메사(332)가 형성되고 제1 금속(381)이 증착된 상태에서 후속될 수 있다. 이 부분에서, MIM 커패시터(350)를 위한 제1 절연체 층(391)(예를 들어, 하이-k 유전체)이 제1 금속(381) 및 제1 메사(331) 및 제2 메사(332)를 포함한 IMD(330) 위에 증착된다. 일부 양태들에서, 제1 절연체(353)는 제1 절연체 층(391)의 일부로부터 형성된다. 일부 양태들에서, 다양한 절연체(유전체) 층들(예를 들어, 391) 및 금속층들(예를 들어, 381)은 컨포멀 증착에 의해 형성되는 것이 이해될 것이다. 따라서, 후속 층의 표면 프로파일은 일반적으로 이전 층 표면 프로파일을 따를 것이다. 예시의 편의를 위해, 다양한 표면 프로파일들을 간단한 기하학적 형상들로 예시하였다. 그러나, 이러한 예시들이 본 명세서에 개시된 다양한 양태들을 제한하는 것으로 해석되어서는 안 된다. 또한, 예시된 양태들은 구조물의 일부만을 나타내는 것으로 이해될 것이다.
- [0034] [0044] 도 3e는 본 개시의 하나 이상의 양태들에 따른 디바이스(300)의 제조 공정의 일부를 예시한다. 도 3e에 도시된 바와 같이, 공정은 IMD 층(330)이 금속층(M_x) 상에 증착되고, 제1 메사(331) 및 제2 메사(332)가 형성된 상태에서 후속될 수 있다. 또한, 제1 금속(381) 및 제1 절연체 층(391)이 증착된다. 이 부분에서, MIM 커패시터(350)를 위한 제2 금속(382)(완전히 형성되지 않음)이 제1 메사(331) 및 제2 메사(332) 위를 포함하여 제1 절연체 층(391) 위에 증착된다. 제2 금속(382)이 패터닝 및 에칭되고, 일부는 제2 금속(382)의 다른 부분들과 여전히 연결된 제2 플레이트(354)를 형성하는 데 사용된다. 또한, 예시된 바와 같이, 제2 금속(382)은 제2 메사(332) 위로 연장되는 반면 제1 메사(331)로부터 제거되었다. 일부 양태들에서, 추가적인 MIM 커패시터들이 있는 경우, 다른 MIM 커패시터들을 위한 다른 플레이트들이 이때 제2 금속(382)으로부터 형성될 수 있다는 것이 이해될 것이다.

- [0035] [0045] 도 3f는 본 개시의 하나 이상의 양태들에 따른 디바이스(300)의 제조 공정의 일부를 예시한다. 도 3d에 도시된 바와 같이, 공정은 IMD 층(330)이 금속층(Mx) 상에 증착되고 제1 메사(331) 및 제2 메사(332)가 형성된 상태에서 후속될 수 있다. 또한, 제1 금속(381), 제1 절연체 층(391) 및 제2 금속(382)이 증착된다. 이 부분에서, MIM 커패시터(350)를 위한 제2 절연체 층(392)(예를 들어, 하이-k 유전체)이 제1 메사(331) 및 제2 메사(332)를 포함한 IMD 층(330) 위에 증착된 제2 금속(382) 및 제1 절연체 층(391)의 노출된 부분들 위에 증착된다. 일부 양태들에서, 제2 절연체(355)는 제2 절연체 층(392)의 일부로부터 형성된다. 다른 양태들에서, 제2 절연체 층(392)은 제2 절연체 및/또는 MIM 커패시터(350) 노드 영역을 넘어 연장될 수 있는 다른 절연체 구조물들을 형성한다. 또한, 예시에서 제1 절연체 층(391)과 제2 절연체(392)가 증착되는 섹션들은 예시의 편의를 위해 공통 절연체 요소로서 표현될 수 있으므로, 이들 부분들을 391+392로 지칭할 수 있음을 이해할 수 있을 것이다.
- [0036] [0046] 도 3g는 본 개시의 하나 이상의 양태들에 따른 디바이스(300)의 제조 공정의 일부를 예시한다. 도 3g에 도시된 바와 같이, 공정은 IMD 층(330)이 금속층(Mx) 상에 증착되고 제1 메사(331) 및 제2 메사(332)가 형성된 상태에서 후속될 수 있다. 또한, 제1 금속(381), 제1 절연체 층(391), 제2 금속(382) 및 제2 절연체 층(392)이 증착된다. 예시된 양태에서, 제1 절연체 층(391)과 제2 절연체 층(392)이 증착되는 경우, 이들 섹션들은 391+392로 지칭될 수 있다. 공정의 이 부분에서, MIM 커패시터(350)를 위한 제3 금속(383)이 제1 메사(331) 및 제2 메사(332) 위를 포함한 제2 절연체 층(392) 위에 증착된다. 제3 금속(383)은 패터닝 및 에칭되고, 일부는 여전히 제3 금속(383)의 다른 부분들과 연결된 제2 플레이트(355)를 형성하는 데 사용된다. 또한, 예시된 바와 같이, 제3 금속(383)은 제1 메사(331) 위로 연장되는 반면, 제2 메사(332)로부터는 제거되었다. 일부 양태들에서, 추가적인 MIM 커패시터들이 있는 경우, 이때 제3 금속(383)으로부터 다른 MIM 커패시터들을 위한 다른 플레이트들이 형성될 수 있다는 것이 이해될 것이다.
- [0037] [0047] 도 3h는 본 개시의 하나 이상의 양태들에 따른 디바이스(300)의 제조 공정의 일부를 예시한다. 도 3h에 도시된 바와 같이, 공정은 IMD 층(330)이 금속층(Mx) 상에 증착되고 제1 메사(331) 및 제2 메사(332)가 형성되는 것으로 이어질 수 있다. 또한, 제1 금속(381), 제1 절연체 층(391), 제2 금속(382), 제2 절연체 층(392) 및 제3 금속(383)이 증착된다. 이 부분에서, 제2 IMD 층(335)이 제3 금속(383) 및 제2 절연체 층(392)의 노출된 부분들 위에 증착된다. 화학적 기계적 연마(CMP)가 수행되어 과잉 재료를 제거하고 디바이스(300)의 다른 부분들과 함께 제1 메사 및 제2 메사의 최상부 표면을 평탄화한다. 예시된 바와 같이, 제1 플레이트(352) 및 제3 플레이트(356)의 연장부들은 결합된 제1 절연체(353) 및 제2 절연체(355)와 함께 제1 메사(331)의 최상부에 인접하여 노출된다. 제1 플레이트(352) 및 제3 플레이트(356)는 제1 메사(331)에서 제1 절연체(353) 및 제2 절연체(355)에 의해 분리된다. 또한, 제2 플레이트(354)의 연장부가 제2 메사(332)의 최상부에 인접하여 노출된다. 제2 플레이트(354)의 연장부는 제2 메사(332)에서 제1 절연체(353)와 제2 절연체(355) 사이에 배치된다.
- [0038] [0048] 도 3i는 본 개시의 하나 이상의 양태들에 따라, 도 3h에 예시된 제조 공정의 일부에서 디바이스(300)의 일부의 평면도를 예시한다. 도 3i에 도시된 바와 같이, 제1 플레이트(352) 및 제3 플레이트(356)는 제1 메사(331)의 최상부에 인접한 측면 상에 노출된다. 제1 플레이트(352) 및 제3 플레이트(356)는 제1 메사(331)의 노출된 최상부에서 제1 절연체(353) 및 제2 절연체(355)에 의해 분리된다. 제2 플레이트(354)는 제2 메사(332)의 노출된 최상부에 인접한 측면들 상에 노출된다. 제2 플레이트(354)는 제2 메사(332)의 노출된 최상부에 인접한 측면들 상에 노출된 제1 절연체(353)와 제2 절연체(355) 사이에 배치된다. 일부 양태들에서, 제1 메사(331) 및 제2 메사(332)의 최상부 단면은 일반적으로 원형 형상을 가질 수 있지만, 제1 메사(331) 및 제2 메사(332)의 단면들은 원형 형상에 제한되지 않으며, 임의의 기하학적 구성이 제1 메사(331) 및/또는 제2 메사(332)에 사용될 수 있음이 이해될 수 있을 것이다. 예를 들어, 메사들은 위에서 볼 때 타원형, 정사각형 또는 직사각형 단면을 가질 수 있다.
- [0039] [0049] 도 3j는 본 개시의 하나 이상의 양태들에 따른 디바이스(300)의 제조 공정의 일부를 예시한다. 도 3j에 도시된 바와 같이, 공정은 도 3h로부터 계속될 수 있다. 일부 양태들에서, 디바이스(300)는 다이, 집적 회로, 패키지 등일 수 있다. 또한, 디바이스(300)는 통합 디바이스 내의 다수의 구성요소들을 포함할 수 있으며, 그 중 일부만 예시되어 있음이 이해될 것이다. 예시된 바와 같이, 디바이스(300)는 유전체 재료의 하나 이상의 층들을 포함할 수 있는 제1 IMD 층(330)을 포함할 수 있다. 제1 IMD 층(330)은 제1 금속층(Mx) 상에 배치된다. 공정의 이 부분에서, 부분 비아(315)는 제1 메사(331) 상에 증착되며, 이로써 부분 비아(315)가 제1 플레이트(352) 및 제3 플레이트(356)에 전기적으로 접촉할 수 있게 된다. 부분 비아(325)는 제2 메사(332) 상에 증착되고, 이로써 부분 비아(325)가 제2 플레이트(354)와 전기적 접촉을 할 수 있게 된다. 또한, 비아(365)는 Mx 금속층에 있는 금속 트레이스(340)와 전기적으로 접촉하도록 형성된다. 또한, 제2 금속층(Mx+1)이 부분 비아들

(315 및 325), 비아(365) 및 제2 IMD(335)의 노출된 부분들 위에 증착된다. 제2 금속층(Mx+1)은 패터닝 및 에칭되어 제1 최상부 접점(310), 제2 최상부 접점(320) 및 금속 트레이스(360)를 형성한다. 제1 최상부 접점(310)은 부분 비아(315)를 통해 제1 플레이트(352) 및 제3 플레이트(356)에 전기적으로 결합된다. 제2 최상부 접점(320)은 부분 비아(325)를 통해 제2 플레이트(354)에 전기적으로 결합된다. 하나 이상의 추가 층들이 제2 IMD 층(335)에 추가될 수 있는데, 이는 제1 최상부 접점(310), 제2 최상부 접점(320) 및 금속 트레이스(360)가 비아(365) 및 부분 비아들(315 및 325)과 함께 적어도 부분적으로 제2 IMD 층(335)에 매립될 수 있게 한다.

[0040] [0050] 따라서, 디바이스(300)는 위에서 논의된 디바이스(100)와 유사하다는 것이 인식될 것이다. 제2 IMD 층(335)은 제1 최상부 접점(310) 및 제2 최상부 접점(320)과 같은 Mx+1 금속층에 형성된 최상부 접점들을 갖는다. 제1 최상부 접점(310)은 제1 부분 비아(315)에 결합되어 MIM 커패시터(350)의 제1 플레이트(352) 및 MIM 커패시터(350)의 제3 플레이트(356)에의 전기적 연결을 용이하게 할 수 있다. 제1 부분 비아(315)는 제1 IMD 층(330)에 형성된 제1 메사(331) 상에 배치될 수 있다. 일부 양태들에서, 제1 메사(331)는 테이퍼링 측면들을 갖고 원추형 구조로 형성되어, 위에서 볼 때 일반적으로 원형 형상을 가질 것이다. 일부 양태들에서, 제2 최상부 접점(320)은 제1 최상부 접점(310)과 유사한 구조를 가질 수 있다. 제2 최상부 접점(320)은 제2 부분 비아(325)에 결합되어 MIM 커패시터(350)의 제2 플레이트(354)에의 전기적 연결을 용이하게 할 수 있다. 제2 부분 비아(325)는 제1 IMD 층(330)에 형성된 제2 메사(332) 상에 배치될 수 있다. 일부 양태들에서, 제2 메사(332)는 테이퍼링된 측면들을 가질 수 있고 원추형 구조로 형성되어, 위에서 볼 때 일반적으로 원형 형상을 가질 것이다.

[0041] [0051] 다중플레이트 MIM 커패시터(350)는 3-플레이트 구성으로 예시되고, MIM 커패시터(350)의 제1 절연체 층(353)에 의해 제1 플레이트(352)로부터 분리되는 제2 플레이트(354)를 포함한다. 제2 플레이트(354)는 제2 절연체(355)에 의해 제3 플레이트(356)로부터 분리된다. 전술한 것에서 논의된 바와 같이, 제1 플레이트(352) 및 제3 플레이트(356)는 제1 최상부 접점(310)에 결합되고, 제2 플레이트(354)는 제2 최상부 접점(320)에 결합되어, MIM 커패시터(350)에 대한 양쪽 연결부들이 동일한 측면에 위치될 수 있게 한다.

[0042] [0052] IMD 층(330)은 비아(365)에 의해 금속층(Mx)에 형성된 금속 트레이스(340)에 결합될 수 있는 금속 트레이스(360)와 같은 Mx+1 금속층으로부터 형성된 추가 구조물들을 가질 수 있다. 금속 트레이스들(340 및 360) 및 비아(365)는 양전위, 접지 전위, 디지털 신호, 아날로그 신호 또는 디바이스(300) 내의 라우팅을 위한 임의의 다른 적합한 신호에 결합될 수 있다.

[0043] [0053] 도 3k는 본 개시의 하나 이상의 양태들에 따른 디바이스(302)의 제조 공정의 일부를 예시한다. 도 3k에 도시된 바와 같이, 공정은 도 3h로부터 계속될 수 있다. 일부 양태들에서, 디바이스(302)는 다이, 집적 회로, 패키지 등일 수 있다. 또한, 디바이스(302)는 통합 디바이스 내의 다수의 구성요소들을 포함할 수 있으며, 그 중 일부만 예시되어 있다는 것이 인식될 것이다. 예시된 바와 같이, 디바이스(302)는 유전체 재료의 하나 이상의 층들을 포함할 수 있는 제1 IMD 층(330)을 포함할 수 있다. 제1 IMD 층(330)은 제1 금속층(Mx) 상에 배치된다. 공정의 이 부분에서, 비아(365)는 Mx 금속층에 있는 금속 트레이스(340)와 전기적 접촉을 하기 위해 형성된다. 또한, 제1 메사(331), 제2 메사(332), 비아(365) 및 제2 IMD(335)의 일부들 위에 제2 금속층(Mx+1)이 증착된다. 제2 금속층(Mx+1)은 패터닝 및 에칭되어 제1 최상부 접점(310), 제2 최상부 접점(320) 및 금속 트레이스(360)를 형성한다. 제1 최상부 접점(310)은 직접 접촉을 통해 제1 플레이트(352) 및 제3 플레이트(356)에 전기적으로 결합된다. 제2 최상부 접점(320)은 직접 접촉을 통해 제2 플레이트(354)에 전기적으로 결합된다. 하나 이상의 추가 층들이 제2 IMD 층(335)에 추가될 수 있으며, 이는 제1 최상부 접점(310), 제2 최상부 접점(320) 및 금속 트레이스(360)가 비아(365)와 함께 적어도 부분적으로 제2 IMD 층(335)에 매립될 수 있게 한다.

[0044] [0054] 따라서, 디바이스(302)는 위에서 논의된 디바이스(200)와 유사하다는 것이 인식될 것이다. 제2 IMD 층(335)은 제1 최상부 접점(310) 및 제2 최상부 접점(320)과 같은 Mx+1 금속층에 형성된 최상부 접점들을 갖는다. 제1 최상부 접점(310)은 MIM 커패시터(350)의 제1 플레이트(352) 및 MIM 커패시터(350)의 제3 플레이트(356)에 직접 전기적으로 결합될 수 있다. 일부 양태들에서, 제1 메사(331)는 테이퍼링된 측면들을 갖고 원추형 구조로 형성되어, 위에서 볼 때 일반적으로 원형 형상을 가질 것이다. 일부 양태들에서, 제2 최상부 접점(320)은 제1 최상부 접점(310)과 유사한 구조를 가질 수 있다. 제2 최상부 접점(320)은 MIM 커패시터(350)의 제2 플레이트(354)에 직접 전기적으로 결합될 수 있다. 일부 양태들에서, 제2 메사(332)는 테이퍼링된 측면들을 갖고 원추형 구조로 형성되어, 위에서 볼 때 일반적으로 원형 형상을 가질 것이다.

[0045] [0055] 다중플레이트 MIM 커패시터(350)는 3-플레이트 구성으로 예시되고, MIM 커패시터(350)의 제1 절연체 층(353)에 의해 제1 플레이트(352)로부터 분리되는 제2 플레이트(354)를 포함한다. 제2 플레이트(354)는 제2 절연체(355)에 의해 제3 플레이트(356)로부터 분리된다. 전술한 것에서 논의된 바와 같이, 제1 플레이트(352) 및

제3 플레이트(356)는 제1 최상부 접점(310)에 결합되고, 제2 플레이트(354)는 제2 최상부 접점(320)에 결합되어, MIM 커패시터(350)에 대한 양쪽 연결부들이 동일한 측면에 위치될 수 있게 한다.

[0046] [0056] IMD 층(330)은 비아(365)에 의해 금속층(Mx)에 형성된 금속 트레이스(340)에 결합될 수 있는 금속 트레이스(360)와 같은 Mx+1 금속층으로부터 형성된 추가 구조물들을 가질 수 있다. 금속 트레이스들(340 및 360) 및 비아(365)는 양전위, 접지 전위, 디지털 신호, 아날로그 신호 또는 디바이스(302) 내의 라우팅을 위한 임의의 다른 적합한 신호에 결합될 수 있다.

[0047] [0057] 도 4는 본 개시의 하나 이상의 양태들에 따른 디바이스(400)의 일부를 예시한다. 일부 양태들에서, 디바이스(400)는 다이, 집적 회로, 패키지 등일 수 있다. 또한, 디바이스(400)는 통합 디바이스 내의 다수의 구성요소들을 포함할 수 있으며, 그 중 일부만 예시되어 있음을 이해할 수 있을 것이다. 예시된 바와 같이, 디바이스(400)는 다중플레이트 MIM 커패시터(450)를 포함할 수 있으며, 이는 앞서 논의된 MIM 커패시터들(예를 들어, 150, 250, 350)과 구조가 유사하다. 다중플레이트 MIM 커패시터(450)는 제1 플레이트(452), 제2 플레이트(454) 및 제3 플레이트(456)를 갖는다. 제1 플레이트(452) 및 제3 플레이트(456)를 형성하는 금속의 일부들은 제1 메사(431)의 측벽들 위로 연장되며, 제1 메사(431) 주위의 원형 고리들로 예시되어 있다. 제1 플레이트(452) 및 제3 플레이트(456)는 제1 절연체(453) 및 제2 절연체(455)에 의해 분리되며, 이는 제1 메사(431) 주위의 결합된 동심원으로 도시되어 있지만, 제1 플레이트(452), 제2 플레이트(454) 및 제3 플레이트(456)의 사시도 사이에 층들로 구체적으로 도시되어 있지는 않다. 제2 플레이트(454)를 형성하는 금속의 일부들은 제2 메사(431)의 측벽들 위로 연장되며, 제1 메사(431) 주위의 원형 고리로 예시되어 있다. 제2 플레이트(454)는 제1 절연체(453)와 제2 절연체(455) 사이에 배치되며, 이는 제2 메사(432) 주위의 동심원으로서 예시되어 있다. 일부 양태들에서, 예시된 바와 같이, 제1 플레이트(452), 제2 플레이트(454) 및 제3 플레이트(456)는 제1 메사(431) 및 제2 메사(432)를 넘어 연장되며, 일부 양태들에서 비아(465) 주위로 연장된다. 그러나, 개시된 다양한 양태들은 예시된 구성에 제한되지 않음을 이해할 수 있을 것이다.

[0048] [0058] 도 5는 본 개시의 하나 이상의 양태들에 따른 디바이스(500)의 일부를 예시한다. 일부 양태들에서, 디바이스(500)는 다이, 집적 회로, 패키지 등일 수 있다. 또한, 디바이스(500)는 통합 디바이스에 다수의 구성요소들을 포함할 수 있으며, 그 중 일부만 예시된 것임을 이해할 것이다. 예시된 바와 같이, 디바이스(500)는 다중플레이트 MIM 커패시터(550)를 포함할 수 있으며, 이는 앞서 논의된 MIM 커패시터들(예를 들어, 150, 250, 350)과 구조가 유사하다. 다중플레이트 MIM 커패시터(550)는 제1 플레이트(552), 제2 플레이트(554) 및 제3 플레이트(556)를 갖는다. 제1 플레이트(552) 및 제3 플레이트(556)를 형성하는 금속의 일부들은 제1 메사(531)의 측벽들 위로 연장되며, 제1 메사(531)를 둘러싼 원형 고리들로 예시되어 있다. 제1 플레이트(552) 및 제3 플레이트(556)는 제1 절연체(553) 및 제2 절연체(555)에 의해 분리되며, 이는 제1 메사(531) 주위의 결합된 동심원으로서 예시된다. 제2 플레이트(554)를 형성하는 금속의 일부들은 제2 메사(532)의 측벽들 위로 연장되며, 제1 메사(531) 주위의 원형 고리로 도시되어 있다. 제2 플레이트(554)는 제1 절연체(553)와 제2 절연체(555) 사이에 배치되며, 이는 제2 메사(532) 주위의 동심원들로서 예시되어 있다. 일부 양태들에서, 예시된 바와 같이, 제1 플레이트(552), 제2 플레이트(554) 및 제3 플레이트(556)는 제1 메사(531)와 제2 메사(532) 사이에 배치될 수 있다. 추가적인 MIM 커패시터들(예를 들어, MIM 커패시터(570) 및 MIM 커패시터(580))이 메사들 주위의 접촉 지점들 중 하나에 결합될 수 있다. 예를 들어, MIM 커패시터(570)는 제1 메사(531)에서 제1 플레이트(552) 및 제3 플레이트(556)에 결합될 수 있다. 마찬가지로, MIM 커패시터(580)는 제1 메사(532)에서 제2 플레이트(554)에 결합될 수 있다. 또한, MIM 커패시터(580)의 제1 및 제3 플레이트들에 대한 접촉 지점(585)은 제2 메사(532)로부터 오프셋될 수 있다. 따라서, 개시된 다양한 양태들은 예시된 구성들에 제한되지 않는 것으로 이해될 것이다.

[0049] [0059] 도 6은 본 개시의 하나 이상의 양태들에 따른 디바이스(600)의 일부를 예시한다. 일부 양태들에서, 디바이스(600)는 다이, 집적 회로, 패키지 등일 수 있다. 또한, 디바이스(600)는 통합 디바이스에 다수의 구성요소들을 포함할 수 있으며, 그 중 일부만 예시되어 있음을 이해할 수 있을 것이다. 예시된 바와 같이, 디바이스(600)는 다중플레이트 MIM 커패시터(650)를 포함할 수 있으며, 이는 앞서 논의된 MIM 커패시터들(예를 들어, 150, 250, 350)과 구조가 유사하다. 다중플레이트 MIM 커패시터(650)는 제1 플레이트(652), 제2 플레이트(654) 및 제3 플레이트(656)를 갖는다. 제1 플레이트(652) 및 제3 플레이트(656)를 형성하는 금속의 일부들은 제1 메사(631)의 측벽들 위로 연장되며, 제1 메사(631) 주위의 반원형 고리들로 예시되어 있다. 제1 플레이트(652) 및 제3 플레이트(656)는 제1 절연체(653) 및 제2 절연체(655)에 의해 분리되며, 이는 제1 메사(631) 주위의 결합된 동심원으로서 예시되어 있다. 예시된 바와 같이, 제2 플레이트(654)가 이 부분으로 연장되지 않기 때문에, 제1 절연체(653) 및 제2 절연체(655)는 제1 메사(631)에서 결합될 수 있다는 것이 이해될 것이다. 대

안적으로, 일부 양태들에서는, 제1 절연체(653) 및 제2 절연체(655) 중 하나만 제1 메사(631) 측벽들로 연장될 수 있다. 제2 플레이트(654)를 형성하는 금속의 일부들은 제2 메사(632)의 측벽들 위로 연장되며, 제1 메사(631) 주위의 반원형 고리로서 예시되어 있다. 제2 플레이트(654)는 제1 절연체(653)와 제2 절연체(655) 사이에 배치되며, 이는 제2 메사(632) 주위의 동심 반원들로서 예시되어 있다. 일부 양태들에서, 예시된 바와 같이, 제1 플레이트(652), 제2 플레이트(654) 및 제3 플레이트(656)는 제1 메사(631)와 제2 메사(632) 사이에 배치될 수 있다. 추가 MIM 커패시터들(예를 들어, MIM 커패시터(670) 및 MIM 커패시터(680))은 메사들 주변의 접촉 지점들 중 하나에 결합될 수 있다. 예를 들어, 예시된 단면 상에서, MIM 커패시터(670)는 제1 플레이트(672), 제2 플레이트(674) 및 제3 플레이트(676)를 갖는다. 제1 플레이트(672) 및 제3 플레이트(676)를 형성하는 금속의 일부들은 제1 메사(631)의 측벽들 위로 연장되며, 제1 메사(631) 주위의 반원형 고리들로 예시되어 있다. 메사(631)의 측벽 상의 제1 플레이트(672) 및 제3 플레이트(676) 부분들은 제1 절연체(673) 및/또는 제2 절연체(675)에 의해 분리되며, 이들은 제1 메사(631) 주위의 결합된 동심원으로서 예시되어 있다. 이러한 구성에서, MIM 커패시터(670)의 제1 플레이트(672) 및 제3 플레이트(676)는 MIM 커패시터(650)의 제1 플레이트(652) 및 제3 플레이트(656)로부터 분리된다. MIM 커패시터(680)의 다양한 플레이트들 및 절연체들은 또한 MIM 커패시터(650)의 플레이트들 및 절연체들로부터 분리될 수 있다는 것이 이해될 것이다. 그러나, 대안적인 구성들에서는, 플레이트 및 절연체들 중 하나 이상은 공통적일 수 있다. 예를 들어, 일부 양태들에서, MIM 커패시터(650)와 MIM 커패시터(670)의 금속 플레이트들은 분리될 수 있지만, 절연체들(예를 들어, 653/673 및 655/675) 중 하나 이상은 MIM 커패시터(650)와 MIM 커패시터(670) 사이에 연속적인 층들일 수 있다. 추가의 대안적인 양태들에서, MIM 커패시터(650)는 180도 회전되거나(평면도에서) 또는 수평으로 뒤집어질 수 있다(저면도에서). 이러한 구성에서는, 메사(631)가 좌측부 및 우측부 모두에 제1 및 제3 금속 플레이트들을 갖는 대신(예시됨), 메사(631)의 좌측부는 제1 및 제3 금속 플레이트들을 가지며(예시되지 않음), 메사(631)의 우측부는 제2 금속 플레이트를 갖게 될 것이다(예시되지 않음). 따라서, 당업자들에 의해 다양한 구성들이 이해될 것이며, 개시된 다양한 양태들은 예시된 구성들에 제한되지 않는다는 것이 인정될 것이다.

[0050] [0060] 도 7은 본 개시의 일부 예들에 따른 예시적인 모바일 디바이스를 예시한다. 이제 도 7을 참조하면, 예시적인 양태들에 따라 구성되는 모바일 디바이스의 블록도가 묘사되고, 일반적으로 모바일 디바이스(700)로 지정된다. 일부 양태들에서, 모바일 디바이스(700)는 무선 통신 디바이스로 구성될 수 있다. 도시된 바와 같이, 모바일 디바이스(700)는 프로세서(701)를 포함한다. 프로세서(701)는 다이-투-다이 또는 칩-투-칩 링크일 수 있는 링크를 통해 메모리(732)에 통신가능하게 결합될 수 있다. 모바일 디바이스(700)는 디스플레이(728) 및 디스플레이 제어기(726)를 더 포함하며, 디스플레이 제어기(726)는 프로세서(701) 및 디스플레이(728)에 결합될 수 있다.

[0051] [0061] 일부 양태들에서, 도 7은 프로세서(701)에 결합된 코더/디코더(코덱)(734)(예를 들어, 오디오 및/또는 음성 코덱); 코덱(734)에 결합된 스피커(736) 및 마이크로폰(738); 및 무선 안테나(742) 및 프로세서(701)에 결합된 무선 회로들(740)(모뎀, RF 회로, 필터들 등을 포함할 수 있으며, 본 명세서에 개시된 바와 같이 다중플레이트 MIM 커패시터를 포함한 하나 이상의 디바이스들을 사용하여 구현될 수 있음)을 포함할 수도 있다.

[0052] [0062] 특정 양태에서, 위에서 언급된 블록들 중 하나 이상이 존재하는 경우, 프로세서(701), 디스플레이 제어기(726), 메모리(732), 코덱(634) 및 무선 회로들(740)은 본 명세서에 개시된 바와 같이, 백사이드 BEOL 금속화에 MIM 커패시터를 포함한 하나 이상의 디바이스들을 사용하여 구현될 수 있는 시스템-인-패키지 또는 시스템-온-칩 디바이스(722)에 포함될 수 있다. 입력 디바이스(730)(예를 들어, 물리적 또는 가상 키보드), 전원(744)(예를 들어, 배터형), 디스플레이(728), 입력 디바이스(730), 스피커(736), 마이크로폰(738), 무선 안테나(742) 및 전원(744)은 시스템-온-칩 디바이스(722)의 외부에 있을 수 있고, 인터페이스 또는 제어기와 같은 시스템-온-칩 디바이스(722)의 구성요소에 결합될 수 있다.

[0053] [0063] 도 7은 모바일 디바이스(700)를 묘사하고 있지만, 프로세서(701) 및 메모리(732)는 셋톱 박스, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 개인 휴대 정보 단말(PDA), 고정 위치 데이터 유닛, 컴퓨터, 랩톱, 태블릿, 통신 디바이스, 모바일 폰 또는 기타 유사한 디바이스들에도 통합될 수 있다는 점에 유의해야 한다.

[0054] [0064] 도 8은 본 개시의 다양한 예들에 따른, 전술된 집적 디바이스 또는 반도체 디바이스 중 임의의 디바이스와 통합될 수 있는 다양한 전자 디바이스들을 예시한다. 예를 들어, 휴대 전화 디바이스(802), 랩톱 컴퓨터 디바이스(804) 및 고정 위치 단말 디바이스(806)는 각각 일반적으로 사용자 장비(UE)로 간주될 수 있으며, 본 명세서에 설명된 바와 같이 후면 BEOL 금속화에서 MIM 커패시터를 포함한 디바이스(800)를 포함할 수 있다. 디바이스(800)는 예를 들어, 본 명세서에 설명된 집적 회로들, 다이들, 집적 디바이스들, 집적 디바이스 패키지들,

집적 회로 디바이스들, 디바이스 패키지들, 집적 회로(IC) 패키지들, 패키지-온-패키지 디바이스들 중 임의의 것일 수 있다. 도 8에 예시된 디바이스들(802, 804, 806)은 단지 예시적인 것일 뿐이다. 다른 전자 디바이스들은 또한 모바일 디바이스들, 휴대용 개인 통신 시스템들(PCS)의 유닛들, 휴대용 데이터 유닛들, 예를 들어 개인 휴대 정보 단말들, 위성 위치 확인 시스템(GPS) 지원 디바이스들, 내비게이션 디바이스들, 셋톱박스들, 음악 플레이어들, 비디오 플레이어들, 엔터테인먼트 유닛들, 고정 위치 데이터 유닛들, 예를 들어 검침 장비, 통신 디바이스들, 스마트폰들, 태블릿 컴퓨터들, 컴퓨터들, 웨어러블 디바이스들, 서버들, 라우터들, 자동차 차량들에 구현된 전자 디바이스들(예를 들어, 자율주행 차량들), 사물 인터넷(IoT) 디바이스 또는 데이터 또는 컴퓨터 명령들 또는 이들의 임의의 조합을 저장 또는 검색하는 임의의 다른 디바이스를 포함하는 디바이스들(예를 들어, 전자 디바이스들)의 그룹을 포함하는(그러나, 이에 제한되지 않음) 디바이스(800)를 특징으로 할 수 있다.

[0055] [0065] 전술한 것으로부터, 본 명세서에 개시된 바와 같이 다중플레이트 MIM 커패시터를 포함한 디바이스들을 제조하는 다양한 방법들이 존재한다는 것이 인식될 것이다. 도 9는 개시된 적어도 하나의 양태에 따라 금속-절연체-금속(MIM) 커패시터를 포함하는 디바이스를 제조하는 예시적인 방법(900)의 흐름도를 예시한다. 블록(902)에서, 제조 공정은 제1 메사(예를 들어, 131, 231)를 형성하는 단계를 포함할 수 있다. 블록(904)에서, 제조 공정은 제1 최상부 접점에 인접한 제2 최상부 접점(예를 들어, 120, 220)을 형성하는 단계를 더 포함할 수 있다. 블록(906)에서, 제조 공정은 제1 메사와 제2 메사 사이에 금속-절연체-금속(MIM) 커패시터(예를 들어, 150, 250)의 제1 플레이트를 증착하는 단계를 포함할 수 있으며, 여기서 제1 플레이트의 일부가 제1 메사로 연장된다. 블록(908)에서, 제조 공정은 제1 플레이트 상에 MIM 커패시터의 제1 절연체(예를 들어, 153, 253)를 증착하는 단계를 포함할 수 있으며, 여기서 제1 절연체의 일부가 제1 메사 및 제2 메사로 연장된다. 블록(910)에서, 제조 공정은 제1 절연체 상에 배치된 MIM 커패시터의 제2 플레이트(예를 들어, 154, 254)를 증착하는 단계를 포함할 수 있으며, 여기서 제2 플레이트의 일부가 제2 메사로 연장된다. 블록(912)에서, 제조 공정은 제2 플레이트 상의 MIM 커패시터의 제2 절연체(예를 들어, 155, 255)를 증착하는 단계를 포함할 수 있으며, 여기서 제2 절연체의 일부가 제1 메사 및 제2 메사로 연장된다. 블록(914)에서, 제조 공정은 제1 메사와 제2 메사 사이의 제2 절연체 상에 MIM 커패시터의 제3 플레이트(예를 들어, 156, 256)를 증착하는 단계를 포함할 수 있으며, 여기서 제3 플레이트의 일부가 제1 메사로 연장된다. 블록(916)에서, 제조 공정은 제1 최상부 접점을 형성하는 단계를 포함할 수 있으며, 여기서 제1 메사는 제1 접점 아래에 배치되고 제1 플레이트 및 제2 플레이트는 제1 최상부 접점에 전기적으로 결합된다. 블록(918)에서, 제조 공정은 제2 최상부 접점을 형성할 수 있으며, 여기서 제2 메사는 제2 접점 아래에 배치되고 제2 플레이트는 제2 접점에 전기적으로 결합된다.

[0056] [0066] 전술한 개시로부터, 본 명세서에 개시된 다양한 양태들을 제조하기 위한 추가적인 공정들이 당업자들에게 명백할 것이며, 위에서 논의된 공정들의 문자 그대로의 표현은 포함되는 도면들에 제공되거나 예시되지 않을 것임이 이해될 것이다.

[0057] [0067] 본 명세서에 개시된 다양한 양태들은 당업자들에 의해 설명 및/또는 인식되는 구조들, 재료들 및/또는 디바이스들에 기능적으로 등가되는 것으로 설명될 수 있다는 것이 이해될 것이다. 예를 들어, 일 양태에서, 장치는 전술한 다양한 기능들을 수행하기 위한 수단을 포함할 수 있다. 전술한 양태들은 단지 예들로서 제공된 것이며, 청구된 다양한 양태들은 예들로서 인용된 특정 참조문헌들 및/또는 도면들에 한정되지 않는다는 것이 인식될 것이다.

[0058] [0068] 도 1 내지 도 9에 예시된 구성요소들, 공정들, 특징들 및/또는 기능들 중 하나 이상은 재배열될 수 있으며, 그리고/또는 단일 구성요소, 공정, 특징 및/또는 기능에 결합되거나 다수의 구성요소들, 공정들 및/또는 기능들에 통합될 수 있다. 또한, 추가적인 요소들, 구성요소들, 공정들 및/또는 기능들이 본 개시를 벗어나지 않고 추가될 수도 있다. 또한, 도 1 내지 도 9 및 본 개시의 대응하는 설명은 다이들 및/또는 집적 회로들(IC들)에 제한되지 않는다는 점에 유의해야 한다. 일부 구현예들에서, 도 1 내지 도 9 및 그에 대응하는 설명은 집적 디바이스들을 제조, 생성, 제공 및/또는 생산하는데 사용될 수 있다. 일부 구현예들에서, 디바이스는 다이, 집적 디바이스, 다이 패키지, 집적 회로(IC), 디바이스 패키지, IC 패키지, 웨이퍼, 반도체 디바이스, 패키지 온 패키지(PoP) 디바이스 및/또는 인터포저를 포함할 수 있다.

[0059] [0069] 본 명세서에서 "예시적"이라는 단어는 "일 예, 실례, 또는 예시의 역할을 하는"을 의미하는 것으로 사용된다. 본 명세서에서 "예시적"으로 설명된 모든 세부 사항들은 다른 예들보다 유리한 것으로 해석되어서는 안 된다. 마찬가지로, "예들"이라는 용어는 모든 예들이 논의된 특징, 이점 또는 동작 모드를 포함한다는 것을 의미하지 않는다. 또한, 특정 특징 및/또는 구조는 하나 이상의 다른 특징들 및/또는 구조들과 결합될 수 있다. 또한, 본 명세서에 설명된 장치의 적어도 일부는 본 명세서에 설명된 방법의 적어도 일부를 수행하도록 구성될

수 있다.

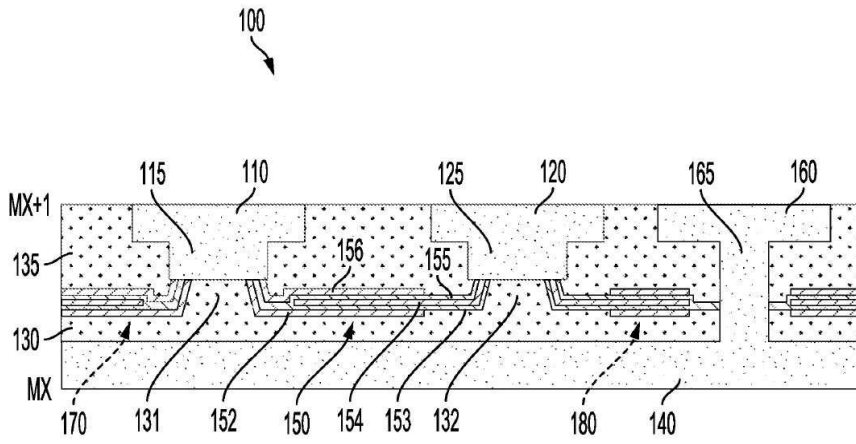
- [0060] [0070] "연결되는", "결합되는"이라는 용어들 또는 이들의 임의의 변형은 요소들 사이의 직접 또는 간접적인 모든 연결 또는 결합을 의미하며, 연결이 직접 연결되는 것으로 명시적으로 개시되지 않는 한, 중간 요소를 통해 함께 "연결되는" 또는 "결합되는" 두 요소들 사이의 중간 요소의 존재를 포함할 수 있음에 유의해야 한다.
- [0061] [0071] "제1", "제2" 등과 같은 지정을 사용하는 요소에 대한 본 명세서의 모든 참조는 해당 요소들의 수량 및/또는 순서를 제한하지 않는다. 오히려, 이러한 지정들은 둘 이상의 요소들 및/또는 요소의 사례들을 구별하기 위한 편리한 방법으로서 사용된다. 또한, 달리 명시되지 않는 한, 일련의 요소들은 하나 이상의 요소들을 포함할 수 있다.
- [0062] [0072] 당업자들은 정보 및 신호들이 서로 다른 다양한 기술들 및 기법들 중 임의의 것을 사용하여 표현될 수 있음을 인식할 것이다. 예를 들어, 위의 설명 전체에서 참조될 수 있는 데이터, 명령들, 지시들, 정보, 신호들, 비트들, 기호들 및 칩들은 전압들, 전류들, 전자기파들, 자기장들 또는 입자들, 광학 장 또는 입자들 또는 이들의 임의의 조합에 의해 표현될 수 있다.
- [0063] [0073] 본 출원에 기재되거나 예시된 어떠한 것도 구성요소, 작용, 특징, 혜택, 이점 또는 등가물이 청구항들에 인용되어 있는지 여부에 관계없이, 어떠한 구성요소, 작용, 특징, 혜택, 이점 또는 이의 등가물도 공중에게 전용되도록 의도되지 않는다.
- [0064] [0074] 위의 상세한 설명에서, 서로 다른 특징들이 예들에서 함께 그룹화되어 있음을 알 수 있다. 이러한 개시 방식은 예의 항목들이 각각의 항목에서 명시적으로 언급된 것보다 더 많은 특징들을 갖는다는 의도로 이해되어서는 안 된다. 오히려, 본 개시의 다양한 양태들은 개시된 개별 예의 항목의 모든 특징들보다 적은 특징을 포함할 수 있다. 따라서, 이하의 항목들은 본 명세서에 통합된 것으로 간주되어야 하며, 각각의 항목은 그 자체로 별도의 예로서 있을 수 있다. 각각의 종속 항목은 해당 항목들에서 다른 항목들 중 하나와의 특정 조합을 지칭할 수 있지만, 해당 종속 항목의 양태(들)는 특정 조합으로 제한되지 않는다. 다른 예의 항목들은 종속 항목의 양태(들)와 임의의 다른 종속 항목 또는 독립 항목의 주제와의 조합, 또는 다른 종속 및 독립 항목들과의 임의의 특징의 조합을 포함할 수 있음을 이해할 것이다. 본 명세서에 개시된 다양한 양태들은 특정 조합이 의도되지 않았음을 명시적으로 표현하거나 쉽게 추론할 수 있는 경우(예를 들어, 요소를 절연체 및 도체 양자로 정의하는 것과 같은 모순되는 양태들)를 제외하고는 이러한 조합을 명시적으로 포함한다. 또한, 항목이 독립 항목에 직접적으로 의존하지 않더라도, 항목의 양태들이 다른 독립 항목에 포함될 수 있는 것도 의도된 것이다.
- [0065] [0075] 구현 예들은 이하의 번호가 매겨진 항목들에 설명되어 있다:
- [0066] [0076] 항목 1. 장치로서, 제1 최상부 접점; 제1 최상부 접점에 인접한 제2 최상부 접점; 제1 최상부 접점 아래에 배치된 제1 메사; 제2 최상부 접점 아래에 배치된 제2 메사; 제1 최상부 접점 아래에 배치되고 제1 최상부 접점에 전기적으로 결합된 금속-절연체-금속(MIM) 커패시터의 제1 플레이트; 제1 플레이트 상에 배치된 MIM 커패시터의 제1 절연체; 제1 절연체 상에 배치되고 제2 최상부 접점에 전기적으로 결합된 MIM 커패시터의 제2 플레이트; 제2 플레이트 상에 배치된 MIM 커패시터의 제2 절연체; 및 제2 절연체 상에 배치되고 제1 최상부 접점에 전기적으로 결합된 MIM 커패시터의 제3 플레이트를 포함한다.
- [0067] [0077] 항목 2. 항목 1의 장치에 있어서, 제1 최상부 접점과 제1 메사 사이에 배치된 제1 부분 비아 - 제1 플레이트 및 제3 플레이트는 제1 부분 비아를 통해 제1 최상부 접점에 전기적으로 결합됨 -; 및 제2 최상부 접점과 제2 메사 사이에 배치된 제2 부분 비아 - 제2 플레이트는 제2 부분 비아를 통해 제2 최상부 접점에 전기적으로 결합됨 - 를 더 포함한다.
- [0068] [0078] 항목 3. 항목 1의 장치에 있어서, 제1 최상부 접점은 제1 메사 상에 직접 배치되고, 제2 최상부 접점은 제2 메사 상에 직접 배치된다.
- [0069] [0079] 항목 4. 항목 1 내지 항목 3 중 어느 한 항목의 장치에 있어서, 제1 메사 및 제2 메사는 제1 금속 간 유전체(IMD) 층에 형성된다.
- [0070] [0080] 항목 5. 항목 4의 장치에 있어서, 제2 금속 간 유전체(IMD) 층을 더 포함하며, 제1 최상부 접점 및 제2 최상부 접점은 적어도 부분적으로 제2 IMD 층에 배치된다.
- [0071] [0081] 항목 6. 항목 5의 장치에 있어서, 제1 최상부 접점 및 제2 최상부 접점은 제2 IMD 층 내 동일한 금속층에 있다.

- [0072] [0082] 항목 7. 항목 6의 장치에 있어서, 하부 금속층을 더 포함하며, 제1 IMD 층은 하부 금속층 상에 배치된다.
- [0073] [0083] 항목 8. 항목 4 내지 항목 7 중 어느 한 항목의 장치에 있어서, 제1 절연체는 고유전율(하이-k) 유전체 재료를 포함하고, 제1 IMD 층은 낮은 유전 상수(로우-k) 유전체 재료를 포함한다.
- [0074] [0084] 항목 9. 항목 5 내지 항목 8 중 어느 한 항목의 장치에 있어서, 제2 IMD 층은 낮은 유전 상수(로우-k) 유전체 재료를 포함한다.
- [0075] [0085] 항목 10. 항목 1 내지 항목 9 중 어느 한 항목의 장치에 있어서, 제1 플레이트, 제2 플레이트, 제3 플레이트, 제1 절연체 및 제2 절연체는 제1 최상부 접점과 제2 최상부 접점 사이에 배치된다.
- [0076] [0086] 항목 11. 항목 1 내지 항목 10 중 어느 한 항목의 장치에 있어서, 제1 플레이트 및 제3 플레이트는 제1 전력 연결부에 결합되고, 제2 플레이트는 제2 전력 연결부에 결합된다.
- [0077] [0087] 항목 12. 항목 11의 장치에 있어서, 제1 전력 연결부는 양전위로 구성되고, 제2 전력 연결부는 음전위 또는 접지로 구성된다.
- [0078] [0088] 항목 13. 항목 1 내지 항목 12 중 어느 한 항목의 장치에 있어서, 제2 MIM 커패시터를 더 포함하며, 제2 MIM 커패시터는 제1 플레이트와 제3 플레이트 사이에 배치되는 제2 플레이트를 가지며, 제1 플레이트 및 제3 플레이트는 제1 최상부 접점에 결합된다.
- [0079] [0089] 항목 14. 항목 1 내지 항목 13 중 어느 한 항목의 장치에 있어서, 제3 MIM 커패시터를 더 포함하며, 제3 MIM 커패시터는 제1 플레이트와 제3 플레이트 사이에 배치되는 제2 플레이트를 가지며, 제2 플레이트가 제2 최상부 접점에 결합된다.
- [0080] [0090] 항목 15. 항목 1 내지 항목 14 중 어느 한 항목의 장치에 있어서, 장치는 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인 휴대 정보 단말, 액세스 포인트, 고정 위치 단말기, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, 사물 인터넷 (IoT) 디바이스, 랩톱 컴퓨터, 서버, 기지국 및 자동차 차량의 디바이스로 구성된 그룹으로부터 선택된다.
- [0081] [0091] 항목 16. 장치 제조 방법으로서, 제1 메사를 형성하는 단계; 제1 메사에 인접한 제2 메사를 형성하는 단계; 제1 메사와 제2 메사 사이에 금속-절연체-금속(MIM) 커패시터의 제1 플레이트를 증착하는 단계 - 제1 플레이트의 일부가 제1 메사로 연장됨 -; 제1 플레이트 상에 MIM 커패시터의 제1 절연체를 증착하는 단계 - 제1 절연체의 일부가 제1 메사 및 제2 메사로 연장됨 -; 제1 메사와 제2 메사 사이의 제1 절연체 상에 MIM 커패시터의 제2 플레이트를 증착하는 단계 - 제2 플레이트의 일부가 제2 메사로 연장됨 -; 제2 플레이트 상에 MIM 커패시터의 제2 절연체를 증착하는 단계 - 제2 절연체의 일부가 제1 메사 및 제2 메사로 연장됨 -; 제1 메사와 제2 메사 사이의 제2 절연체 상에 MIM 커패시터의 제3 플레이트를 증착하는 단계 - 제3 플레이트의 일부가 제1 메사로 연장됨 -; 제1 최상부 접점을 형성하는 단계 - 제1 메사는 제1 접점 아래에 배치되고, 제1 플레이트 및 제2 플레이트는 제1 최상부 접점에 전기적으로 결합됨 -; 및 제2 최상부 접점을 형성하는 단계 - 제2 메사는 제2 접점 아래에 배치되고, 제2 플레이트가 제2 접점에 전기적으로 결합됨 - 를 포함한다.
- [0082] [0092] 항목 17. 항목 16의 방법에 있어서, 제1 최상부 접점과 제1 메사 사이에 제1 부분 비아를 배치하는 단계 - 제1 플레이트 및 제3 플레이트는 제1 부분 비아를 통해 제1 최상부 접점에 전기적으로 결합됨 -; 및 제2 최상부 접점과 제2 메사 사이에 제2 부분 비아를 배치하는 단계 - 제2 플레이트는 제2 부분 비아를 통해 제2 최상부 접점에 전기적으로 결합됨 - 를 더 포함한다.
- [0083] [0093] 항목 18. 항목 16의 방법에 있어서, 제1 최상부 접점은 제1 메사 상에 직접 배치되고, 제2 최상부 접점은 제2 메사 상에 직접 배치된다.
- [0084] [0094] 항목 19. 항목 16 내지 항목 18 중 어느 한 항목의 방법에 있어서, 제1 메사 및 제2 메사는 제1 금속 간 유전체(IMD) 층에 형성된다.
- [0085] [0095] 항목 20. 항목 19의 방법에 있어서, 제2 금속 간 유전체(IMD) 층을 형성하는 단계를 더 포함하며, 제1 최상부 접점 및 제2 최상부 접점은 적어도 부분적으로 제2 IMD 층에 배치된다.
- [0086] [0096] 항목 21. 항목 20의 방법에 있어서, 제1 최상부 접점 및 제2 최상부 접점은 제2 IMD 층 내 동일한 금속 층에 있다.

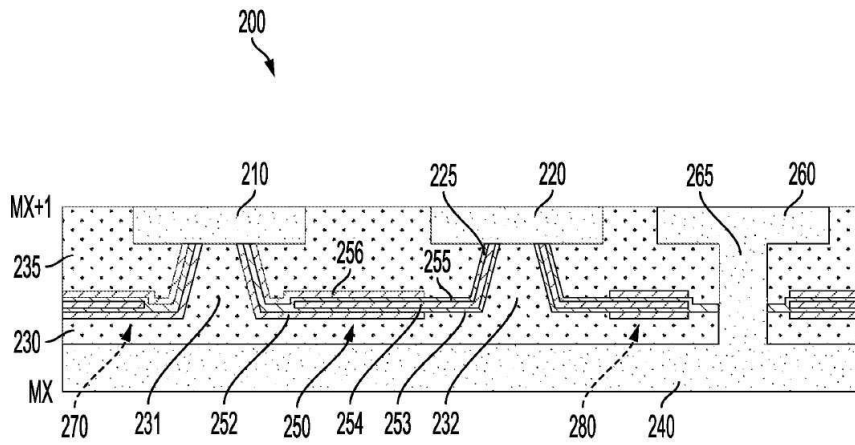
- [0087] [0097] 항목 22. 항목 21의 방법에 있어서, 하부 금속층을 배치하는 단계를 더 포함하며, 제1 IMD 층은 하부 금속층 상에 있다.
- [0088] [0098] 항목 23. 항목 19 내지 항목 22 중 어느 한 항목의 방법에 있어서, 제1 절연체는 높은 유전 상수(하이-k) 유전체 재료를 포함하고, 제1 IMD 층은 낮은 유전 상수(로우-k) 유전체 재료를 포함한다.
- [0089] [0099] 항목 24. 항목 20 내지 항목 23 중 어느 한 항목의 방법에 있어서, 제2 IMD 층은 낮은 유전 상수(로우-k) 유전체 재료를 포함한다.
- [0090] [0100] 항목 25. 항목 16 내지 항목 24 중 어느 한 항목의 방법에 있어서, 제1 플레이트, 제2 플레이트, 제3 플레이트, 제1 절연체 및 제2 절연체는 제1 최상부 접점과 제2 최상부 접점 사이에 배치된다.
- [0091] [0101] 항목 26. 항목 16 내지 항목 25 중 어느 한 항목의 방법에 있어서, 제1 플레이트 및 제3 플레이트는 제1 전력 연결부에 결합되고, 그리고 제2 플레이트는 제2 전력 연결부에 결합된다.
- [0092] [0102] 항목 27. 항목 26의 방법에 있어서, 제1 전력 연결부는 양전위로 구성되고, 제2 전력 연결부는 음전위 또는 접지로 구성된다.
- [0093] [0103] 항목 28. 항목 16 내지 항목 27 중 어느 한 항목의 방법에 있어서, 제2 MIM 커패시터를 형성하는 단계를 더 포함하며, 제2 MIM 커패시터는 제1 플레이트와 제3 플레이트 사이에 배치되는 제2 플레이트를 가지며, 제1 플레이트 및 제3 플레이트는 제1 최상부 접점에 결합된다.
- [0094] [0104] 항목 29. 항목 16 내지 항목 28 중 어느 한 항목의 방법에 있어서, 제3 MIM 커패시터를 형성하는 단계를 더 포함하며, 제3 MIM 커패시터는 제1 플레이트와 제3 플레이트 사이에 배치되는 제2 플레이트를 가지며, 제2 플레이트가 제2 최상부 접점에 결합된다.
- [0095] [0105] 항목 30. 항목 16 내지 항목 29 중 어느 한 항목의 방법에 있어서, 장치는 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인 휴대 정보 단말, 액세스 포인트, 고정 위치 단말기, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, 사물 인터넷 (IoT) 디바이스, 랩톱 컴퓨터, 서버, 기지국 및 자동차 차량의 디바이스로 구성된 그룹으로부터 선택된다.
- [0096] [0106] 또한, 본 명세서 또는 청구항들에 개시된 방법들, 시스템들 및 장치는 개시된 방법들의 개개의 동작들 및/또는 기능들을 수행하기 위한 수단을 포함하는 디바이스에 의해 구현될 수 있음에 유의해야 한다.
- [0097] [0107] 또한, 일부 예들에서, 개별 동작은 하나 이상의 하위 동작들로 세분화되거나 하나 이상의 하위 동작들을 포함할 수 있다. 이러한 하위 동작들은 개별 동작의 개시에 포함될 수 있고, 개별 동작의 개시의 일부가 될 수 있다.
- [0098] [0108] 전술한 개시는 개시의 예시적인 예들을 보여 주지만, 첨부된 청구항들에 의해 정의된 바와 같이 개시의 범위를 벗어나지 않고 본 명세서에서 다양한 변경들 및 수정들이 이루어질 수 있음에 유의해야 한다. 본 명세서에 설명된 개시의 예들에 따른 방법 청구항들의 기능들 및/또는 동작들은 임의의 특정 순서로 수행될 필요는 없다. 또한, 잘 알려진 요소들은 본 명세서에 개시된 양태들 및 예들의 관련 세부 사항들을 모호하게 하지 않기 위해 상세하게 설명되지 않거나 생략될 수 있다. 또한, 본 개시의 요소들이 단수로 설명되거나 청구될 수 있지만, 단수로의 제한이 명시적으로 언급되지 않는 한 복수가 고려된다.

도면

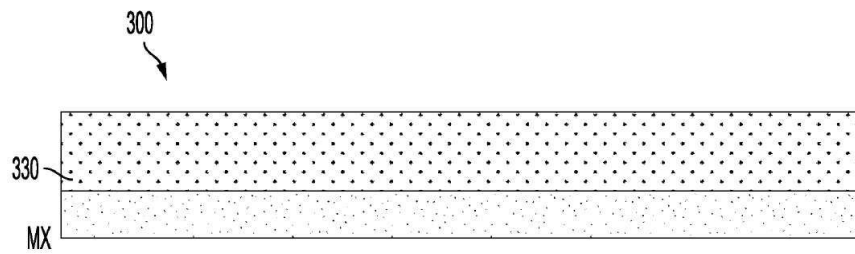
도면1



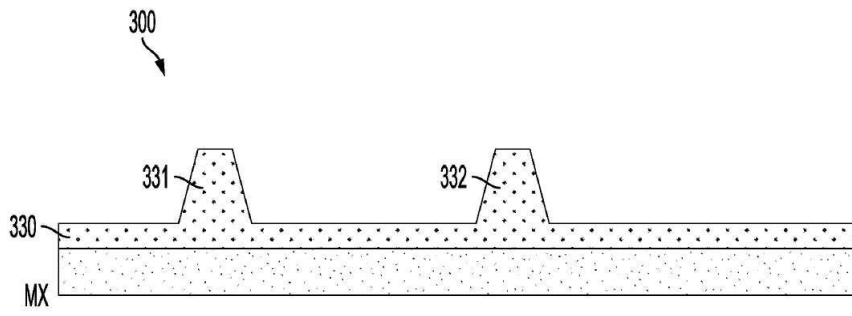
도면2



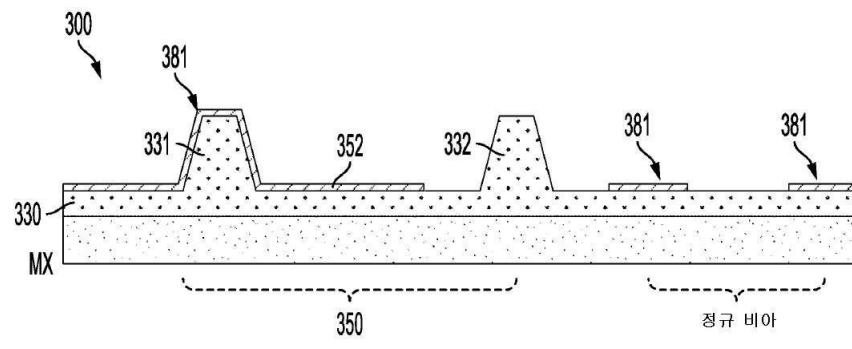
도면3a



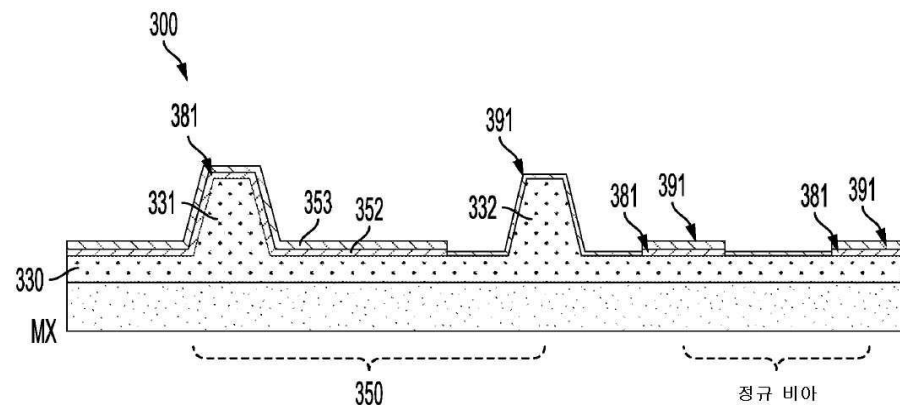
도면3b



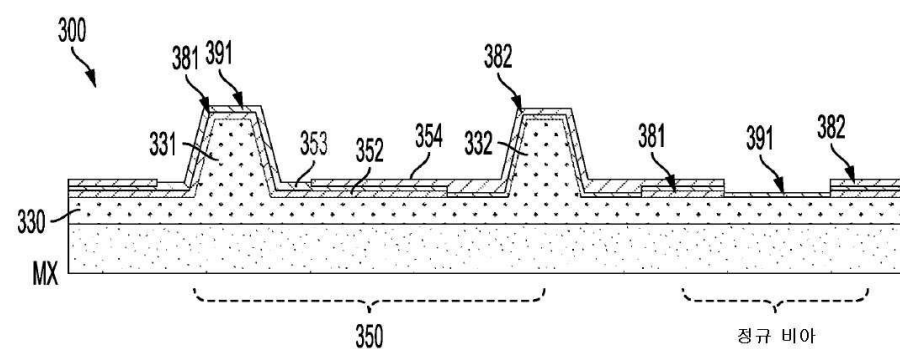
도면3c



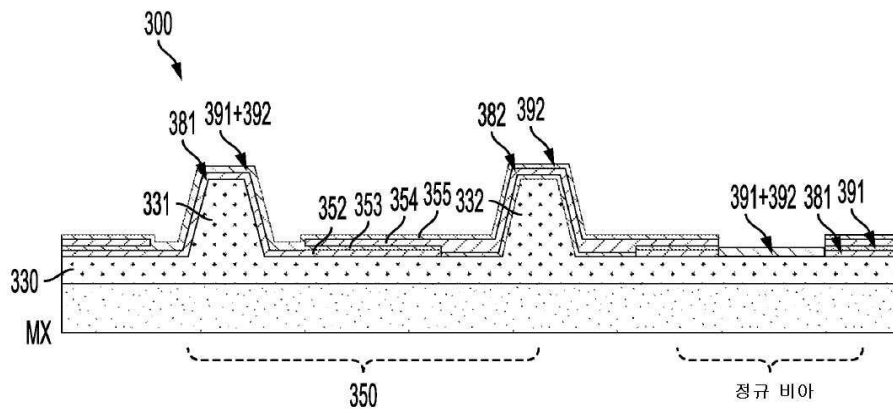
도면3d



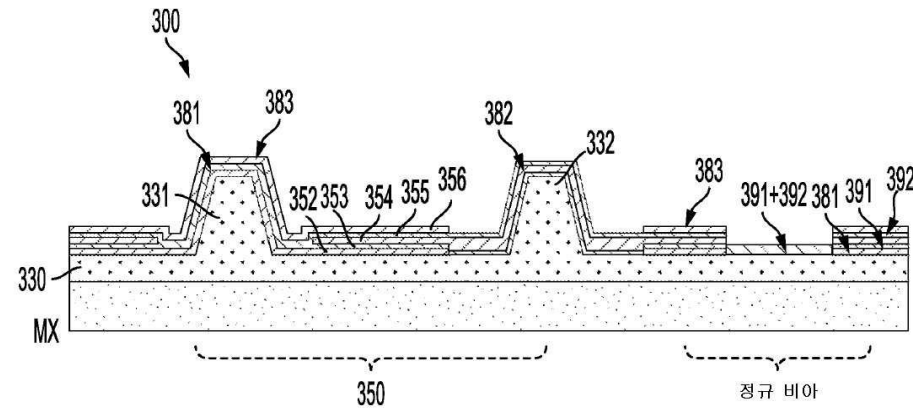
도면3e



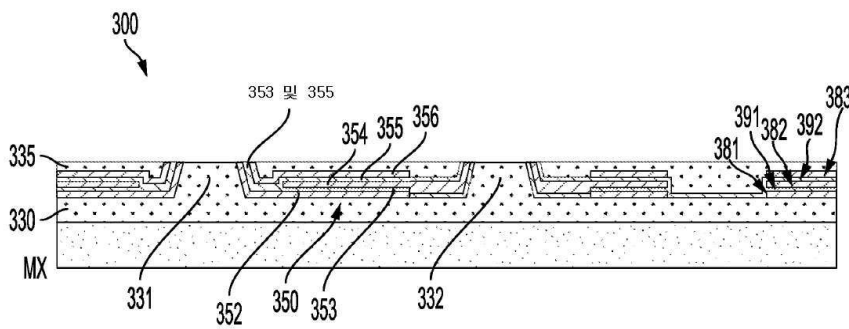
도면3f



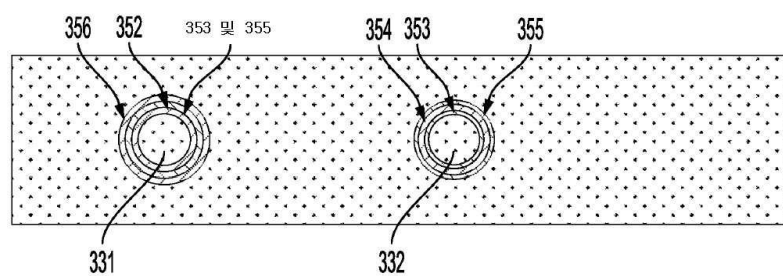
도면3g



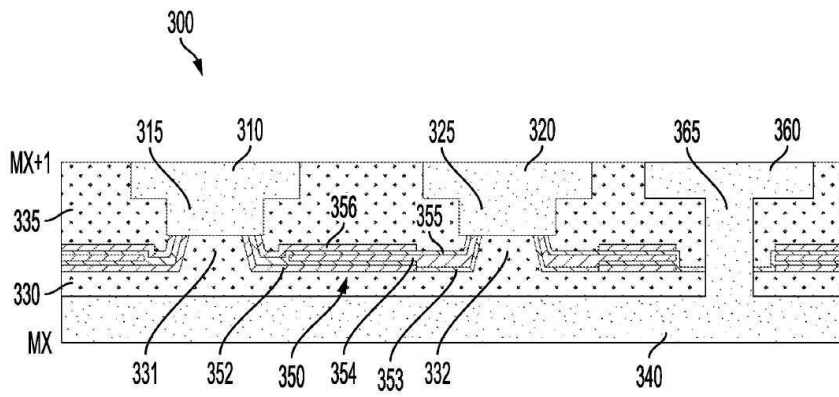
도면3h



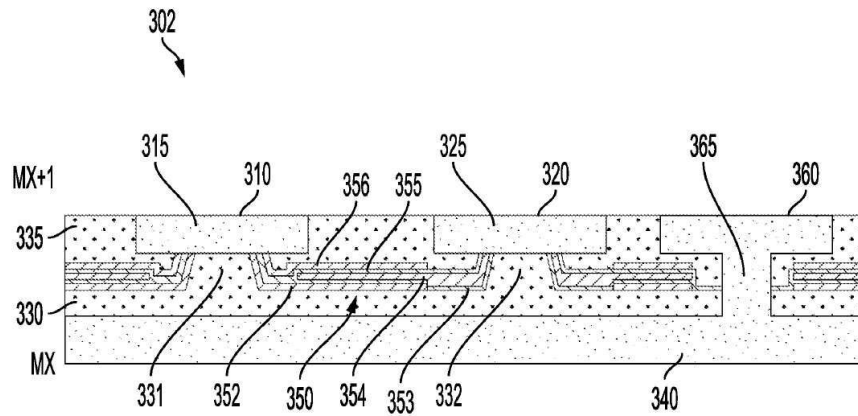
도면3i



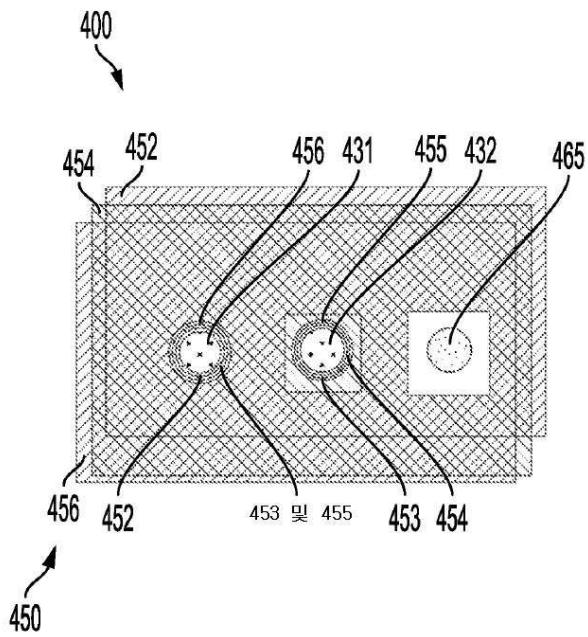
도면3j



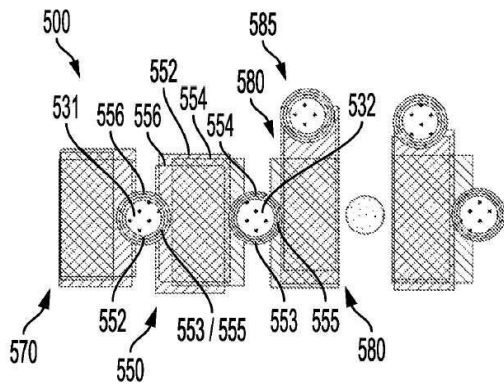
도면3k



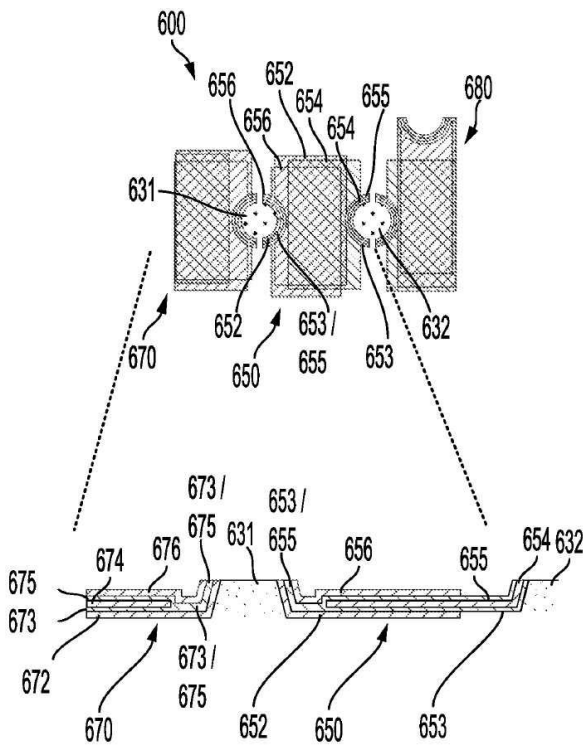
도면4



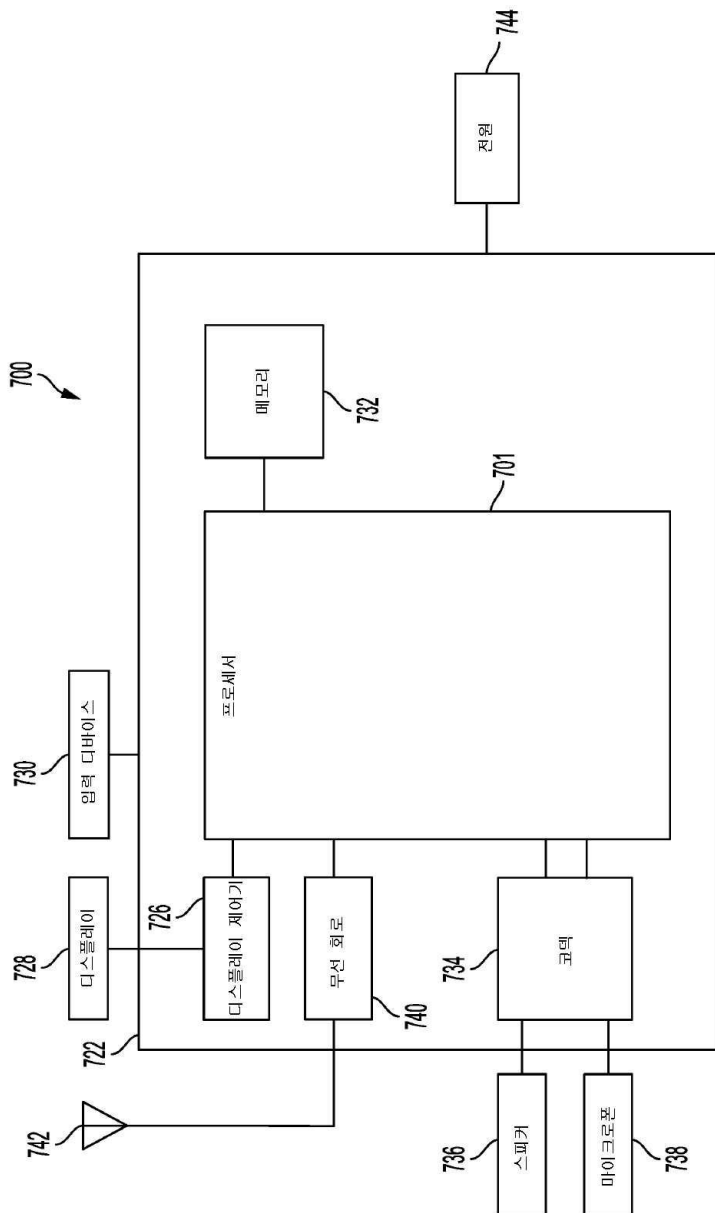
도면5



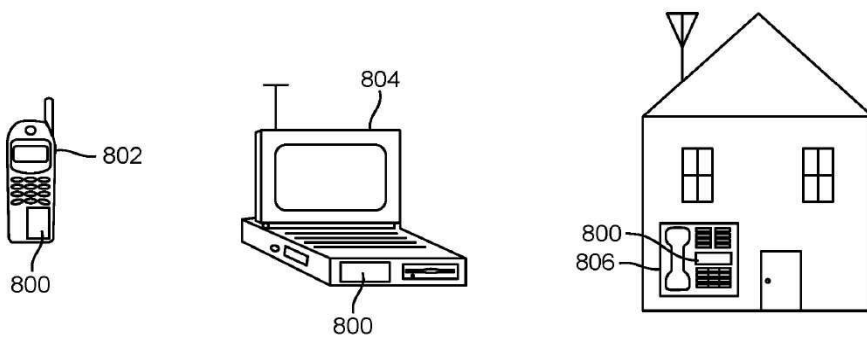
도면6



도면7



도면8



도면9

