

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2018-506894

(P2018-506894A)

(43) 公表日 平成30年3月8日(2018.3.8)

(51) Int.Cl.	F I	テーマコード (参考)
H03B 5/08 (2006.01)	H03B 5/08 C	5 J 0 8 1
H03B 5/12 (2006.01)	H03B 5/12 G	

審査請求 未請求 予備審査請求 有 (全 23 頁)

(21) 出願番号	特願2017-536247 (P2017-536247)	(71) 出願人	595020643 クアルコム・インコーポレイテッド QUALCOMM INCORPORATED アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアハウス・ドライブ 5775
(86) (22) 出願日	平成27年11月20日 (2015.11.20)		
(85) 翻訳文提出日	平成29年7月7日 (2017.7.7)		
(86) 国際出願番号	PCT/US2015/061877		
(87) 国際公開番号	W02016/111761		
(87) 国際公開日	平成28年7月14日 (2016.7.14)		
(31) 優先権主張番号	62/101,795	(74) 代理人	100108855 弁理士 蔵田 昌俊
(32) 優先日	平成27年1月9日 (2015.1.9)	(74) 代理人	100109830 弁理士 福原 淑弘
(33) 優先権主張国	米国 (US)	(74) 代理人	100158805 弁理士 井関 守三
(31) 優先権主張番号	14/666,084	(74) 代理人	100112807 弁理士 岡田 貴志
(32) 優先日	平成27年3月23日 (2015.3.23)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 最適の位相ノイズのために、動的に発振器をバイアスするシステムおよび方法

(57) 【要約】

位相ノイズを最小化するように、周波数発振器をバイアスするシステムおよび方法が開示されている。システムは、インダクタを有するタンク回路、少なくとも第1の結合キャパシタおよび第2の結合キャパシタを備え得る。システムは、第1の結合キャパシタおよび第2の結合キャパシタに、電氣的に接続されたバラクタ回路を、さらに備え得る。システムは、シャントで、タンク回路およびバイアス電圧に電氣的に接続された、少なくとも1つの第1の金属酸化物半導体(MOS)デバイスを、さらに備え得る。少なくとも1つの第1のMOSデバイスは、少なくとも1つの第1のMOSデバイスの第1のゲート-ソース電圧が、第1のしきい値電圧より低いままであるべく、少なくとも1つの第1のMOSデバイスをバイアスするように構成された、第1のゲートバイアス電圧に電氣的に接続され得る。

【選択図】図2

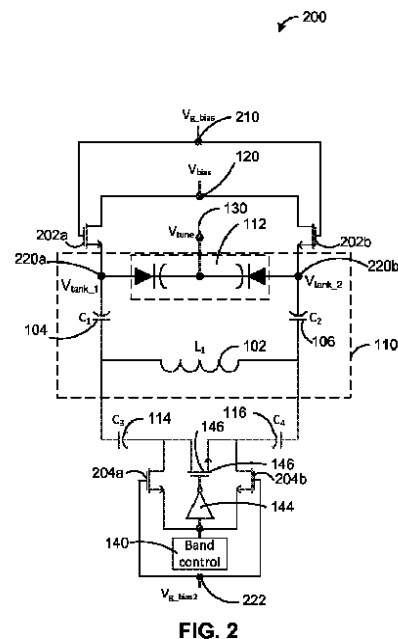


FIG. 2

【特許請求の範囲】**【請求項 1】**

インダクタ、第 1 の結合キャパシタ、および第 2 の結合キャパシタを有するタンク回路と、

前記第 1 の結合キャパシタおよび前記第 2 の結合キャパシタに電氣的に結合されたバラクタ回路と、

第 1 のゲート、第 1 のドレイン、および第 1 のソースを有する第 1 の MOS デバイスと、前記第 1 のソースは、前記バラクタ回路に電氣的に結合されており、

第 2 のゲート、第 2 のドレイン、および第 2 のソースを有する第 2 の MOS デバイスと、前記第 2 のソースは、前記第 1 のソースとは反対側で前記バラクタ回路に電氣的に結合されており、

第 1 のバイアス電圧を受けるために、前記第 1 のドレインおよび前記第 2 のドレインに電氣的に結合された第 1 の入力と、

第 1 のゲートバイアス電圧を受けるために、前記第 1 のゲートおよび前記第 2 のゲートに電氣的に結合された第 2 の入力とを備える、周波数発振器。

【請求項 2】

前記第 1 の結合キャパシタおよび前記インダクタに、電氣的に結合された第 1 の粗調節キャパシタと、

前記第 2 の結合キャパシタおよび前記インダクタに、電氣的に結合された第 2 の粗調節キャパシタと、

第 3 のゲート、第 3 のドレイン、および第 3 のソースを有する第 3 の MOS デバイスと、前記第 3 のドレインは、前記第 1 の粗調節キャパシタに電氣的に結合されており、

第 4 のゲート、第 4 のドレイン、および第 4 のソースを有する第 4 の MOS デバイスと、前記第 4 のドレインは、前記第 2 の粗調節キャパシタに電氣的に結合されており、

前記第 3 のソースおよび前記第 4 のソースに、電氣的に結合された帯域制御入力と、

第 2 のゲートバイアス電圧を受けるために、前記第 3 のゲートおよび前記第 4 のゲートに、電氣的に結合された第 3 の入力とをさらに備える、請求項 1 に記載の周波数発振器。

【請求項 3】

前記帯域制御入力は、前記第 3 の入力に電氣的に結合されている、請求項 2 に記載の周波数発振器。

【請求項 4】

前記帯域制御入力および前記第 3 の入力は、少なくとも 1 つのバイアス電圧を受けるように構成され、前記少なくとも 1 つのバイアス電圧は、前記第 3 の MOS デバイスおよび前記第 4 の MOS デバイスを負にバイアスするように選択される、請求項 2 に記載の周波数発振器。

【請求項 5】

スイッチゲート、スイッチドレイン、スイッチソースを有するスイッチをさらに備え、前記スイッチゲートは、前記帯域制御入力に電氣的に結合され、前記スイッチドレインは、前記第 1 の粗調節キャパシタおよび前記第 3 の MOS デバイスに電氣的に結合され、前記スイッチソースは、前記第 2 の粗調節キャパシタおよび前記第 4 の MOS デバイスに電氣的に結合される、請求項 2 に記載の周波数発振器。

【請求項 6】

前記第 1 の入力は、前記第 2 の入力に電氣的に結合され、前記第 1 のゲートバイアス電圧は、前記第 1 のバイアス電圧に等しい、請求項 1 に記載の周波数発振器。

【請求項 7】

前記第 1 のゲートは、前記第 1 のドレインに電氣的に結合され、前記第 2 のゲートは、前記第 2 のドレインに電氣的に結合される、請求項 1 に記載の周波数発振器。

【請求項 8】

前記第 1 の入力および前記第 2 の入力は、少なくとも 1 つのバイアス電圧を受けるように構成され、前記少なくとも 1 つのバイアス電圧は、前記第 1 の MOS デバイスおよび前

10

20

30

40

50

記第 2 の MOS デバイスを負にバイアスするように選択される、請求項 1 に記載の周波数発振器。

【請求項 9】

前記第 1 の MOS デバイスおよび前記第 2 の MOS デバイスは、前記バラクタ回路をバイアスし、前記第 1 の MOS デバイスおよび前記第 2 の MOS デバイスの位相ノイズの、前記周波数発振器の出力の発振ピークへの寄与を隔離するように構成される、請求項 1 に記載の周波数発振器。

【請求項 10】

可変容量回路と、
少なくとも 1 つのインダクタおよび少なくとも 1 つのキャパシタを有するタンク回路と 10
、前記タンク回路は、前記可変容量回路に並列で電氣的に結合され、
第 1 のゲート、第 1 のソース、および第 1 のドレインを有する第 1 の MOS デバイスと
、前記第 1 のソースは、前記タンク回路および前記可変容量回路に電氣的に結合され、
第 2 のゲート、第 2 のソース、および第 2 のドレインを有する第 2 の MOS デバイスと
、前記第 2 のソースは、前記タンク回路および前記可変容量回路に電氣的に結合され、
前記第 1 のドレインおよび前記第 2 のドレインに、電氣的に結合され、第 1 のバイアス
電圧を受けるように構成された第 1 の入力と、
前記第 1 のゲートおよび前記第 2 のゲートに電氣的に結合された第 2 の入力と、前記第 2
の入力は、第 1 のゲートバイアス電圧を受けるように構成され、周波数発振器が動作中
であるとき、前記第 1 のゲートバイアス電圧は、前記第 1 の MOS デバイスの第 1 のゲート 20
- ソース電圧が、第 1 のしきい値電圧より低いままであるべく、前記第 1 の MOS デバ
イスをバイアスすることが可能であり、前記第 2 の MOS デバイスの第 2 のゲート - ソ
ース電圧が、第 2 のしきい値電圧よりも低いままであるべく、前記第 2 の MOS デバ
イスをバイアスするように構成される、を備える周波数発振器。

【請求項 11】

前記タンク回路に電氣的に結合された第 1 の粗調節キャパシタおよび第 2 の粗調節キャ
パシタと、
第 3 のゲート、第 3 のソース、および第 3 のドレインを有する第 3 の MOS デバイスと
、前記第 3 のソースは、前記第 1 の粗調節キャパシタに電氣的に結合され、
第 4 のゲート、第 4 のソース、および第 4 のドレインを有する第 4 の MOS デバイスと 30
、前記第 4 のソースは、前記第 2 の粗調節キャパシタに電氣的に結合され、
前記第 3 のドレインおよび前記第 4 のドレインに、電氣的に結合された帯域制御入力と
、
第 2 のゲートバイアス電圧を受けるために、前記第 3 のゲートおよび前記第 4 のゲート
に電氣的に結合された第 3 の入力とをさらに備え、前記第 2 のゲートバイアス電圧は、第
3 のゲート - ソース電圧が、第 3 のしきい値電圧よりも低いままであるべく、前記第 3 の
MOS デバイスをバイアスするように、また、第 4 のゲート - ソース電圧が、第 4 のしき
い値電圧よりも低いままであるべく、前記第 4 の MOS デバイスをバイアスするように構
成される、請求項 10 に記載の周波数発振器。

【請求項 12】

前記帯域制御入力は、前記第 3 の入力に電氣的に結合される、請求項 11 に記載の周波
数発振器。

【請求項 13】

前記第 1 の入力は、前記第 2 の入力に電氣的に結合され、前記第 1 のゲートバイアス電
圧は、前記第 1 のバイアス電圧に等しい、請求項 10 に記載の周波数発振器。

【請求項 14】

前記第 1 のゲートは、前記第 1 のドレインに電氣的に結合され、前記第 2 のゲートは、
前記第 2 のドレインに電氣的に結合される、請求項 10 に記載の周波数発振器。

【請求項 15】

前記第 1 の入力および前記第 2 の入力は、少なくとも 1 つのバイアス電圧を受けるよう 50

に構成され、前記少なくとも１つのバイアス電圧は、前記第１のＭＯＳデバイスおよび前記第２のＭＯＳデバイスを負にバイアスするために選択される、請求項１０に記載の周波数発振器。

【請求項１６】

バラクタ回路に電氣的に結合されたタンク回路を使用して、発振出力を生成することと、

第１のＭＯＳデバイスおよび第２のＭＯＳデバイスを使用して、前記バラクタ回路をバイアスすることと、前記バラクタ回路は、前記第１のＭＯＳデバイスの第１のソースに、および、前記第２のＭＯＳデバイスの第２のソースに、電氣的に結合され、

前記第１のＭＯＳデバイスの第１のゲートにおいて、および、前記第２のＭＯＳデバイスの第２のゲートにおいて、第１のゲートバイアス電圧で、前記第１のＭＯＳデバイスおよび前記第２のＭＯＳデバイスをバイアスすることと、

前記第１のＭＯＳデバイスの第１の相互コンダクタンス、および前記第２のＭＯＳデバイスの第２の相互コンダクタンスを、前記第１のバイアス電圧および前記第１のゲートバイアス電圧で、制御することとを備える、発振器回路をバイアスするための方法。

【請求項１７】

前記タンク回路および帯域制御入力を使用してデジタルクロック信号を生成することと、前記タンク回路は、第１の粗調節キャパシタおよび第２の粗調節キャパシタに、電氣的に結合され、

第３のＭＯＳデバイスの第３のゲートにおいて、および第４のＭＯＳデバイスの第４のゲートにおいて、第２のゲートバイアス電圧で、前記第３のＭＯＳデバイスおよび前記第４のＭＯＳデバイスをバイアスすることと、前記帯域制御入力は、前記第３のＭＯＳデバイスの第３のソース、および前記第４のＭＯＳデバイスの第４のソースに電氣的に結合され、

前記帯域制御入力および前記第２のゲートバイアス電圧を使用して、前記第３のＭＯＳデバイスの第３の相互コンダクタンス、および前記第４のＭＯＳデバイスの第４の相互コンダクタンスを制御することとをさらに備える、請求項１６に記載の方法。

【請求項１８】

前記帯域制御入力を、前記第２のゲートバイアス電圧に、電氣的に結合することとをさらに備える、請求項１７に記載の方法。

【請求項１９】

前記第１のゲートバイアス電圧を、前記第１のバイアス電圧に、電氣的に結合することとをさらに備える、請求項１６に記載の方法。

【請求項２０】

前記第１のＭＯＳデバイスの前記第１のゲートを、前記第１のＭＯＳデバイスの第１のドレインに、電氣的に結合することと、

前記第２のＭＯＳデバイスの前記第２のゲートを、前記第２のＭＯＳデバイスの第２のドレインに、電氣的に結合することとをさらに備える、請求項１６に記載の方法。

【請求項２１】

共振周波数において、エネルギーを蓄積するための共振手段と、前記共振手段は、少なくとも１つのインダクタおよび少なくとも１つのキャパシタを有し、

第１の末端部および第２の末端部を有する可変容量手段と、前記第１の末端部および前記第２の末端部は、前記共振手段に電氣的に結合され、

第１のゲート、第１のドレイン、および第１のソースを有する第１のトランジスタ手段と、前記第１のソースは、前記第１の末端部に電氣的に結合され、

第２のゲート、第２のドレイン、および第２のソースを有する第２のトランジスタ手段と、前記第２のソースは、前記第２の末端部に電氣的に結合され、

前記第１のドレインおよび前記第２のドレインに、電氣的に結合された第１のバイアス手段と、

前記第１のゲートおよび前記第２のゲートに、電氣的に結合された第２のバイアス手段

とを備える、発振周波数を生成するための装置。

【請求項 2 2】

前記可変容量手段は、前記第 1 の末端部および前記第 2 の末端部を有するバラクタ回路を備え、前記第 1 の末端部は、第 1 の結合キャパシタに電氣的に結合され、前記第 2 の末端部は、第 2 の結合キャパシタに電氣的に結合される、請求項 2 1 に記載の装置。

【請求項 2 3】

第 3 のゲート、第 3 のソース、および第 3 のドレインを有する第 3 のトランジスタ手段と、前記第 3 のソースは、前記共振手段に電氣的に結合され、

第 4 のゲート、第 4 のソース、および第 4 のドレインを有する第 4 のトランジスタ手段と、前記第 4 のソースは、前記共振手段に電氣的に結合され、

前記第 3 のドレインおよび前記第 4 のドレインに、電氣的に結合された帯域制御手段と、

第 3 のバイアス手段を受けるために、前記第 3 のゲートおよび前記第 4 のゲートに、電氣的に結合された入力手段とをさらに備える、請求項 2 1 に記載の装置。

【請求項 2 4】

前記第 3 のバイアス手段は、第 3 のゲート - ソース電圧が、第 3 のしきい値電圧よりも低いままであるべく、前記第 3 のトランジスタ手段をバイアスするように、また、第 4 のゲート - ソース電圧が、第 4 のしきい値電圧よりも低いままであるべく、前記第 4 のトランジスタ手段をバイアスするように構成される、請求項 2 3 に記載の装置。

【請求項 2 5】

スイッチソース、スイッチドレイン、およびスイッチゲートを有するスイッチ手段をさらに備え、前記スイッチゲートは、前記帯域制御手段に電氣的に結合され、前記スイッチドレインは、前記第 3 のトランジスタ手段および前記共振手段に電氣的に結合され、前記スイッチソースは、前記第 4 のトランジスタ手段および前記共振手段に電氣的に結合される、請求項 2 3 に記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

[0001] 本開示は、電圧制御発振器 (VCO) およびデジタル的に制御された発振器 (DCO) に関する。より具体的には、本開示は、位相ノイズを最小化するために、発振器をバイアスするシステムおよび方法を呈示する。

【背景】

【0002】

[0002] デジタル的に制御された、または電圧制御発振器は、発振周波数の周辺で熱ノイズが位相ノイズに変換され得るところの、非常に敏感なノードを有し得る。これらのノードをバイアスすることは、タンク回路の Q ファクターを低下させ、よって、発振器の位相ノイズを増加させることにより、発振器に負の影響を与え得る。あるシステムは、バラクタノイズの寄与を最小化する抵抗性回路を実装できる。

【概要】

【0003】

[0003] 一般に、本開示は、周波数発振器における位相ノイズおよびジッターを最小化することに関する技法を説明する。本開示のシステム、方法、デバイスは各々、いくつかの革新的な態様を有し、それらの何れの 1 つも、単独で本明細書で開示されている所望の属性に対して責任を負うわけではない。

【0004】

[0004] 本開示の 1 つの態様は、周波数発振器を提供する。周波数発振器は、インダクタを有するタンク回路を有することができる。タンク回路は、第 1 の結合キャパシタ、および第 2 の結合キャパシタを有することができる。周波数発振器はまた、第 1 の結合キャパシタおよび第 2 の結合キャパシタに電氣的に結合されたバラクタ回路を有することができる。周波数発振器はまた、第 1 のゲート、第 1 のドレイン、および第 1 のソースを有す

10

20

30

40

50

る第1の金属酸化物半導体(MOS)デバイスを有することができる。第1のソースは、バラクタ回路に電氣的に結合され得る。周波数発振器はまた、第2のゲート、第2のドレイン、および第2のソースを有する第2のMOSデバイスを有することができる。第2のソースは、第1のソースとは反対側で、バラクタ回路に電氣的に結合され得る。周波数発振器はまた、第1のバイアス電圧を受けるために、第1のドレインおよび第2のドレインに電氣的に結合された第1の入力を有することができる。周波数発振器はまた、第1のゲートバイアス電圧を受けるために、第1のゲートおよび第2のゲートに電氣的に結合された第2の入力を有することができる。

【0005】

[0005] 本開示の別の態様は、タンク回路を有する周波数発振器を提供する。タンク回路は、少なくとも1つのインダクタおよび少なくとも1つのキャパシタを有することができる。タンク回路はまた、可変容量回路に並列で電氣的に結合され得る。周波数発振器はまた、第1のゲート、第1のソース、および第1のドレインを有する第1のMOSデバイスを有することができる。第1のソースは、タンク回路および可変容量回路に電氣的に結合することができる。周波数発振器はまた、第2のゲート、第2のソース、および第2のドレインを有する第2のMOSデバイスを有することができる。第2のソースは、タンク回路および可変容量回路に電氣的に結合することができる。周波数発振器はまた、第1のドレインおよび第2のドレインに電氣的に結合され、第1のバイアス電圧を受けるように構成された第1の入力を有することができる。周波数発振器はまた、第1のゲートおよび第2のゲートに電氣的に結合された第2の入力を有することができる。第2の入力は、第1のゲートバイアス電圧を受けるように構成され得る。周波数発振器が動作中であるとき、第1のゲートバイアス電圧は、第1のMOSデバイスの第1のゲート-ソース電圧が、第1のしきい値電圧より下のままであるべく、第1のMOSデバイスをバイアスし、また、第2のMOSデバイスの第2のゲート-ソース電圧が、第2のしきい値電圧より下のままであるべく、第2のMOSデバイスをバイアスするように選択できる。

【0006】

[0006] 本開示の別の態様は、発振器回路をバイアスするための方法を提供する。方法は、バラクタ回路に電氣的に結合されたタンク回路を使用して、発振出力を生成することを備え得る。方法はまた、第1のMOSデバイスおよび第2のMOSデバイスを使用して、バラクタ回路をバイアスすることを備え得る。バラクタ回路は、第1のMOSデバイスの第1のソース、および第2のMOSデバイスの第2のソースに電氣的に結合され得る。方法はまた、第1のMOSデバイスの第1のゲートにおいて、および第2のMOSデバイスの第2のゲートにおいて、第1のゲートバイアス電圧により、第1のMOSデバイスおよび第2のMOSデバイスをバイアスすることを備え得る。方法はまた、第1のバイアス電圧および第1のゲートバイアス電圧により、第1のMOSデバイスの第1の相互コンダクタンス、および第2のMOSデバイスの第2の相互コンダクタンスを制御することを備え得る。

【0007】

[0007] 本開示の別の態様は、発振周波数を発生するための装置を提供する。装置は、共振周波数においてエネルギーを蓄積するための共振手段を有し得る。共振手段は、少なくとも1つのインダクタ、および少なくとも1つのキャパシタを有し得る。装置はまた、第1の末端部および第2の末端部を有する可変容量手段を有し得、第1の末端部および第2の末端部は、共振手段に電氣的に結合される。装置はまた、第1のゲート、第1のドレイン、および第1のソースを有する第1のトランジスタ手段を有し得る。第1のソースは、第1の末端部に電氣的に結合され得る。装置はまた、第2のゲート、第2のドレイン、および第2のソースを有する第2のトランジスタ手段を有し得る。第2のソースは、第2の末端部に電氣的に結合され得る。装置はまた、第1のドレインおよび第2のドレインに電氣的に結合された第1のバイアス手段を有し得る。装置はまた、第1のゲートおよび第2のゲートに電氣的に結合された第2のバイアス手段を有し得る。

【0008】

【0008】 本開示の他の特徴および利点は、例として本開示の態様を例証する、以下の説明から明らかであろう。

【図面の簡単な説明】

【0009】

【0009】 本開示の実施形態の詳細は、それらの構造と動作の両方に関して、添付図面の検討によって部分的に突き止められ得、そこにおいて同様の参照番号は同様の部分を指す。

【図1】 【0010】 図1は、発振器回路の図式的図である。

【図2】 【0011】 図2は、位相ノイズを低減するためにトランジスタを組み込んだ発振器回路の図式的図である。

【図3】 【0012】 図3は、図2のMOSデバイスの、ある期間にわたったゲート-ソース電圧のプロットである。

【図4A】 【0013】 図4Aは、発振器回路の別の実施形態の回路図である。

【図4B】 【0014】 図4Bは、ある期間にわたった、図4Aの発振器回路の電圧、電流、およびインピーダンス値の、4つのプロット図の比較である。

【図5A】 【0015】 図5Aは、図2についての発振器回路の別の実施形態の回路図である。

【図5B】 【0016】 図5Bは、ある期間にわたった、図5Aの発振器回路の電圧、電流、およびインピーダンス値の、4つのプロット図の比較である。

【発明の詳細な説明】

【0017】

【0017】 添付の図面に関連して以下で述べられる詳細な説明は、様々な実施形態の説明として意図されるものであり、本開示が実施され得る、唯一の実施形態を表すように意図されるものではない。詳細な説明は、実施形態の完全な理解を提供することを目的とした特定の詳細を含む。いくつかの事例では、周知の構造および構成要素が、説明の簡潔化のために単純な形態で指し示されている。本明細書において使用されるように、書かれた説明の全体を通して、同様の参照番号は、同様の特徴を指す。

【0018】

【0018】 図1は、発振器回路の回路図である。発振器回路（発振器）100が指し示されている。発振器100は、結合キャパシタ C_1 104および C_2 106のペアに電気的に結合されたインダクタ L_1 102を有し得る。ある実施形態において、結合キャパシタ C_1 104および C_2 106は、インダクタ L_1 102を、バラクタ112のペアとして指し示されたバラクタ回路に、電気的に「結合」する。バラクタ112は、電圧制御されたキャパシタとして動作し得る。インダクタ L_1 102は、さらに、粗調節キャパシタのペア：粗調節キャパシタ C_3 114および粗調節キャパシタ C_4 116（以下、「粗いキャパシタ」と呼ぶ）、に電気的に結合され得る。 L_1 102、 C_1 104、 C_2 106、およびバラクタ112の組み合わせはまた、本明細書において、（破線中で示された）「タンク回路」、「タンク」または「LC回路」110と呼ばれ得る。ある実施形態において、タンク110は、回路の特性共振周波数において発振する、エネルギーを蓄積する電氣的共振器として働くことができる。

【0019】

【0019】 ある実施形態において、タンク110は、発振器100の構成に依っては、図1で識別された、および本明細書で説明された全ての構成要素は有さないであろう。タンク110は、単一のキャパシタ、および単一のインダクタのみを有し得る。ある実施形態において、タンク110は、 C_1 104および C_2 106と共同する L_1 102を含み得、さらに C_3 114および C_4 116を含む。別の実施形態において、タンク110は、 C_1 104、 C_2 106、 C_3 114、および C_4 116と共同する L_1 102、ならびにバラクタ112を含むように考えられ得る。さらに別の実施形態において、タンク110は、タンク110の共振周波数を変化または規制するために実装された、追加の誘導性、容量性、および抵抗性回路を有し得る。

10

20

30

40

50

【0013】

[0020] 発振器100は、入力 $V_{bias120}$ （以下、「 $V_{bias120}$ 」）を、さらに有し得る。本明細書において使用されるように、入力は、一般的に、例えば電圧入力を受け得る電氣的結合を指し得る。 $V_{bias120}$ は、タンク110の C_1104 および C_2106 に印加される可変または一定の直流（DC）電圧である、または、それら電圧を受け得る。発振器100は、さらに入力 $V_{tune130}$ を有し得る。 $V_{tune130}$ はまた、発振器100の周波数を調節または調整するために、バラクタ112に印加される可変または一定のDC電圧である、または、それら電圧を受け得る。バラクタ112の容量は、さらに、 $V_{bias120}$ および $V_{tune130}$ 間の差の関数であり得る。追加的に、バラクタ112の容量が変化されるにつれ、発振器100の周波数もまた変化する。

10

【0014】

[0021] 1つの実施形態において、タンク110およびバラクタ112と共同する入力 $V_{bias120}$ および入力 $V_{tune130}$ は、VCOとして構成された発振器100として統合できる。

【0015】

[0022] ある実施形態において、発振器100は、粗いキャパシタ114、116に電氣的に結合された、帯域制御入力140（以下、「帯域制御140」）をさらに備え得る。粗いキャパシタ C_3114 および C_4116 は、発振器100（たとえば、VCOまたはDCO）での使用のための、スイッチ可能なキャパシタアレイの一部分を形成し得る。（以下、「スイッチ146」と呼ぶ）金属酸化物半導体（MOS）デバイス146、およびインバータ144と共同する、粗いキャパシタ C_3114 および C_4116 は、そのようなスイッチ可能なアレイを備え得る。スイッチ146は、粗いキャパシタ C_3114 に結合されたドレインと、他の粗いキャパシタ C_4116 に結合されたソースと、帯域制御140として指し示された制御信号に結合されたゲートとを有する、n型MOS（NMOS）またはp型MOS（PMOS）トランジスタであり得る。帯域制御140は、インバータ144を介して、スイッチ146に結合され得る。ある実施形態において、インバータ144は、存在しないかも知れない。

20

【0016】

[0023] 帯域制御140は、例えば、クロック信号を生成するために、DCOのためのデジタル制御信号を提供できる。よって、図1の発振器100自身から取り出した下部は、DCOを備え得る。帯域制御140は、タンク110への電圧を誘導するために、インバータ144およびスイッチ146にデジタル信号を供給し得る。インバータ144およびスイッチ146は、あるVCOの実装には必要とされないであろう。

30

【0017】

[0024] ある実施形態において、バラクタ112によってもたらされる位相ノイズを最小化するために、発振器100中に、多数の抵抗器が含まれ得る。例えば、抵抗器122a、122b（集合的に、抵抗器122）が、 $V_{bias120}$ およびタンク110間にシャントで取り込まれ得る。抵抗器122の値は、バラクタ112が寄与するノイズを最小化するのに十分な高い値に、しかし、タンク回路が寄与する（タンク110のQファクターに負の影響を与え得る）熱ノイズが増加しないようにするのに十分低い値に選択できる。従って、抵抗値は、キロオーム（k）範囲（たとえば、 $1k - 1000k$ ）であり得る。しかしながら、そのような実施形態において、抵抗器122自身が、熱ノイズのレベル変動に寄与し得、発振器100の出力に位相ノイズおよびジッターが誘導される結果となる。

40

【0018】

[0025] 同様に、スイッチ146をバイアスするために、抵抗器142a、142b（集合的に、抵抗器142）がまた、発振器100中に取り込まれ得る。スイッチ146のしきい値電圧（ V_{th} ）を使用して、帯域制御140によって供給された信号に基づいて、スイッチ146を、オンおよびオフにスイッチするように、抵抗器142の値は選択で

50

きる。よって、帯域制御 140 信号に従って、発振器 100 が特定の高周波数信号を正確に生成するために、スイッチ 146 は、粗いキャパシタ C_3 114 および C_4 116 を、LC タンク 110 から（または、中に、および、中から）、オンまたはオフに確実にスイッチするように、使用され得る。ある実施形態において、帯域制御 140 は、出力信号（たとえば、クロック信号）を生成するために、粗いキャパシタ C_3 114 および C_4 116 を、発振器 100 回路に、および発振器 100 回路から、二者択一的にスイッチするデジタル信号である。

【0019】

[0026] ある実施形態において、抵抗器 122、142 によって加えられた熱ノイズは、個々の抵抗器 122、142 内部の熱フラックスの結果であり得る。熱フラックスは、ノイズ成分を VCO 周波数に加え得、究極的に、（例えば、VCO 中の）位相ノイズまたは（例えば、DCO 中の）ジッターとして、発現し得る。位相ノイズ/ジッターは、発振器 100 のスペクトル純度（spectral purity）を劣化させ、Q ファクターに負の影響を与え得る。

10

【0020】

[0027] 図 2 は、位相ノイズを低減するために、トランジスタが取り込まれている発振器回路の回路図である。指し示されたように、発振器 200 は、発振器 100 に類似し得、いくつかの同様な構成要素を備え得る。従って、同様の番号は、同様の構成要素を示す。

【0021】

20

[0028] 発振器 200 は、上記で説明されたように、バラクタ 112 と関連したタンク 110 を有し得る。発振器 200 は、発振器 100 と同様に、特定の、または可変の共振周波数において、出力電圧 V_{tank} 220 を発生するように構成され得る。 V_{tank} 220 は、発振器 200 の出力を表示する、 V_{tank_1} 220a および V_{tank_2} 220b として指し示されている。 V_{tank_1} 220a および V_{tank_2} 220b における出力は、バラクタ 112 または他の可変容量回路の反対側の末端部（たとえば、第 1 の末端部および第 2 の末端部）に位置付けされ得る。

【0022】

[0029] 発振器 200 は、図 1 の抵抗器 122、142 の代わりにのトランジスタを、さらに備え得る。上で注記したように、高い値または高い抵抗値/インピーダンスの抵抗器（たとえば、発振器 100 の抵抗器 122、142）は、発振器 100 の出力に、位相ノイズまたはジッターを加える。これは、発振器 100 の Q ファクターの低減、または Q ファクターのスペクトル純度の破壊を発現できる。そのような高い値の抵抗器の、例えば、トランジスタによる置き換えは、抵抗器 122 に関連した位相ノイズまたはジッターをもたらすことなく、高いインピーダンスを呈し得る。

30

【0023】

[0030] ある実施形態において、発振器 200 は、図 1 の抵抗器 122 の代わりに、MOS デバイス 202a、202b（集合的に、MOS デバイス 202）を含む。MOS デバイス 202 は、所望の発振器回路内の要件および極性に依って、NMOS または PMOS デバイスとして実装され得る。例えば、MOS デバイスは、同様の特性を有する MOSFET（MOS 電界効果トランジスタ）または他のトランジスタであり得る。MOS デバイス 202 のゲートは、ゲートバイアス電圧 V_{gbias} 210 を受ける入力に電氣的に結合され得る。 V_{gbias} 210 は、MOS デバイス 202 のインピーダンスおよび相互コンダクタンスを制御するために、MOS デバイス 202 の動作をバイアスするように制御され得る。そのようにバイアスすると、MOS デバイス 202 のゲート - ソース電圧（ V_{gs} ）が、MOS デバイスそれぞれのしきい値電圧を超えるのを防止できる。それぞれの MOS デバイス 202、204 の特性しきい値電圧は、本明細書において「 V_{th} 」と呼ばれ得る。これは、以下に、より詳細に説明される。

40

【0024】

[0031] ある実施形態において、発振器 200 は、MOS デバイス 204a、204b

50

(集合的に、MOSデバイス204)をさらに有し得る。MOSデバイス204は、抵抗器142(図1)の代わりに、発振器200に電氣的に結合され得る。MOSデバイス204の各々のゲートは、第2のゲートバイアス電圧 $V_{g_bias2222}$ を受けるために、さらに、入力に電氣的に結合され得る。 $V_{g_bias2222}$ は、MOSデバイス204の動作をバイアスするように設定され得る。従って、上記と同様に、MOSデバイス204の V_{gs} が、 V_{th} を超えるのを防止することによって、MOSデバイス204は、(ゲートからソースへの)高いインピーダンスおよび低いノイズを提供できる。

【0025】

[0032] ある実施形態において、MOSデバイス202の相互コンダクタンスをバイアスするために、 $V_{g_bias210}$ のための入力は、MOSデバイス202の各々のゲートに電氣的に結合され得る。本明細書において使用されるように、「相互コンダクタンス」は、一般的に、MOSデバイスそれぞれのシンクからドレインに、MOSデバイス202内で誘導される電流、と呼ばれ得る。そのようなMOSデバイス202は、発振器200の高いスイングノードをバイアスするように実装され得る。

【0026】

[0033] $V_{g_bias210}$ は、 $V_{g_bias210}$ が、MOSデバイス202の V_{bias} および V_{th} の和よりも小さいか等しいように設定され得る。言い換えれば、
$$V_{g_bias} = V_{bias} + V_{th} \quad (1)$$

【0027】

[0034] 本明細書において使用されるように、 V_{th} は、一般的に、特定のMOSデバイス202のソースおよびドレイン間の導電経路(相互コンダクタンス)を誘導するために要求される最小ゲート-ソース電圧(V_{gs})差異(differential)を説明する。よって、 V_{gs} が V_{th} を超える場合、導電チャネルが、それぞれのソースおよびドレイン間で、徐々に開かれ、所与のMOSデバイス(たとえば、MOSデバイス202、204)の相互コンダクタンスが増加する。ある実施形態において、そのようにMOSデバイス202、204をバイアスすることは、結果的に、増加した相互コンダクタンスおよびピーク V_{gs} に起因する、発振ピーク近辺のノイズとなり得る。しかしながら、発振器200は、発振ピークにおけるノイズ(たとえば、位相ノイズ、またはジッター)に左程敏感ではなく、発振のピークにおいて誘導された、いかなるノイズも無視し得る。

【0028】

[0035] MOSデバイス202(またはMOSデバイス204)のゲート-ソース電圧(V_{gs})が、 V_{th} に近づくか、超えるにつれ、それぞれの相互コンダクタンスは増加する。追加的に、MOSデバイス202において、ソース-ドレイン導電チャネルが開かれるにつれ、熱ノイズもまた増加し得る。増加した V_{gs} は、結果として、増加したノイズとなり得る。これは、抵抗器122と同様の影響を生じる。増加した相互コンダクタンスはまた、MOSデバイス202の、ソースからドレインへのインピーダンスを減少させ、さらにノイズを増加させ得る。反対に、相互コンダクタンスが非常に低いとき、MOSデバイス202のインピーダンスは非常に高く、ソースからドレインへの導電チャネルは閉じられる。ある実施形態において、そのような状況下で、インピーダンスは、メガオーム(M)の領域まで増加し得る。さらにまた、相互コンダクタンスが非常に低いとき、MOSデバイス202によって加えられた熱ノイズも非常に低い。

【0029】

[0036] 従って、MOSデバイス202が、上記式1に従ってバイアスされるとき、 V_{gs} は、MOSデバイス202の V_{th} を超えない。バラクタ112を、そのようにバイアスすることは、高いインピーダンスでない場合、抵抗器122(図1)の使用により存在し得る熱ノイズを最小化しながら、Qファクターの低減が防止できる高いインピーダンスを呈する。それゆえ、MOSデバイス202の使用は、発振ノードにおいて、MOSデバイス202の低いノイズ、その上、高いインピーダンスの結果となる。

[0037] 他の実施形態において、 $V_{g_bias2222}$ は、同様に調整され得る。DCOでの使用において、抵抗器142(図1)は、MOSデバイス204で置き換えられ

10

20

30

40

50

得る。 V_{gs} が V_{th} よりも低く維持されるべく、上記式1に従って、MOSデバイス204のゲートが適切にバイアスされるとき、MOSデバイス204のインピーダンスは、高いままであり、MOSデバイス202と同様に、システムにおいて誘導されるノイズの量を低減する。

【0030】

[0038] 上で注記したように、調節可能なLCベースDCOおよび多数のVCOは、発振器100、200によって発生された周波数を調節するために使用される、スイッチ可能なキャパシタアレイ（たとえば、粗いキャパシタ C_{3114} および C_{4116} ）を有し得る。粗いキャパシタ C_{3114} および C_{4116} が回路中にスイッチされたとき、それらのQは、スイッチ146の抵抗によって制限され、極めて低い場合には、タンクのQを低減でき、より高い、誘導された熱ノイズを導く。キャパシタ C_{3114} および C_{4116} がスイッチオフされたとき、即ち、回路から外れたとき、MOSデバイス204は、スイッチ146が、妥当な整定時間でターンオフすることを確実にするために、スイッチ146のソースおよびドレインをバイアスするように使用され得る。発振器100での使用において、抵抗器142は、タンク110のQを劣化させないように、大であるべきで、抵抗器は比較的大きな物理的領域を占め得る。反対に、MOSデバイス204の使用は、抵抗器142の関連したノイズ無しで、高いインピーダンスを呈する。ある実施形態において、MOSデバイス204はまた、匹敵するインピーダンスをもった抵抗器142よりも、より少ないスペースを占有する。

【0031】

[0039] 図3は、図2のMOSデバイスの、ある期間にわたったゲート・ソース電圧のプロットである。プロット300は、垂直（y）軸上での V_{gs} 、対水平（x）軸上での時間（t）を描写する。y軸上での V_{gs} は、MOSデバイス202として実装された、例示的MOSデバイスの V_{gs} の典型例である。プロット300の V_{gs} はまた、粗いキャパシタ C_{3114} 、 C_{4116} がスイッチオンおよびオフされたときの、MOSデバイス204の典型例である。動作において、粗いキャパシタ C_{3114} 、 C_{4116} の内の1つは、他方がスイッチオンされたとき、スイッチオフされ、プロット300と同様の電圧応答の結果となるであろう。そのような実施形態において、出力は、方形波、またはクロック信号の他の変形であり得る。プロット300は、破線302として、MOSデバイス202、204の V_{th} をさらに描写する。

【0032】

[0040] ある実施形態において、プロット300は、図2のゲート電圧 V_{g_bias} 210によってバイアスされたような、関連するVCO（たとえば、発振器200）の発振周波数（たとえば、サイン波）の図式表示である。プロット300はまた、ゲート電圧 V_{g_bias} 222によってバイアスされたDCO（たとえば、発振器200）の典型例である。1つの実施形態において、発振器の（ボルトでの）振幅は、MOSデバイス202、204の大きな相互コンダクタンス、および結果としてのノイズを防止するように、MOSデバイス202、204の V_{th} より下に維持される。従って、 V_{gs} がサブしきい値（sub-threshold）（ V_{th} ）のままであるとき、MOSデバイス202、204は、中くらい、または弱い反転状態のままである。

【0033】

[0041] 指し示されるように、発振周波数は、「サブ V_{th} 」とラベルの付いた領域中の、 V_{th} のわずかな下のピーク V_{gs} 値を表示する点310の高さまで上昇し得る。点310において、MOSデバイス202、204は、相互コンダクタンスの小さな量を生成し、よって熱ノイズの中くらいの量より低い量を生成し得る。しかしながら、生成されたいかなるノイズの量も、発振ピークにおいて、依然として、小であり集中（centered）され得る。

【0034】

[0042] ある実施形態において、発振器200は、出力電圧（たとえば、 V_{tank} ）が、ノードにおいてゼロの値 t_p 交差するとき、ノイズ（たとえば、位相ノイズ、ジッタ

10

20

30

40

50

ー)に、きわめて敏感である。線304(破線)は、ノードにおける V_{gs} 、即ち、発振器200出力のゼロ交差を近似する。線304における電圧 V_{gs} が負の値である結果、MOSデバイス202、204のソースおよびドレインにおいて、高インピーダンスとなり、相応して低いノイズがもたらされる。しかしながら、点310における熱ノイズは、ピーク電圧において起きるので、発振器出力への位相ノイズの寄与は無視し得る。

【0035】

[0043] MOSデバイス202として実装されたNMOSまたはPMOS構成要素は、サブしきい値領域(たとえば、中くらいの反転)において、発振サイクルのおおよそ4分の1を、および、MOSデバイス202のノイズ出力がずっと低い、深いサブしきい値領域(たとえば、弱い反転)において、発振サイクルのおおよそ4分の3を費やすので、ノイズに非常に小さい寄与しか与えない。

10

【0036】

[0044] ある期間にわたって、 V_{gs} レベルは、点310から点320に向かって減少するので、 V_{gs} は、注記されたような「深いサブ V_{th} 」と呼ばれる、ゼロより下の、負(たとえば、負の V_{gs} 電圧)にバイアスされた領域中に減少する。負にバイアスされた領域において、相互コンダクタンスは、ゼロまたは負であり、非常に高いインピーダンスおよび非常に低い熱ノイズを生成する。

【0037】

[0045] 図4Aは、図2についての発振器の、別の実施形態の回路図である。指し示されたように、VCO400は、発振器200(図2)の一部と同様であり得る。VCO400は、図2中のようなMOSデバイス202を有し得るが、 V_{g_bias} 210および V_{bias} 120(図1)は、等しく($V_{bias} = V_{g_bias}$)あり得、よって、入力 V_{bias} 410において、単一の電圧源 V_{bias} に統合される。ある実施形態において、MOSデバイス202の各々のゲートおよびドレインを、同一の電圧源 V_{bias} 410に結合することが可能である。これは、追加のオプションを提供し、物理的発振器回路設計における、大いなる簡素化を提供し得る。ある実施形態において、VCO400は、発振器200と同様の出力を提供し得る。

20

【0038】

[0046] VCO400のある実施形態において、バラクタ112のバイアスノードは、LCタンク回路110とほぼ同等の電圧スイングを有する。この電圧スイングは、能動デバイス(たとえば、MOSデバイス202)が、中くらいの反転(サブしきい値)から弱い反転(深いサブしきい値)に、あるいは、オフ状態にすら、移動することを可能にし、インピーダンスを増加する。

30

【0039】

[0047] 図4Bは、ある期間にわたった、図4Aの発振器回路の電圧、電流、およびインピーダンス値の、4つのプロット図の比較である。プロット450は、VCO400(たとえば、MOSデバイス202)に実装されたMOSデバイスの、ピコ秒(ps)での時間(t)の関数として、ボルト(V)での V_{gs} を描写する。プロット450は、垂直(y)軸上での電圧、対水平(x)軸上での時間(t)を描写する。

【0040】

40

[0048] プロット460は、時間の関数として、マイクロアンペア(μA)での、ドレインからソースへの電流(I_{ds})を描写する。プロット460は、y軸上での電流、対x軸上での時間(t)を描写する。

【0041】

[0049] プロット470は、時間(t)の関数として、本明細書において、「 V_{tank} 」と呼ばれる、バラクタ112にかかる電圧の変動を描写する。 V_{tank} は、 V_{tank} 220(図2)と同様であり得る。プロット470は、y軸上での V_{tank} 、対x軸上での時間(t)を描写する。

【0042】

[0050] プロット480は、バラクタをバイアスするために使用される、MOSデバイ

50

ス（たとえば、MOSデバイス202、204）の内の1つの等価インピーダンス（ Z_{eq} ）を、時間（ t ）の関数として描写する。プロット480は、 y 軸上での、MOSデバイス202、204のオーム（ ）でのインピーダンス（ Z_{eq} ）、対 x 軸上での時間を指し示す。

【0043】

[0051] 図4Bは、同一時間スケールでの4つのプロット図450、460、470、480の各々を指し示し、ここで、 V_{g_bias} は V_{bias} と等しい。一般に、図4Bは、VCO400（図4A）から為された測定を、時間の関数として描写する。

【0044】

[0052] 1つの実施形態において、 V_{bias} 410は、MOSデバイス202の V_{gs} が、 V_{th} より下に維持されるべく設定され得る。プロット450によって説明された実施形態において、実現された最大 V_{gs} は、およそ0.24Vである。例えば、指し示されたMOSデバイス202の V_{th} は、0.25Vであり得、それゆえ、関連したソース・ドレイン電流経路は、決してフルには開かれない。これは、 I_{ds} の並列プロット460によって、時間の関数として描写される。電流（ I_{ds} ）は、測定されているMOSデバイス202の V_{gs} に従って、ある期間にわたって、MOSデバイス202のドレインからソースに流れる電流（たとえば、相互コンダクタンス）である。 I_{ds} は、 V_{gs} がおおよそ-0.3Vであるとき、およそ-44 μ Aの負の値（たとえば、ドレイン対ソース）から、 V_{gs} が-0.25Vであるとき、およそ+34 μ Aの高い値に変動する。 I_{ds} 電流は、 V_{gs} が V_{th} より低いままであるので、 μ Aでの非常に小さいままであり、相互コンダクタンスを最小化する。一般に、 I_{ds} は、時間的に、 V_{gs} の後の遅延または遅滞を有する。遅滞は、出力周波数およびMOSデバイス202、204コンポジションにより変動し得、しかしながら、電流 I_{ds} の時間遅滞は、また、等価インピーダンス（ Z_{eq} ）における、様々なスパイクを発生し得る。MOSデバイス202の I_{ds} が、プロット460の点462において反転する（たとえば、負の電流から正の電流）ときのMOSデバイス202の I_{ds} に対応する、そのようなスパイクの1つが、プロット480の点488において、指し示されている。

【0045】

[0053] プロット470は、点482における V_{tank} 220のゼロ交差を示すように指し示される。点482は、点484におけるおよそ 10^4 オーム、即ち10kの高い Z_{eq} 値と一致する。これは、位相ノイズを最小化しながら、MOSデバイス202の相互コンダクタンスを防止する。以前に注記したように、ゼロ交差は、発振器（たとえば、VCO400）が、位相ノイズに最も敏感である点のことである。 V_{tank} のゼロ交差の近辺での位相ノイズの増加は、発振器周波数に悪影響を与え、それゆえ、Qファクターおよびスペクトル純度に悪影響を与え得る。従って、ゼロ交差の近辺で、位相ノイズは最小に保たれるべきである。これは、指し示されるように、ゼロ交差において高い Z_{eq} を維持することによって実現され得る。追加的に、 V_{gs} を、サブしきい値領域に維持することはまた、破線486によって近似されるような、比較的高い平均等価インピーダンス（ Z_{eq} ）の結果となる。

【0046】

[0054] 図5Aは、図2の発振器の、別の実施形態の回路図である。指し示されたように、DCO500は、発振器200（図2）の部分と類似し得る。DCO500は、図2中のようなMOSデバイス204を有し得るが、 V_{g_bias2} 222と帯域制御140（図1）は、等しく（ V_{g_bias2} =帯域制御）あり得、よって、帯域制御510とラベル付けされた単一の電圧源に統合される。ある実施形態において、MOSデバイス204の各々のゲートおよびドレインは、帯域制御510から、等価の電圧源を受けるために、同一の入力に結合され得る。これは、追加のオプションを提供し得、物理的な発振器回路設計の大いなる単純化を提供し得る。ある実施形態において、DCO500は、発振器200と同様である。

【0047】

【0055】 1つの実施形態において、DCO500は、集合的に「 $V_{tank520}$ 」と呼ばれる、出力 $V_{tank3520a}$ および $V_{tank520b}$ を提供するように構成され得る。 $V_{tank520}$ は、デジタルクロック信号または同様のDCO500出力であり得る。

【0048】

【0056】 図5Bは、図5Aの発振回路の、ある期間にわたる電圧、電流、およびインピーダンス値の4つのプロット図の比較である。プロット550は、ピコ秒(p s)での時間(t)の関数として、DCO500において実装されたMOSデバイス(たとえば、MOSデバイス204)の、ボルト(V)での V_{gs} を描写する。プロット550は、垂直(y)軸上での電圧、対水平(x)軸上での時間(t)を描写する。

10

【0049】

【0057】 プロット550は、ピコ秒(p s)での時間(t)の関数として、DCO500において実装されたMOSデバイス(たとえば、MOSデバイス204)の、ボルト(V)での V_{gs} を描写する。プロット550は、垂直(y)軸上での電圧、対水平(x)軸上での時間(t)を描写する。

【0050】

【0058】 プロット560は、時間の関数として、マイクロアンペア(μA)での、ドレインからソースへの電流(I_{ds})を描写する。プロット460は、y軸上での電流、対x軸上での時間(t)を描写する。

【0051】

20

【0059】 プロット570は、時間(t)の関数として、DCO500をバイアスするために使用されるMOSデバイス(たとえば、MOSデバイス204)の内の1つの等価インピーダンス(Z_{eq})を描写する。プロット570は、y軸上での、MOSデバイス204のオーム()でのインピーダンス(Z_{eq})、対x軸上での時間を指し示す。

【0052】

【0060】 プロット580は、時間(t)の関数として、本明細書において、「 V_{tank} 」と呼ばれる、DCO500の電圧出力pfの変動を描写する。 V_{tank} は、 $V_{tank220}$ (図2)と同様であり得るが、DCO出力は、VCO出力に対して反対であり得る。プロット580は、y軸上での V_{tank} 、対x軸上での時間(t)を描写する。

【0053】

30

【0061】 図5Bは、同一時間スケールでの4つのプロット図550、560、570、580の各々を指し示し、ここで、 $V_{gbias222}$ (図2)は、帯域制御140(図2)に等しい。一般に、図5Bは、DCO500(図5A)出力から取られた発振器電圧を、時間の関数として描写する。

【0054】

【0062】 1つの実施形態において、帯域制御510は、MOSデバイス204の V_{gs} が、 V_{th} より低く維持されるべく設定され得る。プロット550によって説明された実施形態において、実現された最大 V_{gs} は、指し示されるように、おおよそ0.24V、即ち240ミリボルト(mV)である。例えば、MOSデバイス202の V_{th} は、250mVであり得、それゆえ、ソース-ドレイン(I_{ds})電流経路は、決してフルには開かれず、最小の電流のみを許容する。これは、 I_{ds} の並列プロット460によって、時間の関数として描写される。電流(I_{ds})は、同一のMOSデバイス204の V_{gs} に従って、ある期間にわたって、MOSデバイス204のドレインからソースに流れる電流(たとえば、相互コンダクタンス)である。 I_{ds} は、おおよそ+3.5 μA の、正の値(たとえば、ドレインからソース)から、おおよそ-3 μA の値に変動する。図4Bと同様に、 I_{ds} 電流は、 V_{gs} が V_{th} より低いままであるので、 μA での非常に小さいままであり、相互コンダクタンスを最小化し、高いインピーダンスを維持する。一般に、 I_{ds} は、時間的に、 V_{gs} の後に遅延する。遅滞は、DCO500出力周波数により変動し得るが、電流 I_{ds} の時間遅滞はまた、MOSデバイス204の I_{ds} が、点562において反転するときに、(プロット570で指し示された)等価インピーダンス Z_{eq} に

40

50

おける様々なスパイクを発生し得る。よって、点 5 6 2 は、点 5 6 2 において I_{ds} が反転するときの、点 5 8 8 における Z_{eq} でのスパイクに対応する。これは、図 4 B およびプロット 4 8 0 に指し示されたものと同様の現象であり得る。

【0055】

[0063] プロット 5 8 0 は、点 5 8 2 における V_{tank} 5 2 0 のゼロ交差を示すように指し示される。点 5 8 2 は、プロット 5 7 0 上の点 5 8 4 におけるおおよそ 10^5 オーム、即ち $100k$ の Z_{eq} 値と一致する。この高いインピーダンスは、位相ノイズまたはジッターを最小化しながら、MOS デバイス 2 0 4 の相互コンダクタンスを防止する。以前に注記したように、ゼロ交差は、デジタル的に制御された発振器（たとえば、5 0 0）が、ジッターに最も敏感である点のことである。 V_{tank} 5 2 0 のゼロ交差の近辺でのジッターの増加は、DCO 5 0 0 の周波数、正確度、精度に悪影響を与え得る。従って、ゼロ交差の近辺で、ジッターは最小に保たれるべきである。これは、指し示されるように、ゼロ交差において高い Z_{eq} を維持することによって実現され得る。追加的に、 V_{gs} を、サブしきい値領域に維持することはまた、破線 5 8 6 によって近似されるような、比較的高い平均等価インピーダンス（ Z_{eq} ）の結果となる。

10

【0056】

[0064] 粗いキャパシタ C_3 1 1 4、 C_4 1 1 6 の内の 1 つが、DCO 5 0 0 中にスイッチされたとき、MOS デバイス 2 0 4 における電圧スイングは、このノードにおいて非常に低い。長い / 狭い NMOS バイアスは、プロット 5 7 0 によって示される高いインピーダンスを提供する。他の粗いキャパシタ（ C_3 1 1 4、 C_4 1 1 6）が、DCO 5 0 0 からスイッチされるとき、電圧スイングは、ハイに駆動し、プロット 3 0 0（図 3）に指し示されるように、MOS デバイス 2 0 4 が、中くらいの反転（サブしきい値）から、弱い反転（深いサブしきい値）に、移動することを可能にする。深いサブしきい値領域はまた、「オフ」状態を発生し得、電流の流れ（ I_{ds} ）を除去し、再び、所望の高インピーダンス（ Z_{eq} ）を提供する。

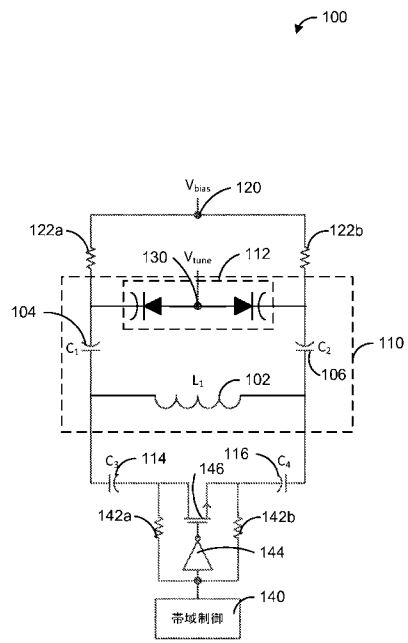
20

【0057】

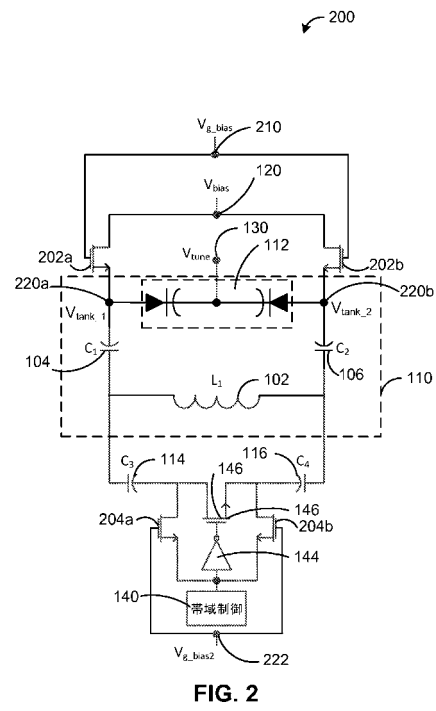
[0065] 開示された実施形態の上記説明は、いかなる当業者もが、本開示の製造または使用を可能とするように提供されている。これらの実施形態への様々な修正は当業者に容易に明らかになり、本明細書で説明されている包括的な原則は、本開示の精神もしくはは範囲から逸脱することなく他の実施形態に適用され得る。よって、本明細書で提示されている説明および図面は、本開示の目下好まれている実装を提示しており、それゆえ、本開示によって広く熟考される主題の代表的なものであることが、理解されるものである。本開示の範囲は、当業者にとって明らかになり得る他の実施形態を十分に包含し、従って、本開示の範囲は、添付の請求項以外の何物によっても限定されないことが、さらに理解される。

30

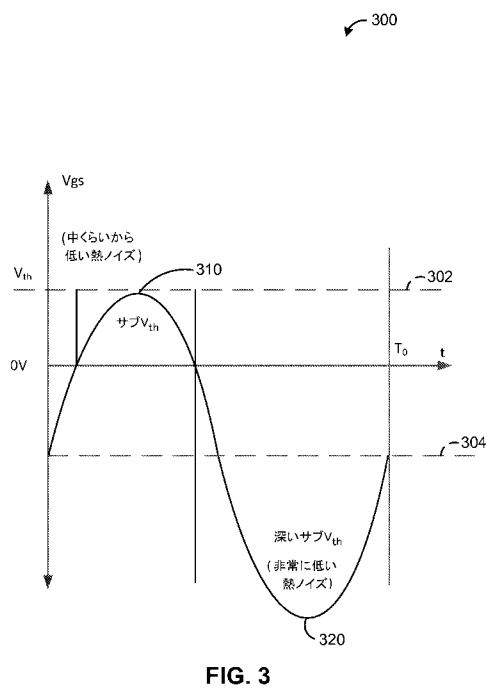
【図 1】



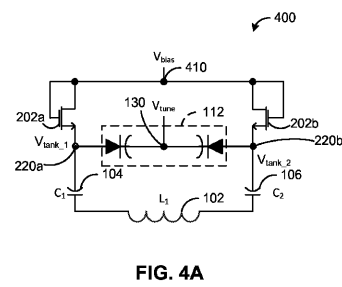
【図 2】



【図 3】



【図 4 A】



【図 4 B】

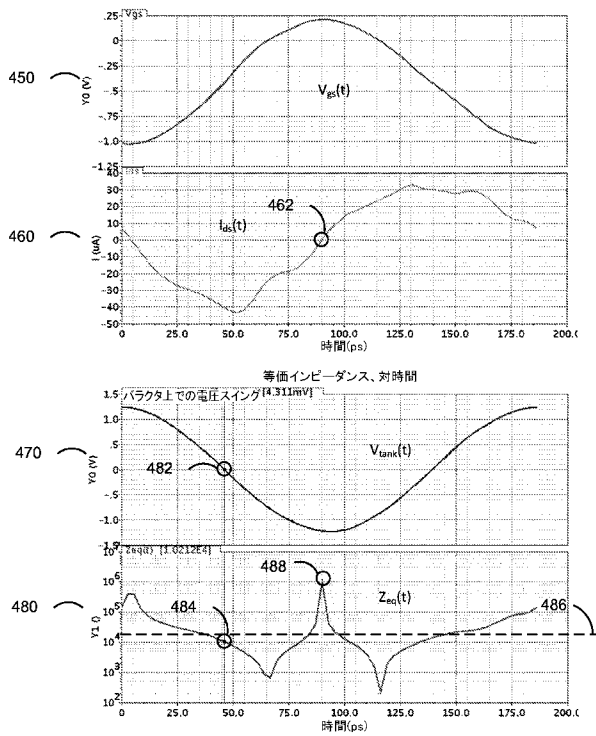


FIG. 4B

【図 5 B】

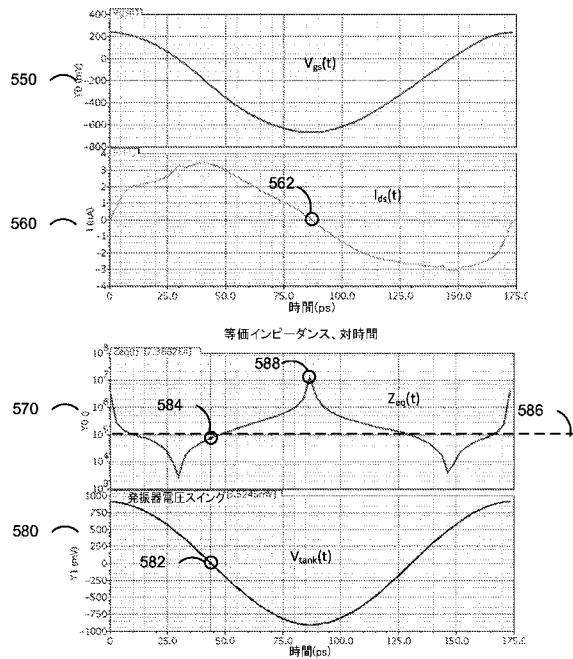


FIG. 5B

【図 5 A】

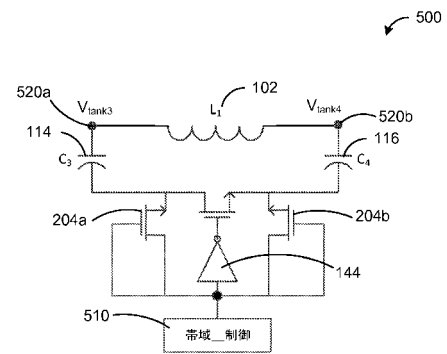


FIG. 5A

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2015/061877

A. CLASSIFICATION OF SUBJECT MATTER

INV. H03B5/12
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03B

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2011/230155 A1 (SAPONE GIUSEPPINA [IT] ET AL) 22 September 2011 (2011-09-22) paragraph [0032]; figure 5	1,6-9, 16,19-22 2-5, 10-15, 17,18, 23-25
Y	US 2009/184771 A1 (BARTON NATHAN [US] ET AL) 23 July 2009 (2009-07-23) figures 3,4a	2-5,11, 12,17, 18,23-25
Y	US 2013/063219 A1 (SHANAN HYMAN [US]) 14 March 2013 (2013-03-14) paragraph [0097]; figures 4,9	2-5,11, 12,17, 18,23-25
	----- -/--	

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

16 June 2016

Date of mailing of the international search report

24/06/2016

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Schnabel, Florian

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2015/061877

(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	HANIL LEE ET AL: "A Subthreshold Low Phase Noise CMOS LC VCO for Ultra Low Power Applications", IEEE MICROWAVE AND WIRELESS COMPONENTS LETTERS, IEEE SERVICE CENTER, NEW YORK, NY, US, vol. 17, no. 11, 30 November 2007 (2007-11-30), pages 796-798, XP011347281, ISSN: 1531-1309, DOI: 10.1109/LMWC.2007.908057 page 797, column 2, line 6 - line 9 -----	10-15,24
Y	DEEN M J ET AL: "Low-power CMOS integrated circuits for radio frequency applications - Computers and Devices for Communication (CODEC 04)", IEE PROCEEDINGS: CIRCUITS DEVICES AND SYSTEMS, INSTITUTION OF ELECTRICAL ENGINEERS, STENVENAGE, GB, vol. 152, no. 5, 7 October 2005 (2005-10-07), pages 509-522, XP006025223, ISSN: 1350-2409, DOI: 10.1049/IP-CDS:20045069 page 513, column 2, line 11 - line 14 -----	10-15,24
A	US 2005/212614 A1 (PELUSO V F; PELUSO V F A) 29 September 2005 (2005-09-29) figures 4,6 -----	2,17,23

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2015/061877

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☒ No protest accompanied the payment of additional search fees.

International Application No. PCT/US2015/061877

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. claims: 1-9, 16-23, 25

Oscillator with coarse tuning capacitors

2. claims: 10-15, 24

Oscillator with MOS transistors biased to sub-threshold regime

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2015/061877

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2011230155 A1	22-09-2011	IT 1398747 B1	18-03-2013
		US 2011230155 A1	22-09-2011
		US 2013251076 A1	26-09-2013

US 2009184771 A1	23-07-2009	NONE	

US 2013063219 A1	14-03-2013	US 2013063219 A1	14-03-2013
		US 2013082788 A1	04-04-2013

US 2005212614 A1	29-09-2005	BR PI0509319 A	04-09-2007
		IL 178280 A	30-12-2010
		KR 20060129095 A	14-12-2006
		US 2005212614 A1	29-09-2005
		WO 2005104347 A1	03-11-2005

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 タギバンド、マザレディン

アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

(72)発明者 ヨハンセン、ケブリン・ピクター

アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

Fターム(参考) 5J081 AA02 CC22 CC30 DD04 EE02 EE03 EE18 FF23 FF25 KK02

KK09 KK12 KK23 LL03 LL08 MM01 MM02