

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200810041394. X

[51] Int. Cl.

H01L 45/00 (2006.01)

H01L 27/24 (2006.01)

G11C 11/56 (2006.01)

G11C 16/02 (2006.01)

[45] 授权公告日 2009 年 10 月 28 日

[11] 授权公告号 CN 100555700C

[22] 申请日 2008.8.5

[21] 申请号 200810041394. X

[73] 专利权人 中国科学院上海微系统与信息技术研究所

地址 200050 上海市长宁区长宁路 865 号

[72] 发明人 吴良才 宋志棠 饶 峰 封松林

[56] 参考文献

CN1767012A 2006.5.3

CN1794352A 2006.6.28

US2006/0284158A1 2006.12.21

US2008/0014733A1 2008.1.17

审查员 杨万里

[74] 专利代理机构 上海智信专利代理有限公司

代理人 潘振甦

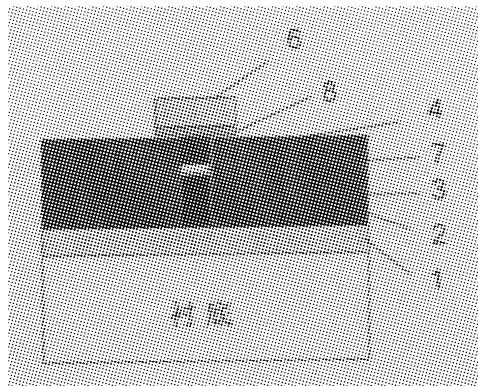
权利要求书 2 页 说明书 6 页 附图 2 页

[54] 发明名称

一种提高相变存储器存储单元可靠性的结构
及其制作方法

[57] 摘要

本发明涉及一种提高相变存储器存储单元可靠性的结构及其制作方法，其特征在于在纳米加热电极和同一直径的柱状相变材料之间增加一薄层缓冲材料，以增强相变材料和加热电极之间的黏附性和界面匹配，同时可改善相变材料和加热电极之间的电学匹配，形成良好的欧姆接触。此外，在相变材料和顶电极之间增加一薄层热阻材料，改善器件擦写时的热平衡，减小上电极的散热，降低器件的功耗。该存储单元结构阻止相变材料与加热电极之间的扩散和反复擦写过程中的界面失效，增强器件的可靠性。加热电极、缓冲材料和相变区域限制在同一介质孔洞中形成自对准的柱状结构，不需要在相变材料周围制备保温层，减少了工艺步骤。



1、一种提高相变存储器存储单元可靠性的结构，包括底电极、介质层、柱状加热电极、相变材料、绝热材料和顶电极，其特征在于：

- (1) 在纳米尺度的加热电极和同一直径的柱状相变材料之间增加一薄层 TiN 缓冲材料；
- (2) 在相变材料和顶电极之间增加一薄层 GeWN 或 GeSiN 热阻材料；
- (3) 相变材料中的可逆相变区被限制在介质孔洞中。

2、按权利要求 1 所述的提高相变存储器存储单元可靠性的结构，其特征在于所述的缓冲材料与加热电极材料和相变材料的力学和电学匹配，缓冲材料的电阻量级在相变材料低态阻值的量级以下。

3、按权利要求 1 所述的提高相变存储器存储单元可靠性的结构，其特征在于所述的热阻材料与相变材料、顶电极材料的力学和电学性能匹配，它的电阻量级在相变材料低态阻值的量级以下。

4、按权利要求 1 或 3 所述的提高相变存储器存储单元可靠性的结构，其特征在于所述的热阻材料的厚度为 5nm~50nm。

5、制备如权利要求 1 所述的提高相变存储器存储单元可靠性的结构的方法，其特征在于：

- (a) 首先在衬底上淀积一层底电极，在底电极上生长 SiO₂ 介质层；然后在 SiO₂ 介质层中制备纳米孔洞阵列，孔洞的底部与底电极相连；最后在小孔内淀积加热电极材料，填满整个孔洞；
- (b) 采用化学机械抛光方法将小孔外的加热电极材料去除，形成柱状加热电极；
- (c) 刻蚀掉一定厚度的加热电极，从而在加热电极上端形成加热电极顶端介质孔洞；
- (d) 在加热电极上端的介质孔洞中填充缓冲材料，然后抛光；
- (e) 刻蚀掉一定厚度的缓冲材料，从而在缓冲材料上端形成缓冲材料顶端介质孔洞；
- (f) 在缓冲材料上端的介质孔洞中填充相变材料，然后抛光形成柱状相变材料图形；

(g) 在柱状相变材料顶端制备一层热阻材料并刻蚀形成图形；

(h) 在热阻材料上制备顶电极，从而形成可测试的相变存储单元。

6、按权利要求 5 所述的提高相变存储器存储单元可靠性的结构的制备方法，其特征在于：

(a) 所述的底电极上生长的基质层厚度为 100nm~900nm；介质层材料为 SiO₂、SiN_x、Al₂O₃ 或 HfO₂；

(b) 所述的底电极为导体材料 Al、Cu 或 W，厚度为 200nm~400nm；

(c) 所述的加热电极材料为 W 或 Pt；或在 W 或 Pt 上沉积一层 TiN 或 TiAlN 的，几个纳米厚的高电阻率的加热材料；

(d) 所述的相变材料为 Ge-Sb-Te 系列、Si-Sb-Te 系列或 Si-Sb 系列。

7、按权利要求 5 所述的提高相变存储器存储单元可靠性的结构的制备方法，其特征在于加热电极、缓冲层材料和相变材料区域限制在同一介质孔洞中，三者形成的自对准柱状结构。

8、按权利要求 5 所述的提高相变存储器存储单元可靠性的结构的制备方法，其特征在于所述的纳米孔洞阵列的孔洞直径为 50nm~300nm。

9、按权利要求 5 或 6 所述的提高相变存储器存储单元可靠性的结构的制备方法，其特征在于所述的加热电极用聚焦离子束、电子束曝光或反应离子刻蚀方法制备。

一种提高相变存储器存储单元可靠性的结构及其制作方法

技术领域

本发明涉及一种提高相变存储器存储单元可靠性的结构及其制作方法，属于微电子学中纳米器件与制备工艺领域。

背景技术

目前市场上还没有一种理想的同时具有动态随机存取存储器（DRAM）的高容量低成本、静态随机存取存储器（SRAM）的高速度、闪速存储器（FLASH）的数据非挥发性、同时可靠性高、操作电压低、功耗又小的存储器，而这些特性恰恰是新一代消费类电子工业、计算机工业等领域所需要的存储技术。相变存储器（PCRAM）具有存储单元尺寸小、非挥发性、循环寿命长、稳定性好、功耗低和可嵌入功能强等优点，特别是在器件特征尺寸的微缩方面的优势尤为突出，业界认为在不久的将来 FLASH 将遭遇尺寸缩小限制，而 PCRAM 在 65nm 节点后会有越来越大的技术优势。因此，PCRAM 被认为是下一代非挥发存储技术的最佳解决方案之一，在低压、低功耗、高速、高密度和嵌入式存储方面具有广阔的商用前景。国际知名半导体公司如英特尔、三星、意法半导体、飞利浦、国际商业机器公司和艾必达等花大量人力和物力对此技术进行开发，目前已研制出最大容量为 512Mb 的 PCRAM 试验芯片。我国从 2003 年开始进行 PCRAM 的研究，国家对该技术非常重视。目前 PCRAM 在国际上正处于产业化的前期，我国在新材料的研究和纳米加工方面与国际处于同步发展的水平，现在面临着大力发展和推广 PCRAM 技术的绝好机会。

通常的相变存储器器件单元结构基本上都是由底电极、介质层、柱状加热电极、相变材料、绝热材料和顶电极组成，（见图 1a）利用小的加热电极操纵可逆相变材料。这种结构的关键问题主要在：（1）柱状加热电极和相变材料之间的力学、电学匹配问题，通常相变材料比较软，加热电极材料硬度比较大，致使加热电极在相变材料上容易发生龟裂现象；另外加热电极材料

和相变材料之间的电学接触通常不是正常的欧姆型，存在一肖特基势垒，接触电阻过大，如果接触电阻达到 10^3 欧姆以上就难以区分出相变材料的在多晶态时的阻值。（2）顶电极的散热过大，导致器件在擦写过程中的功耗大。

（3）相变材料中的可逆相变区域在反复擦写过程中会发生扩展现象，影响器件的性能与可靠性。（4）需要增加一道工艺在相变材料周围制备一层绝热保温材料，阻止热量的散发。

发明内容

本发明的目的在于提供一种提高相变存储器存储单元可靠性的结构及其制作方法。本发明提出的相变存储器存储单元的结构见图 1b。在纳米尺度的加热电极（如：W）和同一直径的柱状相变材料（如：Ge-Sb-Te）之间增加一薄层缓冲材料（如：TiN），一方面增强相变材料和加热电极之间的黏附性，另一方面有望改善相变材料和加热电极之间的电学接触。在相变材料和顶电极之间增加一薄层电阻率小、热导率适中的热阻材料（如：GeWN），改善器件擦写时的热平衡，减小上电极的散热。相变材料中的可逆相变区域被限制在介质孔洞里，减小了相变区域的横向扩展。此外，这种结构中相变材料周围不需另外制备保温层。首先在衬底上依次制备底电极、介质材料层；接着通过纳米加工工艺在介质材料层中制作出相变存储单元的加热电极，并将加热电极的顶端刻蚀掉一定厚度，从而在电极上端形成介质孔洞；然后在孔洞中填充缓冲材料，依次抛光、刻蚀出孔洞，再依次填充、抛光出柱状相变材料图形，最后在相变材料顶端覆盖一层电阻率小、热导率适中的热阻材料，引出上电极，形成存储单元结构。该存储单元结构的优点是通过缓冲材料改善相变材料和加热电极之间的电学接触，形成良好的欧姆型接触，同时增强相变材料和加热电极之间的黏附性，改善相变材料和加热电极之间的应力匹配，阻止相变材料与加热电极之间的扩散和反复擦写过程中的界面失效，增强器件的可靠性。同时在相变材料和顶电极之间增加一薄层材料减小了上电极的散热，降低器件的功耗。本发明的特征是在纳米尺度的加热电极（如：W）和相变材料（如：Ge-Sb-Te）之间增加一薄层缓冲材料（如：TiN），一方面增强相变材料和加热电极之间的黏附性；另一方面改善相变材料和加热

电极之间的电学接触；并且改善相变材料和加热电极之间的应力匹配，阻止反复擦写过程中的界面失效；此外阻止相变材料与加热电极之间的扩散。本发明的另一特征是在相变材料和顶电极之间增加一薄层热阻材料（如：GeSiN）减小了上电极的散热，降低器件的功耗。本发明的第三个特征是加热电极、缓冲材料和相变区域限制在介质孔洞中形成自对准的柱状结构，相变材料限制在介质孔洞中，防止擦写过程中相变区域的横向扩展。

本发明的主要工艺步骤如下：

- (i) 首先在衬底上淀积一层底电极，在底电极上生长 100 nm-900 nm 厚的 SiO₂ 介质层；然后在 SiO₂ 介质层中制备纳米孔洞阵列，孔洞的直径在 50 nm-300 nm，孔洞的底部与底电极相连；最后在小孔内淀积加热电极材料，填满整个孔洞；
- (j) 采用化学机械抛光 (CMP) 方法将小孔外的加热电极材料去除，形成柱状加热电极；
- (k) 刻蚀掉一定厚度的加热电极，从而在加热电极上端形成加热电极顶端介质孔洞；
- (l) 在加热电极上端的介质孔洞中填充缓冲材料，然后抛光；
- (m) 刻蚀掉一定厚度的缓冲材料，从而在缓冲材料上端形成缓冲材料顶端介质孔洞；
- (n) 在缓冲材料上端的介质孔洞中填充相变材料，然后抛光形成柱状相变材料图形；
- (o) 在柱状相变材料顶端制备一层热阻材料并刻蚀形成图形；
- (p) 在热阻材料上制备顶电极，从而形成可测试的相变存储单元。

所述的衬底材料无限制，可以是常用的 Si 片，GaAs 等半导体材料，也可以是石英玻璃，陶瓷基片等介质材料或金属材料。

所述的底电极不受限制，可以是铝、铜等常用的导体材料，其厚度为 200-400 nm。

所述的介质材料不受限制，可以为常用的 SiO₂、SiN_x 等材料，也可以是其它介质材料，如 Al₂O₃、HfO₂ 等高 k 材料等等。

所述的基质层中的加热电极的材料为 W、Pt 等具有一定电阻率的材料，

甚至可以在 W、Pt 等上沉积一层几个纳米厚的高电阻率的加热材料如 TiW、TiAlN 等，从而提高加热效果，降低操作电流。可以用聚焦离子束、电子束曝光或反应离子刻蚀方法制备。

所述的相变材料无限制，可以为一切具有相变特性的材料，比如可以是 Ge-Sb-Te 系列，也可以是 Si-Sb-Te 或 Si-Sb 系列，等等。

所述的缓冲材料无限制，只要与加热电极材料和相变材料的力学和电学匹配都可以，其电阻量级在该相变材料低态阻值的量级以下即可；

所述的热阻材料无限制，只要其电阻率、热导率适中，并且与相变材料、顶电极材料的力学、电学性能匹配就可以，其电阻量级在该相变材料低态阻值的量级以下，热阻材料的厚度在 5~50 纳米之间；

所述的刻蚀掉一定厚度的加热电极，从而在加热电极上端形成介质孔洞的方法不限于反应离子刻蚀技术，可以是其它刻蚀技术，只要对加热电极和介质材料具有一定的刻蚀选择比。

所述的刻蚀掉一定厚度的缓冲材料，从而在缓冲材料上端形成介质孔洞的方法不限于反应离子刻蚀技术，可以是其它刻蚀技术，只要对缓冲材料和介质材料具有一定的刻蚀选择比。

所述的在介质孔洞中填充缓冲材料和相变材料的方法可以是化学气相沉积（CVD），原子层沉积（ALD），原子层气相沉积（AVD）方法，但不局限于这些方法。

在纳米尺度的加热电极和相变材料之间增加一薄层缓冲材料，一方面增强相变材料和加热电极之间的黏附性，另一方面改善相变材料和加热电极之间的电学接触。此外，在相变材料和顶电极之间增加一薄层电阻率小、热导率适中的热阻材料，改善器件擦写时的热平衡，减小上电极的散热。该存储单元结构的优点是通过缓冲材料改善相变材料和加热电极之间的电学接触，形成良好的欧姆型接触，同时增强相变材料和加热电极之间的黏附性，改善相变材料和加热电极之间的应力匹配，阻止相变材料与加热电极之间的扩散和反复擦写过程中的界面失效，增强器件的可靠性。此外，相变材料和顶电极之间的热阻材料减小了上电极的散热，降低器件的功耗。加热电极、缓冲材料和相变区域限制在同一介质孔洞中形成自对准的柱状结构，不需要在相

变材料周围制备保温层，减少了工艺步骤，同时也防止擦写过程中相变区域的横向扩展。

附图说明

图 1 (a) 通常的由底电极、加热电极、相变材料、绝热材料和顶电极组成相变存储单元结构；

(b) 本发明提出的相变存储单元结构，依次由底电极、缓冲层、加热电极、相变材料、热阻层和顶电极组成相变存储单元结构，其中底电极、缓冲层、加热电极、相变材料限制在同一介质孔洞中；

图 2 已制备好加热电极的器件结构；

图 3 刻蚀一定厚度的加热电极后形成加热电极上端介质孔洞的器件结构；

图 4 加热电极上端介质孔内填充缓冲材料并抛光后的器件结构；

图 5 刻蚀一定厚度缓冲材料后形成缓冲材料上端介质孔洞的器件结构；

图 6 在缓冲材料上端介质孔洞中填充相变材料并抛光形成柱状相变材料的器件结构；

图 7 在柱状相变材料上制备热阻层后的器件结构；

图 8 在热阻层上形成上电极后的器件结构。

具体实施方式

下面通过具体实施例，进一步阐明本发明的实质性特点和显著的进步，但本发明决非仅局限于所述的实施例。

实施例 1：

- (1) 在衬底上制备一层 200 nm 厚的 Al 膜作为底电极，利用电子束蒸发的方法在底电极 Al 膜上制备 350 nm 厚的 SiO₂，在 SiO₂ 上利用电子束刻蚀方法制备纳米孔洞，孔洞底部与底电极相连，孔洞直径在 200 nm，利用 PVD 技术在孔洞里淀积 W 薄膜，直至孔洞填满；
- (2) 利用 CMP 技术抛掉孔洞以外区域的 W，形成 SiO₂ 介质中镶嵌有柱状 W 加热电极的结构；(图 2)

-
- (3) 利用 W 和 SiO₂介质的不同刻蚀速率，利用 RIE 将 W 加热电极的顶端刻蚀掉 200nm，从而在 W 加热电极顶端形成介质孔；(图 3)
 - (4) 利用 ALD 技术在 W 加热电极顶端的介质孔中填充缓冲材料 TiN，抛光介质孔以外的 TiN；(图 4)
 - (5) 利用 TiN 和 SiO₂介质的不同刻蚀速率，采用 RIE 将 TiN 的顶端刻蚀掉 150nm，从而在 TiN 顶端形成介质孔；(图 5)
 - (6) 利用 ALD 技术在 TiN 顶端的介质孔中填充相变材料 Ge-Sb-Te；(图 6)
 - (7) 在相变材料 Ge-Sb-Te 上制备热阻材料 GeSiN 并刻蚀形成图形；(图 7)
 - (8) 在热阻材料 GeSiN 上制备上电极，从而得到相变存储器器件单元；(图 8)

实施例 2：

将实施例 1 的加热电极 W 换成 WTiN，在实施例 1 的第一步的介质孔洞中制备出柱状 WTiN 作为加热电极，然后刻蚀 WTiN 顶端一部分形成介质孔洞，然后填充相变材料，其它后续工艺步骤同实施例 1，可以得到类似性能，但是工艺步骤更加简化。

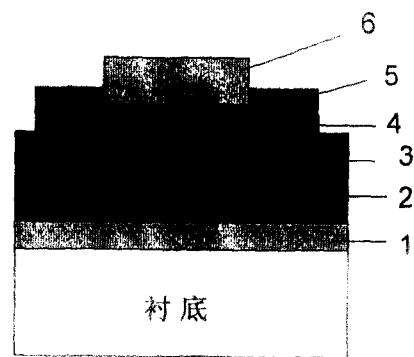


图 1a

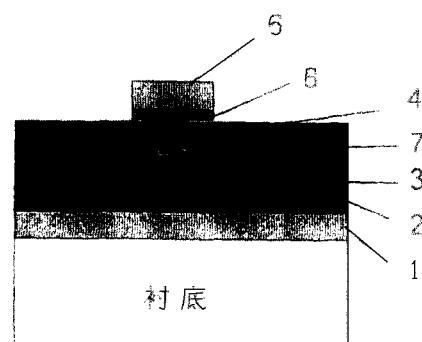


图 1b

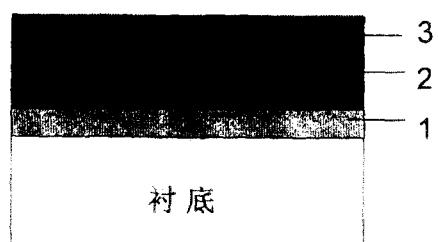


图 2

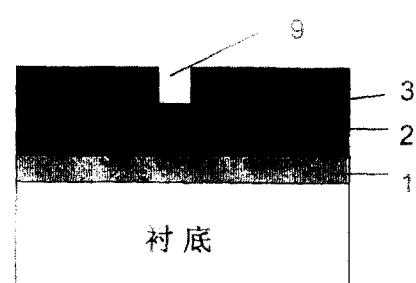


图 3

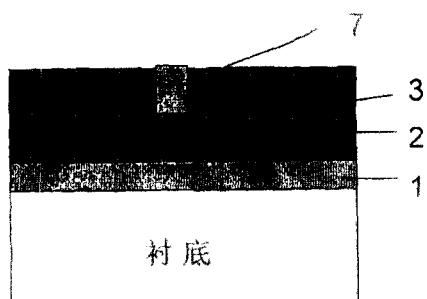


图 4

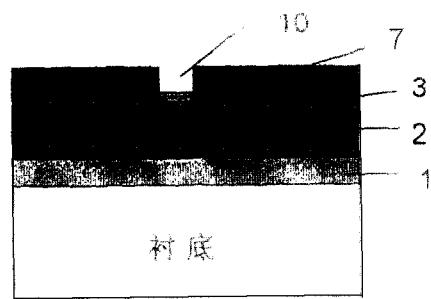


图 5

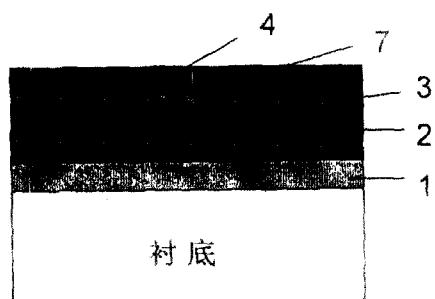


图 6

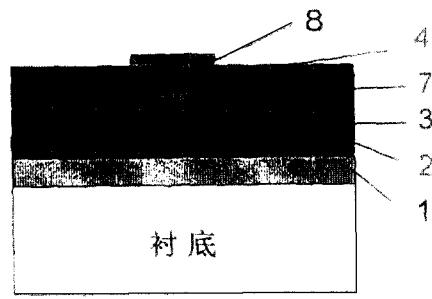


图 7

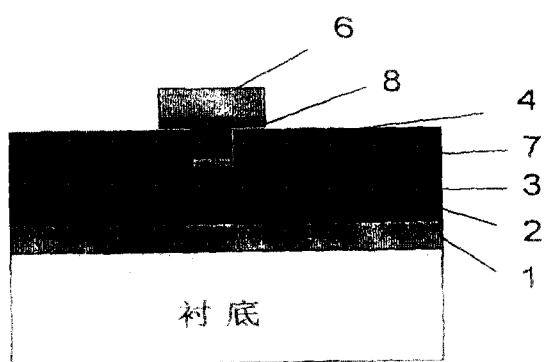


图 8