

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6135276号
(P6135276)

(45) 発行日 平成29年5月31日 (2017.5.31)

(24) 登録日 平成29年5月12日 (2017.5.12)

(51) Int. Cl.

F I

G 0 6 F 3/06 (2006.01)

G 0 6 F 3/06

G 0 6 F 1/26 (2006.01)

G 0 6 F 3/06 3 0 2 A

G 0 6 F 1/30 (2006.01)

G 0 6 F 3/06 3 0 4 F

G 0 6 F 12/08 (2016.01)

G 0 6 F 1/26 3 3 5 A

G 0 6 F 12/0868 (2016.01)

G 0 6 F 1/30 L

請求項の数 9 (全 26 頁) 最終頁に続く

(21) 出願番号 特願2013-90034 (P2013-90034)
 (22) 出願日 平成25年4月23日 (2013.4.23)
 (65) 公開番号 特開2014-215661 (P2014-215661A)
 (43) 公開日 平成26年11月17日 (2014.11.17)
 審査請求日 平成28年1月13日 (2016.1.13)

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100092978
 弁理士 真田 有
 (74) 代理人 100112678
 弁理士 山本 雅久
 (72) 発明者 湯浅 健太郎
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 (72) 発明者 石井 孝典
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 ストレージ装置、制御装置、および制御プログラム

(57) 【特許請求の範囲】

【請求項 1】

記憶部と、前記記憶部のデータをキャッシュデータとして保持するキャッシュメモリとを有するストレージ装置であって、

前記ストレージ装置の通常動作時に充電されるキャパシタと、

前記ストレージ装置の通常動作時に充電されるバッテリーと、

前記キャパシタからの給電により前記キャッシュデータを前記キャッシュメモリに保持する第1処理と、前記バッテリーからの給電により前記キャッシュデータを前記キャッシュメモリから不揮発メモリへ書き込む第2処理とを実行させる制御部とを、有し、

前記制御部は、

停電通知を受けると前記第1処理の実行指示を行なう一方、前記第1処理の実行後に所定条件を満たした場合に前記第2処理の実行指示を行なう第1制御部と、

前記第1制御部から前記第1処理の実行指示を受けると前記ストレージ装置を前記第1処理の実行状態に移行させる一方、前記第1処理の実行指示を受けた後に前記第1制御部から前記第2処理の実行指示を受けると前記第2処理を実行させる第2制御部とを含む、ストレージ装置。

【請求項 2】

前記第1制御部は、前記第1処理の実行後に前記キャパシタの出力電圧が所定値を下回っても、もしくは、前記第1処理の実行後に所定時間が経過しても、停電状態が解消されていない場合に前記第2処理の実行指示を行なう、請求項1記載のストレージ装置。

【請求項 3】

前記第 1 制御部は、前記第 1 制御部の動作電圧と前記キャッシュメモリの下限動作電圧との高い方に基づき前記所定値を設定する、請求項 2 記載のストレージ装置。

【請求項 4】

前記キャパシタは、前記第 1 処理の実行時に、前記キャッシュメモリおよび前記第 1 制御部に給電する、請求項 1～請求項 3 のいずれか一項に記載のストレージ装置。

【請求項 5】

前記バッテリーは、前記第 2 処理の実行時に、前記キャッシュメモリ、前記第 1 制御部、前記第 2 制御部および前記不揮発メモリに給電する、請求項 1～請求項 4 のいずれか一項に記載のストレージ装置。

10

【請求項 6】

前記制御部は、前記第 1 処理の実行中に停電復旧通知に応じて前記ストレージ装置が起動される際に、前記キャッシュメモリにおける前記キャッシュデータを前記記憶部に書き込む、請求項 1～請求項 5 のいずれか一項に記載のストレージ装置。

【請求項 7】

前記制御部は、前記第 2 処理の実行後に停電復旧通知に応じて前記ストレージ装置が起動される際に、前記不揮発メモリにおける前記キャッシュデータを、前記キャッシュメモリに書き戻した後、前記キャッシュメモリから前記記憶部に書き込む、請求項 1～請求項 6 のいずれか一項に記載のストレージ装置。

【請求項 8】

20

記憶部と、前記記憶部のデータをキャッシュデータとして保持するキャッシュメモリとを有するストレージ装置の制御装置であって、

前記ストレージ装置の通常動作時に充電されるキャパシタからの給電により前記キャッシュデータを前記キャッシュメモリに保持する第 1 処理と、前記ストレージ装置の通常動作時に充電されるバッテリーからの給電により前記キャッシュデータを前記キャッシュメモリから不揮発メモリへ書き込む第 2 処理とを実行させる制御部を、有し、

前記制御部は、

停電通知を受けると前記第 1 処理の実行指示を行なう一方、前記第 1 処理の実行後に所定条件を満たした場合に前記第 2 処理の実行指示を行なう第 1 制御部と、

前記第 1 制御部から前記第 1 処理の実行指示を受けると前記ストレージ装置を前記第 1 処理の実行状態に移行させる一方、前記第 1 処理の実行指示を受けた後に前記第 1 制御部から前記第 2 処理の実行指示を受けると前記第 2 処理を実行させる第 2 制御部とを含む、制御装置。

30

【請求項 9】

記憶部と、前記記憶部のデータをキャッシュデータとして保持するキャッシュメモリとを有するストレージ装置の制御装置として機能するコンピュータに、

前記キャッシュデータのバックアップを行なう際に、前記ストレージ装置の通常動作時に充電されるキャパシタからの給電により前記キャッシュデータを前記キャッシュメモリに保持する第 1 処理の実行後に所定条件を満たした場合に、前記ストレージ装置の通常動作時に充電されるバッテリーからの給電により前記キャッシュデータを前記キャッシュメモリから不揮発メモリへ書き込む第 2 処理を実行させ、

40

停電通知を受けると前記第 1 処理の実行指示を行なう一方、前記第 1 処理の実行後に所定条件を満たした場合に前記第 2 処理の実行指示を行なわせ、

前記第 1 処理の実行指示を受けると前記ストレージ装置を前記第 1 処理の実行状態に移行させる一方、前記第 1 処理の実行指示を受けた後に前記第 2 処理の実行指示を受けると前記第 2 処理を実行させる、制御プログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ストレージ装置、制御装置、および制御プログラムに関する。

50

【背景技術】

【0002】

近年、様々なデータが電子化されコンピュータ上で扱われるようになるに従い、コンピュータとは独立して大量のデータを効率よく格納することのできるディスクアレイ装置等のストレージ装置の重要性が増してきている。ディスクアレイ装置では、RAID (Redundant Arrays of Inexpensive Disks) 技術を導入することにより、単純なディスク装置に比べて信頼性が高められている。また、一般に、キャッシュメモリを内蔵することにより、データへのアクセス時間が短縮されている。

【0003】

RAID技術では、例えば、複数のディスクに同じデータを記憶させる手法(RAID-1)や、パリティ情報をディスクに分散して記憶させる手法(RAID-5)などにより信頼性が高められている。これ以外にも、ディスクにブロックチェックコード(Block Check Code)と呼ばれる情報を書き込んでデータ保護を行なう方法や、2つのキャッシュメモリで同じデータを保存する方法(ミラーリング)などによって、信頼性を向上させることが知られている。

【0004】

上述のような論理的なデータ保護に加え、物理的、電気的な面での信頼性を高めるための工夫を施す必要がある。その工夫の一つとして、停電時に処理中のデータを失わないようにする技術も知られている。停電時においてディスクアレイ装置に適用される技術の概要は、以下の通りである。ディスクアレイ装置が停電を検出すると、コントローラ(CM: Controller Module)は、実行中の処理を中止し、電力停止によって消えてしまう、揮発性キャッシュメモリ内のデータ(キャッシュデータ)を保護する。ここで、データ保護動作は、次の2つの方式に大別される。

【0005】

(1) メモリバックアップ方式

メモリバックアップ方式は、停電時にキャッシュメモリを低電力モード(セルフリフレッシュ等)へ遷移させ、消費電力を抑えた状態でキャッシュメモリにバッテリーから電力を供給し続ける方式である。メモリバックアップ方式では、キャッシュメモリに電力を供給し続けなければならないため、キャッシュメモリにおいてデータをバックアップ保持することのできる期間は数日間である。したがって、長期間に亘って外部電源が遮断される場合、バックアップデータを損失してしまう可能性がある。しかしながら、低い電圧(例えば1.8V程度)かつ小電流の放電でキャッシュメモリにデータをバックアップさせることができるため、バッテリーを小型化することができる。

【0006】

(2) キャッシュディステージ(destage)方式

キャッシュディステージ方式は、停電時にバッテリーから電力を供給し、キャッシュメモリ内のデータを不揮発メモリへ書き込む(ディステージする)方式である。キャッシュディステージ方式では、キャッシュデータを不揮発メモリへ書き込むため、キャッシュデータをバックアップ保持することのできる期間に制限はない。ただし、キャッシュデータを不揮発メモリへ書き込むバックアップ処理に要する時間は、キャッシュメモリの容量や、書込先の不揮発メモリの台数に依存し、数十秒から数分に及ぶことがある。そして、キャッシュディステージ方式では、メモリバックアップ方式に比べ、バックアップ処理に際し電力を供給すべき回路の数が多い。このため、キャッシュデータを不揮発メモリへ書き込む際に高い電圧(例えば12V程度)かつ大電流の放電が必要となり、バッテリーが大きくなってしまう。

【0007】

ここで、図15～図18を参照しながら、上述のようなメモリバックアップ方式やキャッシュディステージ方式を適用されたストレージ装置の電源系統について、具体的に説明する。なお、図15および図16は、それぞれ、メモリバックアップ方式を適用されたストレージ装置の通常動作時および停電時における電源系統を示す図である。また、図17

および図18は、それぞれ、キャッシュディステージ方式を適用されたストレージ装置の通常動作時および停電時における電源系統を示す図である。

【0008】

図15～図18に示すCE (Controller Enclosure) は、不図示のホストコンピュータ (以下、単に「ホスト」という) と不図示のDE (Disk Enclosure) との間に介装され、ストレージ装置における資源の管理等を行なう。CEには、それぞれCM#0, CM#1として示される2つのCMと、それぞれPSU#0, PSU#1として示される2つのPSU (Power Supply Unit) と、それぞれBBU#0～BBU#2として示される3つのBBU (Battery Backup Unit) とが備えられている。

【0009】

PSUは、通常動作時に、装置外部から供給される外部電源によりシステム電源を生成し、各CMへのシステム電源の供給を行なって装置を稼動すると同時に、各BBUの充電を行なう。BBU#0～BBU#2は、停電発生時に各CMへの電力供給を行なう。そして、BBU#0～BBU#2は、それぞれBCU#0～BCU#2として示されるBCU (Battery Control Unit) と、それぞれBTU#0～BTU#2として示されるBTU (Battery Unit) とを有している。各BCUは各BTUの充放電を制御する。

【0010】

また、各CMは、CPU (Central Processing Unit), キャッシュメモリ (Cache), 不揮発メモリ, ファン (FAN), ホストインターフェイス (Host I/F), ディスクインターフェイス (Disk I/F) を有する。CPUは、OS (Operating System) 等に従って処理を実行し各種制御を行なうもので、不揮発メモリに保存されるプログラムを実行することで各種機能を果たす。不揮発メモリは、上記プログラムのほか各種情報を保存する。キャッシュメモリは、利用頻度の高いデータをキャッシュデータとして一次格納しておく領域である。ファンはCPUを冷却する。ホストI/Fは、ホストとCPUとの間におけるインタフェース制御を行ない、ホストとCPUとの間でデータ通信を行なう。ディスクI/Fは、DEのディスクとCPUとの間におけるインタフェース制御を行ない、DEのディスクとCPUとの間でデータ通信を行なう。

【0011】

メモリバックアップ方式を適用されたストレージ装置の通常動作時における電源系統では、図15において実線矢印で示すように、2つのPSUが、外部電源によりシステム電源を生成し、各CMへのシステム電源の供給を行なって装置を稼動するとともに各BBUの充電を行なう。このとき、各CMでは、CPU, 不揮発メモリ, キャッシュメモリ, ファン, ホストI/F, ディスクI/Fの全てに電力が供給される。一方、停電が発生し外部電源が遮断され2つのPSUからシステム電源が供給されなくなると、図16において実線矢印で示すように、3つのBBUからの放電により、各CM内におけるバックアップ対象のキャッシュメモリに対する給電が行なわれる。これにより、キャッシュメモリに保持されたデータ保護のためのバックアップ処理が実行される。

【0012】

キャッシュディステージ方式を適用されたストレージ装置の通常動作時における電源系統では、図17において実線矢印で示すように、メモリバックアップ方式と同様、2つのPSUが、各CMへのシステム電源の供給を行なって装置を稼動するとともに各BBUの充電を行なう。このとき、各CMでは、CPU, 不揮発メモリ, キャッシュメモリ, ファン, ホストI/F, ディスクI/Fの全てに電力が供給される。一方、停電が発生し外部電源が遮断され2つのPSUからシステム電源が供給されなくなると、図18において実線矢印で示すように、3つのBBUからの放電により、各CM内におけるバックアップ対象のCPU, 不揮発メモリ, キャッシュメモリ, ファンに対する給電が行なわれる。そして、給電中に、キャッシュメモリ内のデータを不揮発メモリへ書き込むキャッシュディステージ処理が実行される。

【0013】

このように、メモリバックアップ方式の場合、バックアップ時 (停電時) におけるBB

10

20

30

40

50

Uによるバックアップ対象はキャッシュメモリだけであり、CPU、不揮発メモリ、ファン、ホストI/F、ディスクI/Fはバックアップ非対象である。一方、キャッシュディステージ方式の場合、バックアップ時（停電時）におけるBBUによるバックアップ対象はCPU、不揮発メモリ、キャッシュメモリ、ファンであり、ホストI/F、ディスクI/Fはバックアップ非対象である。

【先行技術文献】

【特許文献】

【0014】

【特許文献1】特開2005-10972号公報

【特許文献2】特開2005-346321号公報

【特許文献3】特開2007-264755号公報

【特許文献4】特開2009-5451号公報

【発明の概要】

【発明が解決しようとする課題】

【0015】

ところで、停電は、ほとんどの場合、数秒～数分程度の短期間で復旧するが、震災などにより長期間（例えば数日間）に亘って続くことがある。メモリバックアップ方式では、上述したように、バッテリーを小型化することができるが、バックアップ期間が数日間であるため、震災などにより数日間に亘って停電が続くと、バックアップデータを損失する可能性がある。このため、基幹システムにメモリバックアップ方式を適用することは好ましくない。したがって、基幹システムでは、バックアップデータを不揮発メモリで保存するキャッシュディステージ方式を用いることが有効である。

【0016】

キャッシュディステージ方式では、バッテリーとして、鉛(Pb)蓄電池やニッケル・水素(Ni-MH:Nickel Metal Hydride)充電電池などの、エネルギー量の大きい二次電池を採用することが一般的である。しかしながら、このような二次電池は、充放電を繰り返すと寿命が短くなるため、装置の稼働寿命（例えば5年程度）を満足できない場合がある。つまり、復旧する停電が発生する都度、二次電池が充放電を行なっていると、いざ長期間に亘る停電が発生した時に、二次電池が、キャッシュデータを不揮発メモリへ書き込むための高電圧かつ大電流の放電を行なえず、キャッシュデータをバックアップできなくなる場合がある。

【0017】

一つの側面で、本発明は、バッテリーの長寿命化をはかることを目的とする。

なお、前記目的に限らず、後述する発明を実施するための最良の形態に示す各構成により導かれる作用効果であって、従来の技術によっては得られない作用効果を奏することも本件の他の目的の一つとして位置付けることができる。

【課題を解決するための手段】

【0018】

本件のストレージ装置は、記憶部と、同記憶部のデータをキャッシュデータとして保持するキャッシュメモリと、前記ストレージ装置の通常動作時に充電されるキャパシタと、前記ストレージ装置の通常動作時に充電されるバッテリーと、制御部とを有する。同制御部は、前記キャパシタからの給電により前記キャッシュデータを前記キャッシュメモリに保持する第1処理と、前記バッテリーからの給電により前記キャッシュデータを前記キャッシュメモリから不揮発メモリへ書き込む第2処理とを実行させるもので、第1制御部および第2制御部を含む。前記第1制御部は、停電通知を受けると前記第1処理の実行指示を行なう一方、前記第1処理の実行後に所定条件を満たした場合に前記第2処理の実行指示を行なう。第2制御部は、前記第1制御部から前記第1処理の実行指示を受けると前記ストレージ装置を前記第1処理の実行状態に移行させる一方、前記第1処理の実行指示を受けた後に前記第1制御部から前記第2処理の実行指示を受けると前記第2処理を実行させる。

。

【発明の効果】

【0019】

一実施形態によれば、バッテリーの長寿命化をはかることができる。

【図面の簡単な説明】

【0020】

【図1】本実施形態のストレージ装置および制御装置のハードウェア構成および機能構成を示すブロック図である。

【図2】本実施形態の制御装置における電源系統の詳細な構成を示すブロック図である。

【図3】本実施形態のキャッシュメモリにおけるEEPROMに保存されているデータを示すブロック図である。

【図4】本実施形態のPLD（第1制御部）におけるEEPROMに保存されているデータを示すブロック図である。 10

【図5】本実施形態の電圧設定レジスタに設定されるデータの例を示す図である。

【図6】本実施形態の停電判定レジスタに設定されるデータの例を示す図である。

【図7】本実施形態のキャッシュ動作電圧判別テーブルの例を示す図である。

【図8】本実施形態のストレージ装置（制御装置）の通常動作時における電源系統を示す図である。

【図9】本実施形態のストレージ装置（制御装置）の短時間停電（メモリバックアップ処理）時における電源系統を示す図である。

【図10】本実施形態のストレージ装置（制御装置）の長時間停電（キャッシュディステージ処理）時における電源系統を示す図である。 20

【図11】本実施形態のストレージ装置（制御装置）の起動時の動作を説明するフローチャートである。

【図12】本実施形態のストレージ装置（制御装置）の停電時の動作を説明するフローチャートである。

【図13】本実施形態のストレージ装置（制御装置）の停電時の動作を説明するフローチャートである。

【図14】本実施形態のストレージ装置（制御装置）の長時間停電時の動作を説明するタイミングチャートである。

【図15】メモリバックアップ方式を適用されたストレージ装置の通常動作時における電源系統を示す図である。 30

【図16】メモリバックアップ方式を適用されたストレージ装置の停電時における電源系統を示す図である。

【図17】キャッシュディステージ方式を適用されたストレージ装置の通常動作時における電源系統を示す図である。

【図18】キャッシュディステージ方式を適用されたストレージ装置の停電時における電源系統を示す図である。

【発明を実施するための形態】

【0021】

以下、図面を参照して実施の形態を説明する。

〔1〕本実施形態の構成 40

まず、図1～図10を参照しながら、本実施形態のストレージ装置1および制御装置1aのハードウェア構成および機能構成について説明する。

【0022】

図1は、本実施形態のストレージ装置1および制御装置1aのハードウェア構成および機能構成を示すブロック図である。

図1に示すように、本実施形態のストレージ装置1は、例えばディスクアレイ装置（RAID (Redundant Arrays of Inexpensive Disks) 装置）であって、ホスト2からの各種要求を受け、当該要求に応じた各種処理を行なう。ストレージ装置1は、CE (Controller Enclosure; 制御装置) 1aとDE (Disk Enclosure; 記憶部) 1bとを有している。

【0023】 50

〔1-1〕本実施形態のストレージ装置および制御装置（CE）のハードウェア構成

CE 1 aは、ホスト 2とDE 1 bとの間に介装され、ストレージ装置 1における資源の管理等を行なう。CE 1 aには、それぞれCM # 0、CM # 1として示される2つのCM 1 0と、それぞれPSU # 0、PSU # 1として示される2つのPSU 2 0と、それぞれBBU # 0～BBU # 2として示される3つのBBU（バッテリ）3 0とが備えられている。

【0024】

PSU 2 0は、通常動作時に、装置外部から供給される外部電源によりシステム電源を生成し、各CM 1 0へのシステム電源の供給を行なって装置 1を稼動すると同時に、各BBU 3 0および後述のキャパシタ 1 5の充電を行なう。BBU 3 0は、停電発生時（特に本実施形態では後述の長時間停電（キャッシュディステージ処理）時）に、各CM 1 0におけるバックアップ対象(2)（後述）への電力供給を行なう。BBU # 0～BBU # 2は、図8～図10に示すように、それぞれBCU # 0～BCU # 2として示されるBCU 3 1と、それぞれBTU # 0～BTU # 2として示されるBTU（バッテリ）3 2とを有している。各BCU 3 1は、各BTU 3 2の充放電を制御する。各BTU 3 2は、鉛蓄電池、ニッケル・水素充電電池などの二次電池である。

【0025】

図1では、CM # 0の構成のみが示されているが、CM # 1もCM # 0と同様に構成される。なお、CM 1 0の数は2に限定されるものではなく1または3以上備えられてもよい。DE 1 bは、複数のディスク 1 cを有する。各ディスク 1 cは、例えばHDD（Hard Disk Drive）であり、ホスト 2によってアクセスされ利用されるユーザデータや、各種制御情報などを格納・記憶する。本実施形態では、DE 1 bにディスク（HDD）1 cが備えられているが、ディスク 1 cに代えてSSD（Solid State Device）等が備えられてもよい。

【0026】

各CM 1 0は、CPU 1 1、キャッシュメモリ 1 2、不揮発メモリ 1 3、ファン 1 4、キャパシタ（Capacitor）1 5、PLD（Programmable Logic Device）1 6、ホスト I / F 1 7、ディスク I / F 1 8を有する。

CPU 1 1は、OS等に従って処理を実行し各種制御を行なうもので、不揮発メモリ 1 3に保存されるプログラムを実行することで各種機能を果たす。特に、CPU 1 1は、後述する第2制御部としての機能を果たし、PLD 1 6とともに、後述する制御部 1 0 aを構成する。

【0027】

キャッシュメモリ 1 2は、利用頻度の高いデータをキャッシュデータとして一次格納しておく領域であり、高速DIMM（Double Inline Memory Module）を用いる。キャッシュメモリ 1 2は、揮発メモリであるため、停電時に仕掛けり中のデータを保持するためには、キャッシュデータを不揮発領域に退避させるか、キャッシュメモリ 1 2に対する給電を継続的行なう必要がある。

【0028】

また、キャッシュメモリ 1 2には、図3に示すように、不揮発記憶領域としてEEPROM（Electrically Erasable and Programmable Read Only Memory）1 2 aがそなえられており、EEPROM 1 2 aには、キャッシュメモリ 1 2の個体情報 1 2 bが保存されている。キャッシュメモリ 1 2の個体情報 1 2 bは、例えば、最高周波数（例えば1333MHz）や、DRAM（Dynamic Random Access Memory）のデバイスタイプや、モジュールタイプである。なお、図3は、本実施形態のキャッシュメモリ 1 2におけるEEPROM 1 2 aに保存されているデータを示すブロック図である。

【0029】

不揮発メモリ 1 3は、上記プログラムのほか各種情報を保存するほか、後述の長時間停電（キャッシュディステージ処理）時に、キャッシュメモリ 1 2に保存されているキャッシュデータを書き込まれて保存する。

ファン１４は、通常動作時および後述の長時間停電（キャッシュディステージ処理）時に電源供給を受けて駆動され、ＣＰＵ１１を冷却する。

【００３０】

キャパシタ１５は、通常動作時にＰＳＵ２０によって充電され、停電発生時（特に本実施形態では後述の短時間停電（メモリバックアップ処理）時）に、各ＣＭ１０におけるバックアップ対象(1)（後述）への電力供給を行なう。キャパシタ１５は、ＥＤＬＣ（Electric Double-Layer Capacitor；電気二重層キャパシタ）、ＬＩＣ（Lithium Ion Capacitor；リチウムイオンキャパシタ）などである。

【００３１】

ＰＬＤ１６は、２種類のバックアップ用電源であるキャパシタ１５とＢＢＵ３０とを使い分ける制御論理を有するもので、後述する第１制御部としての機能を果たし、ＣＰＵ１１とともに、後述する制御部１０ａを構成する。ＰＬＤ１６には、図４に示すように、不揮発記憶領域としてＥＥＰＲＯＭ１６ａがそなえられており、ＥＥＰＲＯＭ１６ａには、動作電圧情報１６ｂ、電圧設定レジスタ１６ｃ、停電判定レジスタ１６ｄ、キャッシュ動作電圧判別テーブル１６ｅが保存されている。図４は、本実施形態のＰＬＤ１６におけるＥＥＰＲＯＭ１６ａに保存されているデータを示すブロック図である。動作電圧情報１６ｂは、ＰＬＤ１６の動作電圧を含む。電圧設定レジスタ１６ｃおよび停電判定レジスタ１６ｄに設定される具体的なデータについては、それぞれ図５および図６を参照しながら後述する。キャッシュ動作電圧判別テーブル１６ｅについては、図７を参照しながら後述する。

【００３２】

ホストＩ／Ｆ１７は、ホスト２とＣＰＵ１１との間におけるインタフェース制御を行ない、ホスト２とＣＰＵ１１との間でデータ通信を行なう。ディスクＩ／Ｆ１８は、ＤＥ１ｂのディスク１ｃとＣＰＵ１１との間におけるインタフェース制御を行ない、ＤＥ１ｂのディスク１ｃとＣＰＵ１１との間でデータ通信を行なう。

【００３３】

次に、図２を参照しながら、本実施形態のＣＥ１ａ（各ＣＭ１０）における電源系統の詳細な構成について説明する。図２は、本実施形態のＣＥ１ａ（各ＣＭ１０）における電源系統の詳細な構成を示すブロック図である。

【００３４】

図２に示すように、ホストＩ／Ｆ１７およびディスクＩ／Ｆ１８は、停電時にキャパシタ１５やＢＢＵ３０による給電（バックアップ）を受けないバックアップ非対象に属している。ホストＩ／Ｆ１７およびディスクＩ／Ｆ１８は、通常動作時にＤＤＣ（DC (Direct Current) to DC Converter；直流／直流電圧変換器）１９ｅを介して電源供給を受けて動作する。ＤＤＣ１９ｅは、通常動作時に、ＰＳＵ２０からの電圧(12V in)を入力され、所定電圧に変換してからホストＩ／Ｆ１７およびディスクＩ／Ｆ１８へ給電する。また、ＤＤＣ１９ｅは、停電時に、ＰＳＵ２０、キャパシタ１５およびＢＢＵ３０のいずれからも給電されず、ホストＩ／Ｆ１７およびディスクＩ／Ｆ１８は、バックアップされない状態つまり停止状態になる。

【００３５】

キャパシタ１５は、バックアップ非対象に属し、通常動作時（装置起動時）にＤＤＣ１９ｄを介して電源供給を受けて充電される。ＤＤＣ１９ｄは、通常動作時（装置起動時）に、ＰＳＵ２０からの電圧(12V in)を入力され、所定電圧に変換してからキャパシタ１５へ給電する。また、キャパシタ１５は、後述の短時間停電（メモリバックアップ処理）時に後述のバックアップ対象(1)への給電（電圧VCAP）を行ない、後述の長時間停電（キャッシュディステージ処理）時には放電を停止される。

【００３６】

キャッシュメモリ１２およびＰＬＤ１６は、後述の短時間停電（メモリバックアップ処理）時に給電を受けるバックアップ対象(1)と、後述の長時間停電（キャッシュディステージ処理）時に給電を受けるバックアップ対象(2)との両方に属している。キャッシュメ

メモリ12およびPLD16は、それぞれ、DDC19aおよび19bを介して電源供給を受けて動作する。

【0037】

つまり、DDC19aは、通常動作時に、PSU20からの電圧(12V in)を入力され、所定電圧に変換してからキャッシュメモリ12へ給電する。また、DDC19aは、後述の短時間停電（メモリバックアップ処理）時に、キャパシタ15からの電圧VCAPを入力され、PLD16によって設定される下限動作電圧（後述）に変換してからキャッシュメモリ12へ給電する。さらに、DDC19aは、後述の長時間停電（キャッシュディステージ処理）時に、BBU30からの電圧VBATを入力され、PLD16によって設定される下限動作電圧に変換してからキャッシュメモリ12へ給電する。

10

【0038】

同様に、DDC19bは、通常動作時に、PSU20からの電圧(12V in)を入力され、所定電圧に変換してからPLD16へ給電する。また、DDC19bは、後述の短時間停電（メモリバックアップ処理）時に、キャパシタ15からの電圧VCAPを入力され、所定電圧に変換してからPLD16へ給電する。さらに、DDC19bは、後述の長時間停電（キャッシュディステージ処理）時に、BBU30からの電圧VBATを入力され、所定電圧に変換してからPLD16へ給電する。

【0039】

CPU11および不揮発メモリ13は、バックアップ対象(2)に属し、通常動作時にDDC19cを介して電源供給を受けて動作する。つまり、DDC19cは、通常動作時に、PSU20からの電圧(12V in)を入力され、所定電圧に変換してからCPU11および不揮発メモリ13へ給電する。また、DDC19cは、後述の長時間停電（キャッシュディステージ処理）時に、BBU30からの電圧VBATを入力され、所定電圧に変換してからCPU11および不揮発メモリ13へ給電する。さらに、DDC19cは、後述の短時間停電（メモリバックアップ処理）時に、PSU20、キャパシタ15およびBBU30のいずれからも給電されず、CPU11および不揮発メモリ13は、バックアップされない状態つまり停止状態になる。

20

【0040】

ファン14は、バックアップ対象(2)に属し、通常動作時に、PSU20からの給電（電圧12V in）を受けて駆動され、CPU11を冷却する。また、ファン14は、後述の長時間停電（キャッシュディステージ処理）時に、BBU30からの給電（電圧VBAT）を受けて駆動され、CPU11を冷却する。一方、ファン14は、後述の短時間停電（メモリバックアップ処理）時に、PSU20、キャパシタ15およびBBU30のいずれからも給電されず、バックアップされない状態つまり停止状態になる。

30

【0041】

〔1-2〕本実施形態のストレージ装置および制御装置（CE）の機能構成

次に、図1～図10を参照しながら、本実施形態のストレージ装置1およびCE1aの機能構成について説明する。

【0042】

本実施形態のストレージ装置1およびCE1aでは、停電発生時の装置動作が2段階の処理に分けられている。つまり、停電発生時には、EDLCやLICなどのキャパシタ15を用いメモリバックアップ方式によってキャッシュデータを保護する。そして、停電発生後（メモリバックアップ方式によるデータ保護の開始後）に、キャパシタ15の出力電圧が所定値を下回っても、もしくは、所定時間が経過しても停電状態が解消されなければ、鉛蓄電池、ニッケル・水素充電電池などのBBU30（BTU32）を用いキャッシュディステージ方式によってキャッシュデータを保護する。このような処理を実現するため、本実施形態のストレージ装置1およびCE1aは、以下のような機能構成を有している。

40

【0043】

CPU11およびPLD16は、停電に伴うキャッシュデータのバックアップを行なう

50

際に、第1処理（メモリバックアップ処理）と第2処理（キャッシュディステージ処理）とのいずれか一方を実行させる制御部10aとして機能する。ここで、第1処理としてのメモリバックアップ処理は、キャパシタ15からの給電によりキャッシュデータをキャッシュメモリ12に保持する処理である。また、第2処理としてのキャッシュディステージ処理は、BBU30（BTU32）からの給電によりキャッシュデータをキャッシュメモリ12から不揮発メモリ13へ書き込む処理である。

【0044】

このとき、制御部10aは、PSU20から停電通知を受けるとメモリバックアップ処理を実行させ、メモリバックアップ処理の実行後（停電発生後）に所定条件を満たした場合にキャッシュディステージ処理を実行させる。前記所定条件としては、メモリバックアップ処理の実行後にキャパシタ15の出力電圧が所定値以下になっても、もしくは、メモリバックアップ処理の実行後に所定時間が経過しても、停電状態が解消されていないことが設定される。なお、前記所定条件は、メモリバックアップ処理の実行後にキャパシタ15の出力電圧が所定値以下になり、且つ、メモリバックアップ処理の実行後に所定時間が経過しても、停電状態が解消されていないこととしてもよい。

【0045】

そして、本実施形態において、制御部10aは、前述したようにCPU（第2制御部）11とPLD（第1制御部）16とによって構成される。

PLD（第1制御部）16は、キャパシタ15とBBU30とを使い分ける制御論理を有し、PSU20から停電通知を受けるとメモリバックアップ処理の実行指示をCPU11に対し行なう。また、PLD16は、メモリバックアップ処理の実行後に前記所定条件を満たした場合にキャッシュディステージ処理の実行指示をCPU11に対し行なう。

【0046】

PLD16は、キャパシタ15の出力電圧に基づき前記所定条件の判断を行なう場合、キャパシタ15の出力電圧を監視する機能を有する。このとき、PLD16は、後述するように、PLD16の動作電圧とキャッシュメモリ12の下限動作電圧との高い方に基づき前記所定値を算出して電圧設定レジスタ16c（図4、図5参照）に設定する。また、PLD16は、メモリバックアップ処理の実行後の経過時間に基づき前記所定条件の判断を行なう場合、メモリバックアップ処理の実行時に計時を開始しメモリバックアップ処理の実行後の経過時間を計時するタイマ機能を有する。

【0047】

CPU11による第2制御部としての機能は、ファームウェア（FW）によって実現される。CPU（第2制御部）11は、PLD16からメモリバックアップ処理の実行指示を受けるとメモリバックアップ処理を実行する一方、メモリバックアップ処理の実行指示を受けた後にPLD16からキャッシュディステージ処理の実行指示を受けるとキャッシュディステージ処理を実行する。

【0048】

また、CPU11は、メモリバックアップ処理の実行中に停電復旧通知に応じてストレージ装置1が起動される際に、キャッシュメモリ12におけるキャッシュデータをDE1b（ディスク1c）に書き込む処理を実行する。さらに、CPU11は、キャッシュディステージ処理の実行後に停電復旧通知に応じてストレージ装置1が起動される際に、不揮発メモリ13におけるキャッシュデータを、キャッシュメモリ12に書き戻した後、キャッシュメモリ12からDE1b（ディスク1c）に書き込む処理を実行する。

【0049】

ここで、図2および図8～図10を参照しながら、通常動作時、メモリバックアップ処理の実行時およびキャッシュディステージ処理の実行時のそれぞれにおける、電源供給対象（バックアップ対象）について説明する。なお、図8は、本実施形態のストレージ装置1（CE1a）の通常動作時における電源系統を示す図である。図9は、本実施形態のストレージ装置1（CE1a）の短時間停電（メモリバックアップ処理）時における電源系統を示す図である。図10は、本実施形態のストレージ装置1（CE1a）の長時間停電

10

20

30

40

50

(キャッシュディステージ処理) 時における電源系統を示す図である。

【0050】

通常動作時には、図8において実線矢印で示すように、P S U 2 0からの電源(図2の電圧12V in参照)が、各C M 1 0におけるC P U 1 1, キャッシュメモリ12, 不揮発メモリ13, ファン14, キャパシタ15, P L D 1 6, ホストI / F 1 7およびディスクI / F 1 8と、各B B U 3 0とに対して供給される。これにより、C P U 1 1, キャッシュメモリ12, 不揮発メモリ13, ファン14, P L D 1 6, ホストI / F 1 7およびディスクI / F 1 8は通常通り動作するとともに、キャパシタ15および各B B U 3 0への充電が行なわれる。

【0051】

メモリバックアップ処理の実行時には、図9に示すように、B B U 3 0の放電が停止されるとともに、キャパシタ15からの電源(図2の電圧V_{CAP}参照)が、各C M 1 0におけるバックアップ対象(1)に含まれるキャッシュメモリ12およびP L D 1 6に対して供給される。これにより、C P U 1 1によってメモリバックアップ処理が実行され、キャッシュメモリ12は、P L D 1 6によって管理されながらキャッシュデータを保持する。なお、各B B U 3 0の放電停止処理は、例えば、P S U 2 0からの停電通知を受けたB C U 3 1によって実行されてもよい。

【0052】

キャッシュディステージ処理の実行時には、図10に示すように、P L D 1 6からの放電停止指示によってキャパシタ15の放電が停止されるとともに、P L D 1 6からの放電指示によって各B B U 3 0の放電が開始される。そして、各B B U 3 0からの電源(図2の電圧V_{BAT}参照)が、各C M 1 0におけるバックアップ対象(2)に含まれるC P U 1 1, キャッシュメモリ12, 不揮発メモリ13, ファン14およびP L D 1 6に対し供給される。これにより、C P U 1 1によってキャッシュディステージ処理が実行され、キャッシュメモリ12から不揮発メモリ13へのキャッシュデータの書込みが行なわれる。なお、P L D 1 6は、キャッシュメモリ12から不揮発メモリ13へのキャッシュデータの書込み状態を監視しており、キャッシュデータの全てが不揮発メモリ13に書き込まれると、P L D 1 6からの放電停止指示によって各B B U 3 0の放電は停止される。

【0053】

なお、上述の機能を実現するために、P L D 1 6は、前述したように、E E P R O M 1 6 aにおける動作電圧情報16b, 電圧設定レジスタ16c, 停電判定レジスタ16dおよびキャッシュ動作電圧判別テーブル16eを用いる。ここで、図5～図7を参照しながら、動作電圧情報16b, 電圧設定レジスタ16c, 停電判定レジスタ16dおよびキャッシュ動作電圧判別テーブル16eについて説明する。図5は、本実施形態の電圧設定レジスタ16cに設定されるデータの例を示す図であり、図6は、本実施形態の停電判定レジスタ16dに設定されるデータの例を示す図であり、図7は、本実施形態のキャッシュ動作電圧判別テーブル16eの例を示す図である。

【0054】

動作電圧情報16bは、前述したように、P L D 1 6の動作電圧(例えば1.2V)を含み、後述する最低動作電圧(所定値)を算出する際に用いられる。

キャッシュ動作電圧判別テーブル16eは、P L D 1 6のE E P R O M 1 6 aに予め格納されている。キャッシュ動作電圧判別テーブル16eにおいては、図7に示すように、キャッシュメモリ12のデバイスタイプやモジュールタイプ(モジュール電圧)毎に、通常動作電圧(キャッシュ動作電圧)と下限動作電圧(キャッシュ動作電圧)とが対応付けられて保存されている。通常動作電圧および下限動作電圧については、図5を参照しながら後述する。なお、下限動作電圧は、E E P R O M 1 6内のカスタマユーザデータ領域に書き込んでおいてもよい。

【0055】

P L D 1 6は、装置起動時に、キャッシュメモリ12のE E P R O M 1 2 aから個人情報12bを読み出す。そして、P L D 1 6は、個人情報12bに含まれるデバイスタイプ

10

20

30

40

50

やモジュールタイプに基づきテーブル16eを検索し、キャッシュメモリ12のデバイスタイプやモジュールタイプに応じた通常動作電圧と下限動作電圧とを読み出して電圧設定レジスタ16cに設定する。例えば、キャッシュメモリ12のデバイスタイプがDDR3_SDRAMでキャッシュメモリ12のモジュールタイプ（モジュール電圧）が1.5V、1.35V、1.25Vである場合、図7に示すテーブル16eから通常動作電圧1.5Vと下限動作電圧1.25Vとが検索され電圧設定レジスタ16cに設定される。

【0056】

電圧設定レジスタ16cは、図5に示すように、PLD16によって、後述する通常動作電圧、下限動作電圧および最低動作電圧を設定される。通常動作電圧および下限動作電圧は、上述のごとくPLD16によってテーブル16eから読み出されたものである。図5に示す電圧設定レジスタ16cでは、通常動作電圧、下限動作電圧および最低動作電圧として、それぞれ、例えば1.5V (10110010)、1.25V (10011001)、1.55V (10110111)が設定されている。

【0057】

通常動作電圧は、図5の備考欄に示すように、キャッシュメモリ12を高性能モード（通常動作モード）で動作させる際に用いられる電圧である。高性能モードは、キャッシュメモリ12の動作電圧を最大にすることで、キャッシュメモリ12が最高動作周波数で動作するモードである。通常動作時に、PLD16は、入力電圧（図2の12V in参照）を通常動作電圧（所定電圧）に変換するようにDDC19aに指示する。

【0058】

下限動作電圧は、図5の備考欄に示すように、キャッシュメモリ12を省電力モード（制限動作モード）で動作させる際に用いられる電圧である。省電力モードは、キャッシュメモリ12の動作周波数を低くすることで、キャッシュメモリ12の動作電圧を低くして消費電力を抑えるモードである。停電時に、PLD16は、入力電圧（図2のVCAPまたはVBAT参照）を下限動作電圧（所定電圧）に変換するようにDDC19aに指示する。

【0059】

最低動作電圧は、キャパシタ15の出力電圧に基づきメモリバックアップモードからキャッシュディステージモードへの切替えタイミングを判断する際の比較基準である所定値として用いられる。最低動作電圧は、PLD16によってEEPROM16aから読み出されたPLD16の動作電圧（動作電圧情報16b）と、キャッシュメモリ12の下限動作電圧との高い方に基づき、PLD16によって算出される。例えば、PLD16の動作電圧が1.2Vであり、図5に示すようにキャッシュメモリ12の下限動作電圧が1.25Vである場合、PLD16は、これらの動作電圧のうちの高い方の値1.25Vに、DDC19aの電圧変換分の値（例えば+0.3V）を加算した値1.55Vを、最低動作電圧として算出し、図5に示すように電圧設定レジスタ16cに設定する。PLD16は、キャパシタ15の出力電圧が最低動作電圧を下回った時点を、メモリバックアップモードからキャッシュディステージモードへの切替えタイミングと判断する。

【0060】

停電判定レジスタ16dには、PLD16が図11～図13に示す手順で処理を行なう際に、図6に示すように、PLD16によって、装置状態を示す4ビットデータが更新・設定される。CPU（第2制御部）11は、後述するように、適宜、PLD16における停電判定レジスタ16dの4ビットデータを参照・確認することで装置状態を認識しながら、図11～図13に示す手順で処理を行なう。

【0061】

なお、図6には、停電判定レジスタ16dに設定されうる4種類の4ビットデータの例が示されている。4ビットデータの先頭ビットは、入力電源状態を示し、‘0’の場合、入力電源（外部電源）が正常であることを示し、‘1’の場合、入力電源が停電状態であることを示す。4ビットデータの2番目のビットは、停電発生履歴を示し、‘0’の場合、停電が未発生であることを示し、‘1’の場合、停電が発生したことを示す。4ビットデータの3番目／4番目のビットは、起動モードを示し、‘00’の場合、通常起動であ

10

20

30

40

50

ることを示し、‘ 0 1 ’ の場合、メモリバックアップモードからキャッシュディステージモードへ遷移する際の起動であることを示し、‘ 1 0 ’ の場合、メモリバックアップモードからの起動であることを示し、‘ 1 1 ’ の場合、キャッシュディステージモード後の起動であることを示す。

【0062】

したがって、4ビットデータ“0000”は通常起動を示す。4ビットデータ“1101”は、停電が長時間続いたため、メモリバックアップモードからキャッシュディステージモードへ遷移する際の起動であることを示す。4ビットデータ“0110”は、短時間停電から復電し、メモリバックアップモードからの起動であることを示す。4ビットデータ“0111”は、長時間停電から復電し、キャッシュディステージモード後の起動であることを示す。

10

【0063】

また、図6には示していないが、4ビットデータ“1110”は、PSU20から停電通知信号を受けるとPLD16によって設定され、短時間停電中であり未だ復電していない状態を示す。4ビットデータ“1111”は、キャッシュディステージモードでキャッシュデータの不揮発メモリ13への書込みを完了しBBU30の放電停止指示を行なった際にPLD16によって設定され、長時間停電中であり未だ復電していない状態を示す。

【0064】

〔2〕本実施形態のストレージ装置および制御装置の動作

次に、上述のごとく構成された本実施形態のストレージ装置1およびCE（制御装置）1aの動作について、図11～図14を参照しながら説明する。

20

【0065】

〔2-1〕起動時の動作

図11に示すフローチャート（ステップS1～S5）に従って、本実施形態のストレージ装置1およびCE1aの起動時の動作について説明する。

装置起動時には、PLD16は、まず、PLD16のEEPROM16aに格納された動作電圧情報16bに含まれる自己動作電圧（例えば1.2V）を参照・確認する（ステップS1）。

【0066】

また、PLD16は、キャッシュメモリ12のEEPROM12aにおける個体情報12bを確認し、個体情報12bに含まれる情報に基づきテーブル16eを検索し、キャッシュメモリ12の通常動作電圧と下限動作電圧とを確認し読み出して電圧設定レジスタ16cに設定する（ステップS2）。ここでは、例えば、通常動作電圧として1.5V（10110010）が、下限動作電圧として1.25V（10011001）が設定される。

30

【0067】

さらに、PLD16は、メモリバックアップモード（メモリバックアップ処理）からキャッシュディステージモード（キャッシュディステージ処理）へ遷移するタイミングを判断する基準となるキャパシタ15の出力電圧（最低動作電圧）を決定し電圧設定レジスタ16cに設定する（ステップS3）。ここでは、前述したように、最低動作電圧は、EEPROM16aから読み出されたPLD16の自己動作電圧（例えば1.2V）と、電圧設定レジスタ16cに設定されたキャッシュメモリ12の下限動作電圧（例えば1.25V）との高い方の値に、DDC19aの電圧変換分の一定値（例えば+0.3V）を加算した値（例えば1.55V）として算出される。

40

【0068】

この後、CPU11は、PLD16内の停電判定レジスタ16dを参照し、今回の起動は、通常時の起動であるか、キャッシュディステージ後の起動であるかを判断する（ステップS4）。このとき、CPU11は、停電判定レジスタ16dにおける4ビットデータ“0000”である場合、今回の起動は通常時の起動であると判断して装置起動処理を完了する。この場合、前回の停止処理は正常に行なわれ、キャッシュデータのディスク1cへの書込みは停止処理前に完了している。このため、後述する停電時の動作とは異なり、

50

起動時にキャッシュデータのディスク1cへの書込みを行なう必要はない。

【0069】

一方、CPU11は、停電判定レジスタ16dにおける4ビットデータ“0111”である場合、今回の起動は、停電からの復電後でキャッシュディスティージ後の起動であると判断する。そして、CPU11は、不揮発メモリ13に格納されたキャッシュデータを有効データとして扱いキャッシュメモリ12にリストアした後、キャッシュメモリ12に書き戻されたキャッシュデータをディスク1cに書き込み（ステップS5）、装置起動処理を完了する。なお、CPU11がキャッシュデータのディスク1cへの書込みを完了すると、PLD16は、停電判定レジスタ16dにおける4ビットデータを“0111”から“0000”に更新設定する。

10

【0070】

装置起動処理を完了すると、ストレージ装置1は、通常動作を開始する。そして、PSU20は、図8に示すように、装置外部から供給される外部電源によりシステム電源を生成し、各CM10へのシステム電源の供給を行なって装置1を稼動する。これと同時に、PSU20は、各BBU30およびキャパシタ15の充電を行なう。

【0071】

〔2-2〕停電時の動作

次に、図12および図13に示すフローチャート（ステップS10～S28）に従って、本実施形態のストレージ装置1およびCE1aの停電時の動作について説明する。

ストレージ装置1において停電が発生し（ステップS10）、PSU20に外部電源が供給されなくなると、PSU20は、停電通知信号を、PLD16、BBU30などに通知する（ステップS11）。

20

【0072】

PLD16は、PSU20から停電通知信号を受信すると、停電判定レジスタ16dにおける4ビットデータを“0000”から“1110”に更新設定し、メモリバックアップ処理の実行指示をCPU11に対して行なう（ステップS12）。

【0073】

CPU11は、PLD16からメモリバックアップ処理の実行指示を受けると、メモリバックアップ処理を実行し、装置1をメモリバックアップモードへ移行させる（ステップS13）。これに伴い、図9に示すように、BBU30への充電が停止されるとともに、キャパシタ15の放電が開始され、キャパシタ15からの電源（図2の電圧VCAP参照）が、バックアップ対象(1)に含まれるキャッシュメモリ12およびPLD16に対して供給される。これにより、CPU11によってメモリバックアップ処理が実行され、キャッシュメモリ12は、PLD16によって管理されながらキャッシュデータを保持する。このとき、PLD16は、DDC19aを用い、キャッシュメモリ12への供給電源電圧を、電圧設定レジスタ16cに設定された下限動作電圧に変更し（ステップS14）、消費電力を抑えている。なお、PLD16は、前記タイマ機能を用いる場合、ステップS13でのメモリバックアップモードへの移行時（もしくはステップS12での停電通知信号の受信時）に、前記タイマ機能による計時を開始する。

30

【0074】

この後、PLD16は、PSU20から停電復旧の通知を受けたか否かを監視し（ステップS15）、停電復旧の通知を受けていない場合（ステップS15のNOルート）、以下の判定を行なう（ステップS16）。つまり、PLD16は、キャパシタ15の出力電圧が、電圧設定レジスタ16cに設定された最低動作電圧（所定値）を下回ったか、もしくは、上記タイマ機能による計時結果が所定時間を経過（タイムアウト）したかを判定する。

40

【0075】

キャパシタ15の出力電圧が最低動作電圧以上の場合、もしくは、上記タイマ機能による計時結果が所定時間を経過していない場合（ステップS16のNOルート）、PLD16は、ステップS15の処理に戻り、メモリバックアップモードを維持しながら、PSU

50

20から停電復旧の通知を受けたか否かを監視する。

【0076】

キャパシタ15の出力電圧が最低動作電圧以上のまま、もしくは、上記タイマ機能による計時結果が所定時間を経過しないまま、停電状態の解消に伴いPLD16がPSU20から停電復旧の通知を受けると（ステップS15のYESルート）、PLD16およびCPU11は、以下の処理（ステップS17～S20）を行なう。

【0077】

つまり、PLD16は、停電判定レジスタ16dにおける4ビットデータ“1110”を、短時間停電から復電し、メモリバックアップモードからの起動であることを示す“0110”に更新設定する。また、PLD16は、DDC19aを用い、キャッシュメモリ12への供給電源電圧を、電圧設定レジスタ16cに設定された通常動作電圧に変更する（ステップS17）。この後、PLD16は、装置1を起動させる（ステップS18）。これに伴い、CPU11は、PLD16の停電判定レジスタ16dを参照し、4ビットデータが、停電復帰（メモリバックアップモードからの起動）であることを示す“0110”であることを認識する（ステップS19）。そして、CPU11は、キャッシュメモリ12上のキャッシュデータをそのまま有効データとして扱い、ディスク1cへの書込みを行なう（ステップS20）。この後、PLD16は、停電判定レジスタ16dにおける4ビットデータを“0110”から“0000”に更新設定し、ストレージ装置1は、停電に対応する処理を終了し、図8に示すような通常動作を再開する。

【0078】

一方、メモリバックアップ処理の実行後にキャパシタ15の出力電圧が所定値を下回っても、もしくは、メモリバックアップ処理の実行後に所定時間を経過しても、停電状態が解消されていない場合（ステップS16のYESルート）、PLD16は、以下の処理を行なってメモリバックアップモードからキャッシュディステージモードへ移行する（ステップS21）。

【0079】

つまり、PLD16は、停電判定レジスタ16dにおける4ビットデータを“1110”から“1101”に更新設定し、キャッシュディステージ処理の実行指示をCPU11に対して行なう。また、PLD16は、各BBU30に対し放電開始を指示し、キャパシタ15からの放電を停止し、ファン14の回転開始を指示する。これにより、図10に示すように、キャパシタ15の放電が停止され、各BBU30の放電が開始され、各BBU30からの電源（図2の電圧VBAT参照）が、バックアップ対象(2)に含まれるCPU11、キャッシュメモリ12、不揮発メモリ13、ファン14およびPLD16に対し供給される。ここで、ファン14を駆動するのは、キャッシュディステージ処理では、CPU11が起動され発熱量が多くなるためである。

【0080】

CPU11が起動されファームウェアが立ち上がる。そして、CPU11は、PLD16からキャッシュディステージ処理の実行指示を受けると、EEPROM16a内の停電判定レジスタ16dを参照し、4ビットデータが、メモリバックアップモードからキャッシュディステージモードへの移行に伴う起動であることを示す“1101”であることを認識する（ステップS22）。この後、CPU11は、キャッシュディステージ処理を実行し、キャッシュデータをキャッシュメモリ12から不揮発メモリ13へ書き込む（ステップS23）。

【0081】

CPU11は、キャッシュデータの書込みの完了を監視し（ステップS24）、キャッシュデータの書込みが完了しない場合（ステップS24のNOルート）、ステップS23の処理に戻り、キャッシュデータをキャッシュメモリ12から不揮発メモリ13へ書き込む。そして、CPU11がキャッシュデータの書込みを完了すると（ステップS24のYESルート）、PLD16は、停電判定レジスタ16dにおける4ビットデータを、“1101”から、長時間停電中であり未だ復電していない状態を示す“1111”に更新設

定する。そして、P L D 1 6 は、各 B B U 3 0 に対して放電停止を指示する（ステップ S 2 5）。

【0082】

各 B B U 3 0 は、全ての C M 1 0（本実施形態では2つの C M 1 0）から放電停止指示を受けたか否かを判断する（ステップ S 2 6）。各 B B U 3 0 は、全ての C M 1 0 から放電停止指示を受けるまで待機し（ステップ S 2 6 の N O ルート）、全ての C M 1 0 から放電停止指示を受けると（ステップ S 2 6 の Y E S ルート）、各 B B U 3 0 は放電を停止し（ステップ S 2 7）、ストレージ装置 1 は停止状態になる（ステップ S 2 8）。なお、この後、長時間停電状態が解消されると、停電判定レジスタ 1 6 d における 4 ビットデータは、適切なタイミングで“1111”から“0111”に更新設定され、図 1 1 に示すフローチャートに従ってストレージ装置 1 は再起動される。

10

【0083】

ついで、図 1 4 に示すタイミングチャートを参照しながら、本実施形態のストレージ装置 1 および C E 1 a の長時間停電時の動作について説明する。なお、図 1 4 において、符号 S 1 1 ～ S 1 6 および S 2 1 ～ S 2 7 は、それぞれ、図 1 2 および図 1 3 におけるステップ番号 S 1 1 ～ S 1 6 および S 2 1 ～ S 2 7 に対応している。

【0084】

図 1 4 に示すように、ストレージ装置 1 において停電が発生し、P S U 2 0 に外部電源が供給されなくなると、P S U 2 0 は停電通知信号を P L D 1 6 に通知する（S 1 1）。P L D 1 6 は、P S U 2 0 から停電通知信号を受信すると、メモリバックアップ処理の実行指示を C P U 1 1 に対して行なう（S 1 2）。

20

【0085】

C P U 1 1 は、P L D 1 6 からメモリバックアップ処理の実行指示を受けると、通常動作からメモリバックアップモードへ移行する（S 1 3）。これに伴い、キャッシュメモリ 1 2 は、高性能モード（通常動作）からセルフリフレッシュモードへ移行し、キャパシタ 1 5 から給電され P L D 1 6 によって管理されながらキャッシュデータを保持する。このとき、C P U 1 1、不揮発メモリ 1 3、ファン 1 4、キャパシタ 1 5、ホスト I / F 1 7 およびディスク I / F 1 8 に対する電源供給は停止されている。なお、セルフリフレッシュモードは、クロックを非活性にして消費電力を低く抑え、装置内部のリフレッシュカウンタを用いて自動的にリフレッシュ動作を実行するモードであり、データを保持する必要があるが、キャッシュメモリ 1 2 に長時間アクセスしない場合に有効なモードである。

30

【0086】

P L D 1 6 は、メモリバックアップ処理の実行指示を C P U 1 1 に対して行なうと、D D C 1 9 a を用い、キャッシュメモリ 1 2 への供給電源電圧を、通常動作電圧から下限動作電圧に変更する（S 1 4）。この後、P L D 1 6 は、P S U 2 0 から停電復旧の通知を受けたかと、キャパシタ 1 5 の出力電圧が最低動作電圧を下回ったかとを監視する（S 1 5, S 1 6）。

【0087】

そして、P L D 1 6 は、キャパシタ 1 5 の出力電圧が最低動作電圧を下回っても P S U 2 0 から停電復旧の通知がない場合、メモリバックアップモードからキャッシュディスタージモードへ移行し、C P U 1 1 や各 B B U 3 0 に対する指示を行なう（S 2 1）。これに伴い、各 B B U 3 0 は、各 C M 1 0 における C P U 1 1、キャッシュメモリ 1 2、不揮発メモリ 1 3、ファン 1 4 および P L D 1 6 に対する給電を開始し、C P U 1 1 が起動されるとともに（S 2 1）、キャッシュメモリ 1 2 は、セルフリフレッシュモードから省電力モード（制限動作）へ移行する。なお、キャッシュメモリ 1 2 への供給電源電圧は、B B U 3 0 からの電源（電圧 V B A T）を入力される D D C 1 9 a によって、下限動作電圧に維持される。このとき、ホスト I / F 1 7 およびディスク I / F 1 8 に対する電源供給は停止されている。

40

【0088】

また、C P U 1 1 は、停電判定レジスタ 1 6 d を参照し、4 ビットデータが、メモリバ

50

ックアップモードからキャッシュディステージモードへの移行に伴う起動であることを示す“1101”であることを確認する(S22)。この後、CPU11は、キャッシュディステージ処理を実行し、キャッシュデータをキャッシュメモリ12から不揮発メモリ13へ書き込む(S23)。CPU11がキャッシュデータの書き込みを完了すると(S24)、PLD16は、各BBU30に対し放電停止を指示する(S25)。そして、全てのCM10から放電停止指示を受けると、各BBU30は放電を停止し、ストレージ装置1は停止状態になる。

【0089】

〔3〕まとめ

本実施形態のストレージ装置1およびCE1aによれば、二次電池(バッテリー)であるBBU30(BTU32)の長寿命化をはかることができる。ほとんどの停電では、メモリバックアップ方式によるキャッシュデータの保護中に停電解除(復電)することが可能であるため、二次電池の放電(BBU30の放電)によって実行されるキャッシュディステージ方式へ移行することがない。つまり、短時間停電の際には、BBU30の放電を行なうことなくキャパシタ15の給電によるメモリバックアップ方式が実行され、BBU30の放電によるキャッシュディステージ方式は長時間停電の際にのみ実行される。したがって、BBU30の充放電回数を少なくすることができ、BBU30の長寿命化を実現できる。これにより、定期保守によってバッテリー(BTU32)を交換する間隔を長くすることができ、保守コストが削減される。

【0090】

また、本実施形態では、数秒～数分程度で復旧する短時間停電の場合、キャパシタ15の放電によってメモリバックアップ方式が実行される。キャパシタ15の再充電に要する時間は数十秒～1分程度であり、停電から復帰後の再充電は短時間で済み、ストレージ装置1の起動中にキャパシタ15への充電を完了することができる。したがって、キャッシュメモリ12がライトスルー(Write Through)状態になるのを確実に回避することができる。なお、ライトスルー状態では、キャッシュメモリ12に保持されたデータの保証ができない状態であるため、ホスト2からのデータをディスク1cに書き込むまでホスト2に対する処理完了通知が行なわれない。そのため、ライトバック(Write Back)状態に比べ処理速度が大幅に低下する。

【0091】

さらに、本実施形態のストレージ装置1およびCE1aは、基幹システム以外のシステムに適用される場合、BBU30を取り外しキャパシタ15によるメモリバックアップ処理のみを行なうモデルとして提供・運用することができる。したがって、ユーザのシステム構成に応じたストレージ装置1およびCE1aを提供でき、設備コストを削減することができる。

【0092】

またさらに、本実施形態では、CPU11およびPLD16を用いてメモリバックアップ方式とキャッシュディステージ方式との2つのうちのいずれか一方を選択的に切り替えて実行することができる。このため、キャパシタ15またはBBU30(BTU32)において故障が発生しても、ストレージ装置1はライトバック状態を継続することが可能である。

【0093】

〔4〕その他

以上、本発明の好ましい実施形態について詳述したが、本発明は、係る特定の実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内において、種々の変形、変更して実施することができる。

【0094】

上述した制御部10a、CPU(第2制御部)11およびPLD(第1制御部)16としての機能の全部もしくは一部は、コンピュータ(CPU、情報処理装置、各種端末を含む)が所定のアプリケーションプログラムを実行することによって実現される。

【0095】

また、上記アプリケーションプログラムは、例えばフレキシブルディスク、CD（CD-ROM、CD-R、CD-RWなど）、DVD（DVD-ROM、DVD-RAM、DVD-R、DVD-RW、DVD+R、DVD+RWなど）、ブルーレイディスク等のコンピュータ読取可能な記録媒体に記録された形態で提供される。この場合、コンピュータはその記録媒体からプログラムを読み取って内部記憶装置または外部記憶装置に転送し格納して用いる。

【0096】

ここで、コンピュータとは、ハードウェアとOSとを含む概念であり、OSの制御の下で動作するハードウェアを意味している。また、OSが不要でアプリケーションプログラム単独でハードウェアを動作させるような場合には、そのハードウェア自体がコンピュータに相当する。ハードウェアは、少なくとも、CPU等のマイクロプロセッサと、記録媒体に記録されたコンピュータプログラムを読み取る手段とをそなえている。上記アプリケーションプログラムは、上述のようなコンピュータに、制御部10a、CPU（第2制御部）11およびPLD（第1制御部）16としての機能を実現させるプログラムコードを含んでいる。また、その機能の一部は、アプリケーションプログラムではなくOSによって実現されてもよい。

10

【0097】

〔5〕付記

以上の実施形態に関し、さらに以下の付記を開示する。

20

（付記1）

記憶部と、前記記憶部のデータをキャッシュデータとして保持するキャッシュメモリとを有するストレージ装置であって、

前記ストレージ装置の通常動作時に充電されるキャパシタと、

前記ストレージ装置の通常動作時に充電されるバッテリーと、

前記キャパシタからの給電により前記キャッシュデータを前記キャッシュメモリに保持する第1処理と、前記バッテリーからの給電により前記キャッシュデータを前記キャッシュメモリから不揮発メモリへ書き込む第2処理とを実行させる制御部とを、有し、

前記制御部は、前記第1処理の実行後に所定条件を満たした場合に前記第2処理を実行させる、ストレージ装置。

30

【0098】

（付記2）

前記制御部は、停電通知を受けると前記第1処理を実行させる、付記1記載のストレージ装置。

【0099】

（付記3）

前記制御部は、前記第1処理の実行後に前記キャパシタの出力電圧が所定値を下回っても、もしくは、前記第1処理の実行後に所定時間が経過しても、停電状態が解消されていない場合に前記第2処理を実行する、付記2記載のストレージ装置。

【0100】

（付記4）

前記制御部は、第1制御部と、第2制御部とを含み、

前記第1制御部は、前記停電通知を受けると前記第1処理の実行指示を行なう一方、前記第1処理の実行後に前記所定条件を満たした場合に前記第2処理の実行指示を行ない、

前記第2制御部は、前記第1制御部から前記第1処理の実行指示を受けると前記第1処理を実行する一方、前記第1処理の実行指示を受けた後に前記第1制御部から前記第2処理の実行指示を受けると前記第2処理を実行する、付記2または付記3に記載のストレージ装置。

40

【0101】

（付記5）

50

前記キャパシタは、前記第 1 処理の実行時に、前記キャッシュメモリおよび前記第 1 制御部に給電する、付記 4 記載のストレージ装置。

【0102】

(付記 6)

前記バッテリーは、前記第 2 処理の実行時に、前記キャッシュメモリ、前記第 1 制御部、前記第 2 制御部および前記不揮発メモリに給電する、付記 4 または付記 5 に記載のストレージ装置。

【0103】

(付記 7)

前記第 1 制御部は、前記第 1 制御部の動作電圧と前記キャッシュメモリの下限動作電圧との高い方に基づき前記所定値を設定する、付記 4 ～付記 6 のいずれか一項に記載のストレージ装置。

10

【0104】

(付記 8)

前記制御部は、前記第 1 処理の実行中に停電復旧通知に応じて前記ストレージ装置が起動される際に、前記キャッシュメモリにおける前記キャッシュデータを前記記憶部に書き込む、付記 2 ～付記 7 のいずれか一項に記載のストレージ装置。

【0105】

(付記 9)

前記制御部は、前記第 2 処理の実行後に停電復旧通知に応じて前記ストレージ装置が起動される際に、前記不揮発メモリにおける前記キャッシュデータを、前記キャッシュメモリに書き戻した後、前記キャッシュメモリから前記記憶部に書き込む、付記 2 ～付記 8 のいずれか一項に記載のストレージ装置。

20

【0106】

(付記 10)

記憶部と、前記記憶部のデータをキャッシュデータとして保持するキャッシュメモリとを有するストレージ装置の制御装置であって、

前記ストレージ装置の通常動作時に充電されるキャパシタからの給電により前記キャッシュデータを前記キャッシュメモリに保持する第 1 処理と、前記ストレージ装置の通常動作時に充電されるバッテリーからの給電により前記キャッシュデータを前記キャッシュメモリから不揮発メモリへ書き込む第 2 処理とを実行させる制御部を、有し、

30

前記制御部は、前記第 1 処理の実行後に所定条件を満たした場合に前記第 2 処理を実行させる、制御装置。

【0107】

(付記 11)

前記制御部は、停電通知を受けると前記第 1 処理を実行させる、付記 10 記載の制御装置。

【0108】

(付記 12)

前記制御部は、前記第 1 処理の実行後に前記キャパシタの出力電圧が所定値を下回っても、もしくは、前記第 1 処理の実行後に所定時間が経過しても、停電状態が解消されていない場合に前記第 2 処理を実行させる、付記 11 記載の制御装置。

40

【0109】

(付記 13)

前記制御部は、第 1 制御部と、第 2 制御部とを含み、

前記第 1 制御部は、前記停電通知を受けると前記第 1 処理の実行指示を行なう一方、前記第 1 処理の実行後に前記所定条件を満たした場合に前記第 2 処理の実行指示を行ない、

前記第 2 制御部は、前記第 1 制御部から前記第 1 処理の実行指示を受けると前記第 1 処理を実行する一方、前記第 1 処理の実行指示を受けた後に前記第 1 制御部から前記第 2 処理の実行指示を受けると前記第 2 処理を実行する、付記 11 または付記 12 に記載の制御

50

装置。

【0110】

(付記14)

前記キャパシタは、前記第1処理の実行時に、前記キャッシュメモリおよび前記第1制御部に給電する、付記13記載の制御装置。

【0111】

(付記15)

前記バッテリーは、前記第2処理の実行時に、前記キャッシュメモリ、前記第1制御部、前記第2制御部および前記不揮発メモリに給電する、付記13または付記14に記載の制御装置。

10

【0112】

(付記16)

前記第1制御部は、前記第1制御部の動作電圧と前記キャッシュメモリの下限動作電圧との高い方に基づき前記所定値を設定する、付記13～付記15のいずれか一項に記載の制御装置。

【0113】

(付記17)

前記制御部は、前記第1処理の実行中に停電復旧通知に応じて前記ストレージ装置が起動される際に、前記キャッシュメモリにおける前記キャッシュデータを前記記憶部に書き込む、付記11～付記16のいずれか一項に記載の制御装置。

20

【0114】

(付記18)

前記制御部は、前記第2処理の実行後に停電復旧通知に応じて前記ストレージ装置が起動される際に、前記不揮発メモリにおける前記キャッシュデータを、前記キャッシュメモリに書き戻した後、前記キャッシュメモリから前記記憶部に書き込む、付記11～付記17のいずれか一項に記載の制御装置。

【0115】

(付記19)

記憶部と、前記記憶部のデータをキャッシュデータとして保持するキャッシュメモリとを有するストレージ装置の制御装置として機能するコンピュータに、

30

前記キャッシュデータのバックアップを行なう際に、前記ストレージ装置の通常動作時に充電されるキャパシタからの給電により前記キャッシュデータを前記キャッシュメモリに保持する第1処理の実行後に所定条件を満たした場合に、前記ストレージ装置の通常動作時に充電されるバッテリーからの給電により前記キャッシュデータを前記キャッシュメモリから不揮発メモリへ書き込む第2処理を実行させる、制御プログラム。

【0116】

(付記20)

停電通知を受けると前記第1処理を前記コンピュータに実行させる、付記19記載の制御プログラム。

【符号の説明】

40

【0117】

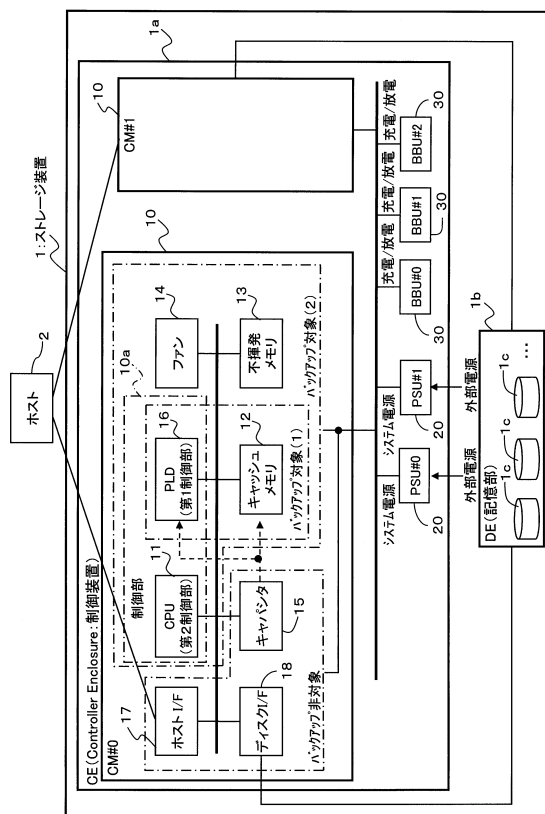
- 1 ストレージ装置
- 1 a C E (制御装置)
- 1 b D E (記憶部)
- 1 c ディスク (記憶部)
- 2 ホスト
- 1 0 C M
- 1 0 a 制御部
- 1 1 C P U (第2制御部)
- 1 2 キャッシュメモリ (Cache)

50

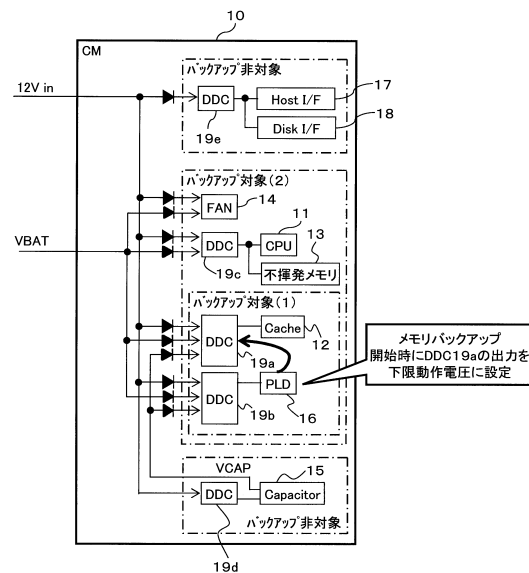
- 1 3 不揮発メモリ
- 1 3 a EEPROM
- 1 3 b 個体情報
- 1 4 ファン (FAN)
- 1 5 キャパシタ (Capacitor)
- 1 6 PLD (第1制御部)
- 1 6 a EEPROM
- 1 6 b 動作電圧情報
- 1 6 c 電圧設定レジスタ
- 1 6 d 停電判定レジスタ
- 1 6 e キャッシュ動作電圧判別テーブル
- 1 7 ホストインターフェイス (Host I/F)
- 1 8 ディスクインターフェイス (Disk I/F)
- 1 9 a ~ 1 9 e DDC (直流/直流コンバータ)
- 2 0 PSU
- 3 0 BBU (バッテリー, 二次電池)
- 3 1 BCU
- 3 2 BTU (バッテリー二次電池)

10

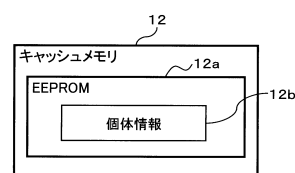
【図 1】



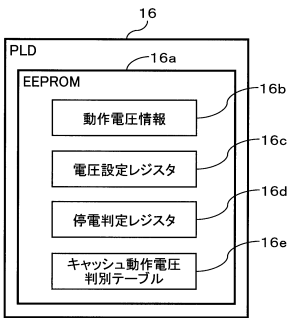
【図 2】



【図 3】



【図 4】



【図 5】

電圧設定レジスタ	電圧レジスタ		備考
	整数	少数点以下	
通常動作電圧 (Cache動作電圧)	'0'	'000 0000'	高性能モード ⇒動作電圧を最大にすることで、 最高動作周波数にて動作する
	例: 1.5V ⇒ 1011 0010		
下限動作電圧 (Cache動作電圧)	'0'	'000 0000'	省電力モード ⇒動作周波数を低くすることで、 動作電圧を低くして消費電力を抑える
	例: 1.25V ⇒ 1001 1001		
最低動作電圧 (Capacitor出力)	'0'	'000 0000'	
	例: 1.55V ⇒ 1011 0111		

【図 6】

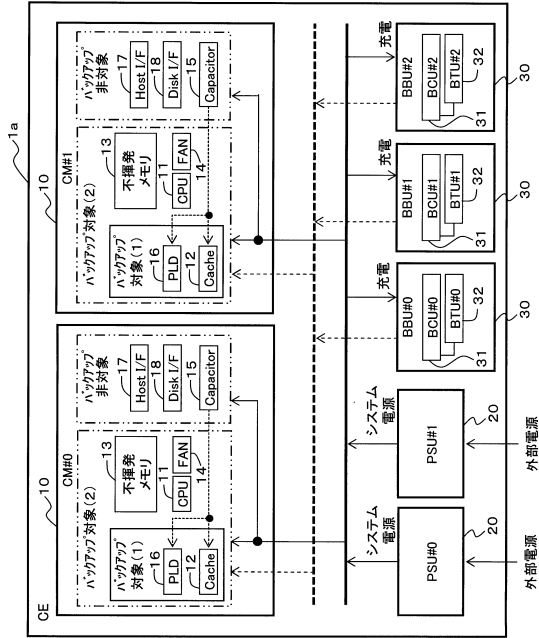
装置状態	停電判定レジスタ		
	入力電源状態	停電発生履歴	起動モード
通常起動時	'0' (入力電源正常)	'0' (停電未発生)	'00'
	'1' (入力電源停電)	'1' (停電発生)	'01'
キャッシュステータスモードでの起動 (停電が最長時間続いたため、 メモリバックアップモードから キャッシュステータスモードへ 遷移する状態)			
短時間停電からの復電 (メモリバックアップモードからの起動)	'0' (入力電源停電)	'1' (停電発生)	'10'
長時間停電からの復電 (キャッシュステータスモード後の起動)	'0' (入力電源停電)	'1' (停電発生)	'11'

【図 7】

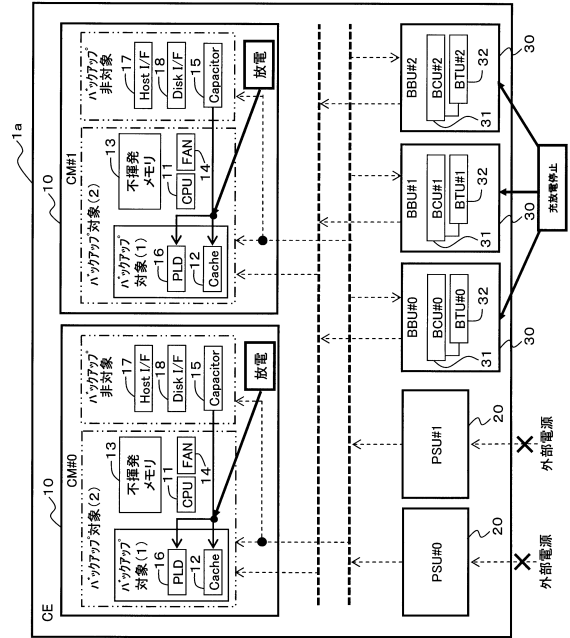
16e: キャッシュ動作電圧判別テーブル

Device type	Modules Voltages			通常動作電圧 (Cache動作電圧)	下限動作電圧 (Cache動作電圧)
	1.5V	1.35V	1.25V		
DDR3 SDRAM	○	○	○	1.5V	1.25V
	○	○	—	1.5V	1.35V
	○	—	—	1.5V	1.5V
DDR2 SDRAM	1.8V固定			1.8V	1.8V
DDR1 SDRAM	2.5V固定			2.5V	2.5V

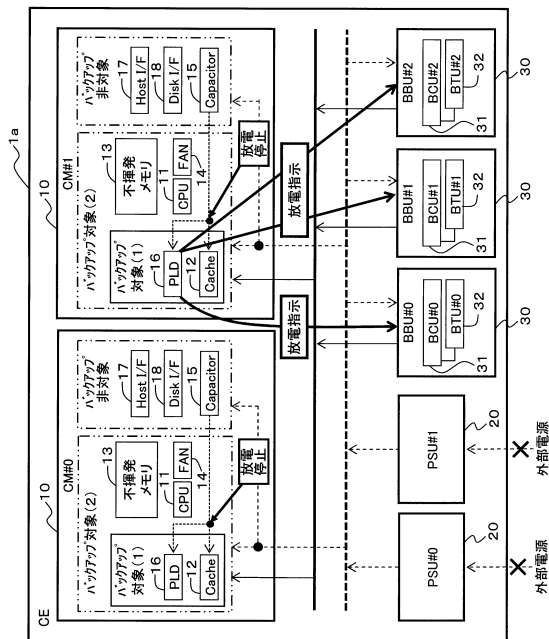
【図 8】



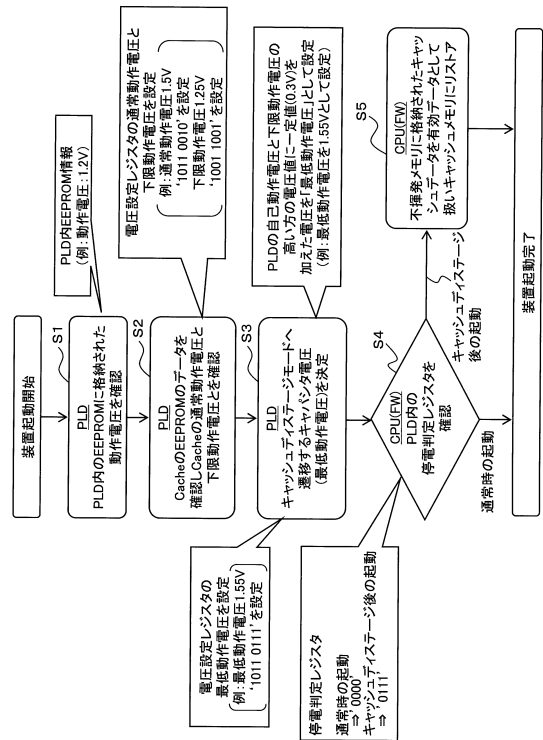
【図 9】



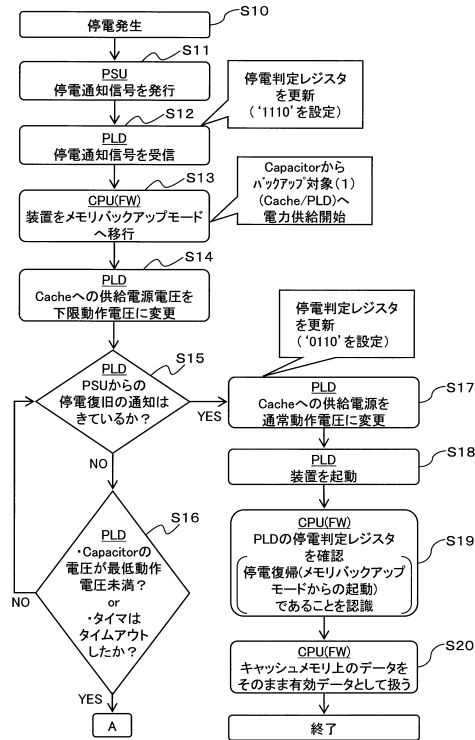
【図 10】



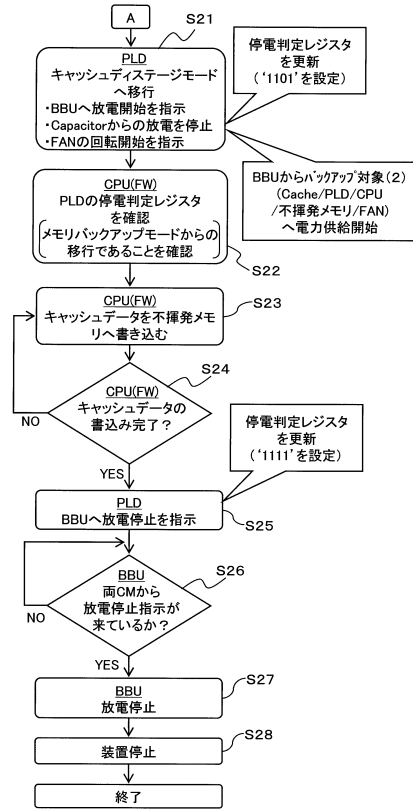
【図 1 1】



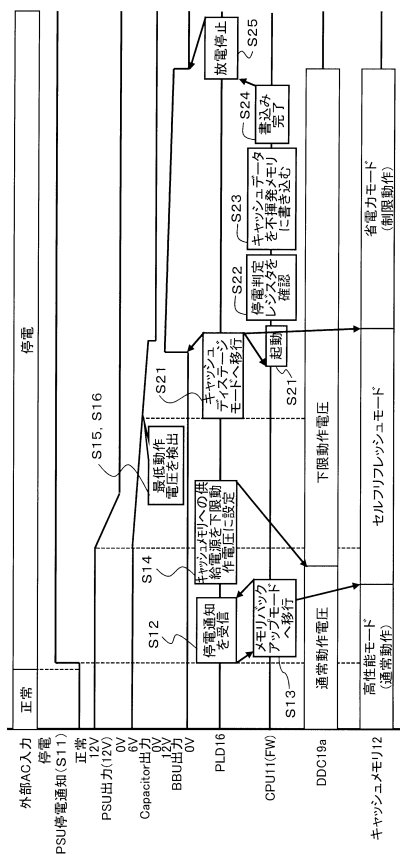
【図 1 2】



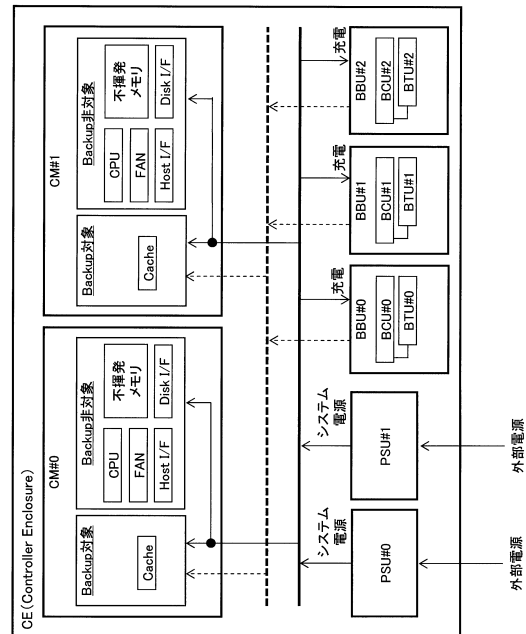
【図 1 3】



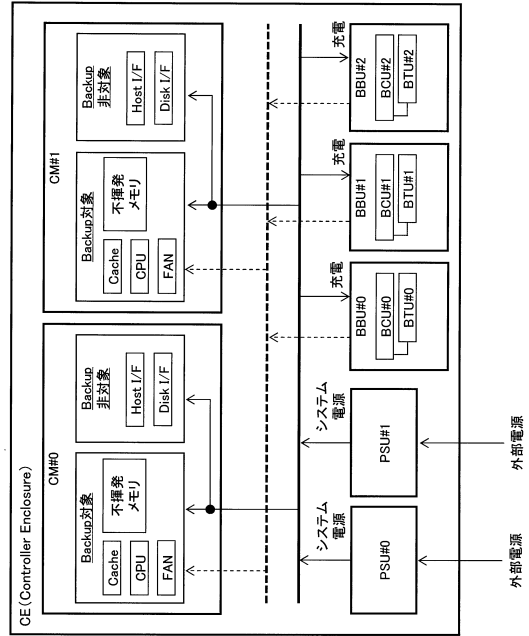
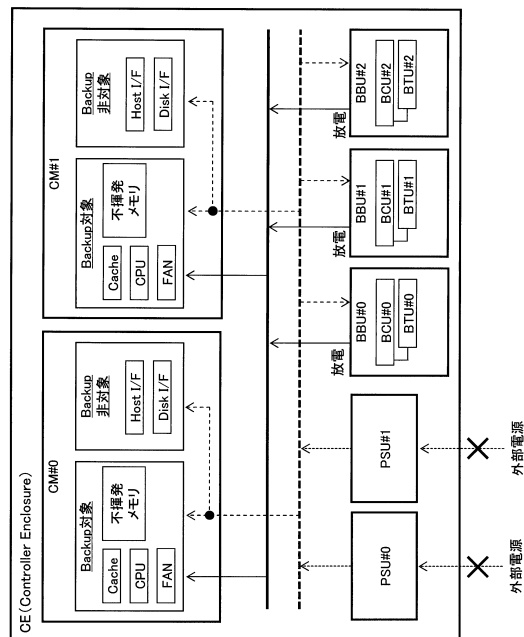
【図 1 4】



【図 1 5】



【図 18】



フロントページの続き

(51)Int.Cl.

F I

G 0 6 F	12/08	5 5 7
G 0 6 F	12/08	5 7 9
G 0 6 F	12/08	5 0 1 F
G 0 6 F	12/08	5 4 1 C

審査官 田中 啓介

(56)参考文献 特開2009-237881 (JP, A)
特開2004-159405 (JP, A)
特開2011-053875 (JP, A)
特開2005-332471 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 6 F 1 / 2 6 - 1 / 3 2
3 / 0 6 - 3 / 0 8
1 2 / 0 8 - 1 2 / 1 2
H 0 2 J 7 / 0 0 - 7 / 1 2
7 / 3 4 - 7 / 3 6